



(12) 发明专利

(10) 授权公告号 CN 101762918 B

(45) 授权公告日 2014. 02. 12

(21) 申请号 200910226132. 5

(22) 申请日 2009. 11. 20

(30) 优先权数据

10-2008-0131090 2008. 12. 22 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金利暎 金凡植 具会佑

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 王金宝

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

(56) 对比文件

CN 1385825 A, 2002. 12. 18,

CN 1841565 A, 2006. 10. 04,

US 2008088555 A1, 2008. 04. 17,

审查员 钟宇

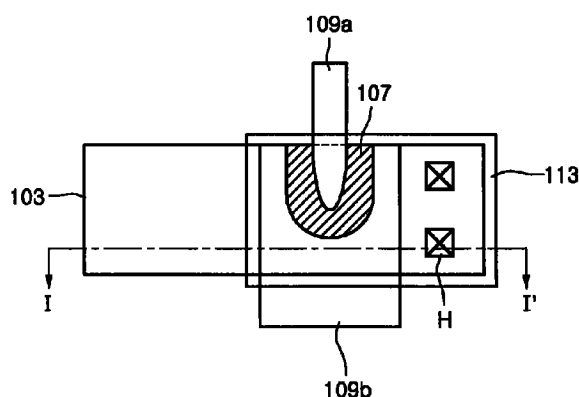
权利要求书1页 说明书7页 附图4页

(54) 发明名称

液晶显示设备

(57) 摘要

公开了一种液晶显示设备。所述液晶显示设备包括输出部,所述输出部构造成包括具有较大电容器元件的输出晶体管。这样,所述液晶显示设备能提高液晶的响应速度。



1. 一种液晶显示设备,包括:

液晶面板,其构造成显示图像并包括布置在其上的多条栅线和多条数据线;
构造成给所述液晶面板的数据线供应与所述图像对应的数据信号的数据驱动器;和
形成在所述液晶面板上并构造成包括多个移位寄存器的栅驱动器,

其特征是所述多个移位寄存器构造成给所述栅线施加从起始脉冲按顺序地移位的输出信号,每个移位寄存器包括:

构造成包括输出晶体管的输出部,所述输出晶体管包括:形成在基板上的栅极,所述栅极响应于第一节点上的电压;形成在具有所述栅极的基板上的栅绝缘膜;形成在具有所述栅绝缘膜的基板上的与所述栅极相对的半导体层;在所述半导体层上的彼此分离的源极和漏极,所述源极接收时钟信号,所述漏极与各条栅线连接并构造成根据所述第一节点上的所述电压将所述时钟信号从所述源极施加到各条栅线;形成在所述源极和漏极上的钝化层;和形成在所述钝化层上的、与所述半导体层相对的且通过所述钝化层上的接触孔与所述栅极电连接的顶部电极,以改善液晶的响应时间;以及

控制所述输出部的控制部,

其中每个输出晶体管包括两个接触孔。

2. 根据权利要求1所述的液晶显示设备,其中所述顶部电极由透明金属材料形成。

3. 根据权利要求1所述的液晶显示设备,其中所述顶部电极由氧化铟锡形成。

4. 根据权利要求1所述的液晶显示设备,其中所述顶部电极由与所述栅极相同的金属材料形成。

5. 根据权利要求1所述的液晶显示设备,其中所述顶部电极由与所述源极和漏极相同的金属材料形成。

液晶显示设备

[0001] 相关申请的交叉参考

[0002] 本申请要求 2008 年 12 月 22 日提交的韩国专利申请号 10-2008-0131090 的权益，在此援引该专利申请的全部内容作为参考。

技术领域

[0003] 本发明涉及一种适于改善液晶的响应时间的液晶显示设备。

背景技术

[0004] 现今，已广泛研究了驱动以有源矩阵形状布置的像素的图像显示设备。该图像显示设备包括液晶显示 (LCD) 设备、有机电致发光显示 (OLED) 设备等。

[0005] 更具体地说，LCD 设备相应于图像信息给以有源矩阵形状布置的像素施加数据信号并控制液晶层的透射率，从而显示期望的图像。为此，LCD 设备包括具有以有源矩阵形状布置的像素的液晶面板、和用于驱动液晶面板的驱动电路。

[0006] 在液晶面板中，栅线和数据线布置成彼此交叉。通过栅线和数据线的交叉确定像素区域。每个像素区域包括薄膜晶体管 TFT 和与它连接的像素电极。薄膜晶体管 TFT 包括与各栅线连接的栅极、与各数据线连接的源极、和与各像素电极连接的漏极。

[0007] 驱动电路包括用于按顺序地给栅线施加扫描信号的栅驱动器和给数据线施加数据信号的数据驱动器。当栅驱动器按顺序给栅线施加扫描信号时，则以行为单位选择液晶面板上的像素。每当以单个行按顺序选择栅线时，数据驱动器就给数据线施加数据信号。这样，通过在像素电极与公共电极之间激发的并与施加给每个像素的数据信号对应的电场来控制液晶层的透射率。因此，LCD 设备显示出图像。

[0008] 为了降低制造成本，近来已提出了内驱动器型的 LCD 设备，其包括设置在液晶面板上的栅驱动器和数据驱动器。在内驱动器型的 LCD 设备中，当在液晶面板上形成薄膜晶体管时，与薄膜晶体管同时地制造栅驱动器。此时，数据驱动器可设置在或不设置在液晶面板上。

[0009] 随着 LCD 设备的尺寸增加，栅线由于屏幕尺寸的增加而变长，从而线电阻增加。由于薄膜晶体管的转换率降低的缘故，液晶的响应变慢。

[0010] 位于给各条栅线施加栅信号的输出部处的输出晶体管必须与多个薄膜晶体管连接。由于该原因，从输出晶体管输出的栅信号受到薄膜晶体管内的寄生电容影响。因此，薄膜晶体管的充电率降低，此外，恶化了液晶的响应时间。

发明内容

[0011] 因此，本发明涉及基本上克服了由于现有技术的限制和缺点而导致的一个或多个问题的 LCD 设备。

[0012] 本实施方式的一个目的是提供一种适于通过减小用于输出栅电压的晶体管的充电 / 放电时间来改善液晶响应时间的 LCD 设备。

[0013] 在下面的描述中将列出本发明的其它的特征和优点,这些特征和优点的一部分从所述描述中将是显而易见的,或者可通过本发明的实施而领会到。通过书写的说明书、权利要求以及附图中特别指出的结构可实现和获得本发明的这些优点。

[0014] 根据本实施方式的一个一般性方面,LCD 设备包括:液晶面板,其构造成显示图像并包括布置在其上的多条栅线 and 多条数据线;构造成给所述液晶面板的数据线供应与所述图像对应的数据信号的数据驱动器;和形成在所述液晶面板上并构造成包括多个移位寄存器的栅驱动器,所述多个移位寄存器构造成给所述栅线施加从起始脉冲按顺序地移位(shifted)的输出信号。每个移位寄存器包括:构造成包括输出晶体管的输出部和控制所述输出部的控制部。所述输出晶体管包括:形成在基板上的栅极,所述栅极响应于第一节点上的电压;形成在具有所述栅极的基板上的栅绝缘膜;形成在具有所述栅绝缘膜的基板上的与所述栅极相对的半导体层;在所述半导体层上的彼此分离的源极和漏极,所述源极接收时钟信号,所述漏极与各条栅线连接并构造成根据所述第一节点上的所述电压将所述时钟信号从所述源极施加到各条栅线;形成在所述源极和漏极上的钝化层;和形成在所述钝化层上的、与所述半导体层相对的且通过所述钝化层上的接触孔与所述栅极电连接的顶部电极。

[0015] 基于对下面附图和详细描述的分析,其他系统、方法、特征和优点对于本领域技术人员来说将是或将变得显而易见。注意,所有这些其他的系统、方法、特征和优点都包含在该描述中、在本发明的范围内、并由随后的权利要求保护。该描述不应被认为是对那些权利要求的限制。下面结合实施方式讨论了其他的方面和优点。应当理解,本发明前面的一般性描述和下面的详细描述都是例示性的和解释性的,意在对要求保护的内容提供进一步的解释。

附图说明

[0016] 所附的图给实施方式提供进一步理解并合并到说明书中组成说明书一部分,附图图解了本发明的实施方式并与说明书一起用于解释本发明的原理。在附图中:

[0017] 图 1 是显示根据本发明一个实施方式的 LCD 设备的示意图;

[0018] 图 2 是显示图 1 中的栅驱动器的详细示意图;

[0019] 图 3 是显示图 2 中的第一移位寄存器的详细电路构造的电路图;

[0020] 图 4 是显示施加给图 3 的第一移位寄存器的驱动信号的波形图;

[0021] 图 5 是示意性地显示图 3 中包含的第八晶体管的平面图;

[0022] 图 6 是显示沿图 5 中所示的线 I-I' 取的第八晶体管的剖面图;

[0023] 图 7A 是表示第一节点 Q 的增压特性随着第八晶体管中产生的第二电容器元件 C2 的电容增加而变化的曲线图;

[0024] 图 7B 是表示图 7A 的点划线部分的放大曲线图;

[0025] 图 7C 是表示输出阶段中产生的延迟时间随着第二电容器元件 C2 的电容增加而变化的曲线图;

[0026] 图 7D 是表示第一节点 Q 的增压特性随着第二电容器元件 C2 的电容增加而变化的曲线图。

具体实施方式

[0027] 现在详细描述本发明的实施方式,附图中图解了这些实施方式的一些例子。提供此后引入的这些实施方式作为例子,以给本领域普通技术人员传达这些实施方式的精神。因此,这些实施方式可以以不同的形式实施,从而不限于这里所述的这些实施方式。此外,为了方便起见,附图中的设备的尺寸和厚度都被放大表示。在任何时候,在包括附图的整个说明书中将使用相同的参考数字表示相同或相似的部件。

[0028] 图 1 是显示根据本发明一个实施方式的 LCD 设备的示意图。参照图 1,根据本发明一个实施方式的 LCD 设备包括液晶面板 102、栅驱动器 104、数据驱动器 106、时序控制器 108 和电压发生器 110。液晶面板 102 构造成包括布置成用于显示图像的多条栅线 GL1 ~ GLn 和多条数据线 DL1 ~ DLm。栅驱动器 104 构造成驱动所述多条栅线 GL1 ~ GLn。数据驱动器 106 构造成驱动所述多条数据线 DL1 ~ DLm。时序控制器 108 构造成控制栅和数据驱动器 104 和 106 的驱动时序。电压发生器 110 构造成产生用于施加到液晶面板 102 的公共电压 Vcom。

[0029] 液晶面板 102 包括在由彼此交叉的所述多条栅线 GL1 ~ GLn 和所述多条数据线 DL1 ~ DLm 确定的单元区域上形成的像素。每个像素都构造成包括形成在各条栅线 GL 和各条数据线 DL 的交点处的薄膜晶体管 TFT、和连接在薄膜晶体管 TFT 与公共电极 Vcom 之间的液晶盒 Clc。薄膜晶体管 TFT 响应于各条栅线 GL 上的栅扫描信号(或栅信号,或扫描信号),并切换将要从各条数据线 DL 施加到各个液晶盒 Clc 的像素数据电压(或数据电压)。

[0030] 栅驱动器 104 响应于来自时序控制器 108 的栅控制信号 GCS,并分别给所述多条栅线 GL1 ~ GLn 施加多个栅扫描信号。栅扫描信号促使所述多条栅线 GL1 ~ GLn 在一个水平同步信号周期中按顺序地启动。

[0031] 数据驱动器 106 响应于来自时序控制器 108 的数据控制信号 DCS,且每当所述栅线 GL1 ~ GLn 中的任意一条启动时,数据驱动器 106 就产生多个像素数据电压。该多个像素数据电压分别施加到所述多条数据线 DL1 ~ DLm。为此,数据驱动器 106 从时序控制器 108 向一行上的像素输入像素数据。此外,数据驱动器 106 使用一组伽马电压将所述一行像素数据转换为模拟像素数据。

[0032] 时序控制器 108 从由外部系统(例如图中没有示出的计算机系统的图形模块或电视的图像解调器)施加的同步信号 Vsync 和 Hsync、数据使能信号 DE 和时钟信号 CLK 得到栅控制信号 GCS 和数据控制信号 DCS。栅控制信号用于控制栅驱动器 104,且数据控制信号 DCS 用于控制数据驱动器 106。同样,时序控制器 108 重新排列来自外部系统的帧单元的数据 V_data 并将重新排列的数据 Data 施加给数据驱动器 106。

[0033] 电压发生器 110 从由外部电压源(没有示出)施加的输入电压得到驱动电压和公共电压。驱动电压用于驱动栅和数据驱动器 104 和 106。公共电压 Vcom 施加到形成在液晶面板 102 上的公共电极。

[0034] 图 2 是显示图 1 中的栅驱动器的详细示图。如图 1 和 2 中所示,栅驱动器 104 构造成包括与多条栅线 GL1 ~ GLn 相对的多个移位寄存器 ST1 ~ STn。

[0035] 每个移位寄存器 ST1 ~ STn 都连接到用于时钟信号 CLK 的输入线、位于其下一级的移位寄存器 ST 的输出端和位于其前一级的另一移位寄存器 ST 的输出端。例如,第一移位寄存器 ST1 与用于时钟信号 CLK 的输入线、第二移位寄存器 ST2 的输出端和用于起始脉

冲 SP 的输入线连接。

[0036] 图 3 是显示图 2 中的第一移位寄存器的详细电路构造的电路图。如图 3 中所示, 第一移位寄存器 ST1 输入起始脉冲 SP、时钟信号 CLK、以及来自与其下一级对应的第二移位寄存器 ST2 的输出信号。栅高压 VGH 和栅低压 VGL 施加给第一移位寄存器 ST1。此外, 第一移位寄存器 ST1 由包括第一到第七晶体管 T1 ~ T7 的控制部以及包括第八和第九晶体管 T8 和 T9 的输出部组成。

[0037] 第一移位寄存器 ST1 的控制部包括: 响应于起始脉冲 SP 并连接在用于栅高压 VGH 的输入线与第一节点 Q 之间的第一晶体管 T1; 响应于第二移位寄存器 ST2 的输出信号并连接在第一节点 Q 与用于栅低压 VGL 的输入线之间的第二晶体管 T2; 响应于来自第二节点 QB 的电压并连接在第一晶体管 T1 的漏极与用于栅低压 VGL 的输入线之间的第三晶体管 T3。

[0038] 第一移位寄存器 ST1 的控制部进一步包括: 响应于第二移位寄存器 ST2 的输出信号并连接在栅高压 VGH 的输入线与第五晶体管 T5 的源极之间的第四晶体管 T4; 响应于第一节点 Q 上的电压并连接在第四晶体管 T4 的漏极与用于栅低压 VGL 的输入线之间的第五晶体管 T5。

[0039] 此外, 第一移位寄存器 ST1 包括: 响应于栅高压 VGH 并连接在栅高压 VGH 的输入线与第二节点 QB 之间的第六晶体管 T6; 和响应于起始脉冲 SP 并连接在第二节点 QB 与栅低压 VGL 的输入线之间的第七晶体管 T7。

[0040] 第一移位寄存器 ST1 的输出部 100 包括: 根据第一节点 Q 上的电压选择性地给与第一移位寄存器 ST1 相对的第一栅线 GL1 施加时钟信号 CLK 的第八晶体管 T8; 和根据第二节点 QB 上的电压选择性地给第一栅线 GL1 上的电压放电的第九晶体管 T9。

[0041] 第八晶体管 T8 包括与第一节点 Q 连接的栅极、与用于时钟信号 CLK 的输入线连接的源极、与第一栅线 GL1 连接的漏极和与栅极连接的顶部电极 (没有示出)。

[0042] 类似地, 第九晶体管 T9 包括与第二节点 QB 连接的栅极、与第一栅线 GL1 连接的源极、与用于栅低压 VGL 的输入线连接的漏极、以及与栅极连接的顶部电极 (没有示出)。

[0043] 图 4 是显示施加给图 3 的第一移位寄存器的驱动信号的波形图。如图 3 和 4 中所示, 第一移位寄存器 ST1 输入固定周期的时钟信号 CLK、起始脉冲 SP、以及第二移位寄存器 ST2 的输出信号 Vg-next。时钟信号 CLK 包括交替的低和高电平脉冲。起始脉冲 SP 具有与时钟信号 CLK 的第一高电平脉冲的上升时间同步的下降时间。第二移位寄存器 ST2 的输出信号 Vg-next 具有与时钟信号 CLK 的第一低电平脉冲同步的高电平脉冲。

[0044] 在给第一移位寄存器 ST1 施加高电平的起始脉冲 SP 的第一时间间隔中, 第一移位寄存器 T1 的第一晶体管 T1 导通, 从而栅高压 VGH 通过第一晶体管 T1 的源极和漏极施加到第一节点 Q。同时, 第七晶体管 T7 也由高电平的起始脉冲 SP 导通, 由此使栅低压输入线 VGL 上的栅低压 VGL 施加到第二节点 QB。

[0045] 在第二时间间隔过程中, 起始脉冲 SP 转到低电平, 且高电平的时钟信号 CLK 施加到第一移位寄存器 ST1。然后, 第八晶体管 T8 导通。

[0046] 更具体地说, 在第二时间间隔过程中第八晶体管 T8 通过加载在第一节点 Q 上的栅高压 VGH 而导通。在第一时间间隔过程中已进行了第一节点 Q 的电压加载。当时钟信号 CLK 转到高电平时, 通过在第八晶体管 T8 的栅极与源极之间形成的内部电容器元件 Cgs 产生自举现象, 从而第一节点 Q 上的电压上升到大约栅高压 VGH 的两倍并确保高电平。这样

第八晶体管 T8 充分导通,且给第一栅线 GL1 施加高电平的时钟信号 CLK 作为第一移位寄存器 ST1 的输出信号 Vgout。

[0047] 照这样,当第八晶体管 T8 充分导通时,与栅高压 VGH 对应的输出信号 Vgout 施加给第一栅线 GL1。

[0048] 随后,在第三时间间隔过程中,第一移位寄存器 ST1 输入低电平的时钟信号 CLK 并与第一移位寄存器 ST1 紧邻的第二移位寄存器 ST2 接收高电平的输出信号 Vg-next。此时,第六晶体管 T6 导通,从而在第二节点 QB 上承载栅高压 VGH。这样,第九晶体管 T9 响应于第二节点 QB 上的电压而导通,由此使栅低压 VGL 通过第九晶体管 T9 施加到与第一移位寄存器 ST1 连接的第一栅线 GL1。换句话说,在第三时间间隔过程中第一栅线 GL1 上承载栅低压 VGL。

[0049] 另一方面,当在第二节点 QB 加载栅高压 VGH 时,与第二节点 QB 连接的第三晶体管 T3 导通。据此,第一节点 Q 承载的电压变为来自栅低压输入线 VGL 的栅低压 VGL。

[0050] 这样,因为给第一移位寄存器 ST1 的第一和第二节点 Q 和 QB 分别施加栅低压 VGL 和栅高压 VGH,所以在第三时间间隔过程中第一栅线 GL1 被加载通过第九晶体管 T9 的栅低压 VGL。

[0051] 如上所述,第八和第九晶体管 T8 和 T9 每个都包括栅极和顶部电极并与仅具有栅极的现有晶体管相比具有快速的充电 / 放电时间。

[0052] 图 5 是示意性显示图 3 中包含的第八晶体管的平面图。图 6 是显示沿图 5 中所示的线 I-I' 取的第八晶体管的剖面图。

[0053] 如图 5 和 6 中所示,第八晶体管 T8 包括:形成在基板 101 上的栅极 103;形成在具有栅极 103 的基板 101 上的栅绝缘膜 105;形成在具有栅绝缘膜 105 的基板 101 上的与栅极 103 相对的半导体层 107;在具有半导体层 107 的基板 101 上彼此分离的源极和漏极 109a 和 109b;以及形成在具有源极和漏极 109a 和 109b 的基板 101 的整个表面上的钝化层(或保护层)111。第八晶体管 T8 进一步包括通过接触孔 H 与形成在基板 101 上的栅极 103 连接的顶部电极 113。

[0054] 半导体层 107 构造成包括由非晶硅形成的有源层 107a 和由掺杂的非晶硅形成的欧姆接触层 107b。栅绝缘膜 105 可通过沉积包括 BCB、丙烯酸树脂和其他材料的有机材料形成。

[0055] 其上具有钝化层 111 的基板 101 上形成的接触孔 H 部分地暴露栅电极 103。换句话说,用于部分暴露栅电极 103 的接触孔 H 形成在钝化层 111 中。

[0056] 通过在包括具有接触孔 H 的钝化层 111 的基板 101 上形成导电金属膜来提供顶部电极 113。导电金属膜形成为覆盖基板 101 的整个表面并通过接触孔 H 与部分暴露的栅极 103 连接。顶部电极 113 可由与液晶面板(图 1 的 102)的像素区域上形成的像素电极相同的材料形成。换句话说,顶部电极 113 可由诸如氧化铟锡这样的透明金属材料形成。可选择地,顶部电极 113 可由与源极 / 漏极 109a 和 109b 或栅极 103 相同的金属材料形成。此外,顶部电极 113 可以按照半导体层 107 的尺寸来构图。

[0057] 这种第八晶体管 T8 可包括在栅极 103 与源极 / 漏极 109a 和 109b 之间产生的第一电容器元件 C1、以及在源极 / 漏极 109a 和 109b 与顶部电极之间产生的第二电容器元件 C2。因此,在与第八晶体管 T8 的栅极 103 连接的第一节点 Q 中的增压(boosted voltage)

取决于下面的方程 1。

[0058] [方程 1]

$$[0059] \quad V_Q = ((C_{\text{漏}} + C_{\text{源}}) / (C_x + C_{\text{漏}} + C_{\text{源}})) \times V_{\text{CLK}}$$

[0060] 在方程 1 中,“ $C_{\text{漏}}$ ”和“ $C_{\text{源}}$ ”对应于第八晶体管 T8 内的电容器元件,“ C_x ”是指与第八晶体管 T8 连接的其他晶体管(即薄膜晶体管 TFT)之间产生的寄生电容器元件。

[0061] 根据该方程 1,通过提高第八晶体管 T8 内的电容器元件的电容或者降低其他晶体管(即薄膜晶体管 TFT)之间的寄生电容器元件的电容,可提高第一节点 Q 的增压 V_Q 。如果第一节点 Q 上的增压 V_Q 提高,则可改善第八晶体管 T8 的响应时间。

[0062] 为了提高第一节点 Q 上的增压 V_Q (或增压特性),本实施方式将提高第八晶体管 T8 内的电容器元件的电容,而不是提高与第八晶体管 T8 连接的其他晶体管(即薄膜晶体管 TFT)之间的电容器元件的电容。

[0063] 实际上,因为第八晶体管 T8 构造成包括与栅极 103 电连接的顶部电极 113,所以额外给第八晶体管 T8 提供了第二电容器元件 C2。增加到第八晶体管 T8 的第二电容器元件 C2 提高了第一节点 Q 上的增压 V_Q 。

[0064] 此外,提高第一节点 Q 上的增压 V_Q 使第八晶体管 T8 的响应时间得到改善。第八晶体管 T8 的该改善的响应时间使第八晶体管 T8 的输出信号更快地施加到液晶面板 102 上布置的栅线 GL1 ~ GLn。这样,与栅线 GL 电连接的薄膜晶体管 TFT 的导通 / 关断时间也变得更短。因此,改善了液晶的响应时间。

[0065] 图 7 包括表示第一节点 Q 的增压随着第八晶体管中产生的电容器元件的电容增加而变化的曲线图。更具体地说,图 7A 是表示第一节点 Q 的增压随着第八晶体管中产生的第二电容器元件 C2 的电容增加而变化的曲线图,图 7B 是表示图 7A 的点划线部分的放大曲线图,图 7C 是表示输出阶段中产生的延迟时间随着第二电容器元件 C2 的电容增加而变化的曲线图,以及图 7D 是表示第一节点 Q 的增压特性随着第二电容器元件 C2 的电容增加而变化的曲线图。

[0066] 如图 7A 和 7B 中所示,很显然,随着第八晶体管 T2 的第二电容器元件 C2 的电容增加,增压提高。此外,如图 7C 中所示,第八晶体管的响应时间根据第八晶体管 T8 中产生的第二电容器元件 C2 的电容增加而逐渐变短。换句话说,第八晶体管 T8 中的延迟时间根据第二电容器元件 C2 的电容增加而减小。此外,从图 7D 可以明显看出,第一节点 Q 上的增压根据第八晶体管 T2 中产生的第二电容器元件 C2 的电容增加而提高。

[0067] 如上所述,本发明一个实施方式的 LCD 设备将用于栅扫描信号的输出部构造成包括具有与栅极连接的顶部电极的输出晶体管,从而提高了第一节点 Q 上的增压。第一节点 Q 上的增压的提高促使输出晶体管的响应时间得到改善。输出晶体管的该改善的响应时间能使输出晶体管的输出信号更快地施加到液晶面板上布置的栅线 GL1 ~ GLn。这样,像素区域中的与栅线 GL 电连接的薄膜晶体管 TFT 的导通 / 关断时间也变得更短。因此,改善了像素区域上的液晶的响应时间。

[0068] 因而,本发明一个实施方式的 LCD 设备使用于输出栅扫描信号的输出部包括具有与栅极电连接且位于最上层的额外电极的输出晶体管。这样,可改善输出晶体管的性能,且栅扫描信号可更快地施加到栅线。因此,该 LCD 设备可改善液晶的响应速度。

[0069] 尽管仅仅针对上述实施方式有限地解释了本发明,但本领域普通技术人员应当理

解,本发明不仅不限于这些实施方式,而且应理解为在不脱离本发明的精神的情况下,各种变化或修改是可能地。因此,本发明的范围应当仅由所附权利要求及其等价物来确定。

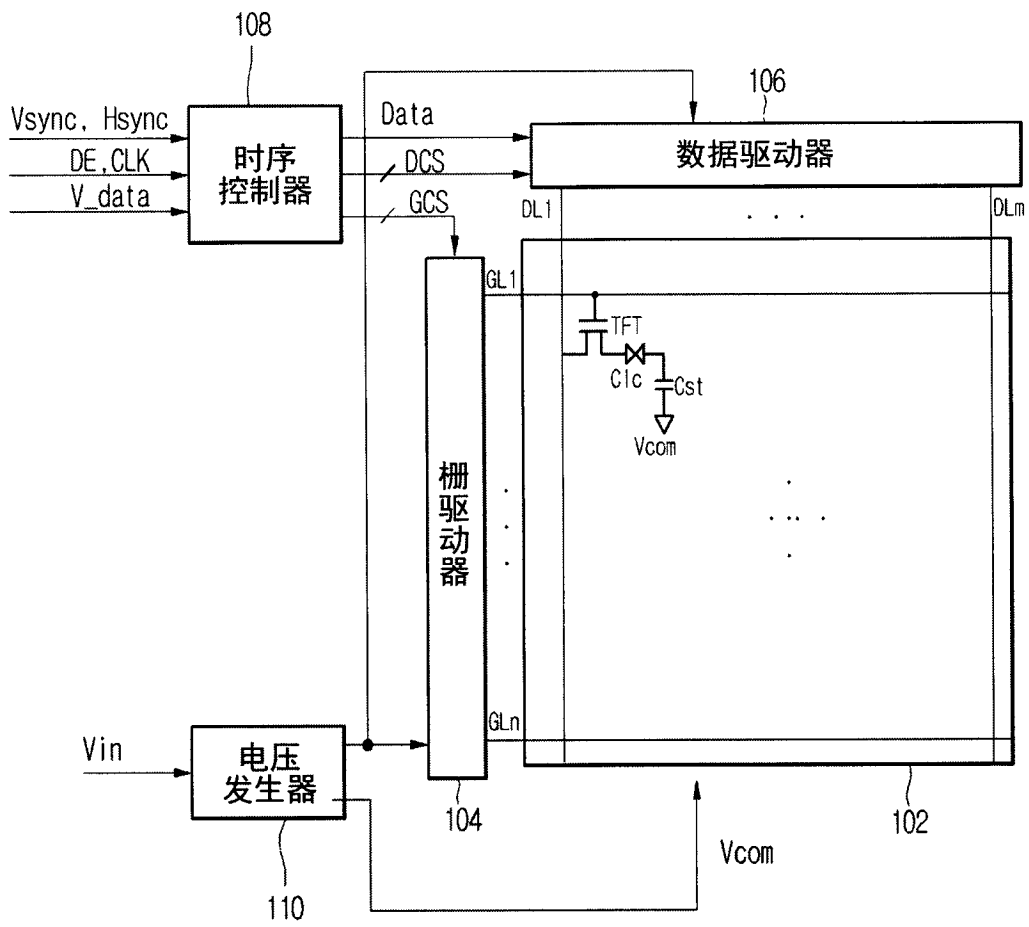


图 1

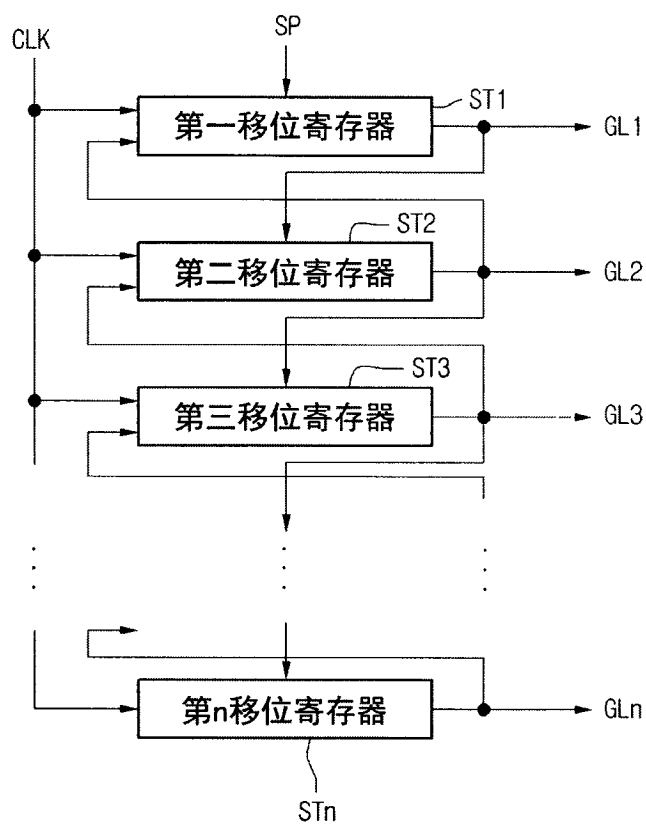


图 2

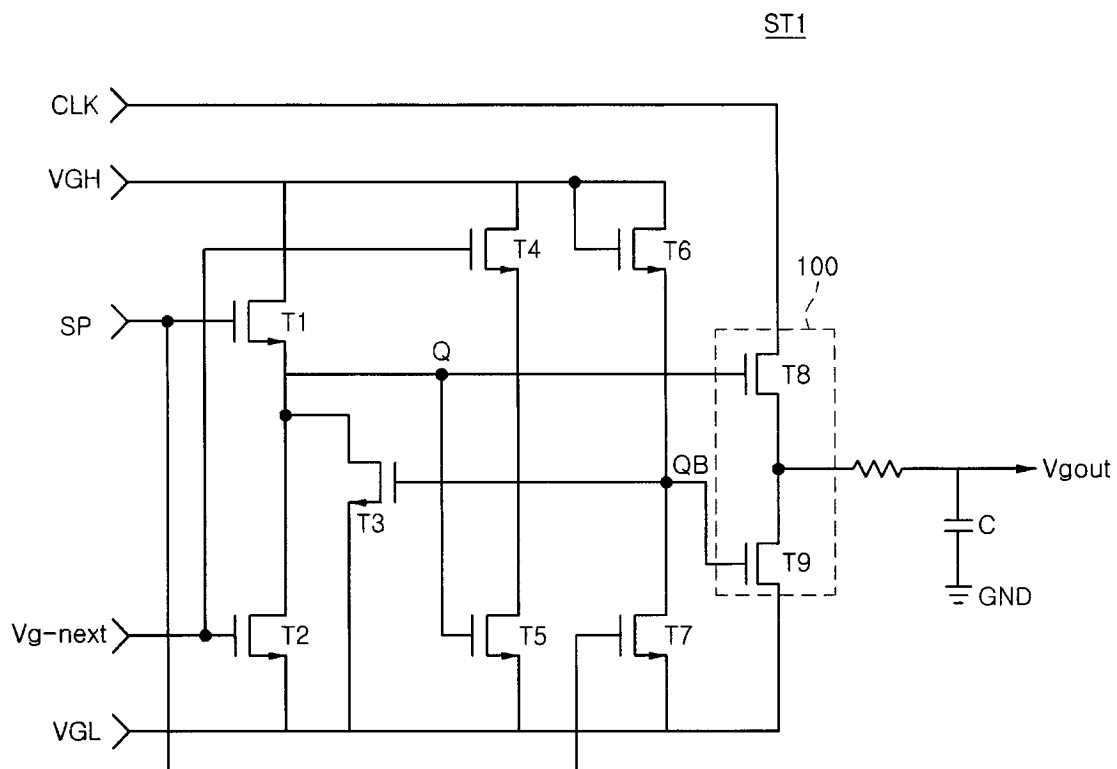


图 3

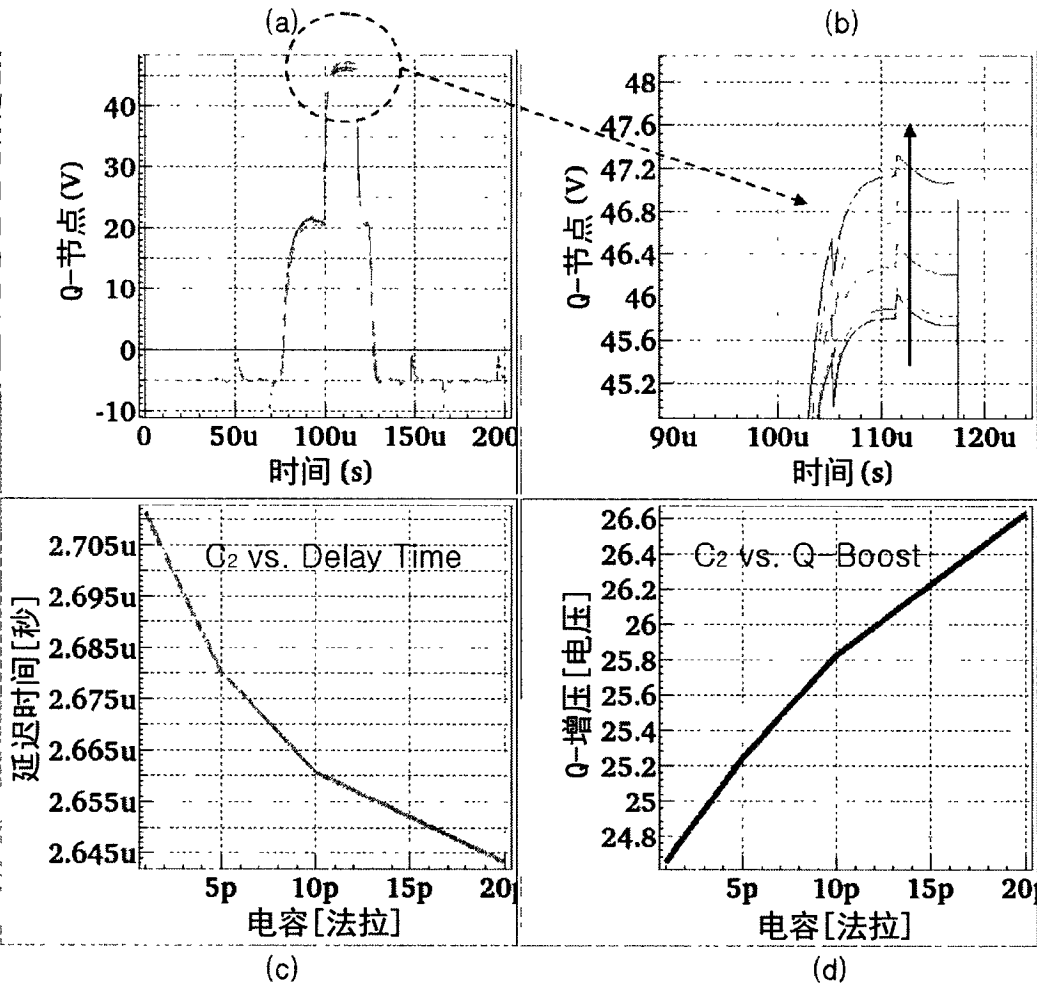


图 7

专利名称(译)	液晶显示设备		
公开(公告)号	CN101762918B	公开(公告)日	2014-02-12
申请号	CN200910226132.5	申请日	2009-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金利暎 金凡植 具会佑		
发明人	金利暎 金凡植 具会佑		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G11C19/28 G11C19/18 G09G2320/0252 G09G2310/0286 G09G2310/0291 G09G3/3677 G09G2300/0426		
代理人(译)	徐金国 王金宝		
审查员(译)	钟宇		
优先权	1020080131090 2008-12-22 KR		
其他公开文献	CN101762918A		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示设备。所述液晶显示设备包括输出部，所述输出部构造成包括具有较大电容器元件的输出晶体管。这样，所述液晶显示设备能提高液晶的响应速度。

