



(12) 发明专利

(10) 授权公告号 CN 101572062 B

(45) 授权公告日 2012. 02. 08

(21) 申请号 200810180213. 1

JP 2001042282 A, 2001. 02. 16, 全文 .

(22) 申请日 2008. 11. 28

CN 1396581 A, 2003. 02. 13, 全文 .

JP 2007086513 A, 2007. 04. 05, 全文 .

(30) 优先权数据

10-2008-0040460 2008. 04. 30 KR

审查员 刘畅

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 宋鸿声 闵雄基 孙勇气 张修赫

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

UA 2007285693 A1, 2007. 12. 13, 全文 .

WO 2007015374 A1, 2007. 02. 08, 全文 .

US 2007030230 A1, 2007. 02. 08, 全文 .

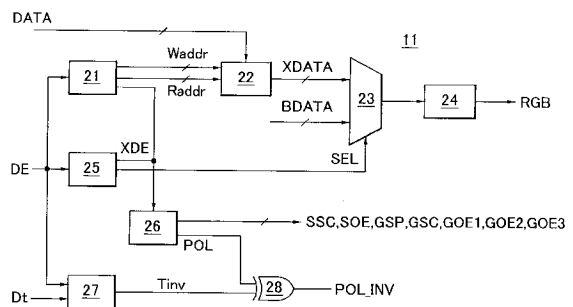
权利要求书 1 页 说明书 13 页 附图 11 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

本发明公开一种液晶显示器及其驱动方法。所述液晶显示器包括时序信号乘法电路,其按比例放大时序信号的频率;时序控制信号产生电路,其基于被按比例放大的时序信号产生极性控制信号;极性控制信号反相电路,其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;以及数据驱动电路,其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压,响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线。



1. 一种液晶显示器,包括:

液晶显示面板,其包括以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元;

时序信号乘法电路,其按比例放大时序信号的频率以输出按比例放大后的时序信号;

时序控制信号产生电路,其基于所述按比例放大后的时序信号产生极性控制信号;

极性控制信号反相电路,其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;

数据驱动电路,其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压,响应于反相极性控制信号使视频数据电压的极性反相并随后使黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线;以及

栅驱动电路,其提供栅脉冲至栅线。

2. 根据权利要求1的液晶显示器,其特征在于,所述反相周期信号的各脉冲的上升沿与黑灰度电压同步。

3. 根据权利要求1的液晶显示器,其特征在于,进一步包括:

存储控制器,其基于时序信号产生写地址信号,基于被按比例放大的时序信号产生读地址信号,并控制存储数字视频数据的存储器;

多路复用器,其在时序信号乘法电路的控制下选择存储在存储器中的数字黑数据和数字视频数据;

接口电路,其提供由多路复用器选择的数字黑数据和数字视频数据至数据驱动电路;以及

周期信号产生单元,其根据从外部接收的周期数据产生反相周期信号,

其中,极性控制信号反相电路包括异或(XOR)电路,其对极性控制信号和反相周期信号执行XOR操作,以产生反相极性控制信号。

4. 一种驱动液晶显示器的方法,该液晶显示器包括液晶显示面板,其包括以矩阵形式设置在多条数据线和多条栅线的交叉处的多个液晶单元,该方法包括:

按比例放大时序信号的频率;

基于该按比例放大的时序信号产生极性控制信号;

响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;

将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压,响应于反相极性控制信号使视频数据电压的极性反相然后使黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线;以及

提供栅脉冲至栅线。

5. 根据权利要求4的方法,其特征在于,反相周期信号的各脉冲的上升沿与黑灰度电压同步。

## 液晶显示器及其驱动方法

[0001] 本申请要求 2008 年 4 月 30 日提交的申请号为 10-2008-0040460 的韩国专利申请的权益,在此为了所有目的将该申请引为参考,如同在此充分阐明。

### 技术领域

[0002] 本发明涉及液晶显示器及其驱动方法。

### 背景技术

[0003] 有源矩阵型液晶显示器利用薄膜晶体管 (TFT) 作为开关元件显示运动图像。由于有源矩阵型液晶显示器的纤薄外形,有源矩阵型液晶显示器已经用于电视以及诸如办公设备和计算机的便携式设备中的显示器件。因此,阴极射线管 (CRT) 正迅速地被有源矩阵型液晶显示器取代。

[0004] 如果 DC 电压被长时间施加到液晶显示器的液晶层,液晶层中的离子根据液晶的极性极化。此外,随着时间流逝,积聚在液晶层中的离子量增加。积聚离子量的增加使取向层和液晶的取向特性劣化。换句话说,长时间施加 DC 电压到液晶层导致在显示屏上出现瑕疵,并且随着时间流逝,瑕疵的尺寸增大。为解决该瑕疵问题,已经开发具有低介电常数的液晶材料,或者已经尝试用于改善取向材料或取向方法的方法。然而,要花长时间和沉重开支来开发用于该方法的材料。此外,具有低介电常数的液晶材料的使用可降低液晶的驱动特性。根据实验结果,随着在液晶层内部离子化的杂质量增大以及加速度因子变大,瑕疵的出现时间变得更快。加速度因子可以包括温度、时间、液晶的 DC 驱动,等等。例如,当相同极性的 DC 电压被施加到液晶层的时期在高温下变得更长时,瑕疵恶化并且瑕疵的出现时间变得更快。因为瑕疵非均匀地出现在通过同样的生产线制造的显示面板之间,所以不能仅仅通过开发新材料或改善工艺解决瑕疵问题。

[0005] 在液晶显示器中,由于液晶材料的保持特性而发生显示在液晶显示面板的屏上的运动图像不清晰并模糊的模糊现象。CRT 通过使荧光物质在一段非常短的时间发光,将数据提供至单元,从而以脉冲驱动方式显示图像。另一方面,液晶显示器通过在扫描周期期间提供数据到液晶单元并通过在剩余场周期(或帧周期)期间保持被充到液晶单元的数据,以保持驱动方式显示图像。在液晶显示器中,由于液晶的保持特性,因而观察者感觉到的被觉察的图像的明暗,是不清晰并且模糊的。

### 发明内容

[0006] 因此,示例性实施例在于提供一种液晶显示器及其驱动方法,该液晶显示器能被脉冲驱动并抑制由于离子极化和积聚而导致的瑕疵现象。

[0007] 示例性实施例的另外的特征和优点将在随后的说明中阐述,并且一部分将从说明中明了,或可通过示例性实施例的实践而了解。示例性实施例的目的和其他优点将通过所写的说明书和权利要求以及附图中特别指出的结构而实现并获得。

[0008] 为实现这些和其他优点,根据具体体现和广泛描述的实施例的目的,一种液晶显

示器包括液晶显示面板,其包括以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元;时序信号乘法电路,其按比例放大时序信号的频率;时序控制信号产生电路,其基于时序信号产生极性控制信号,时序信号的频率被时序信号乘法电路按比例放大;极性控制信号反相电路,其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;数据驱动电路,其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压(black gray level voltage),响应于所述反相极性控制信号使视频数据电压的极性和黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线;以及栅驱动电路,其提供栅脉冲至栅线。

[0009] 反相周期信号的各脉冲与黑灰度电压同步。

[0010] 反相周期信号的上升沿和下降沿与黑灰度电压同步。

[0011] 液晶显示器进一步包括存储控制器,其基于时序信号产生写地址信号,基于被按比例放大的时序信号产生读地址信号,并控制存储数字视频数据的存储器;多路复用器,其在时序信号乘法电路的控制下选择存储在存储器中的数字黑数据和数字视频数据;接口电路,其提供由多路复用器选择的数字黑数据和数字视频数据至数据驱动电路;以及周期信号产生单元,其根据从外部接收的周期数据产生反相周期信号。极性控制信号反相电路包括异或(XOR)电路,其对极性控制信号和反相周期信号执行XOR操作,以产生反相极性控制信号。

[0012] 在另一方面,一种驱动液晶显示器的方法,该液晶显示器包括液晶显示面板,其具有以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元;该方法包括按比例放大时序信号的频率;基于该按比例放大的时序信号产生极性控制信号;响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压,响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线;以及提供栅脉冲至栅线。

[0013] 需要理解的是本发明的上述一般说明和下面详细描述都是示例性和说明性的,并且意图是提供对所要求的本发明的进一步解释。

## 附图说明

[0014] 所包含的附图用来进一步理解本发明并且被结合来构成该详细说明的一部分,图示了本发明的实施例并且与具体描述一起来解释本发明的原理。在附图中:

[0015] 图1是根据第一示例性实施例的液晶显示器的方块图;

[0016] 图2是详细示出图1中所示时序控制器的方块图;

[0017] 图3是详细示出图1所示数据驱动器集成电路(IC)的方块图;

[0018] 图4是详细示出图3所示数模转换器的电路图;

[0019] 图5是详细示出图1所示栅驱动器IC的电路图;

[0020] 图6至8示出根据第一示例性实施例的液晶显示器中的视频数据和黑数据的示例性扫描操作;

[0021] 图9是根据第一示例性实施例的液晶显示器中在周期T1期间,由第一和第二栅驱动器IC输出的栅脉冲的波形图;

[0022] 图 10 至 12 是施加到根据第一示例性实施例的液晶显示器的极性控制信号、反相极性控制信号、反相周期信号以及正反模拟视频数据电压和正反黑灰度电压的波形图；

[0023] 图 13 是根据第二示例性实施例的液晶显示器的方块图；

[0024] 图 14 是详细示出图 13 中所示的时序控制器的方块图；

[0025] 图 15 和 16 示出根据第二示例性实施例的液晶显示器中的视频数据和黑数据的示例性扫描操作；以及

[0026] 图 17 至 19 是施加到根据第二示例性实施例的液晶显示器的极性控制信号、反相极性控制信号、反相周期信号以及正反模拟视频数据电压和正反黑灰度电压的波形图。

## 具体实施方式

[0027] 下面将具体涉及到实施方式,其实例在附图中示出。

[0028] 如图 1 所示,根据第一示例性实施例的液晶显示器包括液晶显示面板 10、时序控制器 11、数据驱动电路 12、以及栅驱动电路 13。数据驱动电路 12 包括多个数据驱动器集成电路 (IC) (未示出)。栅驱动电路 13 包括多个栅驱动器 IC131 至 133。

[0029] 在液晶显示面板 10 中,液晶层形成在两个玻璃基板之间。液晶显示面板 10 包括  $m \times n$  个液晶单元 Clc,其以矩阵形式设置在  $m$  条数据线 14 和  $n$  条栅线 15 的各交叉处。

[0030] 数据线 14、栅线 15、薄膜晶体管 (TFT)、以及存储电容器 Cst 被形成在液晶显示面板 10 的下玻璃基板上。液晶单元 Clc 被连接到 TFT 并由像素电极 1 和公共电极 2 之间的电场驱动。黑矩阵、彩色滤光器、以及公共电极 2 被形成在液晶显示面板 10 的上玻璃基板上。公共电极 2 以垂直电驱动方式形成在上玻璃基板上,诸如扭曲向列 (TN) 模式和垂直对准 (VA) 模式。公共电极 2 和像素电极 1 以水平电驱动方式形成在下玻璃基板上,诸如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式。极化片分别附着于液晶显示面板 10 的上下玻璃基板。用于设置液晶预倾角的取向层分别形成在上下玻璃基板上。

[0031] 通过根据施加到栅驱动器 IC131 至 133 的栅时序控制信号将显示屏划分为多个块 BL1 至 BL3,对液晶显示面板 10 的显示屏分 - 驱动。通过经历视频数据充电周期,在该周期期间每个块被每 1 条线充电为视频数据电压;数据保持周期,在该周期期间每个块被保持在数据电压;以及黑充电周期,在该周期期间每个块被每两条或更多条线同时充电为黑灰度电压,每一块 BL1 至 BL3 被时分驱动。在本实施例中,线表示像素行。

[0032] 时序控制器 11 接收时序信号,诸如数据使能信号 DE 和点时钟 CLK,并产生控制信号用于控制数据驱动电路 12 的操作时序和栅驱动电路 13 的操作时序。控制信号的频率比输入帧的频率高 1.25 倍。控制信号包括数据时序控制信号和栅时序控制信号。时序控制器 11 允许从外部系统板接收的数字视频数据 DATA 的传输频率大于输入频率。然后,时序控制器 11 周期性地将数字黑数据 BDATA 插入传输频率增大的数字视频数据 RGB,以将它提供到数据驱动电路 12。时序控制器 11 的电路结构在图 2 中示出。

[0033] 栅时序控制信号包括栅起始脉冲 GSP,栅移位时钟 GSC,第一至第三栅输出使能信号 GOE1 至 GOE3,等等。栅起始脉冲 GSP 仅仅被施加到第一栅驱动器 IC131,由此指示扫描操作的扫描起始线,从而第一栅驱动器 IC131 产生第一栅脉冲。第二和第三栅驱动器 IC132 和 133 接收由第一栅驱动器 IC131 产生的进位信号作为栅起始脉冲,进行操作。栅起始脉冲 GSP,如图 9 所示,包括第一脉冲 P1 和跟随第一脉冲 P1 的第二脉冲 P2。第一脉冲 P1 允

许扫描数据写入块的栅驱动器 IC 开始操作。第二脉冲 P2 的宽度大于第一脉冲 P1 的宽度。第二脉冲 P2 允许扫描黑写入块的栅驱动器 IC 开始操作。栅移位时钟 GSC 是用于使栅起始脉冲 GSP 移位的时钟信号。第一至第三栅输出使能信号 GOE1 至 GOE3 被独立地施加到栅驱动器 IC131 至 133。在栅输出使能信号 GOE1 至 GOE3 的低逻辑周期期间,即在从紧接在脉冲下降时间之后至紧挨在下一脉冲上升时间的的时间周期期间,栅驱动器 IC131 至 133 输出栅脉冲。在栅输出使能信号 GOE1 至 GOE3 的高逻辑周期期间,栅驱动器 IC131 至 133 不产生栅脉冲。

[0034] 数据时序控制信号包括源采样时钟 SSC、反相极性控制信号 POL\_INV、源输出使能信号 SOE,等等。源采样时钟 SSC 基于上升沿或下降沿,指示数据驱动电路 12 进行数据锁存操作。反相极性控制信号 POL\_INV 控制由数据驱动电路 12 输出的视频数据电压和黑灰度电压的极性。源输出使能信号 SOE 控制数据驱动电路 12 的输出。

[0035] 时序控制器 11 响应于周期数据 Dt,周期性地使内部极性控制信号反相,以产生反相极性控制信号 POL\_INV。周期数据 Dt 通过外部系统板或用户接口被输入时序控制器 11 或被存储在时序控制器 11 内部的寄存器中。

[0036] 数据驱动电路 12 在时序控制器 11 的控制下锁存数字视频数据 RGB 和数字黑数据 BDATA。数据驱动电路 12 响应于反相极性控制信号 POL\_INV 将数字视频数据 RGB 和数字黑数据 BDATA 转换为模拟正或负伽马补偿电压,由此产生正或负模拟视频数据电压和正或负黑灰度电压。然后,数据驱动电路 12 提供这些电压至数据线 14。数据驱动电路 12 在 4 个水平周期期间输出正 / 负模拟视频数据电压之后,数据驱动电路 12 在 1 个水平周期期间输出正 / 负黑灰度电压。这些输出操作反复地执行。数据驱动电路 12 的每一数据驱动器 IC 的电路结构在图 3 和 4 中示出。

[0037] 栅驱动电路 13 在时序控制器 11 的控制下顺序地提供栅脉冲至栅线 15。栅驱动电路 13 的每一栅驱动器 IC 的电路结构在图 5 中示出。

[0038] 当栅驱动电路 13 的栅驱动器 IC131 至 133 扫描数据写入块时,栅驱动器 IC131 至 133 响应于接收自时序控制器 11 或在前栅驱动器 IC 的栅起始脉冲 GSP 的第一脉冲、栅移位时钟 GSC、以及具有低占空比的栅输出使能信号 GOE1 至 GOE3,在 4 个水平周期期间,顺序地施加栅脉冲至 4 条栅线 15。在 1 个水平周期之后,栅驱动器 IC131 至 133 开始输出栅脉冲。数据驱动电路 12 与栅脉冲同步地提供正 / 负模拟视频数据电压至数据线 14。

[0039] 当栅驱动电路 13 的栅驱动器 IC131 至 133 扫描黑写入块时,栅驱动器 IC131 至 133 响应于接收自时序控制器 11 或在前栅驱动器 IC 的栅起始脉冲 GSP 的第二脉冲、栅移位时钟 GSC、以及具有高占空比的栅输出使能信号 GOE1 至 GOE3,在 4 个水平周期期间,不执行输出操作。然后,在 1 个水平周期期间,栅驱动器 IC131 至 133 重复操作以同时提供栅脉冲至 4 条栅线 15。数据驱动电路 12 与栅脉冲同步地提供正 / 负黑灰度电压至数据线 14。

[0040] 图 2 详细示出时序控制器 11。

[0041] 如图 2 所示,时序控制器 11 包括存储控制器 21、存储器 22、多路复用器 23、接口电路 24、时序信号乘法电路 25、时序控制信号产生电路 26、周期信号产生单元 27、以及异或(用 XOR 或 EOR 代表)电路 28。

[0042] 存储控制器 21 产生与数据使能信号 DE 一致的写地址信号 Waddr,并产生与数据使能信号 XDE 一致的读地址信号 Raddr,其频率比数据使能信号 DE 的频率高 1.25 倍。增大存

储控制器 21 的输出速度的原因在于在现有时序控制器在 4 条数据线上输出数据的时间周期期间,时序控制器 11 在 4 条数据线上输出数字块以及数据。

[0043] 存储器 22 响应于写地址信号 Waddr 储存数字视频数据,并响应于读地址信号 Raddr 输出储存的数字视频数据。

[0044] 多路复用器 23 响应于由时序信号乘法电路 25 输出的选择信号 SEL,选择由存储器 22 输出的数字视频数据 XDATA 和数字黑数据 BDATA。在多路复用器 23 在 4 个水平周期期间,响应于选择信号 SE 的第一逻辑电平,提供 4 条线的数字视频数据 XDATA 至接口电路 24 之后,多路复用器 23 在 1 个水平周期期间,响应于选择信号 SE 的第二逻辑电平,提供数字黑数据 BDATA 至接口电路 24。

[0045] 接口电路 24 传输数字视频数据 RGB、数字黑数据 BDATA、以及微型低压差分信号 (LVDS) 时钟至微型 LVDS 接口中的数据驱动电路 12。

[0046] 时序信号乘法电路 25 以 1.25 倍按比例放大数据使能信号 DE 的频率。基于输入频率每隔一水平周期产生数据使能信号 DE。因此,当输入帧频是 60Hz 时,液晶显示器 10 以 75Hz 的帧频驱动。时序信号乘法电路 25 计算按比例放大的数据使能信号 DE。当时序信号乘法电路 25 以 5 除计算值得 0 时,时序信号乘法电路 25 重置计算值并使选择信号 SEL 的逻辑电平反相,以获得第二逻辑电平。频率被时序信号乘法电路 25 按比例放大的数据使能信号 XDE,被输入至存储控制器 21 和时序控制信号产生电路 26。

[0047] 时序控制信号产生电路 26 产生栅时序控制信号,诸如栅起始脉冲 GSP、栅移位时钟信号 GSC、以及栅输出使能信号 GOE1 至 GOE3;以及数据时序控制信号,诸如源采样时钟信号 SSC、源输出使能信号 SOE、以及极性控制信号 POL。由时序控制信号产生电路 26 产生的栅时序控制信号的频率和数据时序控制信号的频率比不具有基于按比例放大的数据使能信号 XDE 的脉冲效果的现有技术高 1.25 倍。

[0048] 根据周期数据 Dt,周期信号产生单元 27 产生反相周期信号 Tinv,其每隔预定时间间隔被反相,以提供反相周期信号 Tinv 至 XOR 电路 28。XOR 电路 28 对极性控制信号 POL 和反相周期信号 Tinv 执行 XOR 操作,以输出反相极性控制信号 POL\_INV。

[0049] 图 3 和 4 示出数据驱动器 IC12A。

[0050] 如图 3 和 4 所示,各数据驱动器 IC12A 包括移位寄存器 31、数据还原单元 32、第一锁存器阵列 33、第二锁存器阵列 34、数模转换器 (DAC) 35、充电共享电路 (charge share circuit) 36、以及输出电路 37。

[0051] 数据还原单元 32 暂时储存接收自时序控制器 11 的数字视频数据 RGB 和数字黑数据 BDATA 并在微型 LVDS 接口中还原数据,以将还原的数据提供到第一锁存器阵列 33。

[0052] 移位寄存器 31 响应于源采样时钟信号 SSC,对采样信号移位。当多于第一锁存器阵列 33 的锁存器的数量的数据被提供时,移位寄存器 31 产生进位信号 CAR。

[0053] 第一锁存器阵列 33 响应于顺序接收自移位寄存器 31 的采样信号,采样并锁存接收自数据还原单元 32 的数字视频数据 RGB 和数字黑数据 BDATA。然后,第一锁存器阵列 33 同时输出数字视频数据 RGB 和数字黑数据 BDATA。

[0054] 第二锁存器阵列 34 锁存从第一锁存器阵列 33 接收的数据。然后,在源输出使能信号 SOE 的低逻辑周期期间,一个数据驱动器 IC 12A 的第二锁存器阵列 34 和另一个数据驱动器 IC 12A 的锁存器阵列 34 同时输出锁存的数据。

[0055] DAC 35,如图 4 所示,包括 P 解码器 41,其被提供正伽马补偿电压 GH;N 解码器 42,其被提供负伽马补偿电压 GL;以及多路复用器 43,其响应于反相极性控制信号 POL\_INV,选择 P 解码器 41 的输出和 N 解码器 42 的输出。P 解码器 41 解码从第二锁存器阵列 34 接收的数据,以输出与数据的灰度值对应的正伽马补偿电压 GH。N 解码器 42 解码从第二锁存器阵列 34 接收的数据,以输出与数据的灰度值对应的负伽马补偿电压 GL。多路复用器 43 响应于反相极性控制信号 POL\_INV,选择正伽马补偿电压 GH 和负伽马补偿电压 GL。

[0056] 在源输出使能信号 SOE 的高逻辑周期期间,充电共享电路 36 使相邻数据输出通道短路,以输出相邻数据电压的平均值作为充电共享电压。或者,在源输出使能信号 SOE 的高逻辑周期期间,充电均分电路 36 提供公共电压 Vcom 至数据输出通道,以减少提供给数据线 14 的正电压和负电压中的突变。

[0057] 输出电路 37 包括缓冲器,由此最小化提供给数据线 D1 至 Dk 的正/负模拟视频数据电压和正/负黑灰度电压的信号衰减。

[0058] 图 5 示出栅驱动器 IC131 至 133。

[0059] 如图 5 所示,每一栅驱动器 IC131 至 133 包括移位寄存器 50、电平移位器 52、多个连接在移位寄存器 50 和电平移位器 52 之间的与门 51、以及用于使栅输出使能信号 GOE1 至 GOE3 反相的反相器 53。

[0060] 利用多个级联的 D 触发器,根据栅移位时钟 GSC,移位寄存器 50 顺序地使栅起始脉冲 GSP 移位。每一与门 51 对移位寄存器 50 的输出信号和栅输出使能信号 GOE1 至 GOE3 的反相信号执行与操作,以产生逻辑输出。反相器 53 使栅输出使能信号 GOE1 至 GOE3 反相,以提供栅输出使能信号 GOE1 至 GOE3 的反相信号至与门 51。因此,只有当栅输出使能信号 GOE1 至 GOE3 在低逻辑周期时,栅驱动器 IC 131 至 133 产生输出。

[0061] 电平移位器 52 使在液晶显示面板 10 的像素阵列内部的 TFT 的操作电压范围内的与门 51 的输出电压的摆幅宽度改变。电平移位器 52 的输出信号 G1 至 Gk 被顺序地提供给 k 条栅线 15,其中 k 是整数。电平移位器 52 设置在移位寄存器 50 之前。像素阵列的移位寄存器 50 和 TFT 可以直接设置在液晶显示面板 10 的玻璃基板上。

[0062] 如图 6 至 8 所示,通过使液晶面板 10 的一块充电为正/负黑灰度电压或者使该一块保持在在前的充电视频数据电压,同时另一块被充电为正/负模拟视频数据电压,根据第一示例性实施例的液晶显示器被脉冲驱动。每一块 BL1 至 BL3 在 1 帧周期 (1/75 秒) 期间,顺序地经历视频数据充电操作、数据保持操作、以及黑充电操作。这将参照图 9 的波形图详细描述。

[0063] 在周期 T1 期间,第一栅驱动器 IC 131 响应于周期 T1 一开始就产生的栅起始脉冲 GSP 的第一脉冲 P1,开始进行操作。在栅移位时钟 GSC 中,在 4 个水平周期期间每隔一水平周期产生脉冲后,该脉冲在 2 个水平周期后再次产生。在第一栅输出使能信号 GOE1 中,在 4 个水平周期期间每隔一水平周期产生脉冲后,该脉冲在 1 个水平周期期间被保持在高逻辑电平。然后,每隔一水平周期再次产生该脉冲。结果,第一栅驱动器 IC 131 在 4 个水平周期期间顺序地提供栅脉冲至 4 条栅线之后,在 1 个水平周期期间第一栅驱动器 IC 131 停止输出。然后,第一栅驱动器 IC 131 重复操作以顺序地提供栅脉冲至栅线。在周期 T1 期间,被第一栅驱动器 IC 131 扫描的第一块 BL1 的液晶单元被顺序地充电为接收自各条线中的数据驱动电路 12 的正/负模拟视频数据电压。周期 T1 一开始,第二栅驱动器 IC 132 就

从第一栅驱动器 IC 131 接收进位信号。应用于第二栅驱动器 IC 132 的栅移位时钟 GSC 与应用于第一栅驱动器 IC 131 的栅移位时钟 GSC 相同。在应用于第二栅驱动器 IC 132 的第二栅输出使能信号 GOE2 中,在脉冲在 4 个水平周期期间被保持在高逻辑电平之后,当在第一块 BL1 中,4 条线被充电为正 / 负模拟视频数据电压时,在 1 个水平周期期间脉冲被反相为低逻辑电平。然后,具有与 4 个水平周期的长度对应的宽度的脉冲再次产生。结果,在第二栅驱动器 IC 132 中,具有与 4 个或更多个水平周期对应的宽度的进位信号在一个水平周期的时间间隔处被改变,因此,进位信号彼此重叠。进位信号的重叠脉冲宽度与 3 个或更多个水平周期对应。当第二栅输出使能信号 GOE2 被保持在低逻辑电平时,由于在对应 5 的倍数的水平周期期间进位信号的重叠,由第二栅驱动器 IC 产生的栅脉冲被同时提供给 4 条栅线。因此,在周期 T1 期间,由第二栅驱动器 IC 132 扫描的第二块 BL2 的液晶单元被每 4 条线同时充电为接收自数据驱动电路 12 的正 / 负黑灰度电压。在周期 T1 期间,第三栅驱动器 IC 133 不从第二栅驱动器 IC 132 接收进位信号。因此第三块 BL3 被保持在视频数据电压,在在前帧的周期 T3 期间,第三块 BL3 的液晶单元被充电为该视频数据电压。

[0064] 在周期 T2 期间,第一栅驱动器 IC 131 不从时序控制器 11 接收栅起始脉冲 GSP。因此,因为在周期 T2 期间第一栅驱动器 IC131 不产生栅脉冲,第一块 BL1 保持为在周期 T1 期间第一块 BL1 的液晶单元被充电的数据电压。周期 T2 一开始,第二栅驱动器 IC 132 从栅驱动器 IC 131 接收栅起始脉冲 GSP 的第一脉冲 P1,作为进位信号。因此,在第二栅驱动器 IC 132 在 4 个水平周期期间顺序地提供栅脉冲至 4 条栅线之后,在 1 个水平周期期间第二栅驱动器 IC 132 停止输出。然后,第二栅驱动器 IC 132 重复操作以顺序地提供栅脉冲至栅线。在周期 T2 期间,由第二栅驱动器 IC 132 扫描的第二块 BL2 的液晶单元被在各条线中顺序地充电为接收自数据驱动电路 12 的正负模拟视频数据电压。周期 T2 一开始,第三栅驱动器 IC 133 就从第二栅驱动器 IC 132 接收栅起始脉冲 GSP 的第二脉冲 P2,作为进位信号。结果,在第三栅驱动器 IC 133 同时提供栅脉冲至 4 条栅线之后,在 4 个水平周期之后,第三栅驱动器 IC 133 重复操作以同时提供栅脉冲至另外的 4 条栅线。因此,在周期 T2 期间,由第三栅驱动器 IC 133 扫描的第三块 BL3 的液晶单元被每 4 条线同时充电为接收自数据驱动电路 12 的正 / 负黑灰度电压。

[0065] 周期 T3 一开始,第一栅驱动器 IC 131 就从时序控制器 11 接收栅起始脉冲 GSP 的第二脉冲 P2。结果,在第一栅驱动器 IC 131 在周期 T3 期间同时提供栅脉冲至 4 条栅线之后,在 4 个水平周期之后,第一栅驱动器 IC 131 重复操作以同时提供栅脉冲至另外的 4 条线。因此,在周期 T3 期间,由第一栅驱动器 IC 131 扫描的第一块 BL1 的液晶单元被每 4 条线同时充电为接收自数据驱动电路 12 的正 / 负黑灰度电压。在周期 T3 期间,第二栅驱动器 IC 132 不从第一栅驱动器 IC 131 接收进位信号。因此,因为在周期 T3 期间第二栅驱动器 IC 132 不产生栅脉冲,所以第二块 BL2 保持为第二块 BL2 的液晶单元在周期 T2 期间充电的视频数据电压。周期 T3 一开始,第三栅驱动器 IC 133 就从第一栅驱动器 IC 131 接收栅起始脉冲 GSP 的第一脉冲 P1,作为进位信号。因此,在第三栅驱动器 IC 133 在周期 T3 期间顺序地提供栅脉冲至 4 条栅线之后,在 1 个水平周期期间第三栅驱动器 IC 133 停止输出。然后,第三栅驱动器 IC 133 重复操作,以顺序地提供栅脉冲至栅线。在周期 T3 期间,由第三栅驱动器 IC 133 扫描的第三块 BL3 的液晶单元被在各条线中顺序地充电为接收自数据驱动电路 12 的正负模拟视频数据电压。

[0066] 在图 9 中, G1 至 G4 表示提供给被充电为视频数据电压的数据写入块的栅线的栅脉冲, 以及提供给被充电为黑灰度电压的黑写入块的栅线的栅脉冲, 1H 表示 1 个水平周期。1 个水平周期的长度以 1 比 1.25 的比例小于输入到时序控制器 11 的数据使能信号 DE 的 1 个水平周期的长度。

[0067] 根据第一示例性实施例的液晶显示器利用反相极性控制信号 POL\_INV, 使黑灰度电压的极性周期性地反相, 以周期性地使液晶分子的运动方向反向。结果, 根据第一示例性实施例的液晶显示器可以通过将液晶单元充电为视频数据电压, 然后将液晶单元充电为黑灰度电压来被脉冲驱动, 并且通过周期性地使液晶分子的运动反向, 还可以最小化液晶层中的离子的极化和积聚, 由此防止瑕疵出现。

[0068] 图 10 至 12 示出反相极性控制信号 POL\_INV 的反相周期。更具体地说图 10 至 12 示出在根据第一示例性实施例的液晶显示器中的极性控制信号 POL、反相极性控制信号 POL\_INV、反相周期信号 Tinv、以及由反相极性控制信号 POL\_INV 控制的正反模拟视频数据电压 +D 和 -D 和正反黑灰度电压 +B 和 -B 的波形。在图 10 至 12 中, 正反模拟视频数据电压 +D 和 -D 以及正反黑灰度电压 +B 和 -B 是相同的液晶单元被充电的电压。

[0069] 如图 10 所示, 反相周期信号 Tinv 包括每隔“i”秒产生的脉冲, “i”是大于 2 的整数。反相周期信号 Tinv 的每一脉冲与接收自数据驱动器 IC 12A 的黑灰度电压同步。极性控制信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期性地反相, 以使视频数据电压和黑灰度电压的极性, 在 1 帧周期期间彼此相同, 其中相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

[0070] 在 1 帧周期 (1/75 秒) 期间液晶单元被相继充电为视频数据电压和黑灰度电压, 其极性根据反相极性控制信号 POL\_INV 被控制。每当与黑灰度电压同步的反相周期信号 Tinv 的脉冲被输入, XOR 电路 28 使极性控制信号 POL 反相, 以产生反相极性控制信号 POL\_INV。因此, 每当反相周期信号 Tinv 的脉冲被输入, 液晶单元被充电为黑灰度电压, 其极性与在 1 帧周期期间在黑灰度电压之前被充入的视频数据电压的极性相反。当反相周期信号 Tinv 保持在低逻辑电平时, 液晶单元被充电为黑灰度电压, 其极性与黑灰度电压之前被充入的视频数据电压的极性相同。

[0071] 因此, 每当在与反相周期信号 Tinv 的脉冲宽度对应的时间间隔处, 液晶单元被充电为黑灰度电压时, 液晶单元的液晶分子和离子沿相反方向移动并且不极化。结果, 液晶层中的离子不会被根据离子的极性划分, 并且不会分开地积聚。

[0072] 如图 11 所示, 反相周期信号 Tinv 包括每隔 2i 秒产生且宽度为“i”秒的脉冲。在反相周期信号 Tinv 中, 脉冲的上升沿与黑灰度电压同步, 脉冲的下降沿与从上升沿经过“i”秒后产生的黑灰度电压同步。极性控制信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期性地反相, 使得视频数据电压的极性和黑灰度电压的极性, 在 1 帧周期期间彼此相等, 其中相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

[0073] 在 1 帧周期 (1/75 秒) 期间液晶单元被相继充电为视频数据电压和黑灰度电压, 其极性根据反相图案控制信号 POL\_INV 被控制。当与黑灰度电压同步的反相周期信号 Tinv 的脉冲被输入, XOR 电路 28 使极性控制信号 POL 反相, 以产生“i”秒的反相极性控制信号 POL\_INV。因此, 当反相周期信号 Tinv 的脉冲被输入, 液晶单元被充电为视频数据电压和黑

灰度电压,其极性图案与在该“i”秒之前的“i”秒期间的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子周期性地沿相反方向移动,所以离子的极化和积聚可被抑制。

[0074] 如图 12 所示,反相周期信号  $T_{inv}$  包括每隔“i”秒产生且宽度为  $i/2$  秒的脉冲。在反相周期信号  $T_{inv}$  中,脉冲的上升沿与黑灰度电压同步,脉冲的下降沿与从上升沿经过“ $i/2$ ”秒后产生的黑灰度电压同步。极性控制信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期性地反相,使得视频数据电压的极性和黑灰度电压的极性,在 1 帧周期期间彼此相等,其中,相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

[0075] 在 1 帧周期 (1/75 秒) 期间液晶单元被相继充电为视频数据电压和黑灰度电压,其极性根据反相极性控制信号  $POL\_INV$  被控制。当与黑灰度电压同步的反相周期信号  $T_{inv}$  的脉冲被输入时,XOR 电路 28 使极性控制信号 POL 反相以产生“ $i/2$ ”秒的反相极性控制信号  $POL\_INV$ 。因此,当反相周期信号  $T_{inv}$  的脉冲被输入的同时,液晶单元被充电为视频数据电压和黑灰度电压,其极性图案与该“ $i/2$ ”秒之前的“ $i/2$ ”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子沿相反方向移动,离子的极化和积聚被抑制。

[0076] 从图 10 至 12 可以看出,时序控制器 11 响应于反相周期信号  $T_{inv}$  使反相极性控制信号  $POL\_INV$  反相,并且允许黑灰度电压的极性与视频数据电压的极性周期性地相反。更进一步,在除了由反相周期信号  $T_{inv}$  指向的周期以外的周期期间,时序控制器 11 允许黑灰度电压的极性与视频数据电压的极性相等。

[0077] 图 13 至 19 示出根据第二示例性实施例的液晶显示器。

[0078] 如图 13 所示,根据第二示例性实施例的液晶显示器包括液晶显示面板 130、时序控制器 131、数据驱动电路 132、以及栅驱动电路 133。数据驱动电路 132 包括多个数据驱动 IC(未示出),并且栅驱动电路 133 包括多个栅驱动器 IC(未示出)。数据驱动 IC 的电路结构与图 3 和 4 所示的电路结构基本相同,并且栅驱动器 IC 的电路结构与图 5 所示的电路结构基本相同。

[0079] 因为液晶显示面板 130 的结构基本上与第一示例性实施例中所述的相同,其相关说明被简略或被完全忽略。

[0080] 时序控制器 131 接收时序信号,诸如数据使能信号 DE 和点时钟 CLK,并产生控制信号用于控制数据驱动电路 132 的操作时序和栅驱动电路 13 的操作时序。控制信号的频率比输入帧的频率高 2 倍。控制信号包括数据时序控制信号和栅时序控制信号。时序控制器 131 允许从外部系统板接收的数字视频数据 DATA 的传输频率比输入频率高 2 倍。时序控制器 131 周期性地将数字黑数据 BDATA 插入数字视频数据 RGB,以将其提供给数据驱动电路 132。时序控制器 131 的电路结构在图 2 中示出。

[0081] 栅时序控制信号包括栅起始脉冲 GSP、栅移位时钟 GSC、栅输出使能信号 GOE 等等。在第一示例性实施例中,当多个块中的一块被充电为视频数据电压的同时,栅输出使能信号 GOE 被独立地施加到扫描该些块的栅驱动器 IC,以防止另一些块被扫描。相反,在第二示例性实施例中,在与视频数据电压同步的栅脉冲被顺序提供给液晶显示面板 130 的整个屏上的栅线 135 之后,与黑灰度电压同步的栅脉冲被顺序提供给整个屏上的栅线 135。因此,

个栅输出使能信号 GOE 通常被提供给所有的栅驱动器 IC。栅起始脉冲 GSP 仅仅被施加到第一栅驱动器 IC, 由此指示扫描操作的扫描起始线, 从而第一栅驱动器 IC 产生第一栅脉冲。第二和第三栅驱动器 IC 接收由第一栅驱动器 IC 产生的进位信号, 作为栅起始脉冲进行操作。栅起始脉冲 GSP 包括第一脉冲和第二脉冲。1 帧周期一开始, 第一脉冲就被产生, 并且在经历大约 1/2 帧周期之后, 第二脉冲被产生。第一脉冲允许第一栅驱动器 IC 开始操作, 从而第一栅驱动器 IC 可以输出与视频数据电压同步的栅脉冲。第二脉冲允许第一栅驱动器 IC 开始操作, 从而第一栅驱动器 IC 可以输出与黑灰度电压同步的栅脉冲。第一脉冲的宽度与第二脉冲的宽度相同。栅移位时钟 GSC 是时钟信号, 用于使栅起始脉冲 GSP 移位。栅输出使能信号 GOE 通常被施加到栅驱动器 IC。在栅输出使能信号 GOE 的低逻辑周期期间, 即在从紧接着脉冲的下降时间之后至紧挨着下一脉冲的上升时间之前的时间周期期间, 栅驱动器 IC 输出栅脉冲。在栅输出使能信号 GOE 的高逻辑周期期间, 栅驱动器 IC 不产生栅脉冲。

[0082] 数据时序控制信号包括源采样时钟 SSC、反相极性控制信号 POL\_INV、源输出使能信号 SOE, 等等。源采样时钟 SSC 基于上升沿或下降沿, 指示数据驱动电路 132 进行数据锁存操作。反相极性控制信号 POL\_INV 控制由数据驱动电路 132 输出的视频数据电压和黑灰度电压的极性。源输出使能信号 SOE 控制数据驱动电路 132 的输出。

[0083] 时序控制器 131 响应于周期数据 Dt, 周期性地使内部极性控制信号反相, 以产生反相极性控制信号 POL\_INV。周期数据 Dt 通过外部系统板或用户接口被输入时序控制器 131 或被存储在时序控制器 131 内部的寄存器中。

[0084] 数据驱动电路 132 在时序控制器 131 的控制下锁存数字视频数据 RGB 和数字黑数据 BDATA。数据驱动电路 132 响应于反相极性控制信号 POL\_INV 将数字视频数据 RGB 和数字黑数据 BDATA 转换为模拟正或负伽马补偿电压, 由此产生正或负模拟视频数据电压和正或负黑灰度电压。然后, 数据驱动电路 132 提供这些电压至数据线 134。在数据驱动电路 132 在 1/2 帧周期期间输出正 / 负模拟视频数据电压之后, 数据驱动电路 132 在 1/2 帧周期期间输出正 / 负黑灰度电压。

[0085] 在栅驱动电路 133 在 1/2 帧周期期间, 在时序控制器 131 的控制下, 顺序地提供与正 / 负模拟视频数据电压同步的栅脉冲至所有栅线 135 之后, 在 1/2 帧周期期间, 栅驱动电路 133 顺序地提供与正 / 负黑灰度电压同步的栅脉冲至所有的栅线 135。

[0086] 图 14 详细示出时序控制器 131。

[0087] 如图 14 所示, 时序控制器 131 包括存储控制器 141、存储器 1414、多路复用器 143、接口电路 144、时序信号乘法电路 145、时序控制信号产生电路 146, 周期信号产生单元 147、以及异或 (用 XOR 或 EOR 代表) 电路 148。

[0088] 存储控制器 141 产生与数据使能信号 DE 一致的写地址信号 Waddr, 并产生与数据使能信号 XDE 一致的读地址信号 Raddr, 其频率比数据使能信号 DE 的频率高 2 倍。增大存储控制器 141 的输出速度的原因在于在整个屏的液晶单元在 1 帧周期期间被充电为视频数据电压之后, 整个屏的液晶单元被充电为黑灰度电压。

[0089] 存储器 142 响应于写地址信号 Waddr 储存数字视频数据, 并响应于读地址信号 Raddr 输出储存的数字视频数据。

[0090] 多路复用器 143 响应于由时序信号乘法电路 145 输出的选择信号 SEL, 选择由存储

器 142 输出的数字视频数据 XDATA 和数字黑数据 BDATA。多路复用器 143 在对应 1/2 帧周期的第一半周期期间,响应于选择信号 SE 的第一逻辑电平,提供数字视频数据 XDATA 至接口电路 144 之后,多路复用器 143 在对应于另外 1/2 帧周期的第二半周期期间,响应于选择信号 SE 的第二逻辑电平提供数字黑数据 BDATA 至接口电路 144。

[0091] 接口电路 144 传输数字视频数据 RGB、数字黑数据 BDATA、以及微型低压差分信号 (LVDS) 时钟至微型 LVDS 接口中的数据驱动电路 132。

[0092] 时序信号乘法电路 145 以 2 倍按比例放大数据使能信号 DE 的频率。数据使能信号 DE 基于输入频率每隔一水平周期产生。因此,当输入帧频是 60Hz 时,液晶显示器 130 以 120Hz 的帧频驱动。时序信号乘法电路 145 计算按比例放大的数据使能信号 DE,每隔 1/2 帧周期重置计算值,并且将选择信号 SE 的逻辑电平改变为第二逻辑电平。频率被时序信号乘法电路 145 按比例放大的数据使能信号 XDE,被输入至存储控制器 141 和时序控制信号产生电路 146。

[0093] 时序控制信号产生电路 146 产生栅时序控制信号,诸如栅起始脉冲 GSP、栅移位时钟信号 GSC、和栅输出使能信号 GOE;以及数据时序控制信号,诸如源采样时钟信号 SSC、源输出使能信号 SOE、和极性控制信号 POL。由时序控制信号产生电路 146 产生的栅时序控制信号的频率和数据时序控制信号的频率比不具有基于按比例放大的数据使能信号 XDE 的脉冲效果的现有技术高 2 倍。

[0094] 根据周期数据 Dt,周期信号产生单元 147 产生反相周期信号 Tinv,其每隔预时间间隔被反相,以提供反相周期信号 Tinv 至 XOR 电路 148。XOR 电路 148 对极性控制信号 POL 和反相周期信号 Tinv 执行 XOR 操作,以输出反相极性控制信号 POL\_INV。

[0095] 根据第二示例性实施例的液晶显示器被以 120Hz 的帧频驱动。如图 15 和 16 所示,在 1 帧周期一开始,栅起始脉冲 GSP 就产生一次之后,在经过 1/2 帧周期之后栅起始脉冲 GSP 再次产生一次。结果,液晶显示面板 130 的所有液晶单元在与 1/2 帧周期对应的第一半周期期间,被充电为视频数据电压,然后在与另一 1/2 帧周期对应的第二半周期期间,被充电为黑灰度电压。因此,根据第二示例性实施例的液晶显示器被脉冲驱动。

[0096] 在图 16 中, G1 至 Gn 显示栅脉冲, 1H 显示 1 个水平周期。该 1 个水平周期的长度大约为输入到时序控制器 131 的数据使能信号 DE 的 1 个水平周期的长度的一半。

[0097] 根据第二示例性实施例的液晶显示器利用反相极性控制信号 POL\_INV 周期地使黑灰度电压反相,以周期性地使液晶分子的运动方向反相。结果,根据第二示例性实施例的液晶显示器可以通过将液晶单元充电为视频数据电压,然后将液晶单元充电为黑灰度电压而被脉冲驱动,而且可以通过使液晶分子的运动方向周期性地反相而最小化液晶层中的离子极化和积聚,由此防止出现瑕疵。

[0098] 图 17 至 19 示出反相极性控制信号 POL\_INV 的反相周期。更具体地说,图 17 至 19 示出在根据第二示例性实施例的液晶显示器中的极性控制信号 POL、反相极性控制信号 POL\_INV、反相周期信号 Tinv、以及由反相极性控制信号 POL\_INV 控制的正反模拟视频数据电压 +D 和 -D 和正反黑灰度电压 +B 和 -B 的波形。在图 17 至 19 中,正反模拟视频数据电压 +D 和 -D 以及正反黑灰度电压 +B 和 -B 是相同的液晶单元被充电的电压。

[0099] 如图 17 所示,反相周期信号 Tinv 包括每隔“i”秒产生的脉冲,“i”是大于 2 的整数。反相周期信号 Tinv 的每一脉冲与接收自数据驱动器 IC 的黑灰度电压同步。极性控制

信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期性地反相,使得视频数据电压的极性和黑灰度电压的极性,在 1 帧周期期间彼此相同,其中,相同的液晶单元将被充电该视频数据电压和黑灰度电压。

[0100] 在 1 帧周期 (1/120 秒) 期间,液晶单元被相继充电为视频数据电压和黑灰度电压,其极性根据反相极性控制信号 POL\_INV 被控制。每当与黑灰度电压同步的反相周期信号 Tinv 的脉冲被输入时,XOR 电路 148 使极性控制信号 POL 反相,以产生反相极性控制信号 POL\_INV。因此,每当反相周期信号 Tinv 的脉冲被输入时,液晶单元被充电为黑灰度电压,其极性与在 1 帧周期期间在黑灰度电压之前被充入的视频数据电压的极性相反。当反相周期信号 Tinv 保持在低逻辑电平的同时,液晶单元被充电为黑灰度电压,其极性与黑灰度电压之前被充入的视频数据电压的极性相同。

[0101] 因此,每当在与反相周期信号 Tinv 的脉冲宽度对应的时间间隔处,液晶单元被充电为黑灰度电压时,液晶单元的液晶分子和离子沿相反方向移动并且不极化。因此,液晶层中的离子不会被根据离子的极性划分,并且不会分开地积聚。

[0102] 如图 18 所示,反相周期信号 Tinv 包括每隔  $2i$  秒产生且宽度为“ $i$ ”秒的脉冲。在反相周期信号 Tinv 中,脉冲的上升沿与黑灰度电压同步,脉冲的下降沿与从上升沿经过“ $i$ ”秒后产生的黑灰度电压同步。极性控制信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期地反相,使得视频数据电压的极性和黑灰度电压的极性,在 1 帧周期期间彼此相同,其中,相同的液晶单元将被充电该视频数据电压和黑灰度电压。

[0103] 在 1 帧周期 (1/120 秒) 期间,液晶单元被相继充电为视频数据电压和黑灰度电压,其极性根据反相极性控制信号 POL\_INV 被控制。当与黑灰度电压同步的反相周期信号 Tinv 的脉冲被输入,XOR 电路 148 使极性控制信号 POL 反相“ $i$ ”秒,以产生反相极性控制信号 POL\_INV。因此,当反相周期信号 Tinv 的脉冲被输入的同时,液晶单元被充电为视频数据电压和黑灰度电压,其极性图案与该“ $i$ ”秒之前的“ $i$ ”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子周期性地沿相反方向移动,离子的极化和积聚被抑制。

[0104] 如图 19 所示,反相周期信号 Tinv 包括每隔“ $i$ ”秒产生且宽度为  $i/2$  秒的脉冲。在反相周期信号 Tinv 中,脉冲的上升沿与黑灰度电压同步,脉冲的下降沿与从上升沿经过“ $i/2$ ”秒后产生的黑灰度电压或视频数据电压同步。极性控制信号 POL 以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号 POL 的相位被周期性地反相,使得视频数据电压的极性和黑灰度电压的极性,在 1 帧周期期间彼此相同,其中,相同的液晶单元将被充电该视频数据电压和黑灰度电压。

[0105] 在 1 帧周期 (1/75 秒) 期间,液晶单元被相继充电为视频数据电压和黑灰度电压,其极性根据反相极性控制信号 POL\_INV 被控制。当与黑灰度电压同步的反相周期信号 Tinv 的脉冲被输入时,XOR 电路 148 使极性控制信号 POL 反相“ $i/2$ ”秒,以产生反相极性控制信号 POL\_INV。因此,当反相周期信号 Tinv 的脉冲被输入的同时,液晶单元被充电为视频数据电压和黑灰度电压,其极性图案与该“ $i/2$ ”秒之前的“ $i/2$ ”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子沿相反方向移动,离子的极化和积聚被抑制。

[0106] 从图 17 至 19 可以看出,时序控制器 131 响应于反相周期信号  $T_{inv}$  使反相极性控制信号 POL\_INV 反相,并且允许黑灰度电压的极性与视频数据电压的极性周期性地相反。此外,在除了由反相周期信号  $T_{inv}$  指向的周期以外的周期期间,时序控制器 131 允许黑灰度电压的极性与视频数据电压的极性相等。

[0107] 如上所述,根据示例性实施例的液晶显示器及其驱动方法可以通过将液晶电压充电为视频数据电压和通过将液晶单元充电为黑灰度电压而被脉冲驱动,并且还可以通过周期性地使液晶层中的离子的运动方向反向,抑制瑕疵现象,由此防止出现瑕疵。

[0108] 对实施例可进行各种修正和变化而不脱离本发明的精神和范围,这对本领域技术人员而言是显而易见的。因此,本发明的实施例意图覆盖所附权利要求及其等同物范围内的修正和变化。

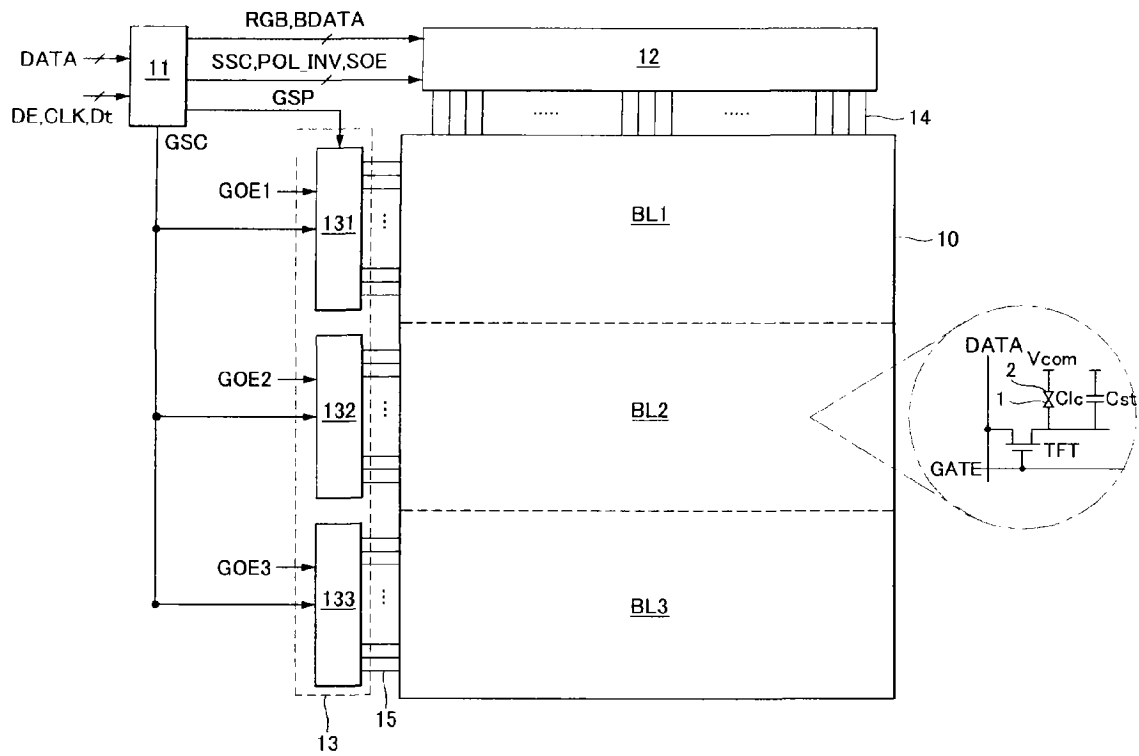


图 1

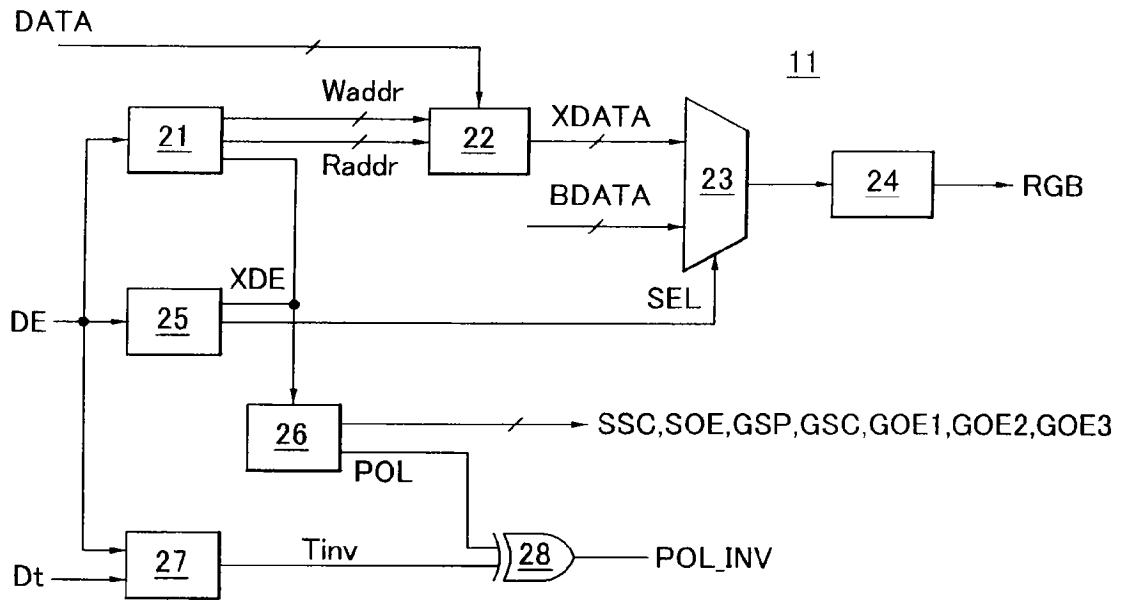


图 2

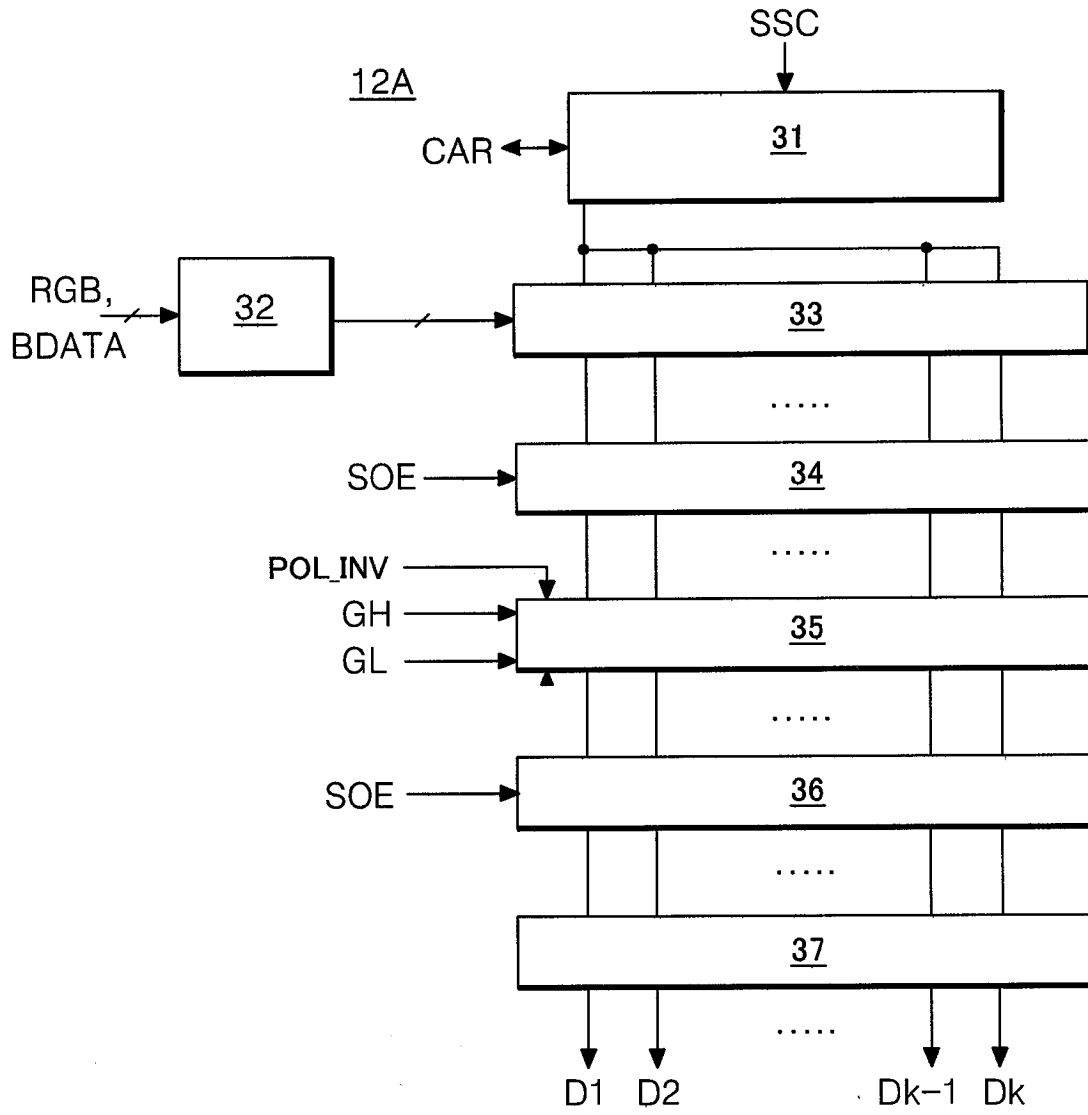


图 3

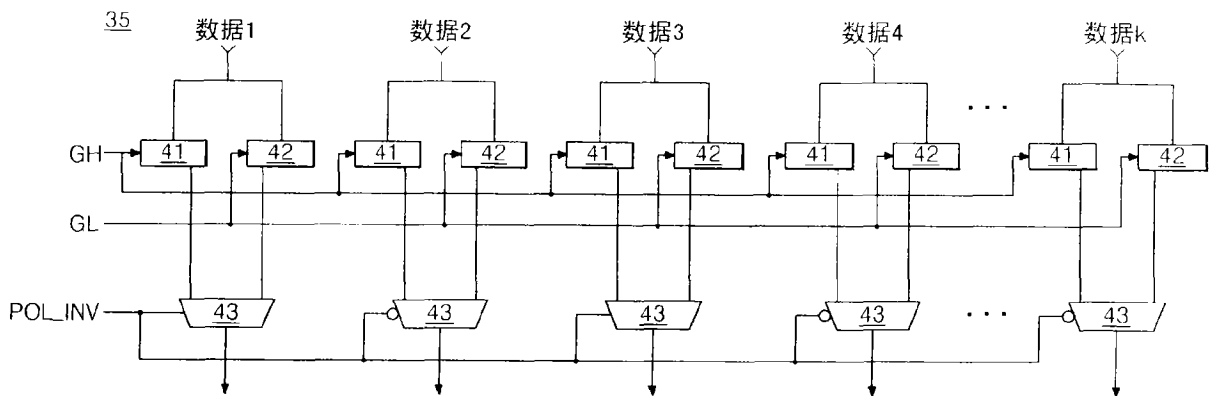


图 4

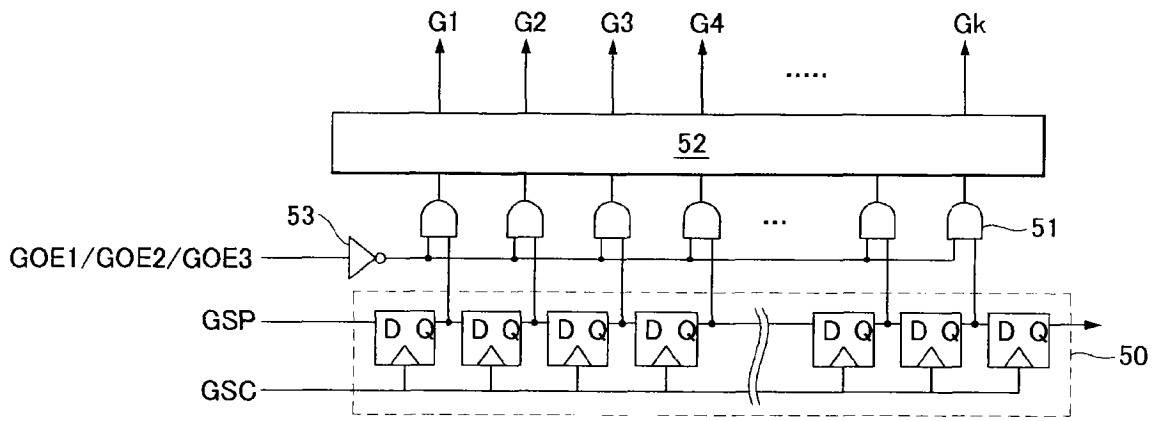


图 5

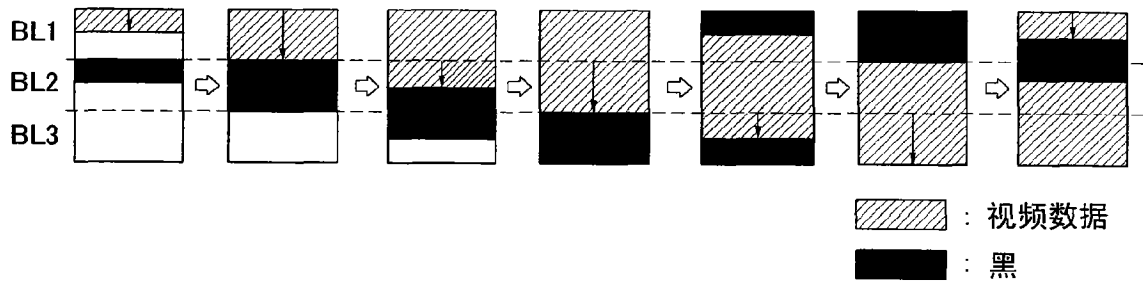


图 6

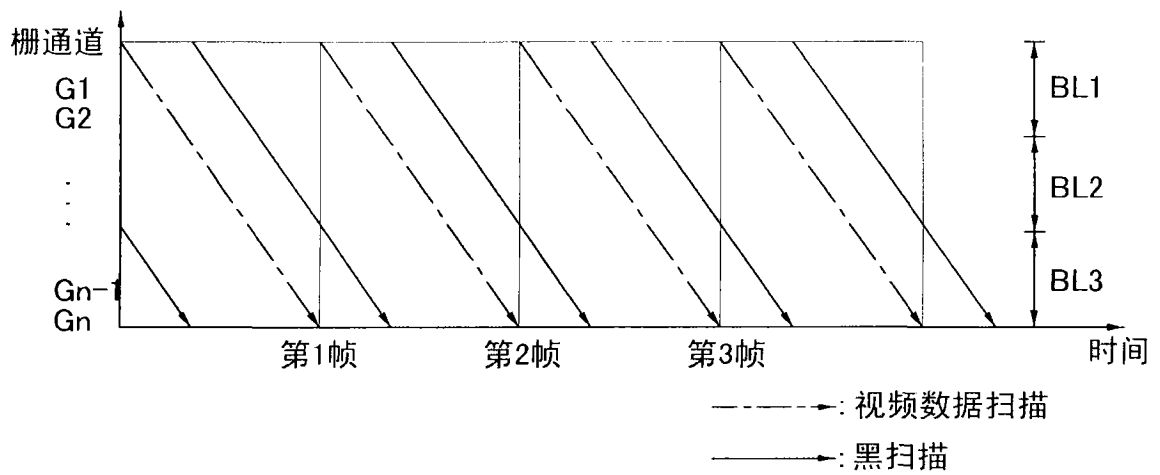


图 7

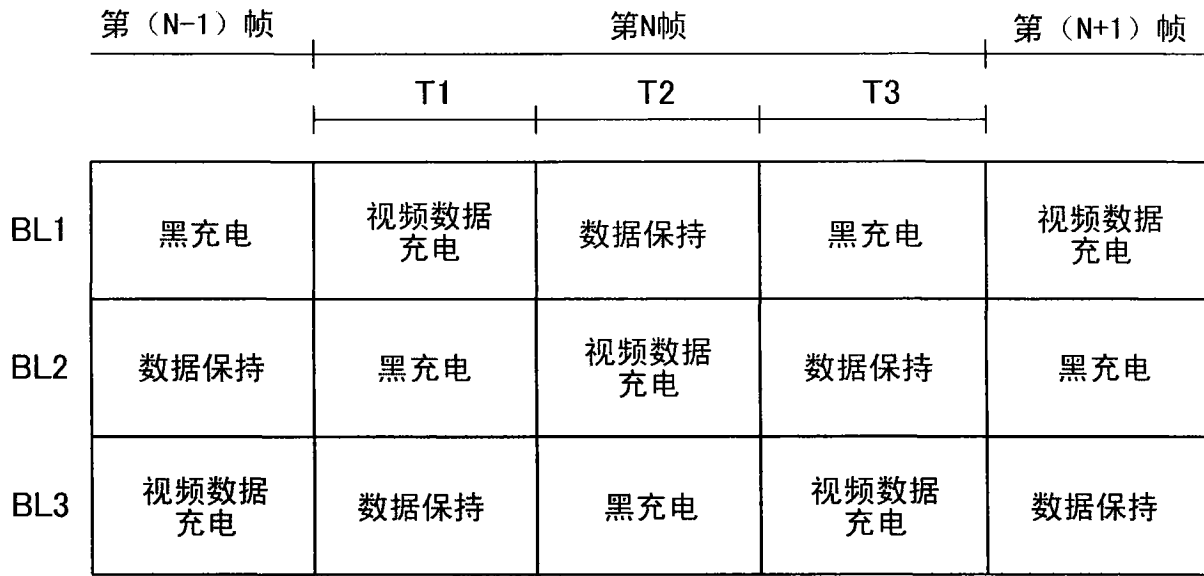


图 8

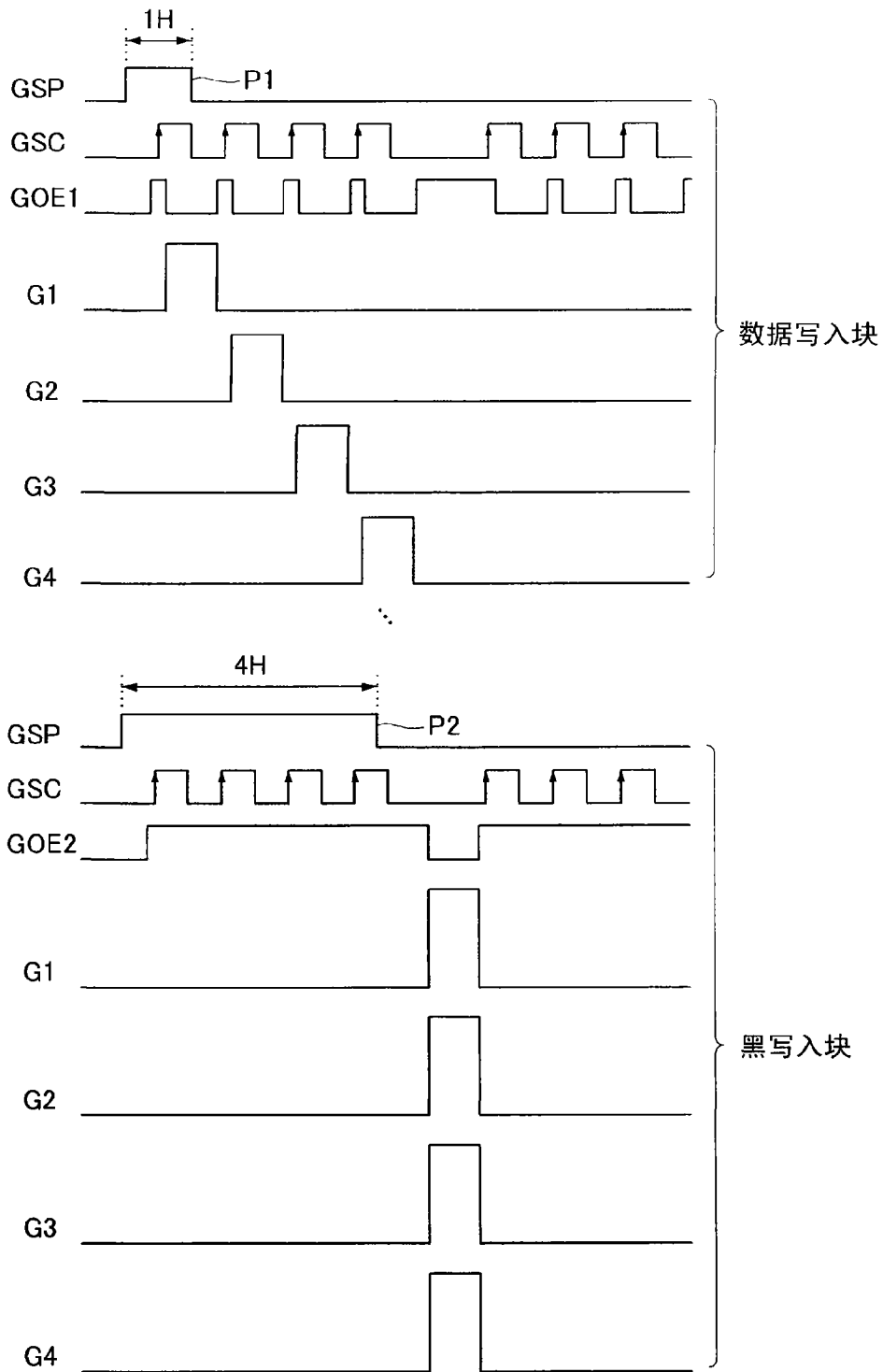


图 9

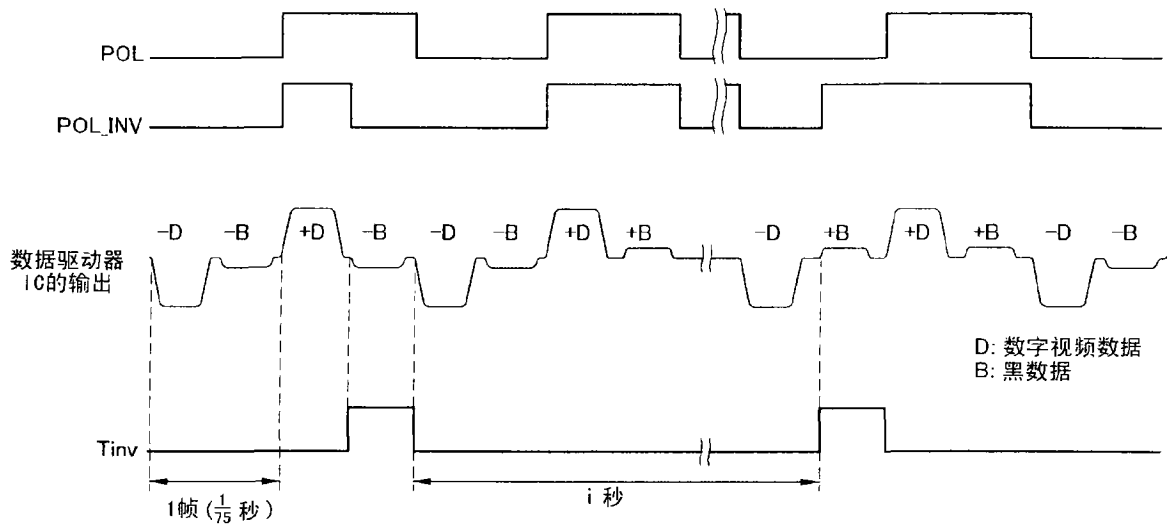


图 10

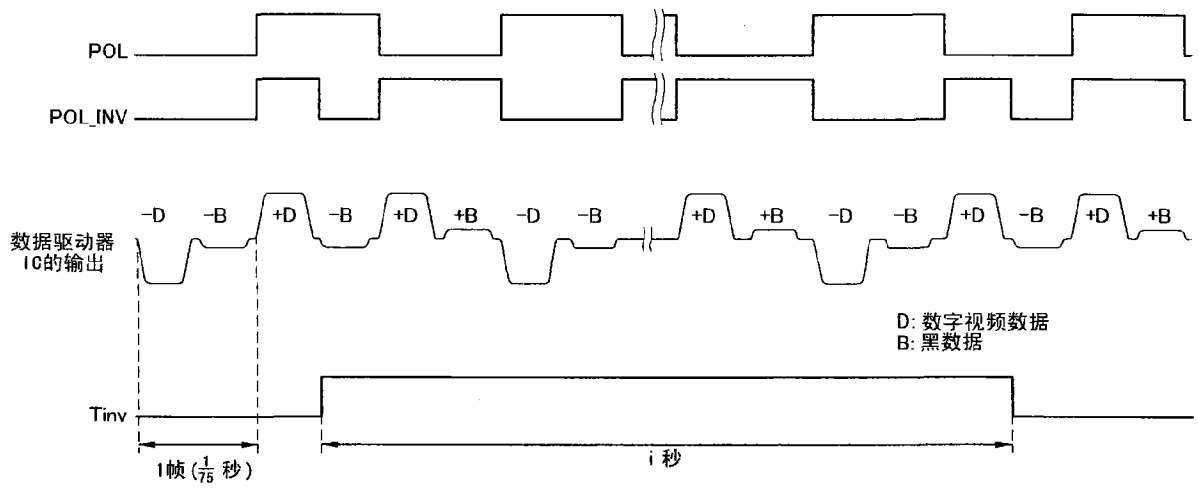


图 11

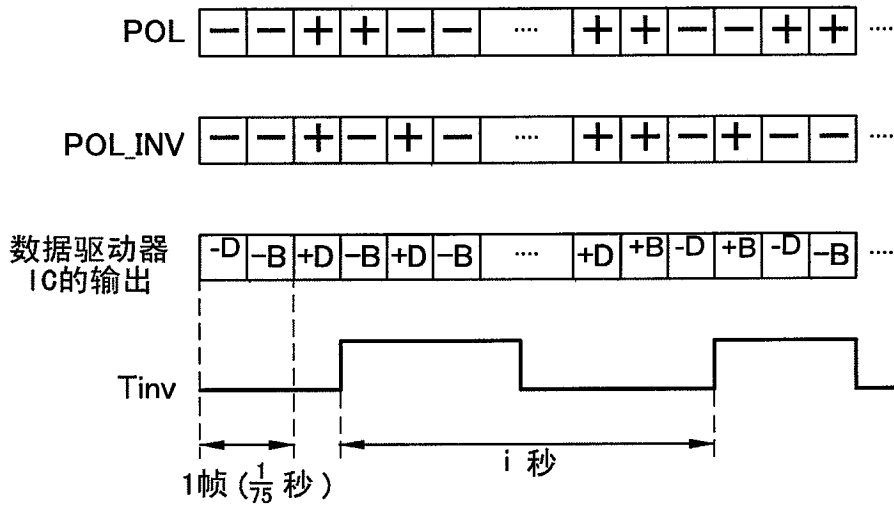


图 12

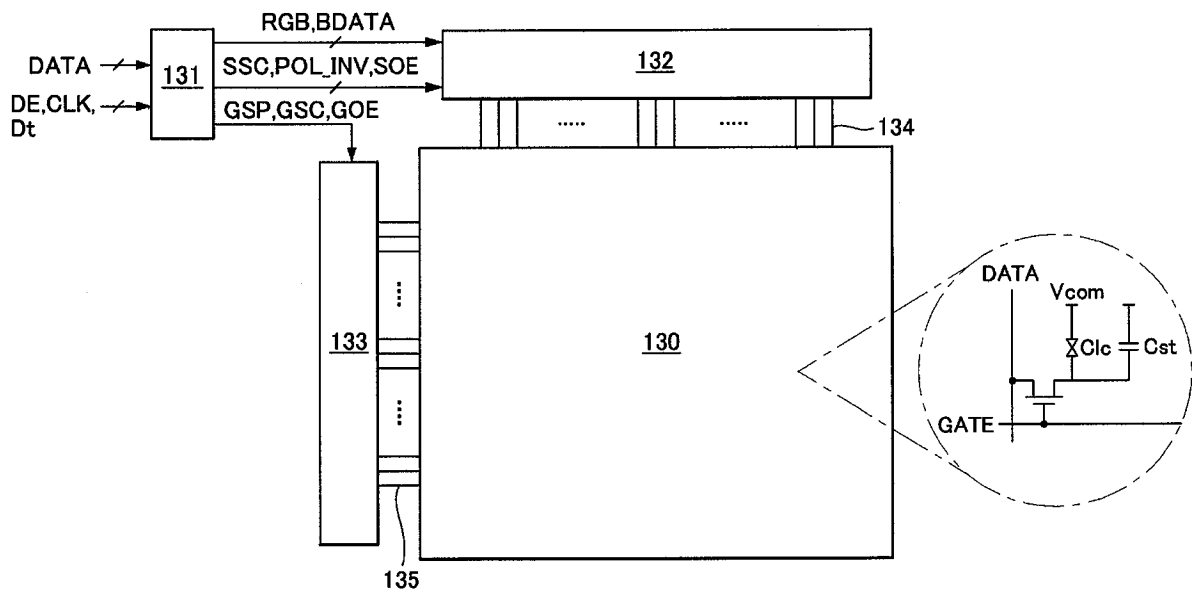


图 13

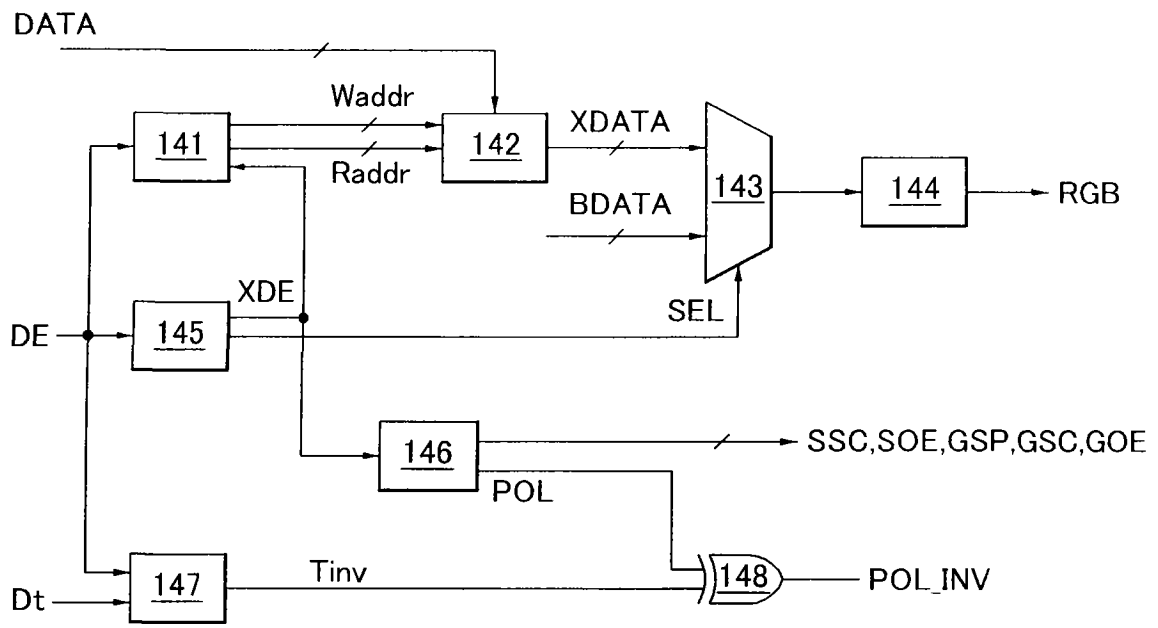


图 14

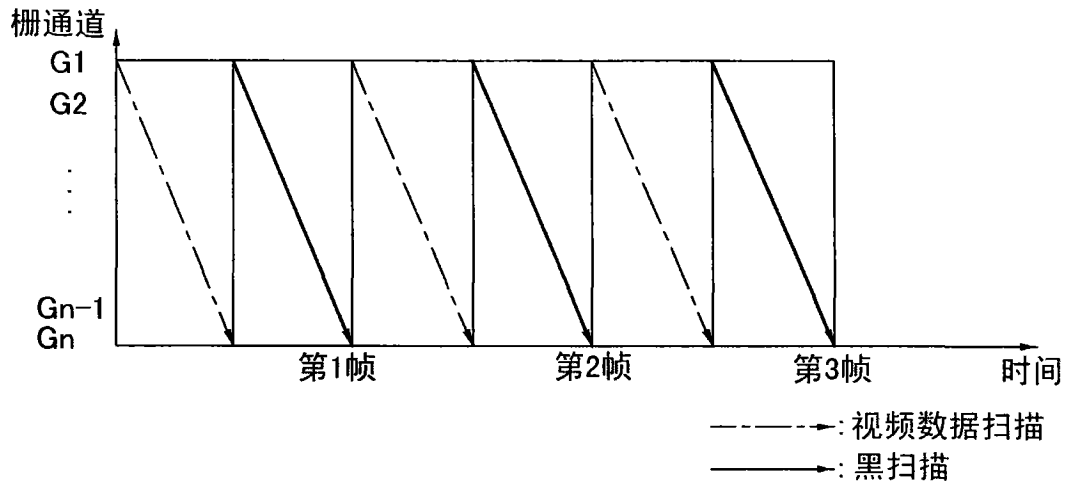


图 15

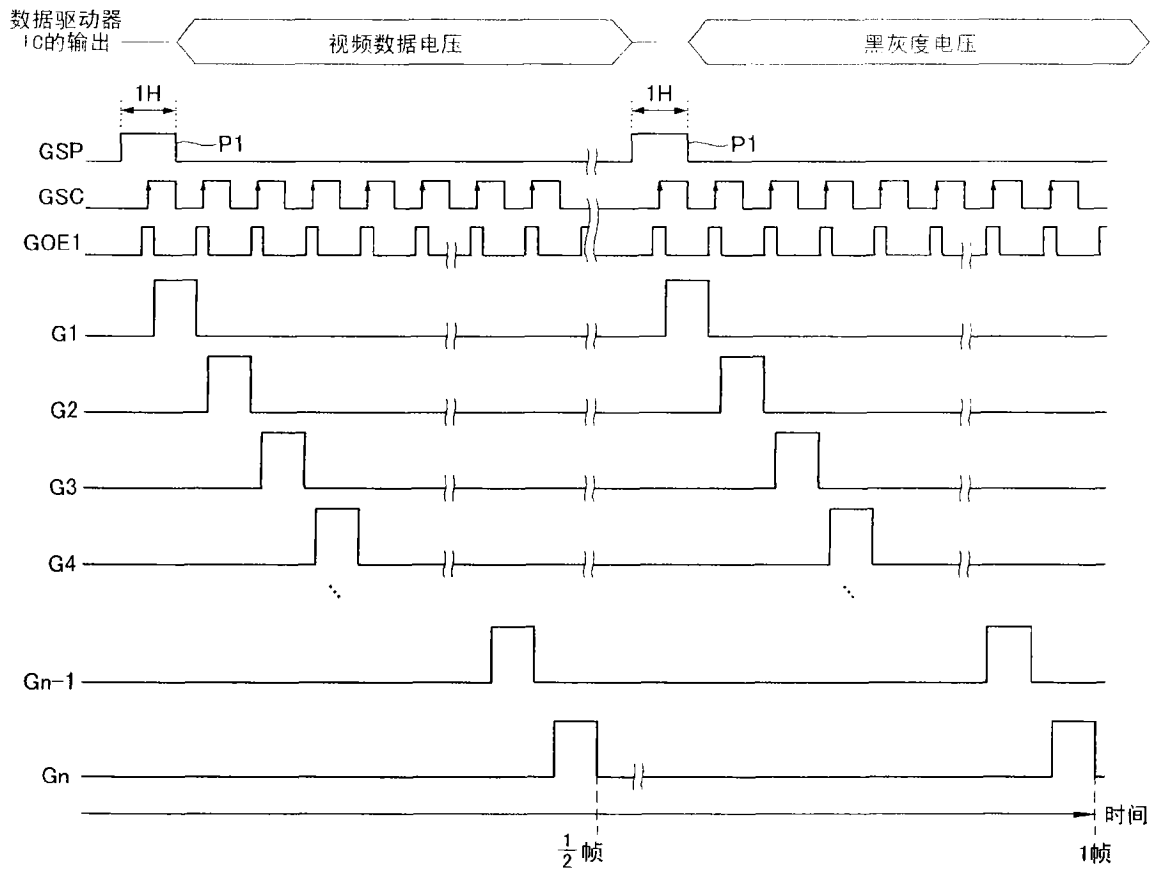


图 16

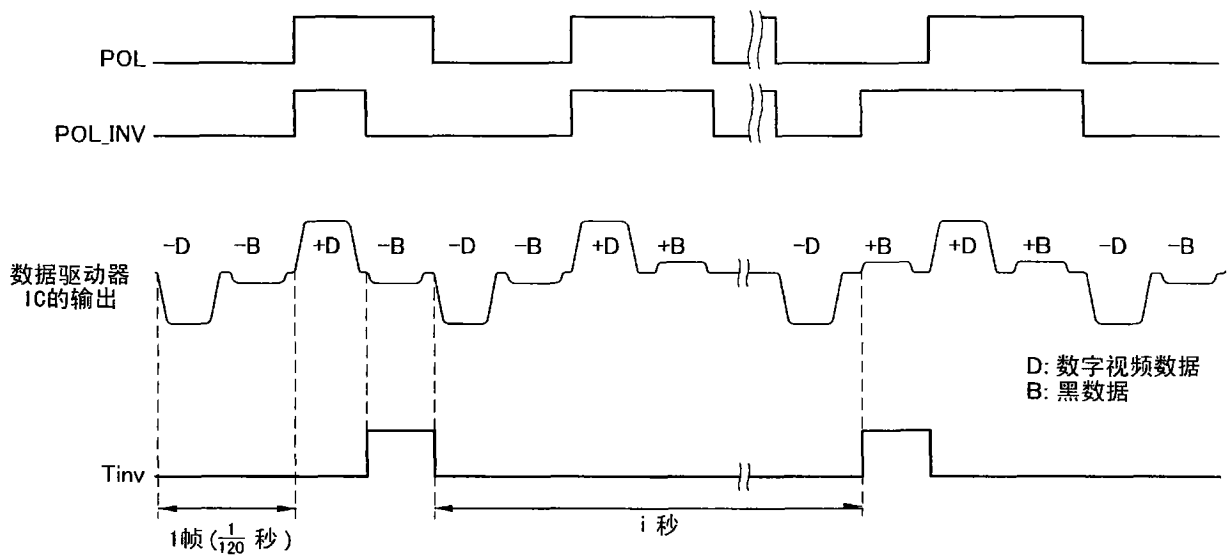


图 17

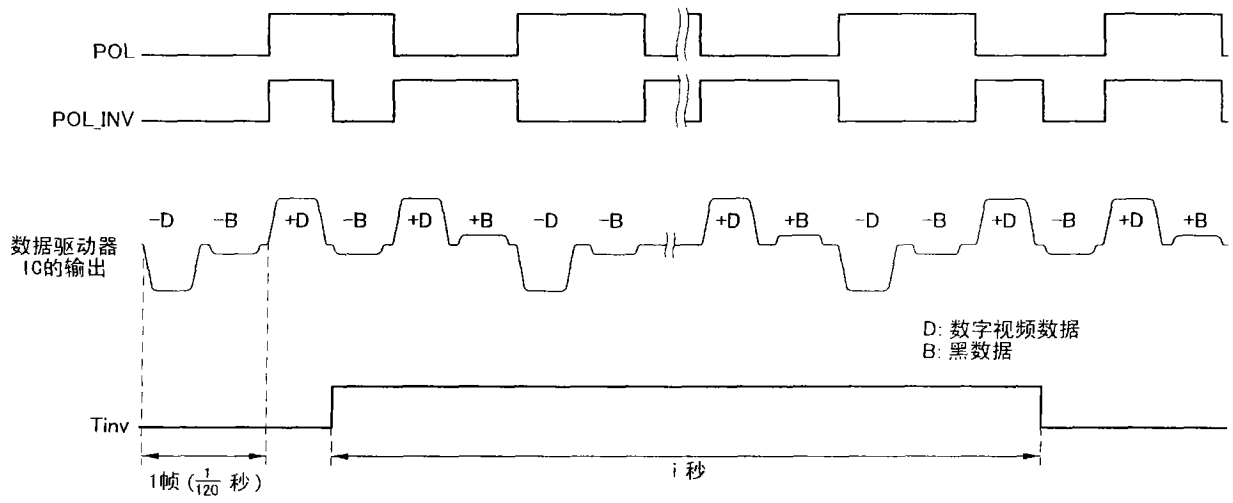


图 18

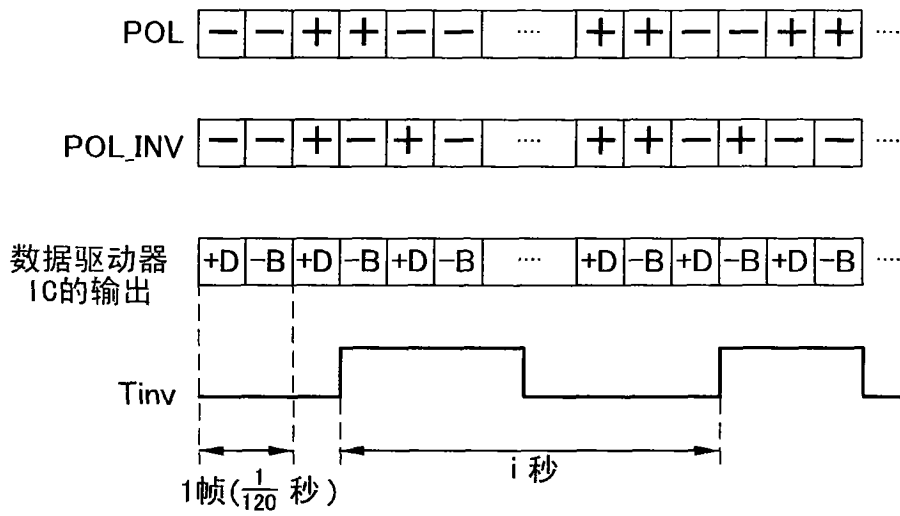


图 19

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	<a href="#">CN101572062B</a>	公开(公告)日	2012-02-08
申请号	CN200810180213.1	申请日	2008-11-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	宋鸿声 闵雄基 孙勇气 张修赫		
发明人	宋鸿声 闵雄基 孙勇气 张修赫		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0216 G09G2310/0205 G09G3/3614 G09G2310/08 G09G3/3688 G09G2310/062 G09G3/3666 G09G2310/02 G09G2320/0261		
代理人(译)	徐金国		
审查员(译)	刘畅		
优先权	1020080040460 2008-04-30 KR		
其他公开文献	CN101572062A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开一种液晶显示器及其驱动方法。所述液晶显示器包括时序信号乘法电路，其按比例放大时序信号的频率；时序控制信号产生电路，其基于被按比例放大的时序信号产生极性控制信号；极性控制信号反相电路，其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；以及数据驱动电路，其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压，响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线。

