

[51] Int. Cl.
G09G 3/36 (2006.01)



[21] 申请号 200810180213.1

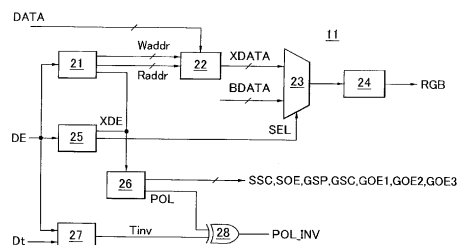
[11] 公开号 CN 101572062A

[74] 专利代理机构 北京律诚同业知识产权代理有限公司
代理人 徐金国

权利要求书 2 页 说明书 18 页 附图 11 页

液晶显示器及其驱动方法

本发明公开一种液晶显示器及其驱动方法。所述液晶显示器包括时序信号乘法电路，其按比例放大时序信号的频率；时序控制信号产生电路，其基于被按比例放大的时序信号产生极性控制信号；极性控制信号反相电路，其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；以及数据驱动电路，其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压，响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线。



1、一种液晶显示器，包括：

液晶显示面板，其包括以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元；

时序信号乘法电路，其按比例放大时序信号的频率；

时序控制信号产生电路，其基于时序信号产生极性控制信号，该时序信号的频率被时序信号乘法电路按比例放大；

极性控制信号反相电路，其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；

数据驱动电路，其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压，响应于反相极性控制信号使视频数据电压的极性和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线；以及栅驱动电路，其提供栅脉冲至栅线。

2、根据权利要求1的液晶显示器，其特征在于，所述反相周期信号的各脉冲与黑灰度电压同步。

3、根据权利要求1的液晶显示器，其特征在于，所述反相周期信号的上升沿和下降沿与黑灰度电压同步。

4、根据权利要求1的液晶显示器，其特征在于，进一步包括：

存储控制器，其基于时序信号产生写地址信号，基于被按比例放大的时序信号产生读地址信号，并控制存储数字视频数据的存储器；

多路复用器，其在时序信号乘法电路的控制下选择存储在存储器中的数字黑数据和数字视频数据；

接口电路，其提供由多路复用器选择的数字黑数据和数字视频数据至数据驱动电路；以及

周期信号产生单元，其根据从外部接收的周期数据产生反相周期信号，

其中，极性控制信号反相电路包括异或（XOR）电路，其对极性控制信号和反相周期信号执行 XOR 操作，以产生反相极性控制信号。

5、一种驱动液晶显示器的方法，该液晶显示器包括液晶显示面板，其包括以矩阵形式设置在多条数据线和多条栅线的交叉处的多个液晶单元，该方法

包括：

按比例放大时序信号的频率；

基于该按比例放大的时序信号产生极性控制信号；

响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；

将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压，响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线；以及

提供栅脉冲至栅线。

6、根据权利要求5的方法，其特征在于，反相周期信号的各脉冲与黑灰度电压同步。

7、根据权利要求5的方法，其特征在于，反相周期信号的上升沿和下降沿与黑灰度电压同步。

液晶显示器及其驱动方法

本申请要求 2008 年 4 月 30 日提交的申请号为 10-2008-0040460 的韩国专利申请的权益，在此为了所有目的将该申请引为参考，如同在此充分阐明。

技术领域

本发明涉及液晶显示器及其驱动方法。

背景技术

有源矩阵型液晶显示器利用薄膜晶体管（TFT）作为开关元件显示运动图像。由于有源矩阵型液晶显示器的纤薄外形，有源矩阵型液晶显示器已经用于电视以及诸如办公设备和计算机的便携式设备中的显示器件。因此，阴极射线管（CRT）正迅速地被有源矩阵型液晶显示器取代。

如果DC电压被长时间施加到液晶显示器的液晶层，液晶层中的离子根据液晶的极性极化。此外，随着时间流逝，积聚在液晶层中的离子量增加。积聚离子量的增加使取向层和液晶的取向特性劣化。换句话说，长时间施加DC电压到液晶层导致在显示屏上出现瑕疵，并且随着时间流逝，瑕疵的尺寸增大。为解决该瑕疵问题，已经开发具有低介电常数的液晶材料，或者已经尝试用于改善取向材料或取向方法的方法。然而，要花长时间和沉重开支来开发用于该方法的材料。此外，具有低介电常数的液晶材料的使用可降低液晶的驱动特性。根据实验结果，随着在液晶层内部离子化的杂质量增大以及加速度因子变大，瑕疵的出现时间变得更快。加速度因子可以包括温度、时间、液晶的DC驱动，等等。例如，当相同极性的DC电压被施加到液晶层的时期在高温下变得更长时，瑕疵恶化并且瑕疵的出现时间变得更快。因为瑕疵非均匀地出现在通过同样的生产线制造的显示面板之间，所以不能仅仅通过开发新材料或改善工艺解决瑕疵问题。

在液晶显示器中，由于液晶材料的保持特性而发生显示在液晶显示面板的屏上的运动图像不清晰并模糊的模糊现象。CRT 通过使荧光物质在一段非常

短的时间发光，将数据提供至单元，从而以脉冲驱动方式显示图像。另一方面，液晶显示器通过在扫描周期期间提供数据到液晶单元并通过在剩余场周期（或帧周期）期间保持被充到液晶单元的数据，以保持驱动方式显示图像。在液晶显示器中，由于液晶的保持特性，因而观察者感觉到的被觉察的图像的明暗，是不清晰并且模糊的。

发明内容

因此，示例性实施例在于提供一种液晶显示器及其驱动方法，该液晶显示器能被脉冲驱动并抑制由于离子极化和积聚而导致的瑕疵现象。

示例性实施例的另外的特征和优点将在随后的说明中阐述，并且一部分将从说明中明了，或可通过示例性实施例的实践而了解。示例性实施例的目的和其他优点将通过所写的说明书和权利要求以及附图中特别指出的结构而实现并获得。

为实现这些和其他优点，根据具体体现和广泛描述的实施例的目的，一种液晶显示器包括液晶显示面板，其包括以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元；时序信号乘法电路，其按比例放大时序信号的频率；时序控制信号产生电路，其基于时序信号产生极性控制信号，时序信号的频率被时序信号乘法电路按比例放大；极性控制信号反相电路，其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；数据驱动电路，其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压（black gray level voltage），响应于所述反相极性控制信号使视频数据电压的极性和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线；以及栅驱动电路，其提供栅脉冲至栅线。

反相周期信号的各脉冲与黑灰度电压同步。

反相周期信号的上升沿和下降沿与黑灰度电压同步。

液晶显示器进一步包括存储控制器，其基于时序信号产生写地址信号，基于被按比例放大的时序信号产生读地址信号，并控制存储数字视频数据的存储器；多路复用器，其在时序信号乘法电路的控制下选择存储在存储器中的数字黑数据和数字视频数据；接口电路，其提供由多路复用器选择的数字黑数据和数字视频数据至数据驱动电路；以及周期信号产生单元，其根据从外部接收的

周期数据产生反相周期信号。极性控制信号反相电路包括异或(XOR)电路,其对极性控制信号和反相周期信号执行XOR操作,以产生反相极性控制信号。

在另一方面,一种驱动液晶显示器的方法,该液晶显示器包括液晶显示面板,其具有以矩阵形式排列在多条数据线和多条栅线的交叉处的多个液晶单元;该方法包括按比例放大时序信号的频率;基于该按比例放大的时序信号产生极性控制信号;响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相,以产生反相极性控制信号;将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压,响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相,并提供极性被反相的视频数据电压和黑灰度电压至数据线;以及提供栅脉冲至栅线。

需要理解的是本发明的上述一般说明和下面详细描述都是示例性和说明性的,并且意图是提供对所要求的本发明的进一步解释。

附图说明

所包含的附图用来进一步理解本发明并且被结合来构成该详细说明的一部分,图示了本发明的实施例并且与具体描述一起来解释本发明的原理。在附图中:

图1是根据第一示例性实施例的液晶显示器的方块图;

图2是详细示出图1中所示时序控制器的方块图;

图3是详细示出图1所示数据驱动器集成电路(IC)的方块图;

图4是详细示出图3所示数模转换器的电路图;

图5是详细示出图1所示栅驱动器IC的电路图;

图6至8示出根据第一示例性实施例的液晶显示器中的视频数据和黑数据的示例性扫描操作;

图9是根据第一示例性实施例的液晶显示器中在周期T1期间,由第一和第二栅驱动器IC输出的栅脉冲的波形图;

图10至12是施加到根据第一示例性实施例的液晶显示器的极性控制信号、反相极性控制信号、反相周期信号以及正反模拟视频数据电压和正反黑灰度电压的波形图;

图13是根据第二示例性实施例的液晶显示器的方块图;

图14是详细示出图3中所示的时序控制器的方块图；

图15和16示出根据第二示例性实施例的液晶显示器中的视频数据和黑数据的示例性扫描操作； 以及

图17至19是施加到根据第二示例性实施例的液晶显示器的极性控制信号、反相极性控制信号、反相周期信号以及正反模拟视频数据电压和正反黑灰度电压的波形图。

具体实施方式

下面将具体涉及到实施方式，其实施例在附图中示出。

如图1所示，根据第一示例性实施例的液晶显示器包括液晶显示面板10、时序控制器11、数据驱动电路12、以及栅驱动电路13。数据驱动电路12包括多个数据驱动器集成电路（IC）（未示出）。栅驱动电路13包括多个栅驱动器IC 131至133。

在液晶显示面板10中，液晶层形成在两个玻璃基板之间。液晶显示面板10包括 $m \times n$ 个液晶单元C1c，其以矩阵形式设置在 m 条数据线14和 n 条栅线15的各交叉处。

数据线14、栅线15、薄膜晶体管（TFT）、以及存储电容器Cst被形成在液晶显示面板10的下玻璃基板上。液晶单元C1c被连接到TFT并由像素电极1和公共电极2之间的电场驱动。黑矩阵、彩色滤光器、以及公共电极2被形成在液晶显示面板10的上玻璃基板上。公共电极2以垂直电驱动方式形成在上玻璃基板上，诸如扭曲向列（TN）模式和垂直对准（VA）模式。公共电极2和像素电极1以水平电驱动方式形成在下玻璃基板上，诸如共面切换（IPS）模式和边缘场切换（FFS）模式。极化片分别附着于液晶显示面板10的上下玻璃基板。用于设置液晶预倾角的取向层分别形成在上下玻璃基板上。

通过根据施加到栅驱动器IC131至133的栅时序控制信号将显示屏划分为多个块BL1至BL3，对液晶显示面板10的显示屏分-驱动。通过经历视频数据充电周期，在该周期期间每个块被每1条线充电为视频数据电压；数据保持周期，在该周期期间每个块被保持在数据电压；以及黑充电周期，在该周期期间每个块被每两条或更多条线同时充电为黑灰度电压，每一块BL1至BL3被时分驱动。在本实施例中，线表示像素行。

时序控制器11接收时序信号，诸如数据使能信号DE和点时钟CLK，并产生控制信号用于控制数据驱动电路12的操作时序和栅驱动电路13的操作时序。控制信号的频率比输入帧的频率高1.25倍。控制信号包括数据时序控制信号和栅时序控制信号。时序控制器11允许从外部系统板接收的数字视频数据DATA的传输频率大于输入频率。然后，时序控制器11周期性地将数字黑数据BDATA插入传输频率增大的数字视频数据RGB，以将它提供到数据驱动电路12。时序控制器11的电路结构在图2中示出。

栅时序控制信号包括栅起始脉冲GSP，栅移位时钟GSC，第一至第三栅输出使能信号GOE1至GOE3，等等。栅起始脉冲GSP仅仅被施加到第一栅驱动器IC131，由此指示扫描操作的扫描起始线，从而第一栅驱动器IC131产生第一栅脉冲。第二和第三栅驱动器IC132和133接收由第一栅驱动器IC131产生的进位信号作为栅起始脉冲，进行操作。栅起始脉冲GSP，如图9所示，包括第一脉冲P1和跟随第一脉冲P1的第二脉冲P2。第一脉冲P1允许扫描数据写入块的栅驱动器IC开始操作。第二脉冲P2的宽度大于第一脉冲P1的宽度。第二脉冲P2允许扫描黑写入块的栅驱动器IC开始操作。栅移位时钟GSC是用于使栅起始脉冲GSP移位的时钟信号。第一至第三栅输出使能信号GOE1至GOE3被独立地施加到栅驱动器IC131至133。在栅输出使能信号GOE1至GOE3的低逻辑周期期间，即在从紧接在脉冲下降时间之后至紧挨在下一脉冲上升时间的时间周期期间，栅驱动器IC131至133输出栅脉冲。在栅输出使能信号GOE1至GOE3的高逻辑周期期间，栅驱动器IC131至133不产生栅脉冲。

数据时序控制信号包括源采样时钟SSC、反相极性控制信号POL_INV、源输出使能信号SOE，等等。源采样时钟SSC基于上升沿或下降沿，指示数据驱动电路12进行数据锁存操作。反相极性控制信号POL_INV控制由数据驱动电路12输出的视频数据电压和黑灰度电压的极性。源输出使能信号SOE控制数据驱动电路12的输出。

时序控制器11响应于周期数据Dt，周期性地使内部极性控制信号反相，以产生反相极性控制信号POL_INV。周期数据Dt通过外部系统板或用户接口被输入时序控制器11或被存储在时序控制器11内部的寄存器中。

数据驱动电路12在时序控制器11的控制下锁存数字视频数据RGB和数字黑数据BDATA。数据驱动电路12响应于反相极性控制信号POL_INV将数字视

频数据RGB和数字黑数据BDATA转换为模拟正或负伽马补偿电压，由此产生正或负模拟视频数据电压和正或负黑灰度电压。然后，数据驱动电路12提供这些电压至数据线14。数据驱动电路12在4个水平周期期间输出正/负模拟视频数据电压之后，数据驱动电路12在1个水平周期期间输出正/负黑灰度电压。这些输出操作反复地执行。数据驱动电路12的每一数据驱动器IC的电路结构在图3和4中示出。

栅驱动电路13在时序控制器11的控制下顺序地提供栅脉冲至栅线15。栅驱动电路13的每一栅驱动器IC的电路结构在图5中示出。

当栅驱动电路13的栅驱动器IC131至133扫描数据写入块时，栅驱动器IC131至133响应于接收自时序控制器11或在前栅驱动器IC的栅起始脉冲GSP的第一脉冲、栅移位时钟GSC、以及具有低占空比的栅输出使能信号GOE1至GOE3，在4个水平周期期间，顺序地施加栅脉冲至4条栅线15。在1个水平周期之后，栅驱动器IC131至133开始输出栅脉冲。数据驱动电路12与栅脉冲同步地提供正/负模拟视频数据电压至数据线14。

当栅驱动电路13的栅驱动器IC131至133扫描黑写入块时，栅驱动器IC131至133响应于接收自时序控制器11或在前栅驱动器IC的栅起始脉冲GSP的第二脉冲、栅移位时钟GSC、以及具有高占空比的栅输出使能信号GOE1至GOE3，在4个水平周期期间，不执行输出操作。然后，在1个水平周期期间，栅驱动器IC131至133重复操作以同时提供栅脉冲至4条栅线15。数据驱动电路12与栅脉冲同步地提供正/负黑灰度电压至数据线14。

图2详细示出时序控制器11。

如图2所示，时序控制器11包括存储控制器21、存储器22、多路复用器23、接口电路24、时序信号乘法电路25、时序控制信号产生电路26、周期信号产生单元27、以及异或（用XOR或EOR代表）电路28。

存储控制器21产生与数据使能信号DE一致的写地址信号Waddr，并产生与数据使能信号XDE一致的读地址信号Raddr，其频率比数据使能信号DE的频率高1.25倍。增大存储控制器21的输出速度的原因在于在现有时序控制器在4条数据线上输出数据的时间周期期间，时序控制器11在4条数据线上输出数字块以及数据。

存储器22响应于写地址信号Waddr储存数字视频数据，并响应于读地址信

号Raddr输出储存的数字视频数据。

多路复用器23响应于由时序信号乘法电路25输出的选择信号SEL，选择由存储器22输出的数字视频数据XDATA和数字黑数据BDATA。在多路复用器23在4个水平周期期间，响应于选择信号SE的第一逻辑电平，提供4条线的数字视频数据XDATA至接口电路24之后，多路复用器23在1个水平周期期间，响应于选择信号SE的第二逻辑电平，提供数字黑数据BDATA至接口电路24。

接口电路24传输数字视频数据RGB、数字黑数据BDATA、以及微型低压差分信号（LVDS）时钟至微型LVDS接口中的数据驱动电路12。

时序信号乘法电路25以1.25倍按比例放大数据使能信号DE的频率。基于输入频率每隔一水平周期产生数据使能信号DE。因此，当输入帧频是60 Hz时，液晶显示器10以75Hz的帧频驱动。时序信号乘法电路25计算按比例放大的数据使能信号DE。当时序信号乘法电路25以5除计算值得0时，时序信号乘法电路25重置计算值并使选择信号SEL的逻辑电平反相，以获得第二逻辑电平。频率被时序信号乘法电路25按比例放大的数据使能信号XDE，被输入至存储控制器21和时序控制信号产生电路26。

时序控制信号产生电路26产生栅时序控制信号，诸如栅起始脉冲GSP、栅移位时钟信号GSC、以及栅输出使能信号GOE1至GOE3；以及数据时序控制信号，诸如源采样时钟信号SSC、源输出使能信号SOE、以及极性控制信号POL。由时序控制信号产生电路26产生的栅时序控制信号的频率和数据时序控制信号的频率比不具有基于按比例放大的数据使能信号XDE的脉冲效果的现有技术高1.25倍。

根据周期数据Dt，周期信号产生单元27产生反相周期信号Tinv，其每隔预定时序间隔被反相，以提供反相周期信号Tinv至XOR电路28。XOR电路28对极性控制信号POL和反相周期信号Tinv执行XOR操作，以输出反相极性控制信号POL_INV。

图3和4示出数据驱动器IC 12A。

如图3和4所示，各数据驱动器IC 12A包括移位寄存器31、数据还原单元32、第一锁存器阵列33、第二锁存器阵列34、数模转换器（DAC）35、充电共享电路（charge share circuit）36、以及输出电路37。

数据还原单元32暂时储存接收自时序控制器11的数字视频数据RGB和数

字黑数据BDATA并在微型LVDS接口中还原数据,以将还原的数据提供到第一锁存器阵列33。

移位寄存器31响应于源采样时钟信号SSC,对采样信号移位。当多于第一锁存器阵列33的锁存器的数量的数据被提供时,移位寄存器31产生进位信号CAR。

第一锁存器阵列33响应于顺序接收自移位寄存器31的采样信号,采样并锁存接收自数据还原单元32的数字视频数据RGB和数字黑数据BDATA。然后,第一锁存器阵列33同时输出数字视频数据RGB和数字黑数据BDATA。

第二锁存器阵列34锁存从第一锁存器阵列33接收的数据。然后,在源输出使能信号SOE的低逻辑周期期间,一个数据驱动器IC 12A的第二锁存器阵列34和另一个数据驱动器IC 12A的锁存器阵列34同时输出锁存的数据。

DAC 35,如图4所示,包括P解码器41,其被提供正伽马补偿电压GH;N解码器42,其被提供负伽马补偿电压GL;以及多路复用器43,其响应于反相极性控制信号POL_INV,选择P解码器41的输出和N解码器42的输出。P解码器41解码从第二锁存器阵列34接收的数据,以输出与数据的灰度值对应的正伽马补偿电压GH。N解码器42解码从第二锁存器阵列34接收的数据,以输出与数据的灰度值对应的负伽马补偿电压GL。多路复用器43响应于反相极性控制信号POL_INV,选择正伽马补偿电压GH和负伽马补偿电压GL。

在源输出使能信号SOE的高逻辑周期期间,充电共享电路36使相邻数据输出通道短路,以输出相邻数据电压的平均值作为充电共享电压。或者,在源输出使能信号SOE的高逻辑周期期间,充电均分电路36提供公共电压Vcom至数据输出通道,以减少提供给数据线14的正电压和负电压中的突变。

输出电路37包括缓冲器,由此最小化提供给数据线D1至Dk的正/负模拟视频数据电压和正/负黑灰度电压的信号衰减。

图5示出栅驱动器IC131至133。

如图5所示,每一栅驱动器IC131至133包括移位寄存器50、电平移位器52、多个连接在移位寄存器50和电平移位器52之间的与门51、以及用于使栅输出使能信号GOE1至GOE3反相的反相器53。

利用多个级联的D触发器,根据栅移位时钟GSC,移位寄存器50顺序地使栅起始脉冲GSP移位。每一与门51对移位寄存器50的输出信号和栅输出使能信

号GOE1至GOE3的反相信号执行与操作，以产生逻辑输出。反相器53使栅输出使能信号GOE1至GOE3反相，以提供栅输出使能信号GOE1至GOE3的反相信号至与门51。因此，只有当栅输出使能信号GOE1至GOE3在低逻辑周期时，栅驱动器IC 131至133产生输出。

电平移位器52使在液晶显示面板10的像素阵列内部的TFT的操作电压范围内的与门51的输出电压的摆幅宽度改变。电平移位器52的输出信号G1至Gk被顺序地提供给k条栅线15，其中k是整数。电平移位器52设置在移位寄存器50之前。像素阵列的移位寄存器50和TFT可以直接设置在液晶显示面板10的玻璃基板上。

如图6至8所示，通过使液晶面板10的一块充电为正/负黑灰度电压或者使该一块保持在在前的充电视频数据电压，同时另一块被充电为正/负模拟视频数据电压，根据第一示例性实施例的液晶显示器被脉冲驱动。每一块BL1至BL3在1帧周期（1/75秒）期间，顺序地经历视频数据充电操作、数据保持操作、以及黑充电操作。这将参照图9的波形图详细描述。

在周期T1期间，第一栅驱动器IC 131响应于周期T1一开始就产生的栅起始脉冲GSP的第一脉冲P1，开始进行操作。在栅移位时钟GSC中，在4个水平周期期间每隔一水平周期产生脉冲后，该脉冲在2个水平周期后再次产生。在第一栅输出使能信号GOE1中，在4个水平周期期间每隔一水平周期产生脉冲后，该脉冲在1个水平周期期间被保持在高逻辑电平。然后，每隔一水平周期再次产生该脉冲。结果，第一栅驱动器IC131在4个水平周期期间顺序地提供栅脉冲至4条栅线之后，在1个水平周期期间第一栅驱动器IC 131停止输出。然后，第一栅驱动器IC 131重复操作以顺序地提供栅脉冲至栅线。在周期T1期间，被第一栅驱动器IC 131扫描的第一块BL1的液晶单元被顺序地充电为接收自各条线中的数据驱动电路12的正/负模拟视频数据电压。周期T1一开始，第二栅驱动器IC 132就从第一栅驱动器IC 131接收进位信号。应用于第二栅驱动器IC 132的栅移位时钟GSC与应用于第一栅驱动器IC 131的栅移位时钟GSC相同。在应用于第二栅驱动器IC 132的第二栅输出使能信号GOE2中，在脉冲在4个水平周期期间被保持在高逻辑电平之后，当在第一块BL1中，4条线被充电为正/负模拟视频数据电压时，在1个水平周期期间脉冲被反相为低逻辑电平。然后，具有与4个水平周期的长度对应的宽度的脉冲再次产生。结果，在第二栅驱动器

IC 132中, 具有与4个或更多个水平周期对应的宽度的进位信号在一个水平周期的时间间隔处被改变, 因此, 进位信号彼此重叠。进位信号的重叠脉冲宽度与3个或更多个水平周期对应。当第二栅输出使能信号GOE2被保持在低逻辑电平时, 由于在对应5的倍数的水平周期期间进位信号的重叠, 由第二栅驱动器IC 132产生的栅脉冲被同时提供给4条栅线。因此, 在周期T1期间, 由第二栅驱动器IC 132扫描的第二块BL2的液晶单元被每4条线同时充电为接收自数据驱动电路12的正/负黑灰度电压。在周期T1期间, 第三栅驱动器IC 133不从第二栅驱动器IC 132接收进位信号。因此第三块BL3被保持在视频数据电压, 在前帧的周期T3期间, 第三块BL3的液晶单元被充电为该视频数据电压。

在周期T2期间, 第一栅驱动器IC 131不从时序控制器11接收栅起始脉冲GSP。因此, 因为在周期T2期间第一栅驱动器IC 131不产生栅脉冲, 第一块BL1保持为在周期T1期间第一块BL1的液晶单元被充电的数据电压。周期T2一开始, 第二栅驱动器IC 132从栅驱动器IC 131接收栅起始脉冲GSP的第一脉冲P1, 作为进位信号。因此, 在第二栅驱动器IC 132在4个水平周期期间顺序地提供栅脉冲至4条栅线之后, 在1个水平周期期间第二栅驱动器IC 132停止输出。然后, 第二栅驱动器IC 132重复操作以顺序地提供栅脉冲至栅线。在周期T2期间, 由第二栅驱动器IC 132扫描的第二块BL2的液晶单元被在各条线中顺序地充电为接收自数据驱动电路12的正负模拟视频数据电压。周期T2一开始, 第三栅驱动器IC 133就从第二栅驱动器IC 132接收栅起始脉冲GSP的第二脉冲P2, 作为进位信号。结果, 在第三栅驱动器IC 133同时提供栅脉冲至4条栅线之后, 在4个水平周期之后, 第三栅驱动器IC 133重复操作以同时提供栅脉冲至另外的4条栅线。因此, 在周期T2期间, 由第三栅驱动器IC 133扫描的第三块BL3的液晶单元被每4条线同时充电为接收自数据驱动电路12的正/负黑灰度电压。

周期T3一开始, 第一栅驱动器IC 131就从时序控制器11接收栅起始脉冲GSP的第二脉冲P2。结果, 在第一栅驱动器IC 131在周期T3期间同时提供栅脉冲至4条栅线之后, 在4个水平周期之后, 第一栅驱动器IC 131重复操作以同时提供栅脉冲至另外的4条线。因此, 在周期T3期间, 由第一栅驱动器IC 131扫描的第一块BL1的液晶单元被每4条线同时充电为接收自数据驱动电路12的正/负黑灰度电压。在周期T3期间, 第二栅驱动器IC 132不从第一栅驱动器IC 131接收进位信号。因此, 因为在周期T3期间第二栅驱动器IC 132不产生栅脉冲,

所以第二块BL2保持为第二块BL2的液晶单元在周期T2期间充电的视频数据电压。周期T3一开始，第三栅驱动器IC 133就从第一栅驱动器IC 131接收栅起始脉冲GSP的第一脉冲P1，作为进位信号。因此，在第三栅驱动器IC 133在周期T3期间顺序地提供栅脉冲至4条栅线之后，在1个水平周期期间第三栅驱动器IC 133停止输出。然后，第三栅驱动器IC 133重复操作，以顺序地提供栅脉冲至栅线。在周期T3期间，由第三栅驱动器IC 133扫描的第三块BL3的液晶单元被在各条线中顺序地充电为接收自数据驱动电路12的正负模拟视频数据电压。

在图9中，G1至G4表示提供给被充电为视频数据电压的数据写入块的栅线的栅脉冲，以及提供给被充电为黑灰度电压的黑写入块的栅线的栅脉冲，1H表示1个水平周期。1个水平周期的长度以1比1.25的比例小于输入到时序控制器11的数据使能信号DE的1个水平周期的长度。

根据第一示例性实施例的液晶显示器利用反相极性控制信号POL_INV，使黑灰度电压的极性周期性地反相，以周期性地使液晶分子的运动方向反向。结果，根据第一示例性实施例的液晶显示器可以通过将液晶单元充电为视频数据电压，然后将液晶单元充电为黑灰度电压来被脉冲驱动，并且通过周期性地使液晶分子的运动反向，还可以最小化液晶层中的离子的极化和积聚，由此防止瑕疵出现。

图10至12示出反相极性控制信号POL_INV的反相周期。更具体地说图10至12示出在根据第一示例性实施例的液晶显示器中的极性控制信号POL、反相极性控制信号POL_INV、反相周期信号Tinv、以及由反相极性控制信号POL_INV控制的正反模拟视频数据电压+D和-D和正反黑灰度电压+B和-B的波形。在图10至12中，正反模拟视频数据电压+D和-D以及正反黑灰度电压+B和-B是相同的液晶单元被充电的电压。

如图10所示，反相周期信号Tinv包括每隔“i”秒产生的脉冲，“i”是大于2的整数。反相周期信号Tinv的每一脉冲与接收自数据驱动器IC 12A的黑灰度电压同步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期地反相，以使视频数据电压和黑灰度电压的极性，在1帧周期期间彼此相同，其中相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

在1帧周期（1/75秒）期间液晶单元被相继充电为视频数据电压和黑灰度

电压，其极性根据反相极性控制信号POL_INV被控制。每当与黑灰度电压同步的反相周期信号Tinv的脉冲被输入，XOR电路28使极性控制信号POL反相，以产生反相极性控制信号POL_INV。因此，每当反相周期信号Tinv的脉冲被输入，液晶单元被充电为黑灰度电压，其极性与在1帧周期期间在黑灰度电压之前被充入的视频数据电压的极性相反。当反相周期信号Tinv保持在低逻辑电平时，液晶单元被充电为黑灰度电压，其极性与黑灰度电压之前被充入的视频数据电压的极性相同。

因此，每当在与反相周期信号Tinv的脉冲宽度对应的时间间隔处，液晶单元被充电为黑灰度电压时，液晶单元的液晶分子和离子沿相反方向移动并且不极化。结果，液晶层中的离子不会被根据离子的极性划分，并且不会分开地积聚。

如图11所示，反相周期信号Tinv包括每隔 $2i$ 秒产生且宽度为“ i ”秒的脉冲。在反相周期信号Tinv中，脉冲的上升沿与黑灰度电压同步，脉冲的下降沿与从上升沿经过“ i ”秒后产生的黑灰度电压同步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期地反相，使得视频数据电压的极性和黑灰度电压的极性，在1帧周期期间彼此相等，其中相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

在1帧周期（ $1/75$ 秒）期间液晶单元被相继充电为视频数据电压和黑灰度电压，其极性根据反相图案控制信号POL_INV被控制。当与黑灰度电压同步的反相周期信号Tinv的脉冲被输入，XOR电路28使极性控制信号POL反相，以产生“ i ”秒的反相极性控制信号POL_INV。因此，当反相周期信号Tinv的脉冲被输入，液晶单元被充电为视频数据电压和黑灰度电压，其极性图案与在该“ i ”秒之前的“ i ”秒期间的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子周期性地沿相反方向移动，所以离子的极化和积聚可被抑制。

如图12所示，反相周期信号Tinv包括每隔“ i ”秒产生且宽度为 $i/2$ 秒的脉冲。在反相周期信号Tinv中，脉冲的上升沿与黑灰度电压同步，脉冲的下降沿与从上升沿经过“ $i/2$ ”秒后产生的黑灰度电压同步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期性地反相，使得视频数据电压的极性和黑灰度电压的极性，在1帧周期期间彼此相等，其中，相同的液晶单元将被充电为该视频数据电压和黑灰度电压。

在1帧周期（1/75秒）期间液晶单元被相继充电为视频数据电压和黑灰度电压，其极性根据反相极性控制信号POL_INV被控制。当与黑灰度电压同步的反相周期信号Tinv的脉冲被输入时，XOR电路28使极性控制信号POL反相以产生“i/2”秒的反相极性控制信号POL_INV。因此，当反相周期信号Tinv的脉冲被输入的同时，液晶单元被充电为视频数据电压和黑灰度电压，其极性图案与该“i/2”秒之前的“i/2”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子沿相反方向移动，离子的极化和积聚被抑制。

从图10至12可以看出，时序控制器11响应于反相周期信号Tinv使反相极性控制信号POL_INV反相，并且允许黑灰度电压的极性与视频数据电压的极性周期性地相反。更进一步，在除了由反相周期信号Tinv指向的周期以外的周期期间，时序控制器11允许黑灰度电压的极性与视频数据电压的极性相等。

图13至19示出根据第二示例性实施例的液晶显示器。

如图13所示，根据第二示例性实施例的液晶显示器包括液晶显示面板130、时序控制器131、数据驱动电路132、以及栅驱动电路133。数据驱动电路132包括多个数据驱动IC（未示出），并且栅驱动电路133包括多个栅驱动器IC（未示出）。数据驱动IC的电路结构与图3和4所示的电路结构基本相同，并且栅驱动器IC的电路结构与图5所示的电路结构基本相同。

因为液晶显示面板130的结构基本上与第一示例性实施例中所述的相同，其相关说明被简略或被完全忽略。

时序控制器131接收时序信号，诸如数据使能信号DE和点时钟CLK，并产生控制信号用于控制数据驱动电路132的操作时序和栅驱动电路13的操作时序。控制信号的频率比输入帧的频率高2倍。控制信号包括数据时序控制信号和栅时序控制信号。时序控制器131允许从外部系统板接收的数字视频数据DATA的传输频率比输入频率高2倍。时序控制器131周期性地将数字黑数据BDATA插入数字视频数据RGB，以将其提供给数据驱动电路132。时序控制器131的电路结构在图2中示出。

栅时序控制信号包括栅起始脉冲GSP、栅移位时钟GSC、栅输出使能信号GOE等等。在第一示例性实施例中，当多个块中的一块被充电为视频数据电压的同时，栅输出使能信号GOE被独立地施加到扫描该些块的栅驱动器IC，以防止另一些块被扫描。相反，在第二示例性实施例中，在与视频数据电压同步的

栅脉冲被顺序提供给液晶显示面板130的整个屏上的栅线135之后,与黑灰度电压同步的栅脉冲被顺序提供给整个屏上的栅线135。因此,一个栅输出使能信号GOE通常被提供给所有的栅驱动器IC。栅起始脉冲GSP仅仅被施加到第一栅驱动器IC,由此指示扫描操作的扫描起始线,从而第一栅驱动器IC产生第一栅脉冲。第二和第三栅驱动器IC接收由第一栅驱动器IC产生的进位信号,作为栅起始脉冲进行操作。栅起始脉冲GSP包括第一脉冲和第二脉冲。1帧周期一开始,第一脉冲就被产生,并且在经历大约1/2帧周期之后,第二脉冲被产生。第一脉冲允许第一栅驱动器IC开始操作,从而第一栅驱动器IC可以输出与视频数据电压同步的栅脉冲。第二脉冲允许第一栅驱动器IC开始操作,从而第一栅驱动器IC可以输出与黑灰度电压同步的栅脉冲。第一脉冲的宽度与第二脉冲的宽度相同。栅移位时钟GSC是时钟信号,用于使栅起始脉冲GSP移位。栅输出使能信号GOE通常被施加到栅驱动器IC。在栅输出使能信号GOE的低逻辑周期期间,即在从紧接着脉冲的下降时间之后至紧挨着下一脉冲的上升时间之前的时间周期期间,栅驱动器IC输出栅脉冲。在栅输出使能信号GOE的高逻辑周期期间,栅驱动器IC不产生栅脉冲。

数据时序控制信号包括源采样时钟SSC、反相极性控制信号POL_INV、源输出使能信号SOE,等等。源采样时钟SSC基于上升沿或下降沿,指示数据驱动电路132进行数据锁存操作。反相极性控制信号POL_INV控制由数据驱动电路132输出的视频数据电压和黑灰度电压的极性。源输出使能信号SOE控制数据驱动电路132的输出。

时序控制器131响应于周期数据Dt,周期性地使内部极性控制信号反相,以产生反相极性控制信号POL_INV。周期数据Dt通过外部系统板或用户接口被输入时序控制器131或被存储在时序控制器131内部的寄存器中。

数据驱动电路132在时序控制器131的控制下锁存数字视频数据RGB和数字黑数据BDATA。数据驱动电路132响应于反相极性控制信号POL_INV将数字视频数据RGB和数字黑数据BDATA转换为模拟正或负伽马补偿电压,由此产生正或负模拟视频数据电压和正或负黑灰度电压。然后,数据驱动电路132提供这些电压至数据线134。在数据驱动电路132在1/2帧周期期间输出正/负模拟视频数据电压之后,数据驱动电路132在1/2帧周期期间输出正/负黑灰度电压。

在栅驱动电路133在1/2帧周期期间,在时序控制器131的控制下,顺序地

提供与正/负模拟视频数据电压同步的栅脉冲至所有栅线135之后,在1/2帧周期期间,栅驱动电路133顺序地提供与正/负黑灰度电压同步的栅脉冲至所有的栅线135。

图14详细示出时序控制器131。

如图14所示,时序控制器131包括存储控制器141、存储器142、多路复用器143、接口电路144、时序信号乘法电路145、时序控制信号产生电路146,周期信号产生单元147、以及异或(用XOR或EOR代表)电路148。

存储控制器141产生与数据使能信号DE一致的写地址信号Waddr,并产生与数据使能信号XDE一致的读地址信号Raddr,其频率比数据使能信号DE的频率高2倍。增大存储控制器141的输出速度的原因在于在整个屏的液晶单元在1帧周期期间被充电为视频数据电压之后,整个屏的液晶单元被充电为黑灰度电压。

存储器142响应于写地址信号Waddr储存数字视频数据,并响应于读地址信号Raddr输出储存的数字视频数据。

多路复用器143响应于由时序信号乘法电路145输出的选择信号SEL,选择由存储器142输出的数字视频数据XDATA和数字黑数据BDATA。多路复用器143在对应1/2帧周期的第一半周期期间,响应于选择信号SE的第一逻辑电平,提供数字视频数据XDATA至接口电路144之后,多路复用器143在对应于另外1/2帧周期的第二半周期期间,响应于选择信号SE的第二逻辑电平提供数字黑数据BDATA至接口电路144。

接口电路144传输数字视频数据RGB、数字黑数据BDATA、以及微型低压差分信号(LVDS)时钟至微型LVDS接口中的数据驱动电路132。

时序信号乘法电路145以2倍按比例放大数据使能信号DE的频率。数据使能信号DE基于输入频率每隔一水平周期产生。因此,当输入帧频是60 Hz时,液晶显示器130以120Hz的帧频驱动。时序信号乘法电路145计算按比例放大的数据使能信号DE,每隔1/2帧周期重置计算值,并且将选择信号SE的逻辑电平改变为第二逻辑电平。频率被时序信号乘法电路145按比例放大的数据使能信号XDE,被输入至存储控制器141和时序控制信号产生电路146。

时序控制信号产生电路146产生栅时序控制信号,诸如栅起始脉冲GSP、栅移位时钟信号GSC、和栅输出使能信号GOE;以及数据时序控制信号,诸如

源采样时钟信号SSC、源输出使能信号SOE、和极性控制信号POL。由时序控制信号产生电路146产生的栅时序控制信号的频率和数据时序控制信号的频率比不具有基于按比例放大的数据使能信号XDE的脉冲效果的现有技术高2倍。

根据周期数据Dt，周期信号产生单元147产生反相周期信号Tinv，其每隔预时序间间隔被反相，以提供反相周期信号Tinv至XOR电路148。XOR电路148对极性控制信号POL和反相周期信号Tinv执行XOR操作，以输出反相极性控制信号POL_INV。

根据第二示例性实施例的液晶显示器被以120Hz的帧频驱动。如图15和16所示，在1帧周期一开始，栅起始脉冲GSP就产生一次之后，在经过1/2帧周期之后栅起始脉冲GSP再次产生一次。结果，液晶显示面板130的所有液晶单元在与1/2帧周期对应的第一半周期期间，被充电为视频数据电压，然后在与另一1/2帧周期对应的第二半周期期间，被充电为黑灰度电压。因此，根据第二示例性实施例的液晶显示器被脉冲驱动。

在图16中，G1至Gn显示栅脉冲，1H显示1个水平周期。该1个水平周期的长度大约为输入到时序控制器131的数据使能信号DE的1个水平周期的长度的一半。

根据第二示例性实施例的液晶显示器利用反相极性控制信号POL_INV周期性地使黑灰度电压反相，以周期性地使液晶分子的运动方向反相。结果，根据第二示例性实施例的液晶显示器可以通过将液晶单元充电为视频数据电压，然后将液晶单元充电为黑灰度电压而被脉冲驱动，而且可以通过使液晶分子的运动方向周期性地反相而最小化液晶层中的离子极化和积聚，由此防止出现瑕疵。

图17至19示出反相极性控制信号POL_INV的反相周期。更具体地说，图17至19示出在根据第二示例性实施例的液晶显示器中的极性控制信号POL、反相极性控制信号POL_INV、反相周期信号Tinv、以及由反相极性控制信号POL_INV控制的正反模拟视频数据电压+D和-D和正反黑灰度电压+B和-B的波形。在图17至19中，正反模拟视频数据电压+D和-D以及正反黑灰度电压+B和-B是相同的液晶单元被充电的电压。

如图17所示，反相周期信号Tinv包括每隔“i”秒产生的脉冲，“i”是大于2的整数。反相周期信号Tinv的每一脉冲与接收自数据驱动器IC的黑灰度电压同

步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期性地反相，使得视频数据电压的极性和黑灰度电压的极性，在1帧周期期间彼此相同，其中，相同的液晶单元将被充电该视频数据电压和黑灰度电压。

在1帧周期（1/120秒）期间，液晶单元被相继充电为视频数据电压和黑灰度电压，其极性根据反相极性控制信号POL_INV被控制。每当与黑灰度电压同步的反相周期信号Tinv的脉冲被输入时，XOR电路148使极性控制信号POL反相，以产生反相极性控制信号POL_INV。因此，每当反相周期信号Tinv的脉冲被输入时，液晶单元被充电为黑灰度电压，其极性与在1帧周期期间在黑灰度电压之前被充入的视频数据电压的极性相反。当反相周期信号Tinv保持在低逻辑电平的同时，液晶单元被充电为黑灰度电压，其极性与黑灰度电压之前被充入的视频数据电压的极性相同。

因此，每当在与反相周期信号Tinv的脉冲宽度对应的时间间隔处，液晶单元被充电为黑灰度电压时，液晶单元的液晶分子和离子沿相反方向移动并且不极化。因此，液晶层中的离子不会被根据离子的极性划分，并且不会分开地积聚。

如图18所示，反相周期信号Tinv包括每隔2i秒产生且宽度为“i”秒的脉冲。在反相周期信号Tinv中，脉冲的上升沿与黑灰度电压同步，脉冲的下降沿与从上升沿经过“i”秒后产生的黑灰度电压同步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期地反相，使得视频数据电压的极性和黑灰度电压的极性，在1帧周期期间彼此相同，其中，相同的液晶单元将被充电该视频数据电压和黑灰度电压。

在1帧周期（1/120秒）期间，液晶单元被相继充电为视频数据电压和黑灰度电压，其极性根据反相极性控制信号POL_INV被控制。当与黑灰度电压同步的反相周期信号Tinv的脉冲被输入，XOR电路148使极性控制信号POL反相“i”秒，以产生反相极性控制信号POL_INV。因此，当反相周期信号Tinv的脉冲被输入的同时，液晶单元被充电为视频数据电压和黑灰度电压，其极性图案与该“i”秒之前的“i”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子周期性地沿相反方向移动，离子的极化和积聚被抑制。

如图19所示，反相周期信号Tinv包括每隔“i”秒产生且宽度为i/2秒的脉冲。

在反相周期信号 T_{inv} 中，脉冲的上升沿与黑灰度电压同步，脉冲的下降沿与从上升沿经过“ $i/2$ ”秒后产生的黑灰度电压或视频数据电压同步。极性控制信号POL以与相关现有技术的极性控制信号基本相同的形式产生。极性控制信号POL的相位被周期性地反相，使得视频数据电压的极性和黑灰度电压的极性，在1帧周期期间彼此相同，其中，相同的液晶单元将被充电该视频数据电压和黑灰度电压。

在1帧周期（1/75秒）期间，液晶单元被相继充电为视频数据电压和黑灰度电压，其极性根据反相极性控制信号POL_INV被控制。当与黑灰度电压同步的反相周期信号 T_{inv} 的脉冲被输入时，XOR电路148使极性控制信号POL反相“ $i/2$ ”秒，以产生反相极性控制信号POL_INV。因此，当反相周期信号 T_{inv} 的脉冲被输入的同时，液晶单元被充电为视频数据电压和黑灰度电压，其极性图案与该“ $i/2$ ”秒之前的“ $i/2$ ”秒期间充入的视频数据电压和黑灰度电压的极性图案相反。因为液晶层中的离子沿相反方向移动，离子的极化和积聚被抑制。

从图17至19可以看出，时序控制器131响应于反相周期信号 T_{inv} 使反相极性控制信号POL_INV反相，并且允许黑灰度电压的极性与视频数据电压的极性周期性地相反。此外，在除了由反相周期信号 T_{inv} 指向的周期以外的周期期间，时序控制器131允许黑灰度电压的极性与视频数据电压的极性相等。

如上所述，根据示例性实施例的液晶显示器及其驱动方法可以通过将液晶电压充电为视频数据电压和通过将液晶单元充电为黑灰度电压而被脉冲驱动，并且还可以通过周期性地使液晶层中的离子的运动方向反向，抑制瑕疵现象，由此防止出现瑕疵。

对实施例可进行各种修正和变化而不脱离本发明的精神和范围，这对本领域技术人员而言是显而易见的。因此，本发明的实施例意图覆盖所附权利要求及其等同物范围内的修正和变化。

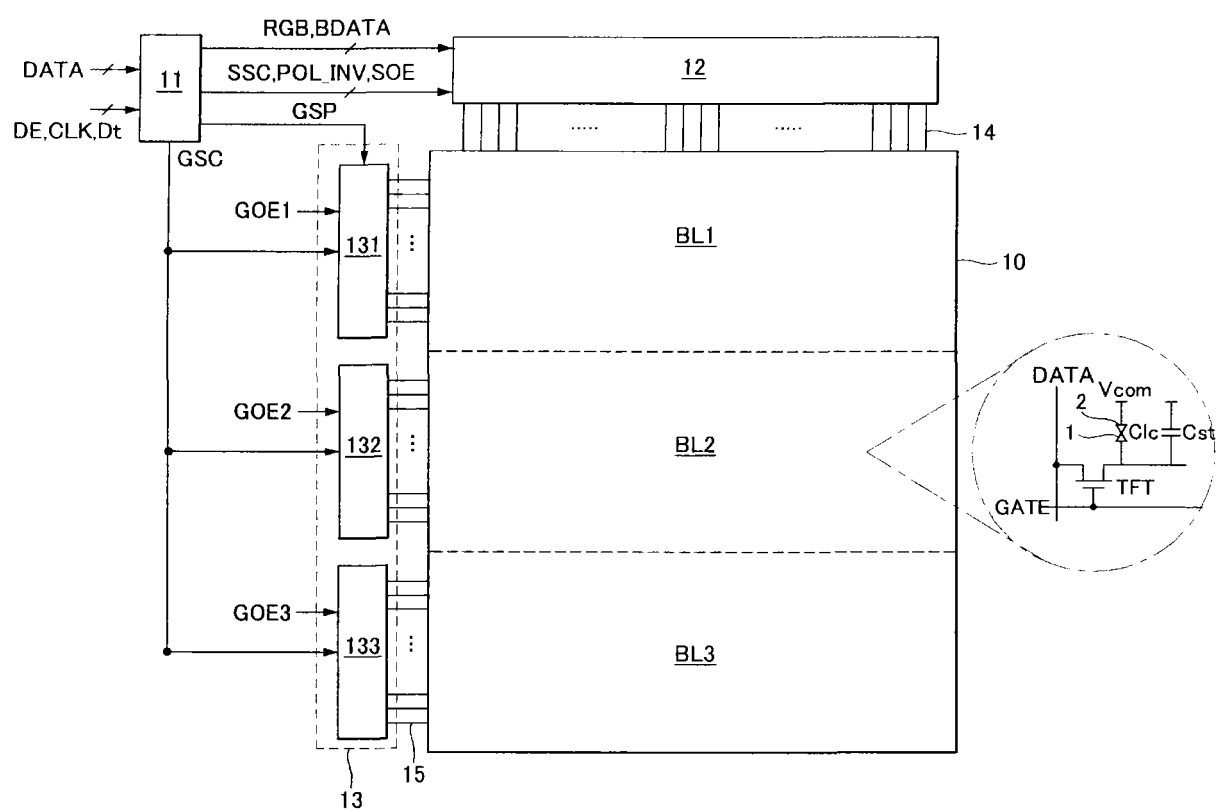


图 1

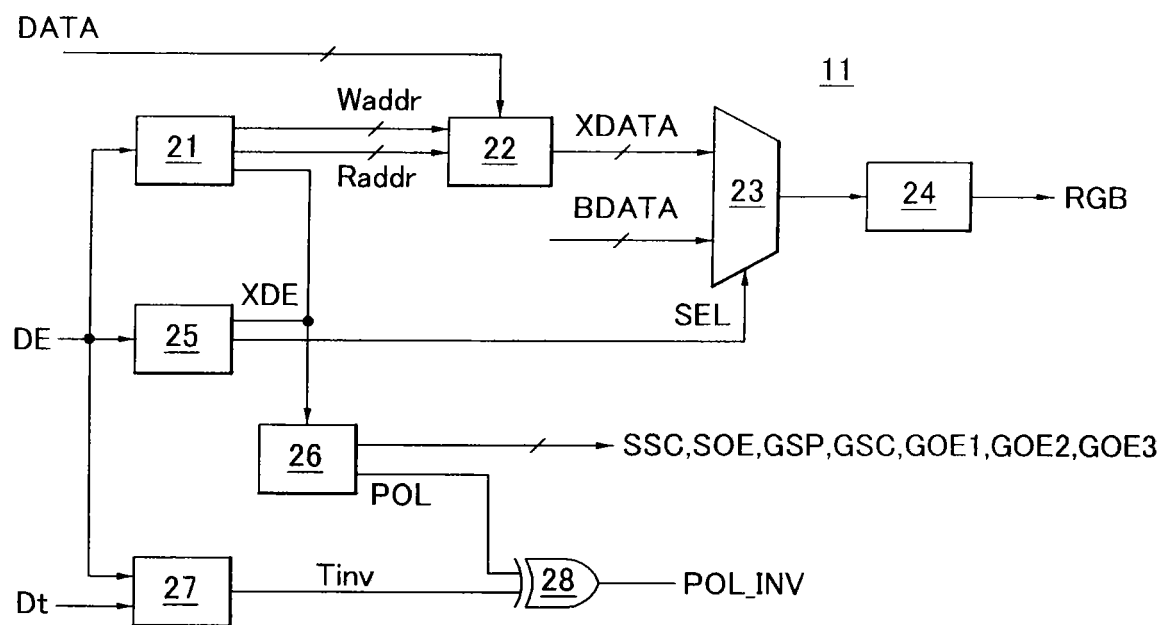


图 2

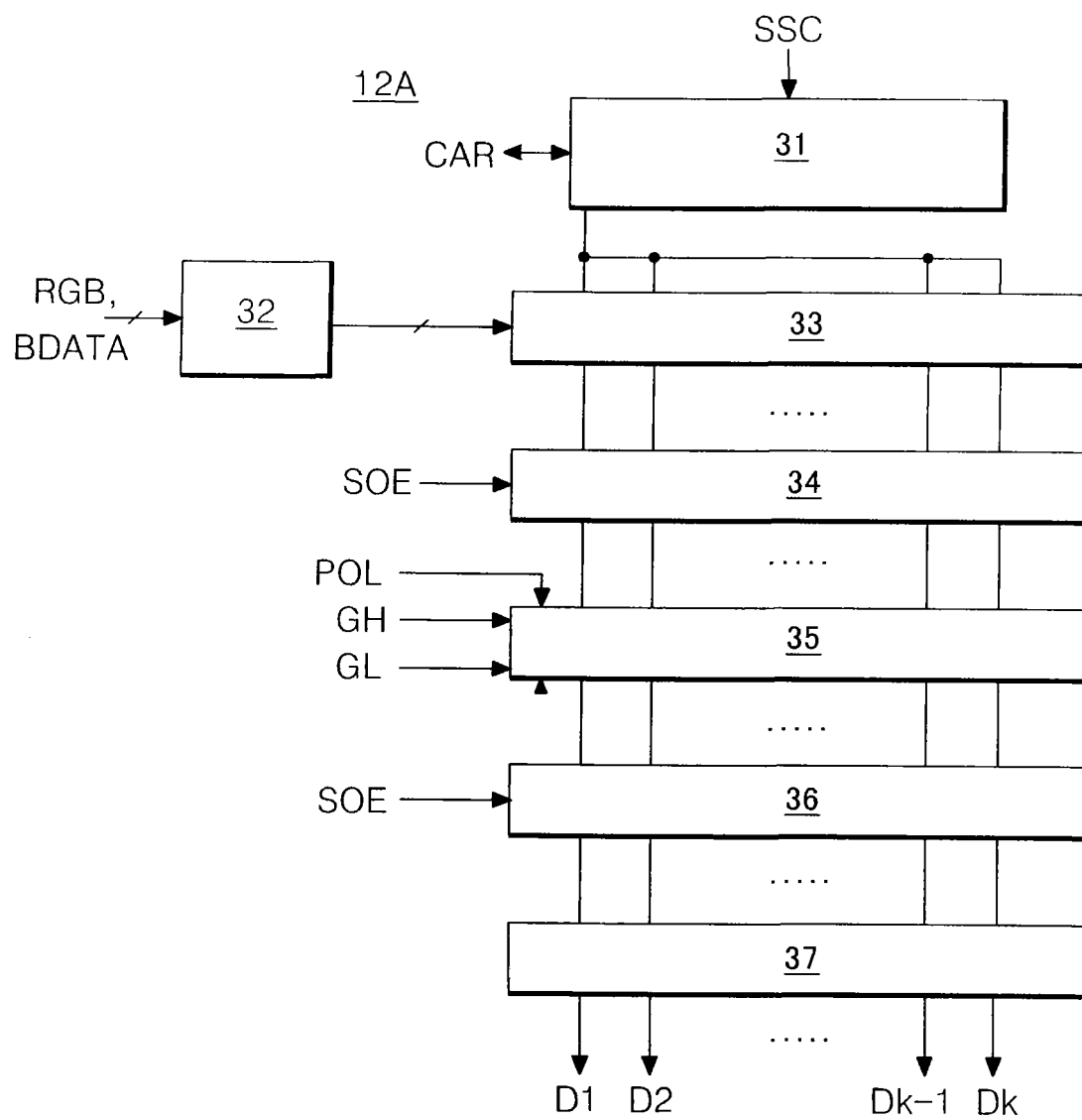


图 3

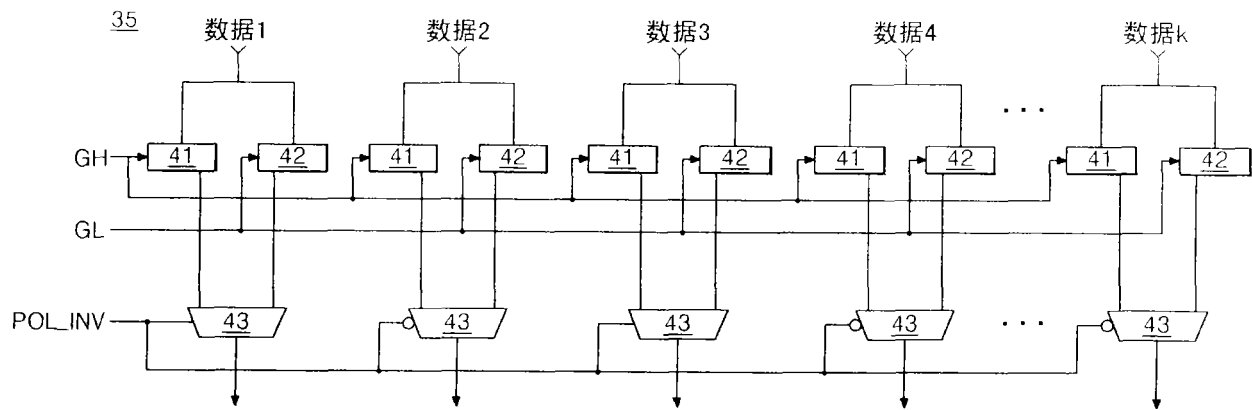


图 4

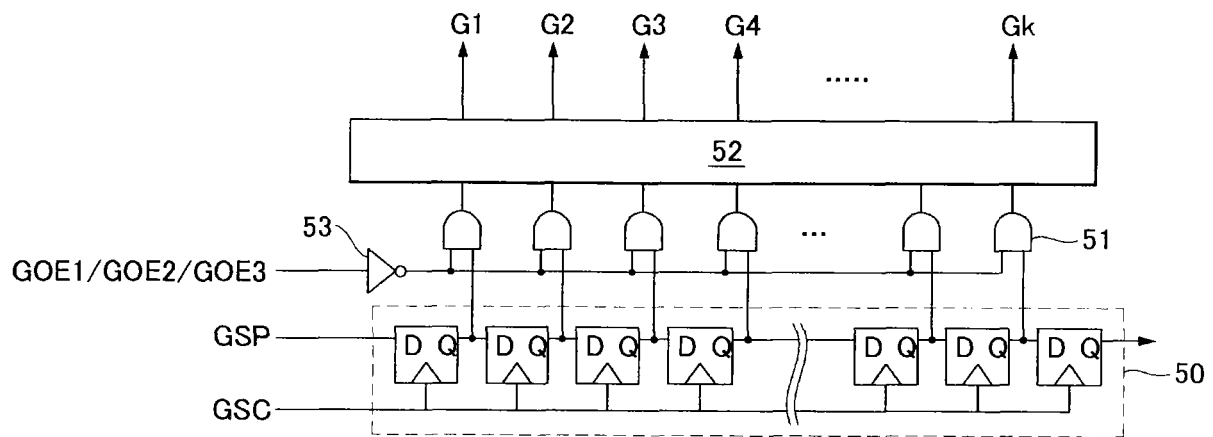


图 5

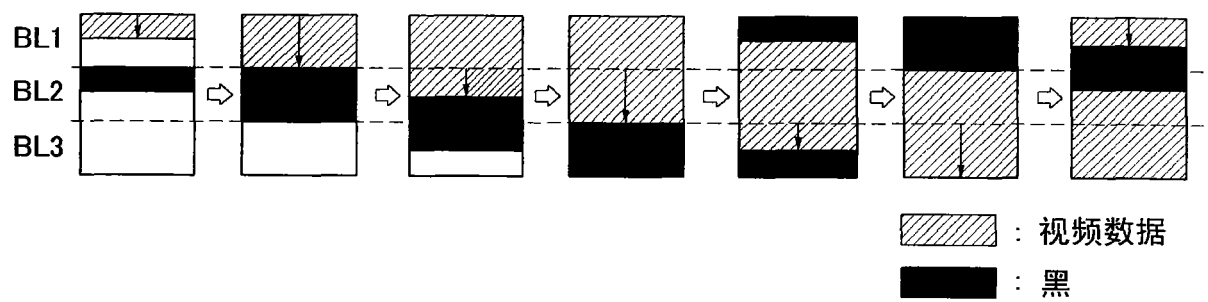


图 6

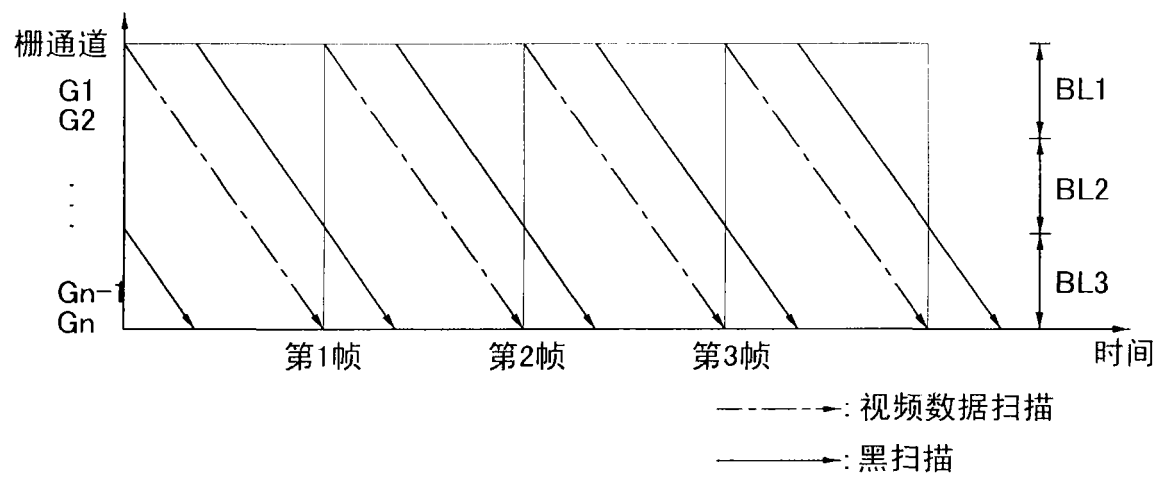


图 7

	第(N-1)帧					第N帧					第(N+1)帧				
	T1					T2					T3				
BL1	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持
BL2	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电
BL3	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电	视频数据充电	数据保持	黑充电

图 8

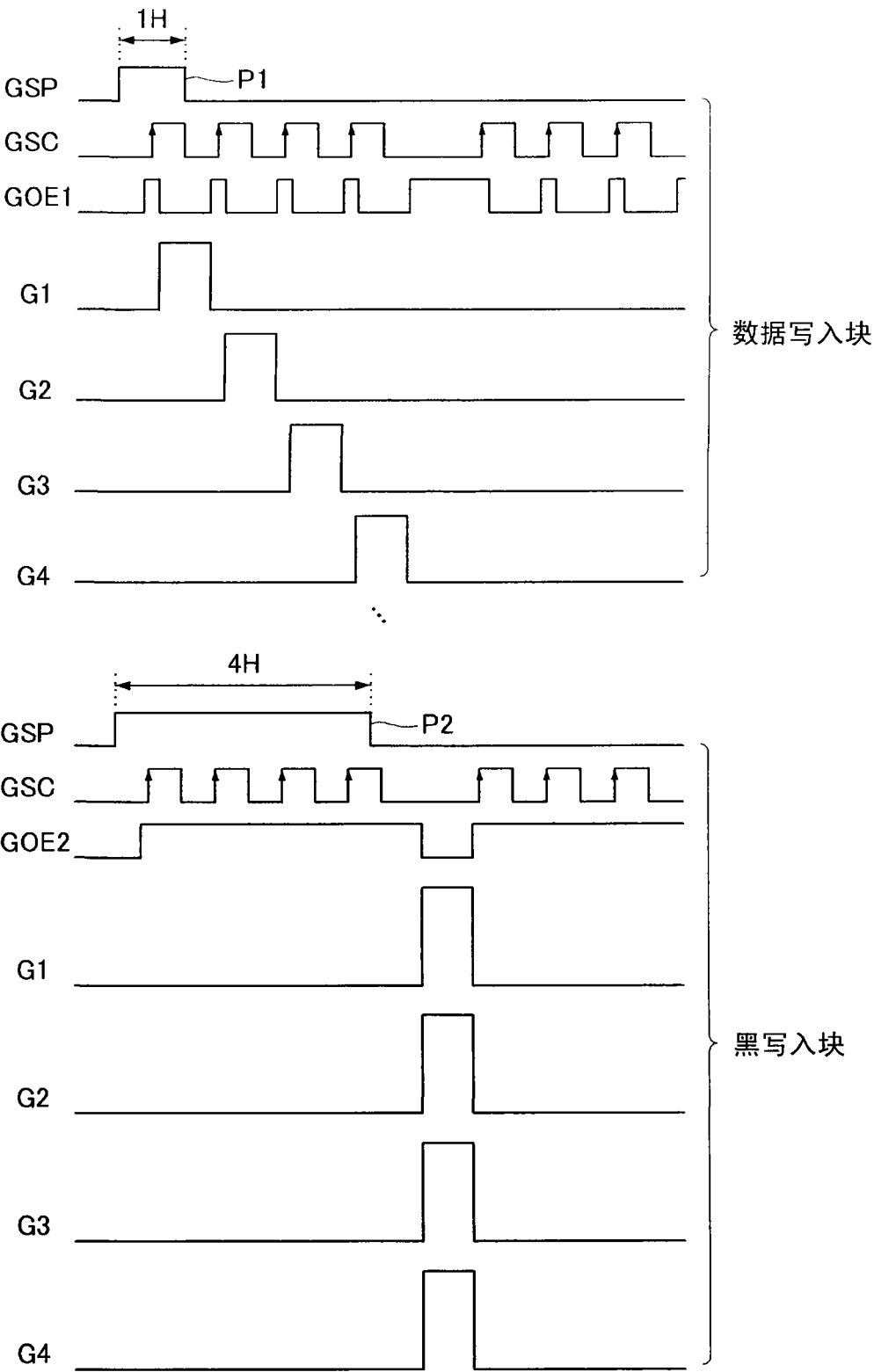


图 9

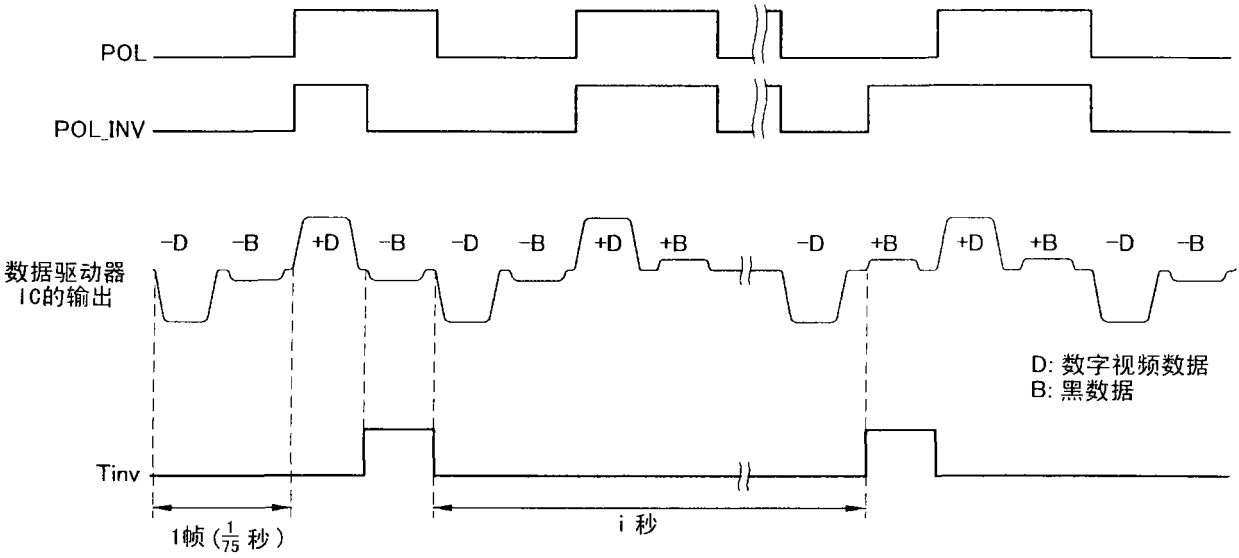


图 10

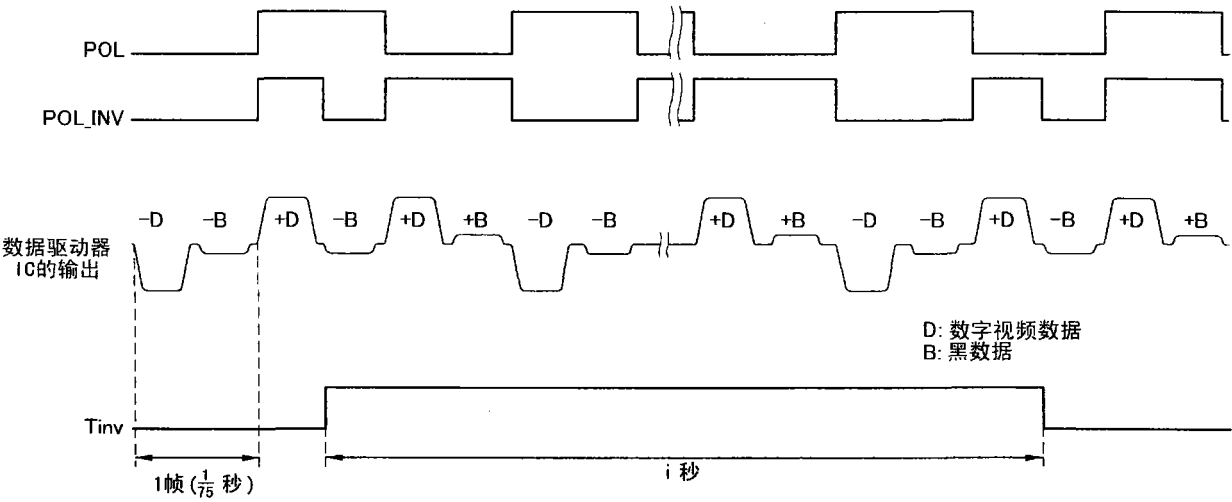


图 11

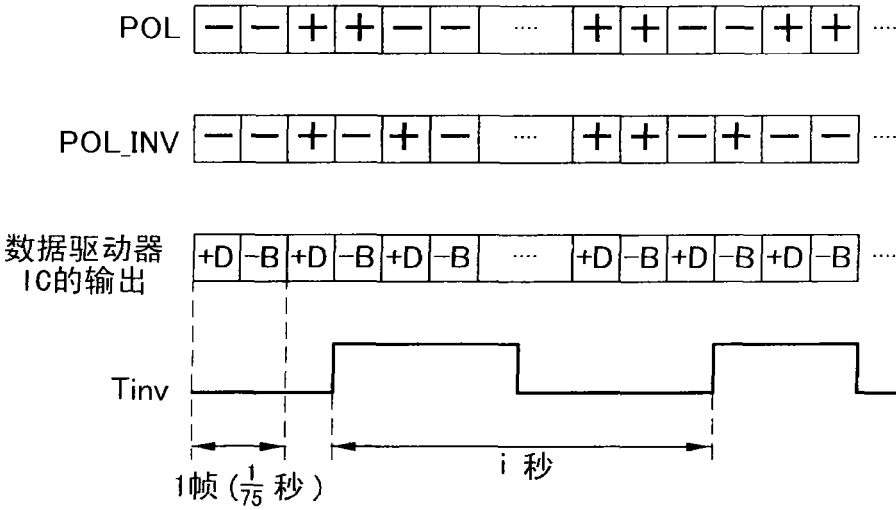


图 12

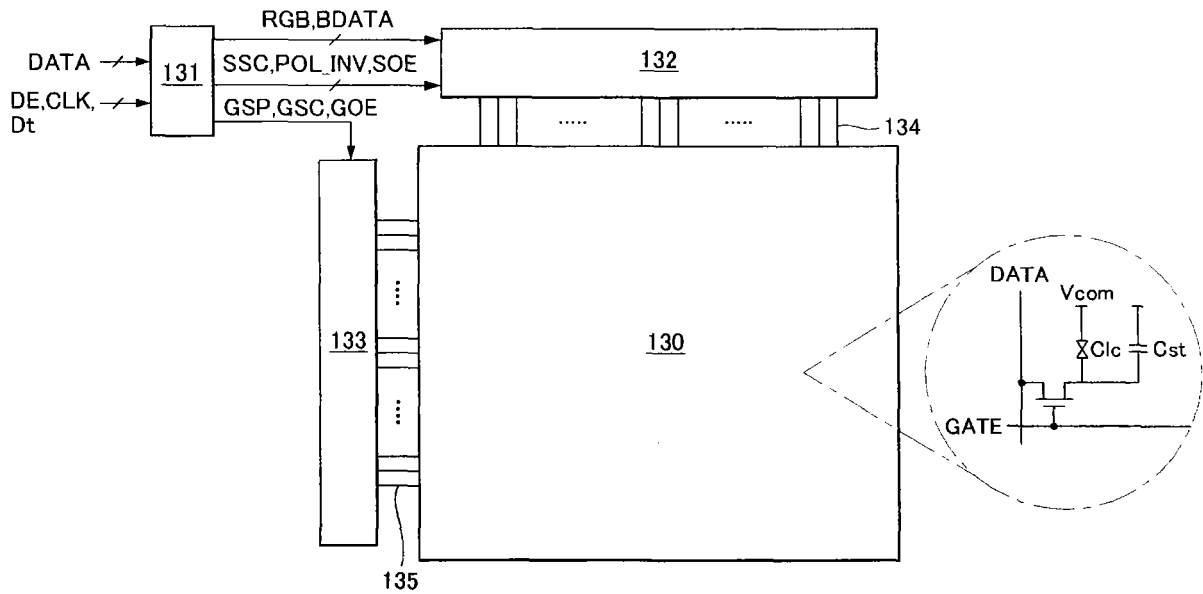


图 13

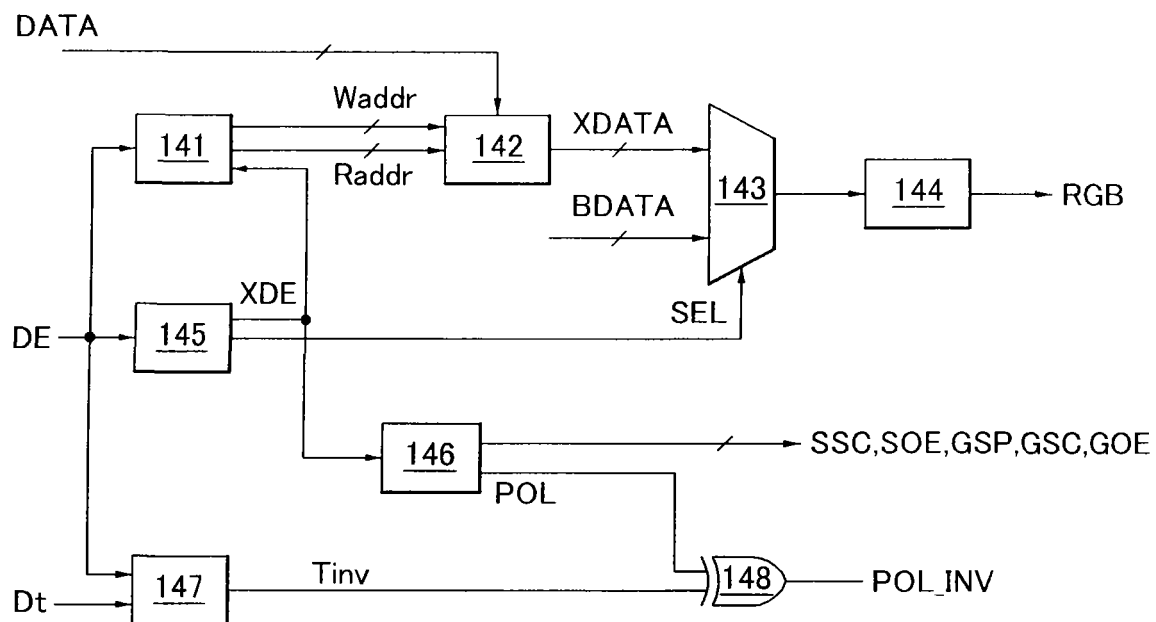


图 14

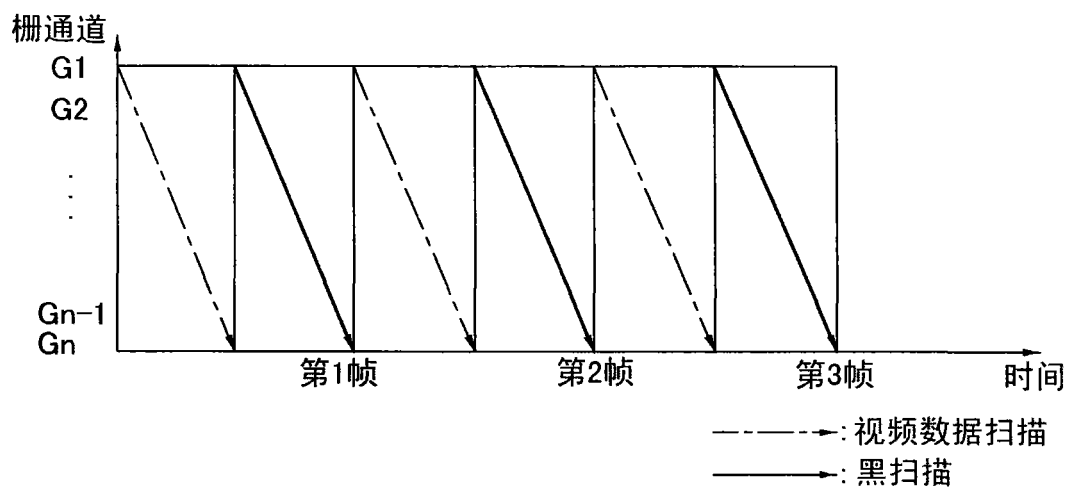


图 15

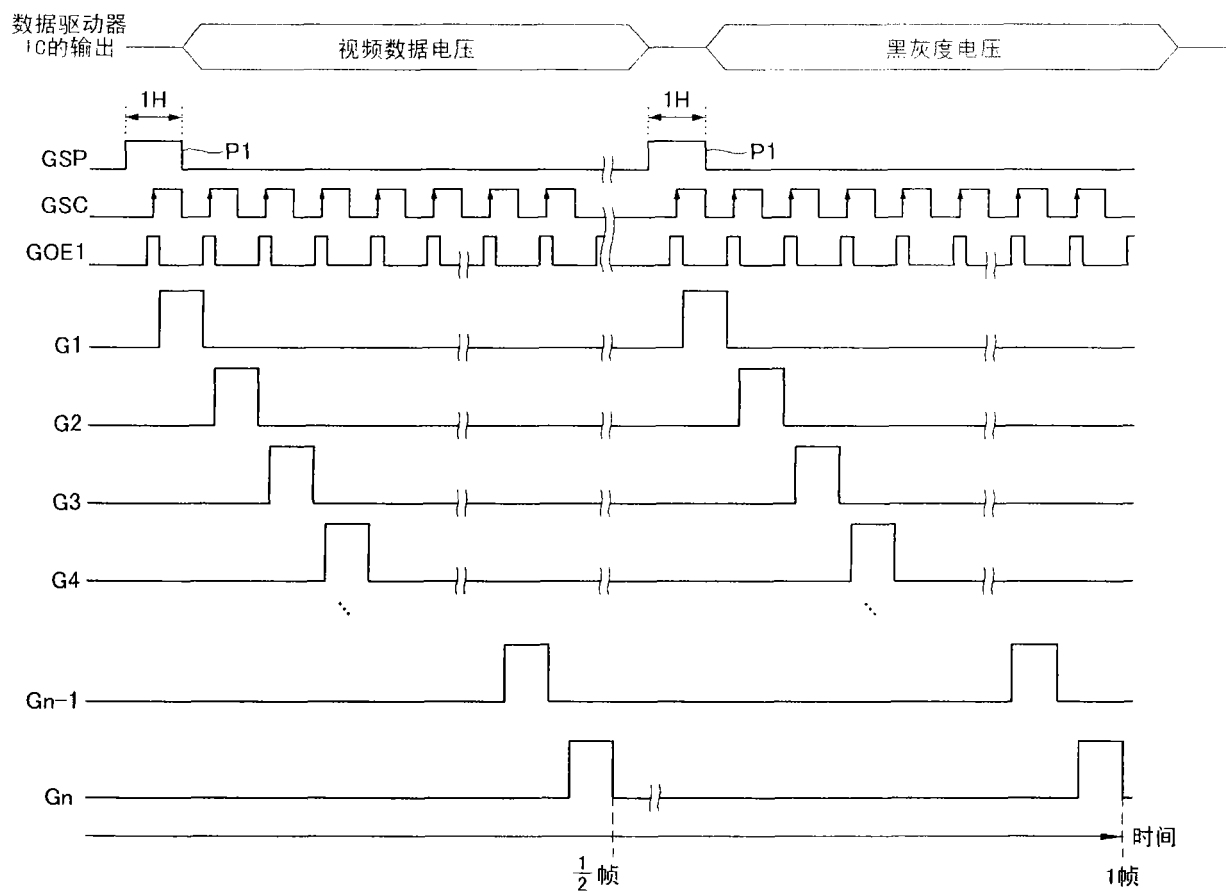


图 16

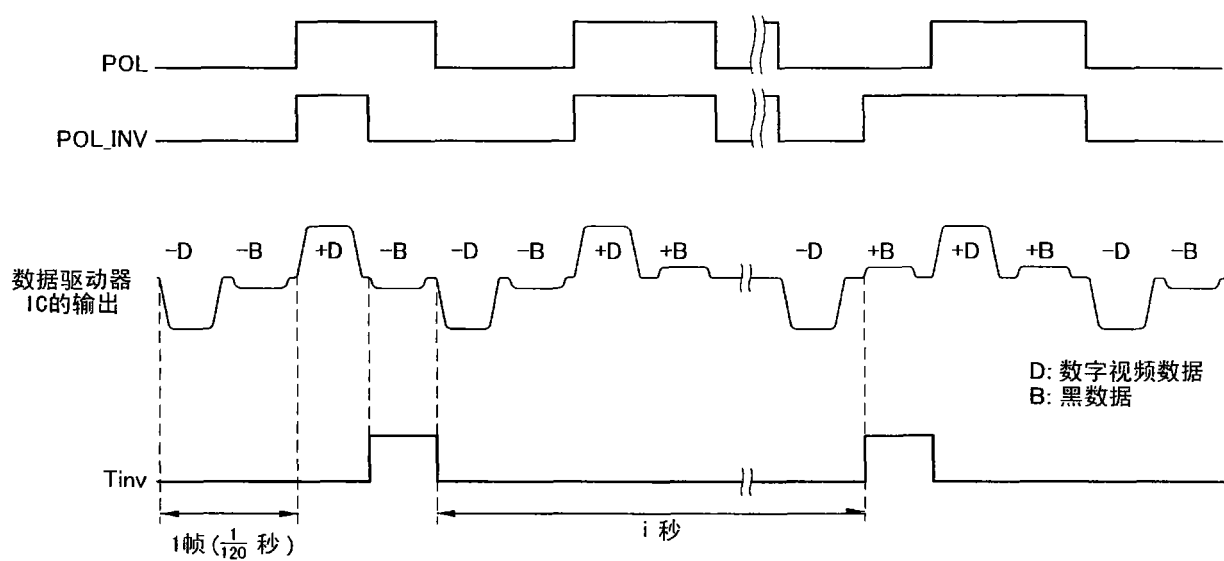


图 17

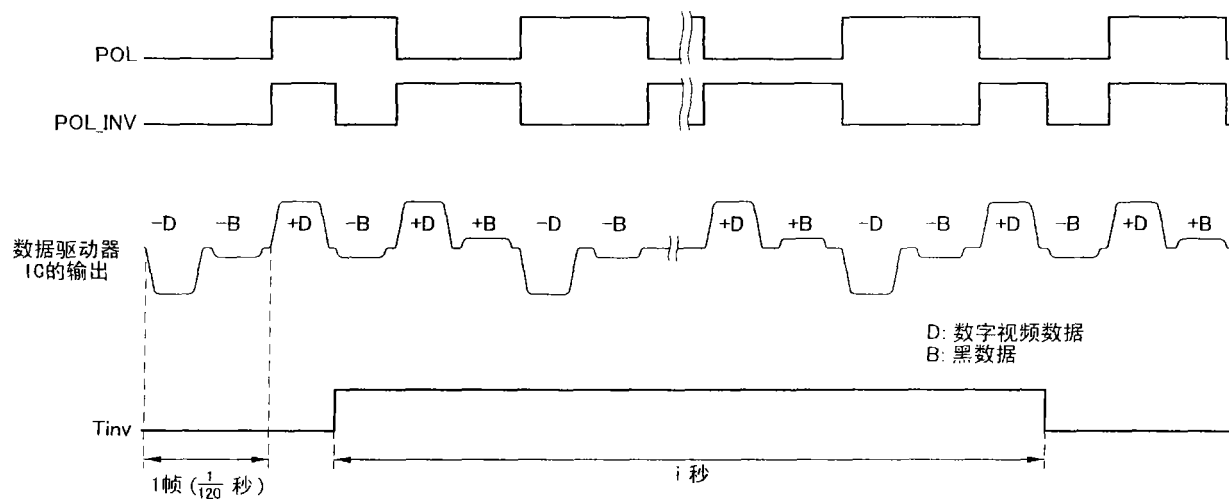


图 18

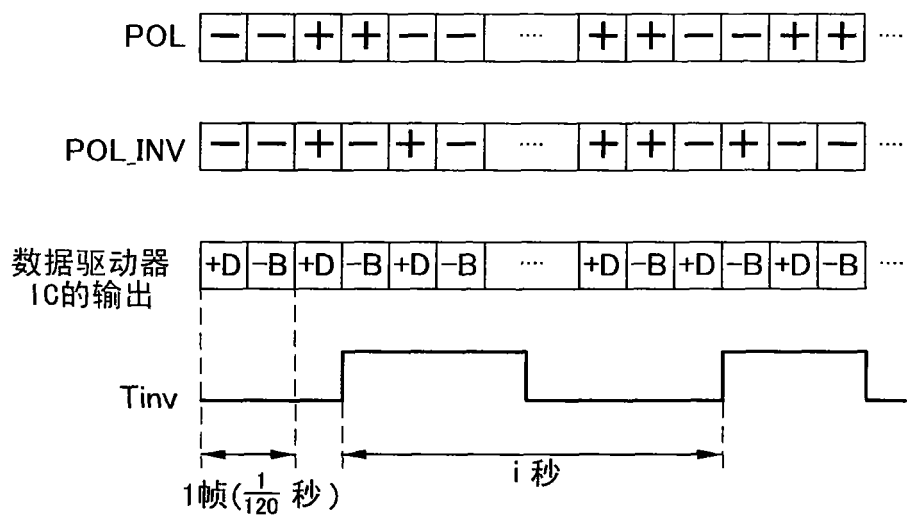


图 19

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN101572062A	公开(公告)日	2009-11-04
申请号	CN200810180213.1	申请日	2008-11-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	宋鸿声 闵雄基 孙勇气 张修赫		
发明人	宋鸿声 闵雄基 孙勇气 张修赫		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0216 G09G2310/0205 G09G3/3614 G09G2310/08 G09G3/3688 G09G2310/062 G09G3/3666 G09G2310/02 G09G2320/0261		
代理人(译)	徐金国		
优先权	1020080040460 2008-04-30 KR		
其他公开文献	CN101572062B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种液晶显示器及其驱动方法。所述液晶显示器包括时序信号乘法电路，其按比例放大时序信号的频率；时序控制信号产生电路，其基于被按比例放大的时序信号产生极性控制信号；极性控制信号反相电路，其响应于每隔恒定时间间隔被反相的反相周期信号使极性控制信号反相，以产生反相极性控制信号；以及数据驱动电路，其将数字视频数据和数字黑数据分别转换为视频数据电压和黑灰度电压，响应于反相极性控制信号使视频数据电压和黑灰度电压的极性反相，并提供极性被反相的视频数据电压和黑灰度电压至数据线。

