

[51] Int. Cl.
G09G 3/36 (2006.01)



[21] 申请号 03825699.1

[11] 公开号 CN 1723484A

权利要求书 2 页 说明书 9 页 附图 22 页
按照条约第 19 条的修改 4 页

1. 一种帧缓冲器像素系统, 包括:
存储单元, 用于存储在帧时间期间充入的第一数据值;
5 第一控制器, 用于允许存储第一数据值;
第二存储单元, 用于在帧期间显示第二数据;
显示器, 用于显示存储在第二存储器中的第二数据值;
第二控制器, 用于启动第二存储器, 从而启动显示器;
泄漏器, 用于在显示之后将数据值漏出; 以及
10 第三控制器, 用于启动泄漏器。
2. 根据权利要求1的系统, 其中, 第一存储单元包括其电容与所存储的数据值无关的电容器、以及栅极晶体管。
3. 根据权利要求2的系统, 其中, 电容器包括具有双多晶层的互补金属氧化物半导体(CMOS)。
- 15 4. 根据权利要求2的系统, 其中, 栅极晶体管包括NMOS晶体管或PMOS晶体管。
5. 根据权利要求1的系统, 其中, 第一控制器包括场效应晶体管(FET)。
6. 根据权利要求5的系统, 其中, 第一控制器包括传输栅极, 其由分别被写入和反相写入信号控制的NMOS晶体管和PMOS晶体管组成。
- 20 7. 根据权利要求1的系统, 其中, 第二控制器包括连接到读取信号的栅极。
8. 根据权利要求1的系统, 其中, 显示器包括电容器, 该电容器可被独立地优化, 以将所存储的电荷保持一个帧的时间。
9. 根据权利要求1的系统, 其中第三控制器包括连接到下拉信号的栅极。
- 25 10. 根据权利要求1的系统, 其中, 显示器是液晶显示器电容器。
11. 一种帧缓冲器像素系统, 包括:
第一存储单元, 用于存储在帧时间期间充入的第一数据值;
第一控制器, 用于允许存储第一数据值;
第二存储单元, 用于在帧期间显示第二数据值;
30 显示器, 用于显示存储在第二存储单元中的第二数据值;
第二控制器, 用于启动第二存储器, 并启动显示器;

泄漏器，用于在显示之后将数据值漏出；

第三控制器，用于启动泄漏器；以及

模拟-脉冲宽度调制(PWM)转换器，其被插入在第二存储器之后。

5 12. 根据权利要求 11 的系统，其中，第一存储单元包括其电容与所存储的数据值无关的电容器、以及栅极晶体管。

13. 根据权利要求 12 的系统，其中，电容器包括具有双多晶层的互补金属氧化物半导体(CMOS)。

14. 根据权利要求 12 的系统，其中，栅极晶体管包括 NMOS 晶体管或 PMOS 晶体管。

10 15. 根据权利要求 11 的系统，其中，第一控制器包括场效应晶体管(FET)。

16. 根据权利要求 15 的系统，其中，第一控制器包括传输栅极，其由分别被写入和反相写入信号控制的 NMOS 晶体管和 PMOS 晶体管组成。

17. 根据权利要求 11 的系统，其中，第二控制器包括连接到读取信号的栅极。

15 18. 根据权利要求 11 的系统，其中，显示器包括电容器，该电容器可被独立地优化，以将所存储的电荷保持一个帧的时间。

19. 根据权利要求 11 的系统，其中，第三控制器包括连接到下拉信号的栅极。

20 20. 根据权利要求 11 的系统，其中，转换器包括像素电容器、基准电压和比较器。

21. 根据权利要求 20 的系统，其中，基准电压在从帧缓冲像素生成的电压范围内摆动。

用于液晶显示器的帧缓冲器像素电路

5 技术领域

本发明涉及用于显示系统的像素电路，特别涉及一种用于液晶显示器的帧缓冲器像素电路。

背景技术

10 图1示出了相关技术显示设备10。它包括由显示控制电路30控制的像素电路显示板20，所述显示控制电路30具有帧存储器40。相关技术像素电路显示器每种颜色需要多于8位的灰度级表现，并且需要足够低的操作电压，以便能够实现被更好地供电的显示设备，例如膝上型计算机或个人数字助理(PDA)。在显示期间，相关技术像素电路使用用于地址选择的地址驱动器、和
15 用于图像写入和读取周期的扫描驱动器。

图2图示了用于液晶显示器的早期帧缓冲器像素的相关技术。开始，当写入信号为ON(选通)时，在数据写入时间期间，将与数据电平(level)成比例的电压存储在Cmem存储电容器中。然后，当在数据写入完成之后施加读取信号时，将所存储的电压传送给Cpixel电容器，帧缓冲器像素使得能够在将
20 新图像的新数据加载到Cmen的同时显示先前存储的图像。

相关技术帧缓冲器像素电路具有各种缺点。例如，在Cmem存储电容器和Clcd电容器之间存在电荷共享，当读取信号变为ON时，这两个电容器被短路，如图3(C)-(E)所示。图3(C)示出的Cmem存储电容器和图3(E)示出的Clcd电容器的电压电平在施加读取信号之后变为相等，如图3(D)所示。因此，
25 Cmem存储电容器的电容必须比Clcd电容器的电容大得多，以便使电荷共享问题减到最小。然而，即使对于大得多的Cmem存储电容器，也由于电荷共享效应而总是存在一些电压降。

此外，在Clcd电容器处没有电荷泄漏(drain)。也就是说，来自先前图像的Clcd节点处的剩余电荷干扰对新图像进行写入的新电压。具体地说，Clcd
30 电容器的实际电压电平根据先前图像电压而变化，如图3(E)所示。

而且，Clcd电容器不是由电力驱动，而是由来自Cmem存储电容器的电

荷驱动。因而，需要首先在 Clcd 电容器的保持时间和 Cmem 存储电容器的电容方面对 Clcd 电容器进行优化。由于这些缺点，相关技术帧缓冲器像素提供较差的亮度和对比率。

图 4 图示了第二相关技术帧缓冲器像素电路。帧缓冲器像素使用 NMOS 晶体管 M3 的栅极氧化层作为存储电容器。当写入信号是 ON 时，在数据写入时间期间，根据数据电平的电压被存储在 M3 的栅极电容器中。当数据写入完成时，对应于读取信号的上拉信号变为 ON，并给像素电极(例如，C_{lcd} 电容器)充电。在施加上拉信号之前，下拉信号将先前存储在像素电极中的电荷泄漏。C_{lcd} 的电荷泄漏确保尤其在新图像的数据电平低于先前的图像数据电平时显示正确的电压。

图 5 示出了图 4 的帧缓冲器像素的仿真结果。如图 5(E)所示，由于与 C_{lcd} 电容器一起形成另一条通向地的路径的 M3 的固有(intrinsic)栅极电容器，在像素电极处产生(induce)不希望的电荷。作为分压器工作的这两个电容器确定在数据写入时间期间在 C_{lcd} 处产生的电压。参照图 5，对于在仿真中使用的参数，在数据写入时间期间产生了存储电容器处的电压的大约 1/3，如图 5(C)和 5(E)所示。所产生的电荷影响图像质量，尤其是对比率。为了减小电荷产生的问题，应当增大栅极电容 C_{gs} 对 C_{lcd} 电容的比率，并且应当将所存储的电荷保持至少一帧时间。因此，为了实现高对比率，在大多数毫秒级帧时间的应用中，像素电路需要用于比液晶显示器(LCD)电容器高得多的栅极电容值的相当大的空间(space)，以便保持所存储的电压。

在适当的地方通过引用而将以上参考资料合并于此，以便适当地教导其它或替换细节、特征和/或技术背景。

发明内容

本发明的目的是解决至少上述问题和/或缺点，并提供至少在下文中描述的优点。

本发明的另一目的是提供一种增强的帧缓冲器像素电路，其可实现高对比率，并以更短的写入时间显示高质量图像。

在帧缓冲器像素电路的优选实施例中，使用两个单独的电容器，以便通过使数据写入或读取时间期间产生的电荷减到最少、将暗电平(dark level)保持在其最低亮度从而节省数据写入时间来产生更高的对比率。单独电容器的电

容不依赖于彼此的电容，并因此可以独立地进行设计，使得时间常数足够长，以便将所存储的电荷保持一个帧的时间。与栅极电容相反，单独电容器的电容不是电压相关的。lcd 电容器 Clcd 直接由电源驱动，流入 lcd 电容器的电流由存储在存储电容器处的电压电平控制。此外，在存储电容器 Cmem 和 lcd 电容器 Clcd 之间不存在电容共享。仅在数据读取信号是 on(选通)时，才存在所产生的电荷，然而，对于所有数据电平，电荷产生的量相同。因而，电荷产生不改变灰度等级(gray level)，并且还可以通过使用最小尺寸的晶体管来使在 lcd 电容器处产生的电荷减到最少。在帧缓冲器像素电路的优选实施例中，可以将模拟 - 脉冲宽度调制(PWM)转换器放置在像素电极(即，lcd 电容器)Clcd 之后。具体地说，像素电容器 Cpixel 优选地连接到具有基准电压 Vref 的比较器，以便产生 PWM 脉冲来驱动二进制显示器，例如铁电液晶显示器和数字镜显示器(DMD)，从而显著减小子帧频率。

具有上述优点的这种像素电路可应用于大多数使用有源驱动的显示器，例如 TFT LCD、硅上液晶(LCOS)、电致发光(EL)显示器、等离子显示板(PDP)和场发射显示器(FED)、场序制色彩显示器、投影显示器、以及直视显示器如头戴式显示器(HMD)。这种技术也可用于 LCOS 束偏转器、相位阵列束偏转器，并且在采用硅衬底底板的反射式显示器中尤为有效。

本发明的其它优点、目的和特征将部分在以下描述中阐述，部分将在审查以下内容时对本领域普通技术人员来说变得清楚、或者可以从本发明的实践中得知。如同在所附权利要求中具体指出的那样，可以实现和达到本发明的目的及优点。

附图说明

将参考以下附图来详细描述本发明，在附图中，相同的附图标记指示相同的元件，其中：

- 图 1 是图示相关技术像素板显示器的一般结构的图。
- 图 2 是图示第一相关技术帧缓冲器像素电路的图。
- 图 3 示出对图 2 的帧缓冲器像素电路的仿真结果。
- 图 4 是图示第二相关技术帧缓冲器像素电路的图。
- 图 5 示出对图 4 的帧缓冲器像素电路的仿真结果。
- 图 6 示出改进(refined)的帧缓冲器像素电路。

图 7 示出根据本发明另一优选实施例的帧缓冲器像素电路。

图 8 示出对图 6 的帧缓冲器像素电路的仿真结果。

图 9 示出根据施加到栅极的电压的栅极电容的表。

图 10 示出根据本发明优选实施例的具有 CMOS 的帧缓冲器像素电路。

5 图 11 示出对图 10 的优选实施例帧缓冲器像素的仿真结果，其图示了关于时间的节点处的电压电平。

图 12 是使用 NMOS 和 PMOS 晶体管实现的本发明的实施例的图。

图 13 示出根据本发明优选实施例的具有 PMOS 的帧缓冲器像素电路。

10 图 14 是图示根据本发明优选实施例的具有比较器的帧缓冲器像素电路的电路图。

图 15 是示出根据本发明一个实施例的可以如何生成 PWM 波形的图。

图 16 示出图示从图 13 的像素电压和基准电压生成的 PWM 波形的图。

图 17 示出图示被改变以施加伽马(gamma)校正的基准电压的波形的图。

图 18 示出根据本发明优选实施例的具有场序制色彩的单板投影显示器。

15 图 19 示出根据本发明优选实施例的具有部分场序制色彩的双板投影显示器。

具体实施方式

现在将参考附图描述本发明的优选实施例。图 6 示出了第一改进帧缓冲器像素电路。在该改进帧缓冲器像素电路中，存储电容器 Cmem 被放置在图 4 的相关技术帧缓冲器像素电路中，从而消除了由与 Clcd 电容器一起形成通向地的另一路径的晶体管 M3 的栅极电容引起的电荷产生问题。在电容器 Cmem 放置在相关技术帧缓冲器电路中、并且晶体管 M3 优选地由最小尺寸的晶体管制成之后，图像质量大大提高，此外，如下所述，可以优化电容器 Cgs 和 Clcd 的值，以获得最佳图像质量。

20 25

图 7 示出了第二改进帧缓冲器像素电路。在该第二改进帧缓冲器像素电路中，使用两个场效应晶体管(FET)M1 和 M2 作为控制或传输晶体管(pass transistor)。具有对应于读取信号的输入信号的上拉晶体管 M4 耦接在存储电容器 M3 和 LCD 电容器 Clcd 以及下拉晶体管 M5 之间。在该电路中，当写入信号为 ON 时，传输晶体管 M1 和 M2 将像素数据值传送到 M3 晶体管的栅极。

30

此时，由于上拉晶信号保持为低，因此 M3 晶体管未处于导通状态，使得没

有电流流过 M4 或 M5 晶体管的源电极和漏电极。

在加载数据值之后，M1 和 M2 晶体管优选地被关断。这将保持存储在 M3 栅极上的新像素数据值。随后，在显示先前数据值的末尾，下拉信号被切换为高，并导通 M5 晶体管，M5 晶体管随后将像素电极 C_{lcd} 上的任何电荷放掉。之后，下拉信号变为低，并关断 M5 晶体管。然后，上拉信号切换为高，并导通 M4 晶体管，这使得电流流过 M3 晶体管。当施加读取信号时，存储在 M3 晶体管栅极上的数据值控制电流量，该电流量确定在像素电极 C_{lcd} 处与电压电平成比例地充入的电压。本实施例的这两个传输晶体管的布置优势在于很多方面。首先，使用两个传输晶体管保证一个节点中的所有电压都被传递给其它节点。相比之下，如果只使用一个晶体管，则在所施加的电压的较低或较高范围处存在电压降。例如，如果使用 NMOS，则当施加上行干线(upper rail)电压 VDD 时， $VDD - V_{th}$ 被传递给其它节点。 V_{th} = NMOS 的阈值电压。对于 PMOS，作为下行干线电压输入， $VSS + V_{th}$ 被传递给其它节点。

其次，因为晶体管 M4 将栅极电容器 M3 和像素电容器 C_{lcd} 断开，所以消除了电荷共享和电荷产生的问题。在数据写入时间期间，根据数据电平的电压被首先存储在存储电容器，晶体管 M3 的栅极电容器中。由于这两个电容器因 M4 晶体管而被隔离开，因此没有在数据写入时间期间产生的电荷，这在图 8(C)和(D)中清楚地示出。

图 8 示出了对图 7 的改进帧缓冲器像素进行的仿真结果。在图 8(E)中，对于每个数据电平， C_{lcd} 电容器处的电压在整个帧时间内保持稳定，并且当写入信号为 on(选通)时，在 LCD 处不存在所产生的电荷。具体地说，可以独立地优化 M3 晶体管的 C_{gs} 值和 C_{lcd} ，以便将存储在每个电容器中的电荷保持一个帧的时间，这是因为不存在连接这两个电容器的寄生路径。对于整个帧时间，最暗电平保持在其最低亮度电平而不发生改变，并且对比率在没有亮度改变的情况下增大。具体地说，对比率与使用单独电容器还是使用栅极电容器无关。因此，可以在没有显著劣化的情况下显示先前存储的图像。对于优化，注意，由于 M3 的 C_{gs} 和 C_{lcd} 之间的 M4 晶体管将任意可能的寄生电路路径断开，因此可以独立地优化 M3 的 C_{gs} 和 C_{lcd} 。然而，当读取信号被选通时，存在具有 M4 的 C_{gs} 和 C_{lcd} 的其它电路路径，并且在 C_{lcd} 处产生电荷。无论在 M3 的 C_{gs} 处存储了什么电压，在数据读取时间期间在 C_{lcd} 处产生的电荷都相

同。优化 M4 的 C_{gs} 和 C_{lcd} 并不重要。因此，对于 M4，使用最小尺寸的晶体管是理想的。

此外，在此像素电路中使用的栅极电容取决于施加到栅极上的电压，如图 9 所示。在图 9 中，从图 8 示出的特定仿真获得栅极电容器的值，其中 NMOS 和 PMOS 分别具有 $7.5\mu\text{m}$ 和 $7.3\mu\text{m}$ 的宽度，并且分别具有 $9.2\mu\text{m}$ 和 $9.5\mu\text{m}$ 的长度。PMOS 和 NMOS 的阈值电压分别是 0.94V 和 0.77V 。如果施加到器件的栅极上的电压变得接近该器件的阈值电压，则栅极电容开始减小。因此，具有作为存储电容器的栅极电容器的像素具有电容不一致的缺点，从而要求在 M3 处存储的电压大于 M3 的阈值电压。

此外，注意：当读取信号为选通时，如果 M4 的 V_{gs} 与 C_{lcd} 电容的比率是可比的，则即使没有由于施加在存储电容器上的电压而在 C_{lcd} 电容器处产生的电荷，也可能有在 C_{lcd} 电容器处产生的电荷。所产生的电荷是相同的，而与存储在存储器处的电压无关，从而使对比率不会减小。

图 8(E)示出了在数据读取期间，当显示数据电平是 0 时在 C_{lcd} 处产生的电荷。这起因于 M4 的寄生电容，所述寄生电容与 C_{lcd} 电容器形成了通向地的电路路径。但是，可以通过使 M4 的栅极电容器最小并使 C_{lcd} 电容最大来容易地消除所产生的电荷。此外，仍然可以独立进行对 C_{lcd} 电容器和 M3 的 C_{gs} 的优化。

图 10 示出了本发明的帧缓冲器像素电路的第一优选实施例。在该优选实施例中，像素电路包括单独的电容器 C_{mem} ，其被放置在晶体管 M3 之前。 C_{mem} 是存储电容器，并用来代替 CMOS 晶体管的寄生栅极电容器。具有单独电容器 C_{mem} 的这一像素电路通过消除在数据写入和读取时间期间在 C_{lcd} 处产生的电荷而产生更高的对比率，从而将暗电平保持在其最低亮度。这样，帧缓冲器像素的设计由于所增加的单独电容器而变得更容易。对这两个电容器 C_{mem} 和 C_{lcd} 的优化可独立进行。此外， C_{mem} 的电容不依赖于所存储的电压，而栅极电容根据所存储的电压改变它的值。可以将所存储的电压保持相同的持续时间，而与电压电平无关。可以使用任意合适的电容器来形成 C_{mem} 。然而，优选的是，通过使用具有双多晶(POLY)层的典型 CMOS 工艺例如 AMI $0.5\mu\text{m}$ 双多晶三金属 CMOS 工艺来制作 C_{mem} 。对于此电路，子帧频率和像素大小相关。对于帧频率为 60Hz 的场序制彩色显示器，总的子帧频率将是 180Hz ，并且子帧时间为大约 5.5 毫秒。对于更高的子帧频率，电压保持时间即 RC 时间

减少。这样，由于与电容大小成比例的 RC 时间减小，因此像素也减小。电容器的大小占据了像素的主要面积。此外，在此电路中，可以优化电容器。确定电容的大小以将所存储的电压保持一定的时间周期将实现该优化。由于可以独立地确定 C_{mem} 和 C_{lcd} 以便将所存储的电压保持相同的子帧时间，因此

5 电容器可以是相同的。对于需要 60Hz 帧频率的 TFT 显示器，可以使用大约 100ff 的电容来将 95 % 的所存储的电压保持 16.7 毫秒。具有三倍大的子帧频率的场序制色彩显示器需要大约 30ff 的电容，这是 TFT 显示器电容的三分之一。

根据该实施例，在存储电容器 C_{mem} 和 LCD 电容器 C_{lcd} 之间没有电荷共享，如图 11(A)-(E)所示。可以通过使用最小尺寸的晶体管来使在 LCD 电极处产生的电荷减到最少。该 LCD 电极直接由电源驱动，并且所充入的电压由存储在存储电容器 C_{mem} 处的电压电平控制。在此像素电路中，可以独立设计每个电容器，使得时间常数足够长，以便将所存储的电荷保存一个帧的时间。具体地说，单独电容器的电容不依赖于所存储的电压电平。此外，在亮度和

15 对比率之间不存在权衡(trade off)。因而，可以同时提高亮度和对比率。由于数据写入和显示先前图像同时进行，因此数据写入时间也仅受到整个帧时间的限制。该数据写入时间限制免除了数据处理时间的负担，尤其是移位寄存器的操作速度，而非帧缓冲器像素需要尽可能快的数据写入时间，以获得更多的观看时间。这样，帧缓冲器像素电路通过节省数据写入时间提供了高质量

20 图像。

此外，帧缓冲器像素电路的这个实施例弥补了显示器尤其是场序制色彩显示器的亮度。帧缓冲器像素技术也可以与任意形式的模拟液晶(LC)模式例如 HAN(混合准直向列型)、OCB(光补偿双折射)、ECB(电控双折射)、FLC(铁电液晶)一起使用。尤其是，在设计帧缓冲器像素电路时具有极大的灵活性，

25 几乎所有类型的电容器都可用于存储电容器和液晶电容器。

例如，可以将 NMOS 和 PMOS 晶体管的组合用作补偿 NMOS 和 PMOS 晶体管的电压相关特性的电容器。如果将 PMOS 和 NMOS 的栅极电容器并联地用于存储器，则总电容是这两个电容器的和，并且组合电容器将不会经历在阈值电压附近的急剧下降。例如，NMOS 电容器将只经历 NMOS 的阈值电压即约 0.7V 附近的电容下降，但是因为栅极电容不受影响，所以由于 PMOS 的阈值，组合电容器耐受了 NMOS 阈值处的 NMOS 栅极电容器的减小。图

30

12 示出了以这种方式构造的电路。

图 13 图示了根据本发明另一优选实施例的帧缓冲器像素电路。参考图 13, M3 晶体管优选为 PMOS。由于这些晶体管作为提供电路中的电流源的栅极晶体管工作, 因此该 PMOS 分别连接到上拉和读取的反相信号。在此实施例中, 晶体管 M3、M4 和 M5 可以是 PMOS 晶体管。在此情况下, 像素电压将从 VSS 变化为 GND, 其中, $V_{22} < 0$ 。并且, 对于适当的操作, 需要将用于 M3、M4 和 M5 的脉冲极性反转。此外, 数据也将是负的。另外, 在第一实施例和第二实施例中, 可以省略 M2 晶体管而不损失帧缓冲器电路的任何一般功能或性能以及超越传统帧缓冲器电路的任何优势。

10 图 14 示出了本发明的第三优选实施例。在该图中, 图示了具有模拟 - PWM(脉冲宽度调制)转换器的帧缓冲器像素电路。将比较器放置在像素电极之后。该比较器比较存储在像素电容器处的电压和在给像素电极充电的同时全局提供的电压 V_{ref} 。如果 $V_{pixel} > V_{ref}$, 则像素电极处的电压是 5 伏特或者是驱动电压(VDD), 而如果 $V_{pixel} < V_{ref}$, 则像素电极处的电压是 0 伏特或者是地 (GND)。使用从比较器产生的 PWM 脉冲来以减小的子帧频率驱动二进制显示器, 例如铁电液晶显示器(FLCD)和数字镜显示器(DMD)。在此实施例中, 比较器的增加被设计用来驱动模拟显示器。如图 15 所示, V_{ref} 的形状确定分别将 5 伏特电平和 0 伏特电平维持多长时间。

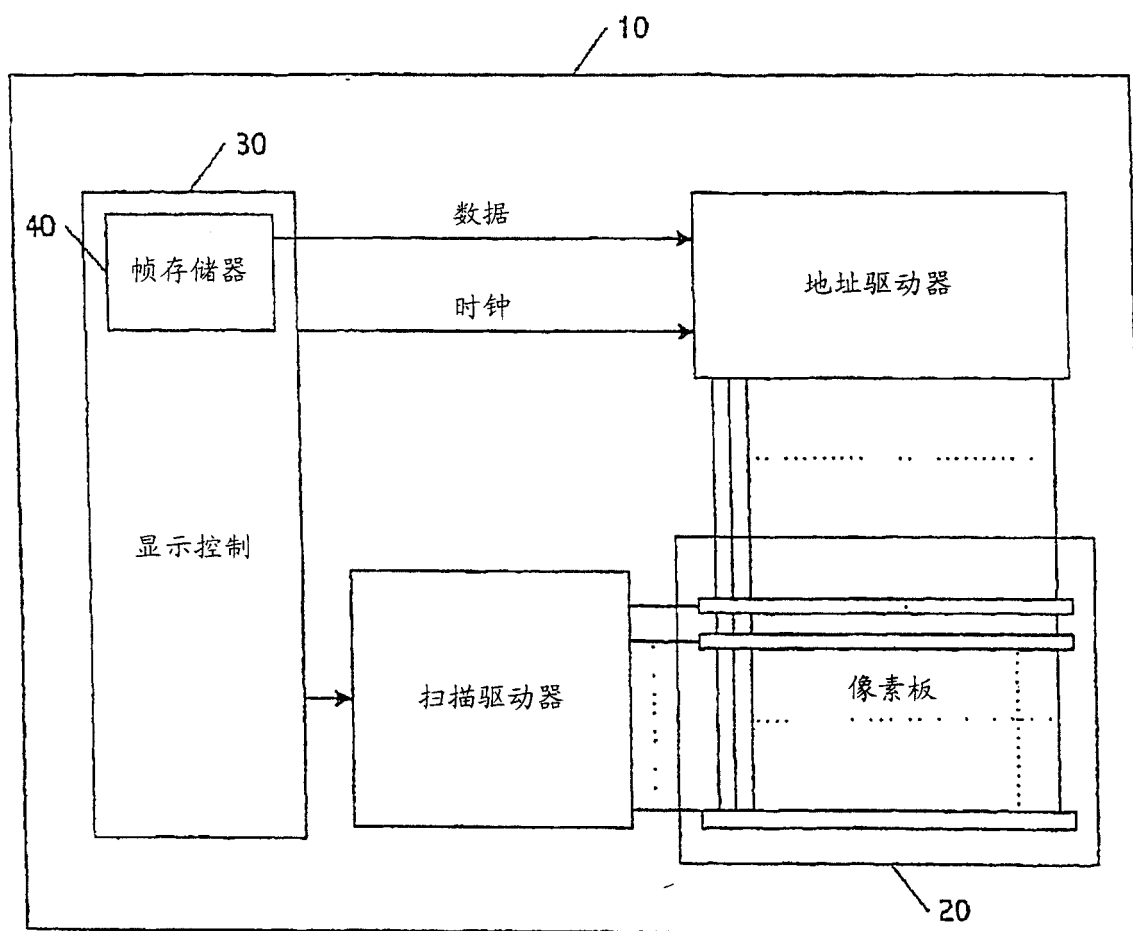
图 16 示出了通过全局基准电压 V_{ref} 和所存储的像素电压 V_{pixel} 产生的 PWM 波形。在具有保持在 VDD 或 GND 的公共电极的像素电极处的 PWM 波形将二进制设备切换为 ON 或 OFF(关断)。根据像素电压, 确定 ON 时间和 OFF 时间, 从而允许具有减小的子帧频率的二进制灰度级表现。典型的二进制器件是诸如可变形微镜器件(DMD)和铁电液晶显示器(FLCD)的器件, 其使用场序制色彩方法来实现全色彩图像。该 PWM 波形显著减少了切换的数目, 作为结果, 数目减少的切换增大了 DMD 的寿命, 并减轻了 FLCD 的切换时间负担, 从而允许更多的灰度级电平。换句话说, 由于切换次数减少, 因此实现了更高质量的图像显示。此外, 可以通过施加伽马(gamma)校正来改变 V_{ref} 的波形, 如图 17 所示。由于光强通常不与模拟电压成线性比例, 因此对于产生更好的图像, 伽马校正更好。

30 本发明的帧缓冲器像素电路可应用于场序制色彩显示器, 该显示器具有比三板显示器低的亮度, 但是其光学机构非常紧凑。该电路也可应用于反射

式和发射式显示器。在通常采用硅衬底底板的反射式显示器例如硅上液晶(LCOS)中,它将更加有效。此外,可以将该电路应用于直视显示器和投影显示器,例如磷酸盐结石(phosphate buffered saline)(PBS)显示器系统。直视显示器包括头戴式显示器(HMD)、用于监视器的显示器、个人数字助理(PDA)、取景器等。具有场序制色彩的投影显示器示例在图 18 和 19 中示出。在图 18 中,图示了具有场序制色彩的单板投影显示器。在图 19 中,图示了具有部分场序制色彩的双板投影显示器。帧缓冲器像素电路的主要目的是增大显示器的亮度而不损失对比率。本发明将在这些应用中有效,然而它可应用于三板投影显示器,以更多地增大该系统的亮度。

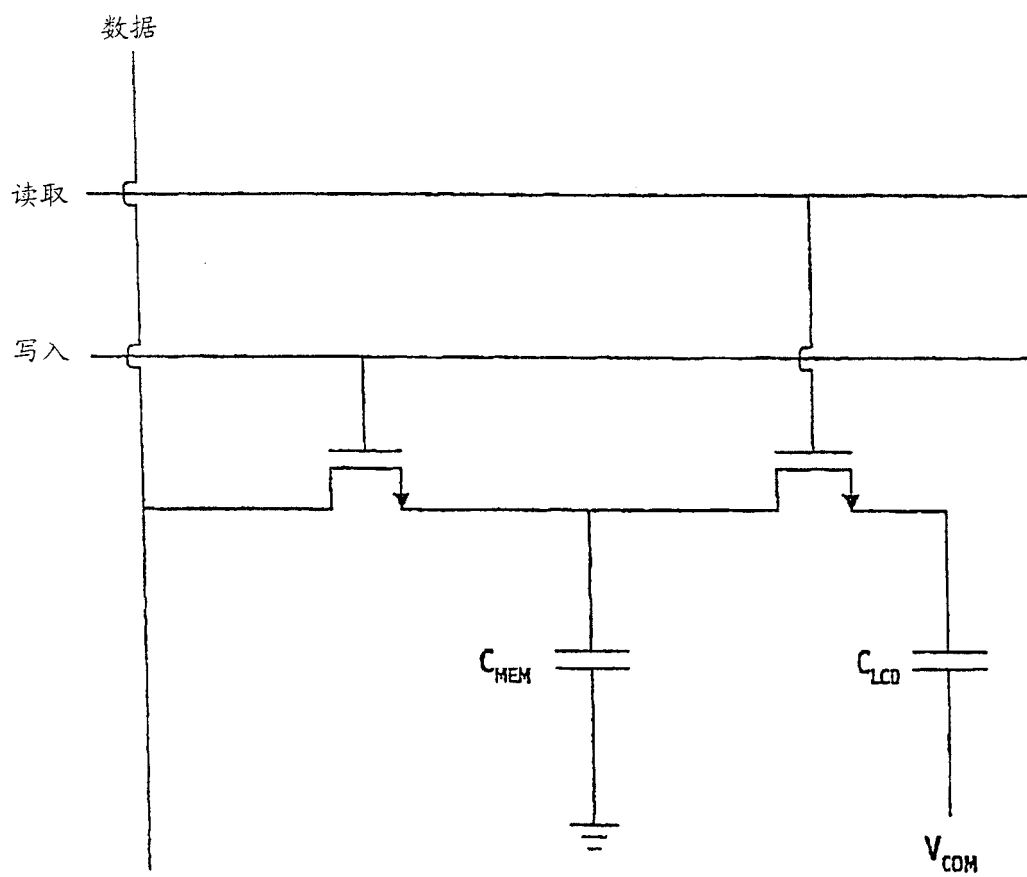
10 针对优选实施例描述了本发明。仅在阅读此公开之后对本领域普通技术人员变得清楚的改进和修改被认为是在本申请的精神和范围内。

前述实施例和优点仅仅是示例性的,而不应被解释为限制本发明。本教导可容易地应用于其它类型的装置。对本发明的描述意欲为说明性的,而不是要限制权利要求的范围。对本领域普通技术人员来说,很多替换、修改和
15 改变将是清楚的。在权利要求书中,部件加功能的句子意欲涵盖在此描述的、执行所述功能的结构以及结构等同物和等同结构。



显示设备

图 1



帧缓冲器像素

图 2

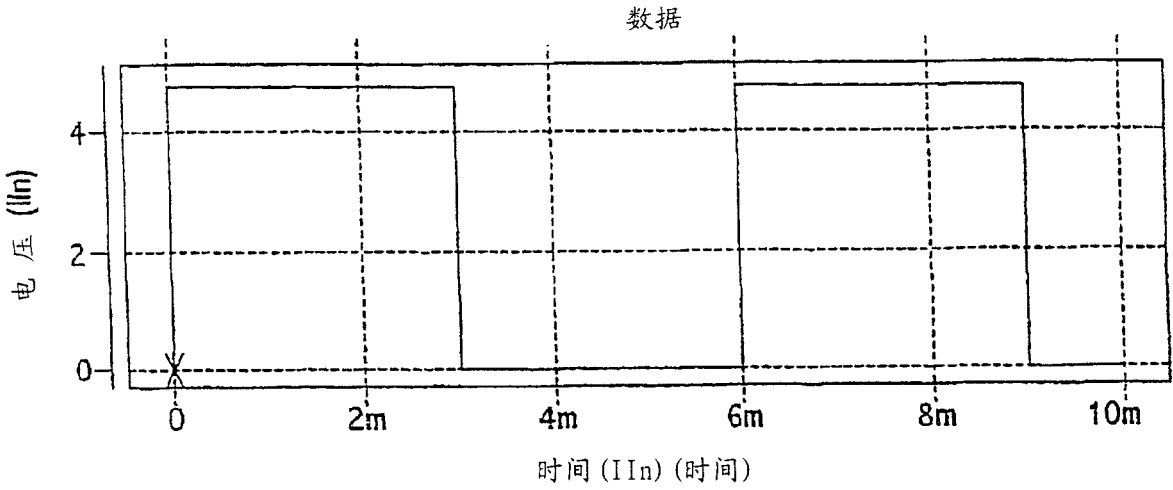


图 3 (A)

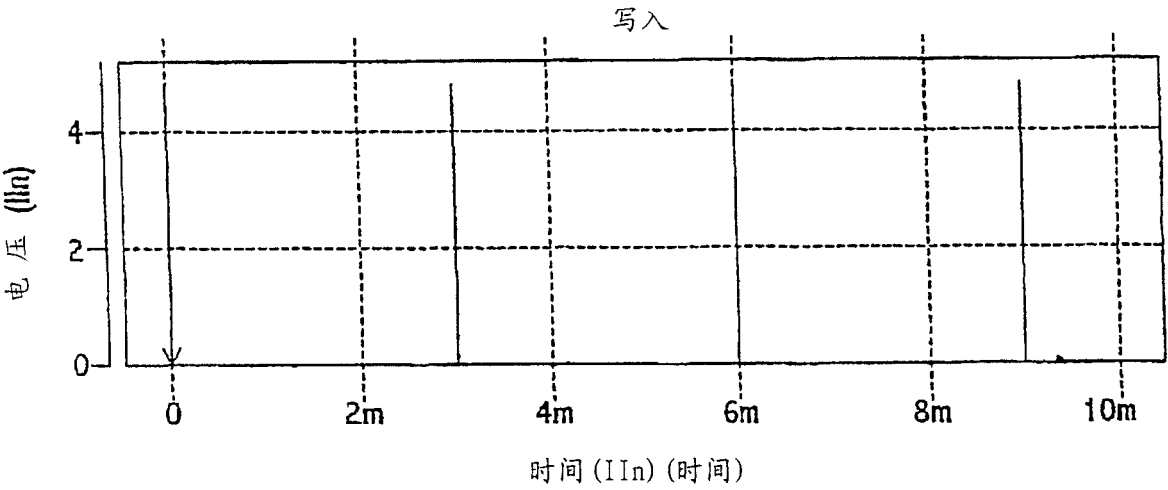


图 3 (B)

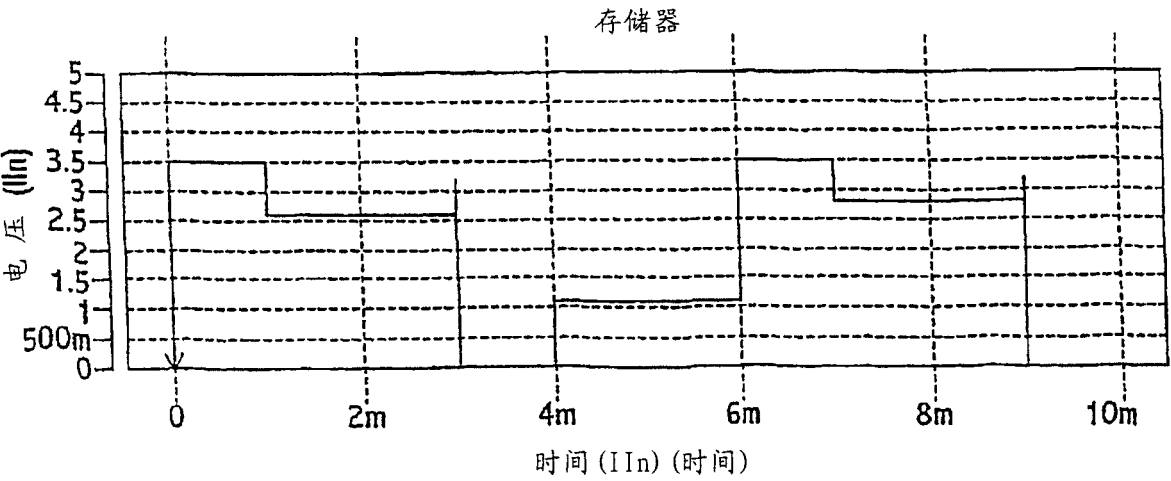


图 3 (C)

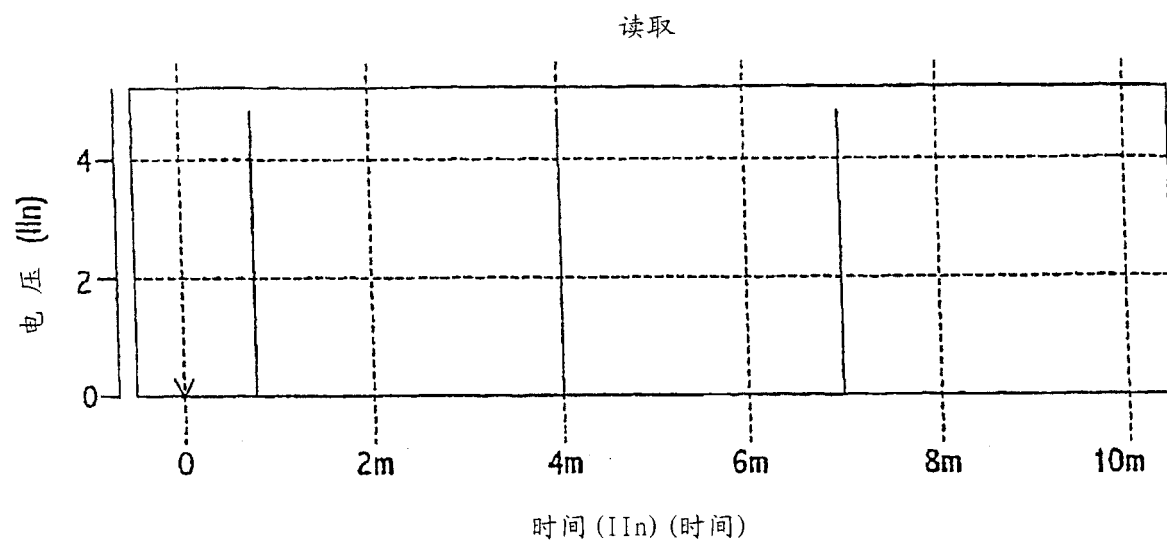


图 3 (D)

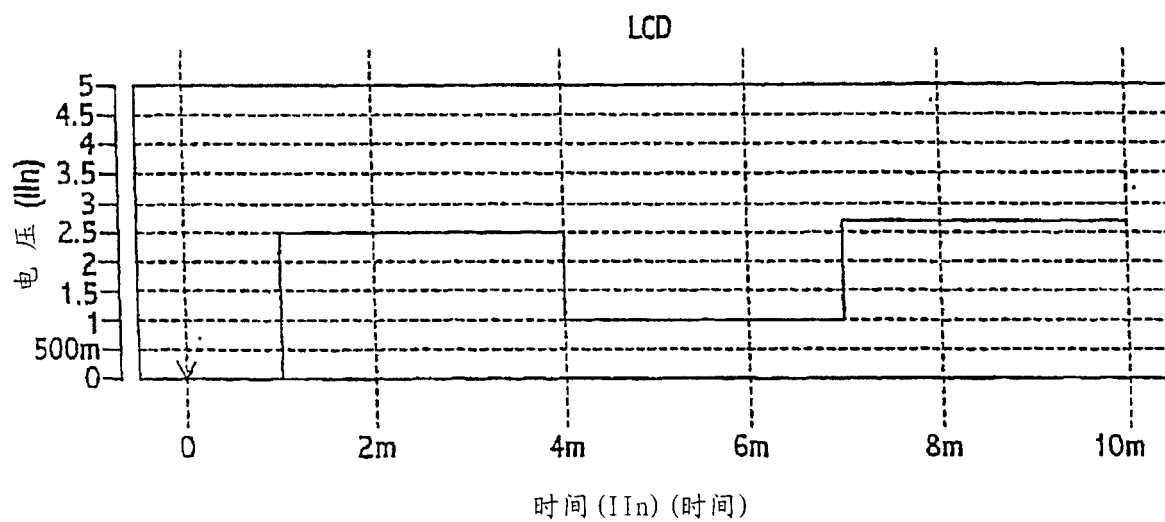
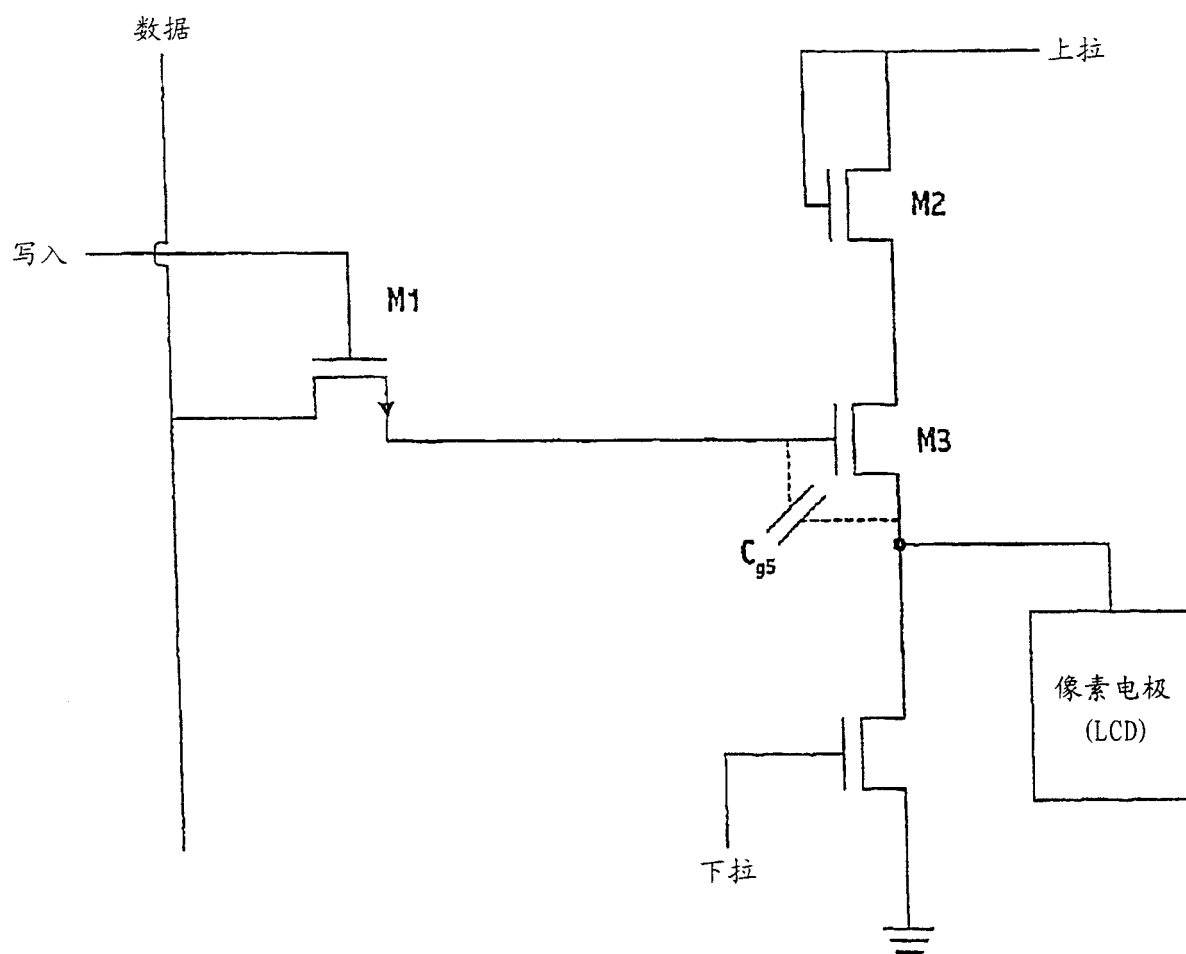


图 3 (E)



帧缓冲器像素

图 4

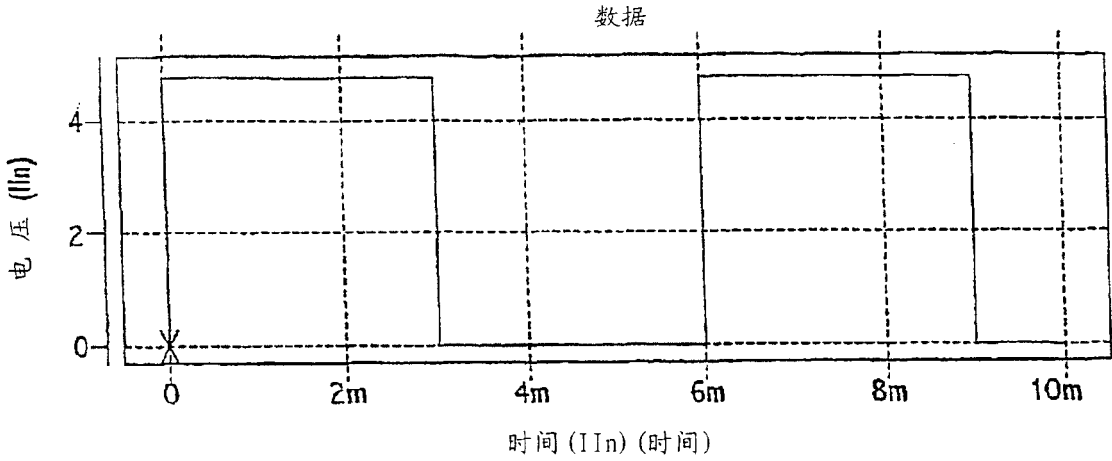


图 5 (A)

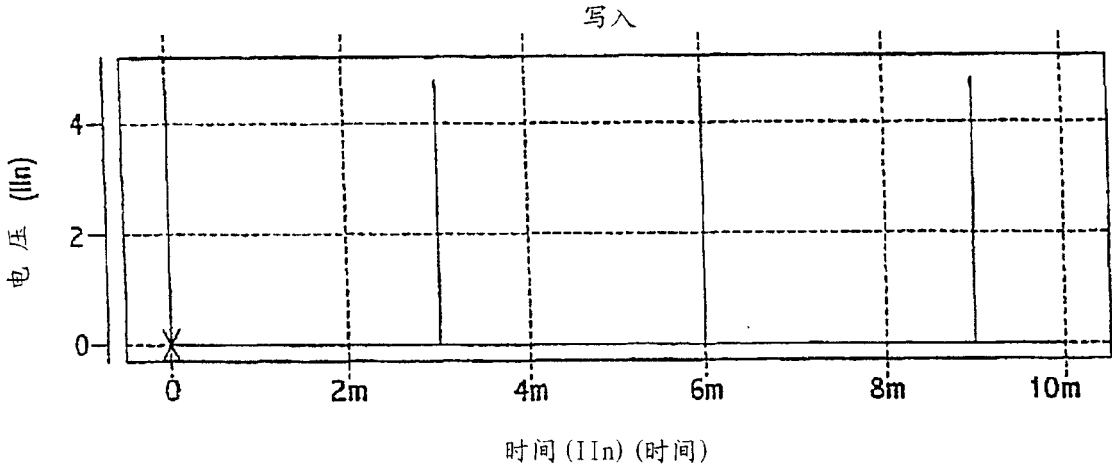


图 5 (B)

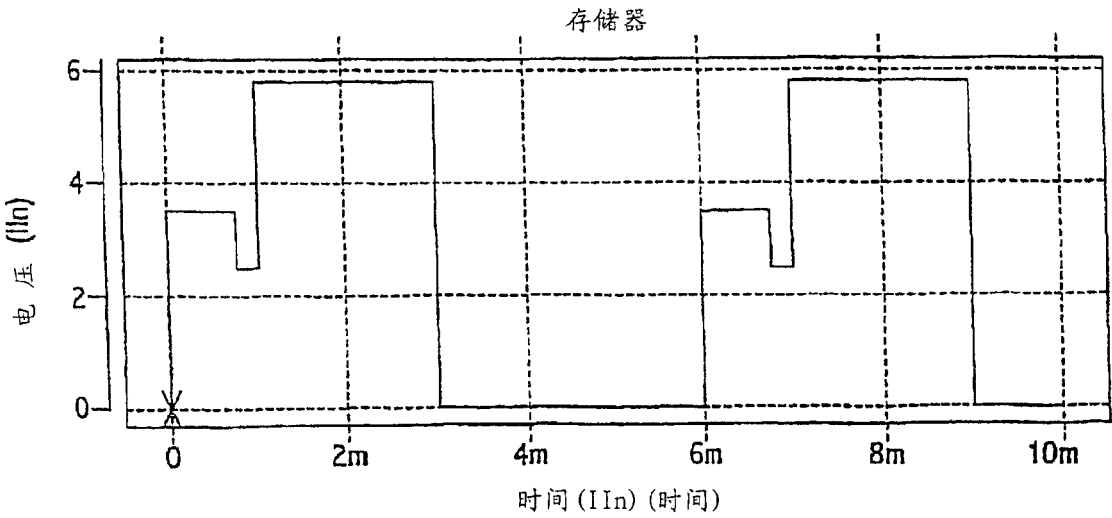


图 5 (C)

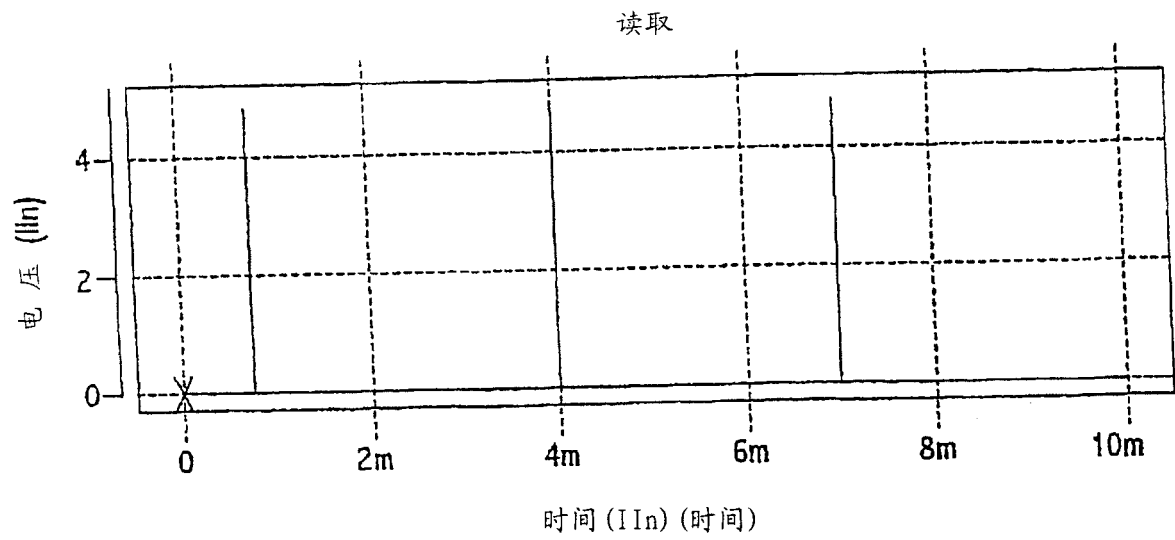


图 5 (D)

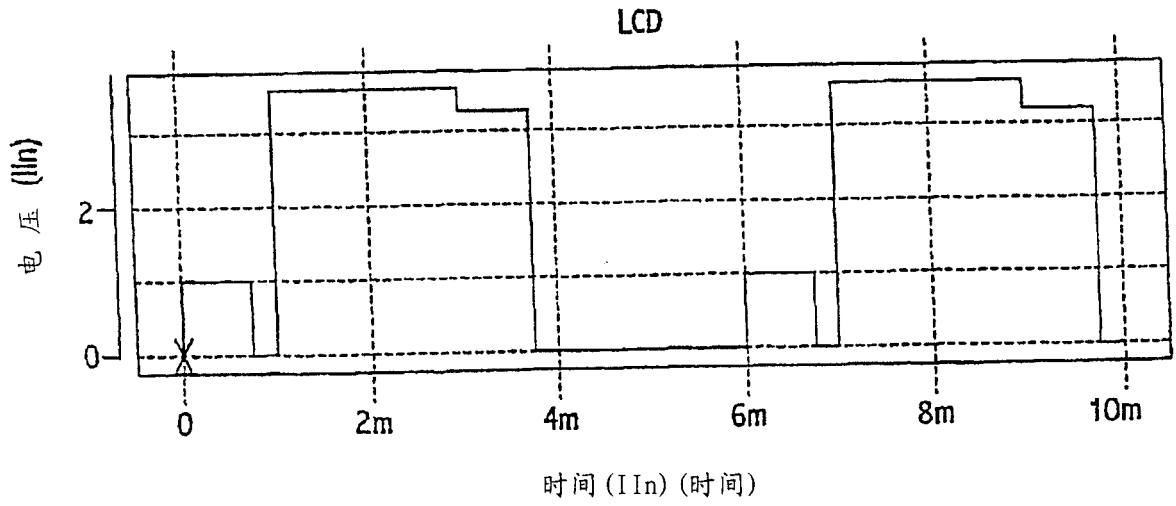


图 5 (E)

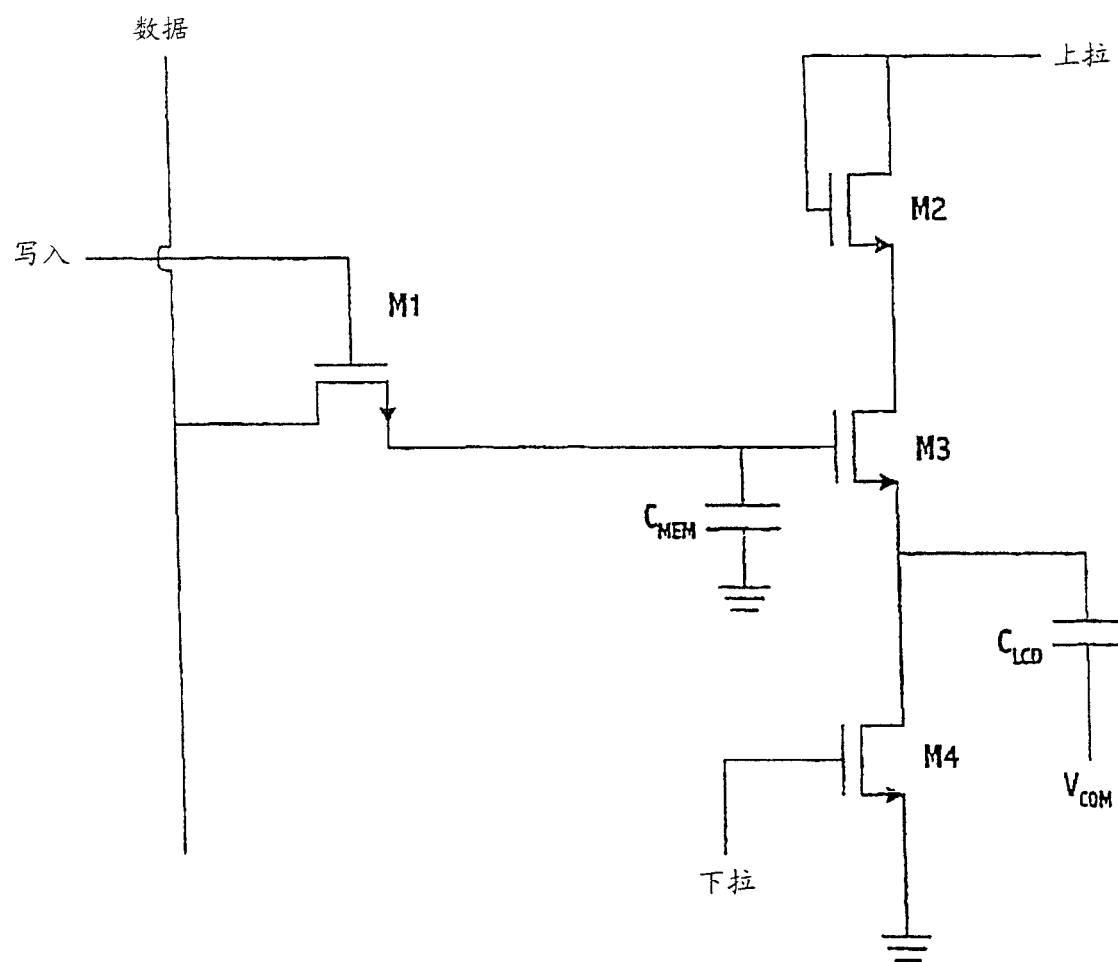
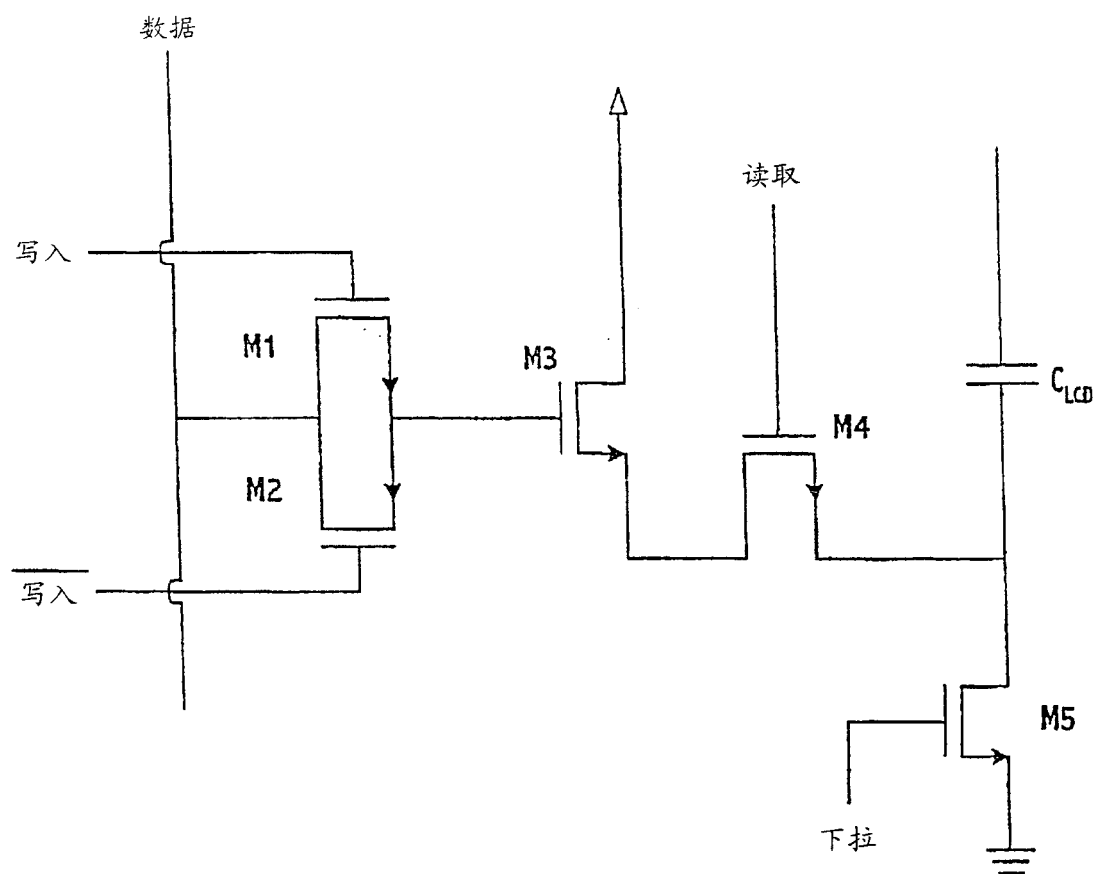


图 6



改进的帧缓冲器像素电路

图 7

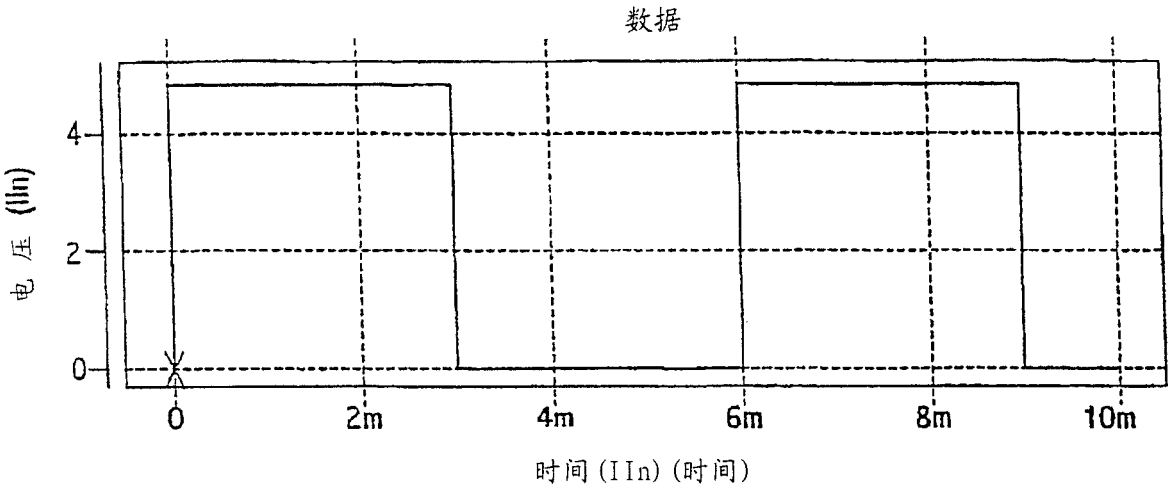


图 8 (A)

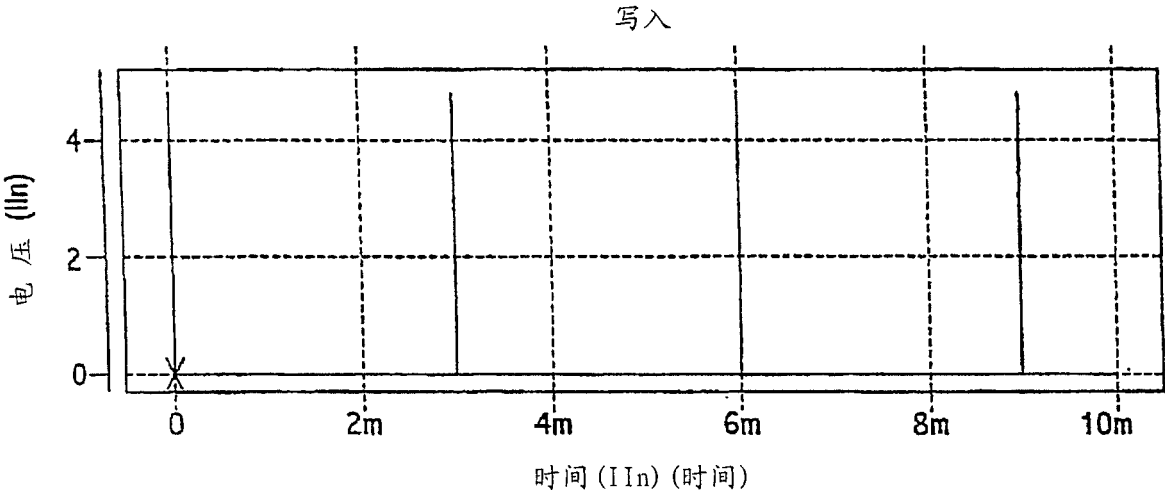


图 8 (B)

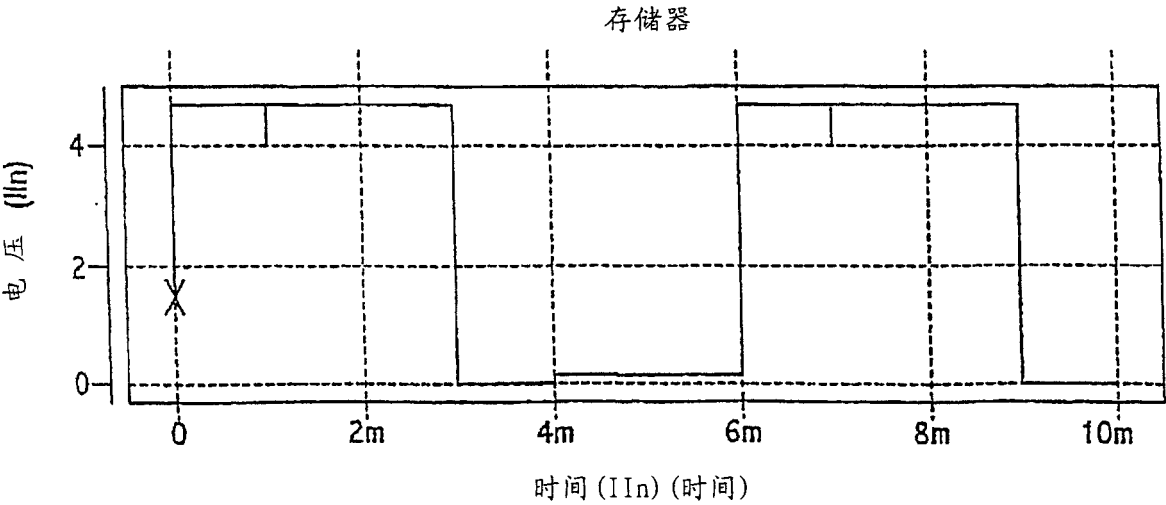


图 8 (C)

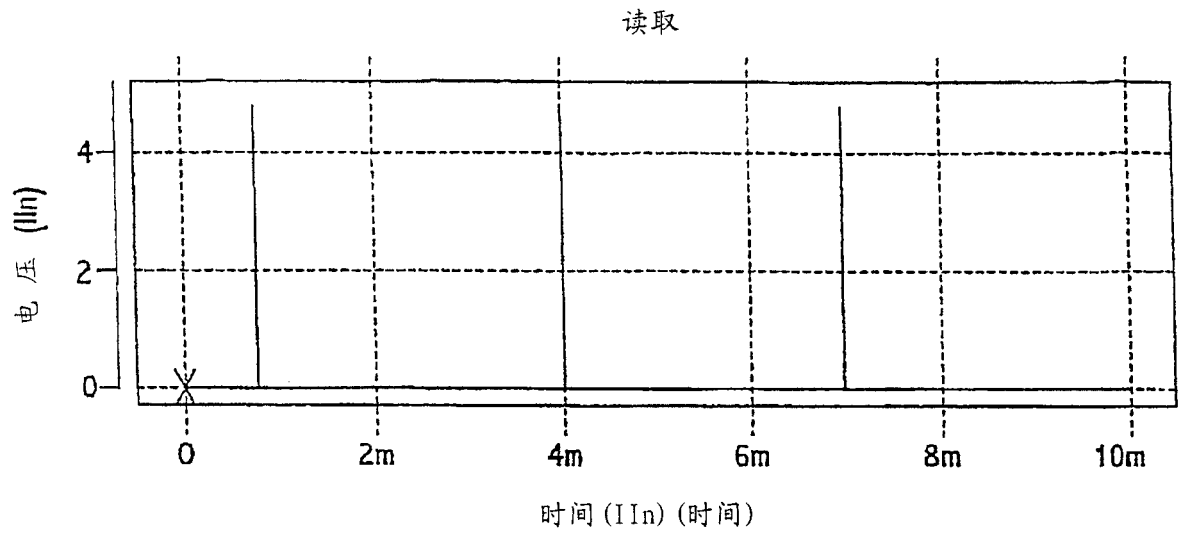


图 8 (D)

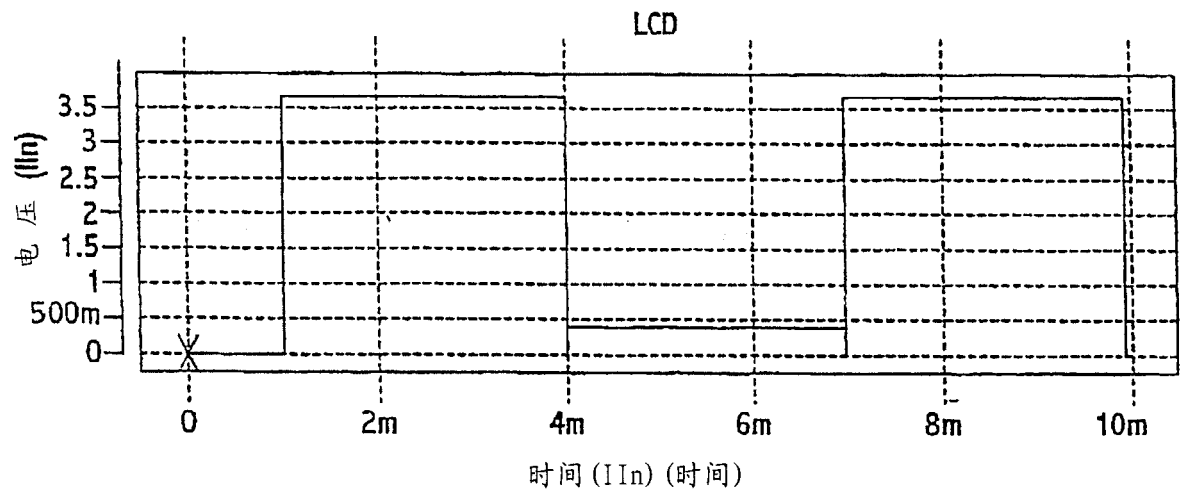
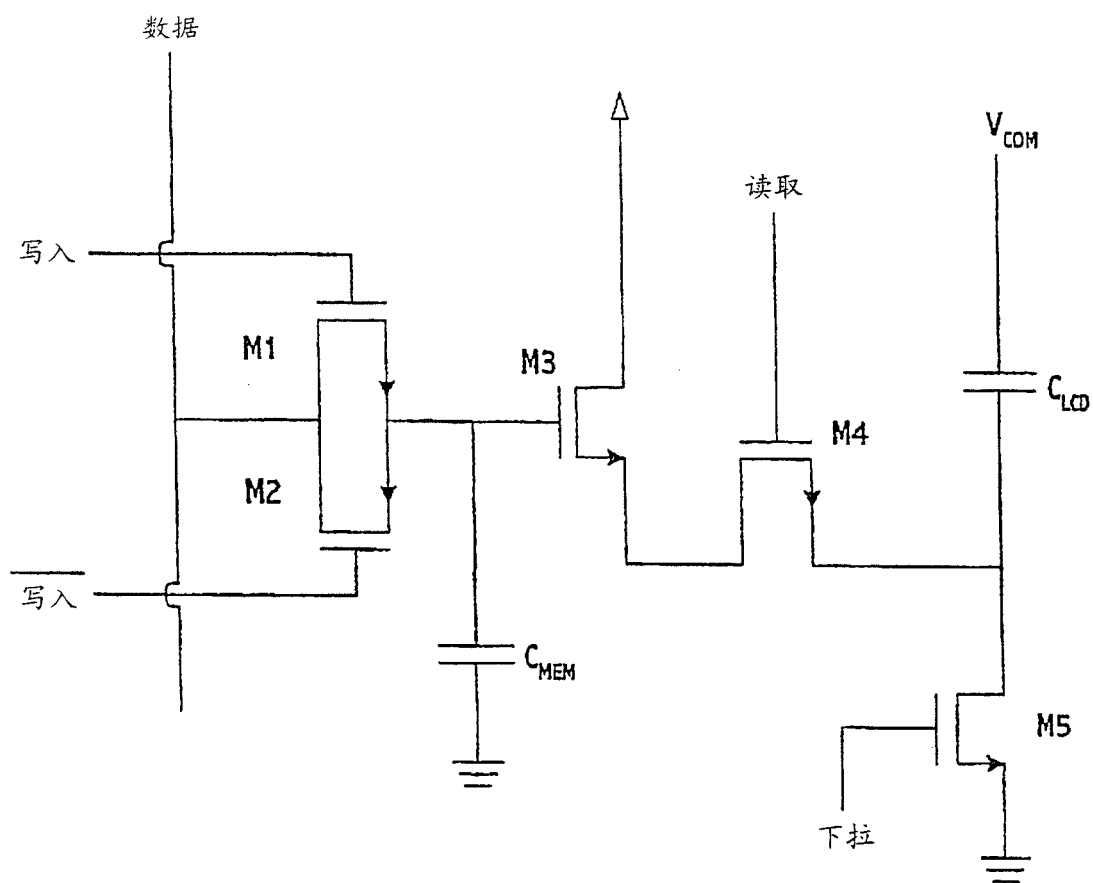


图 8 (E)

电压	0 V	0.8 V	2 V	3 V	4 V	5 V
PMOS	165.9	165.9	165.9	166	150.6	75.7
NMOS	76	137.3	167.6	167.5	167.4	167.4

根据施加到栅极的电压的栅极电容 (电容: ff)

图 9



采用CMOS的帧缓冲器像素电路

图 10

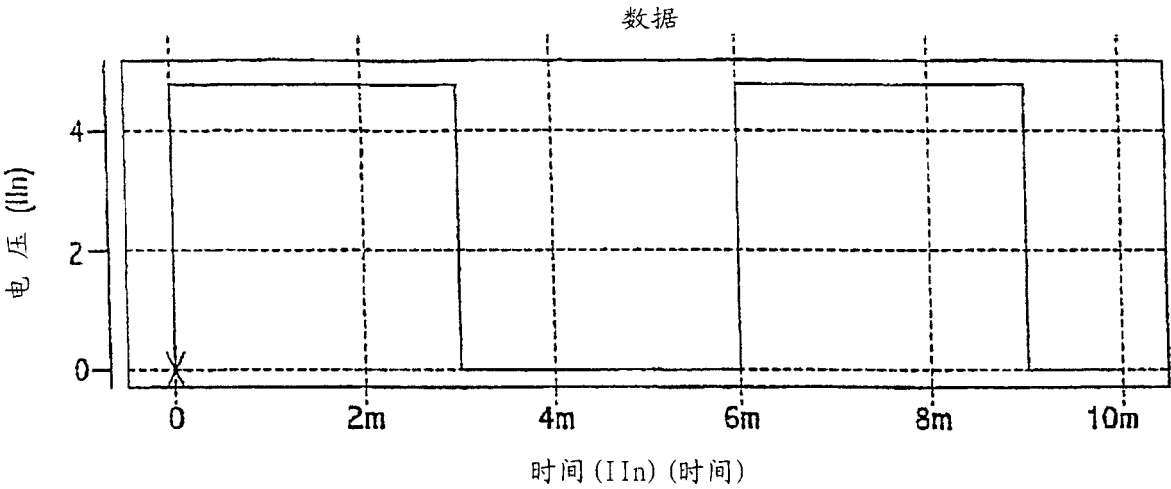


图 11 (A)

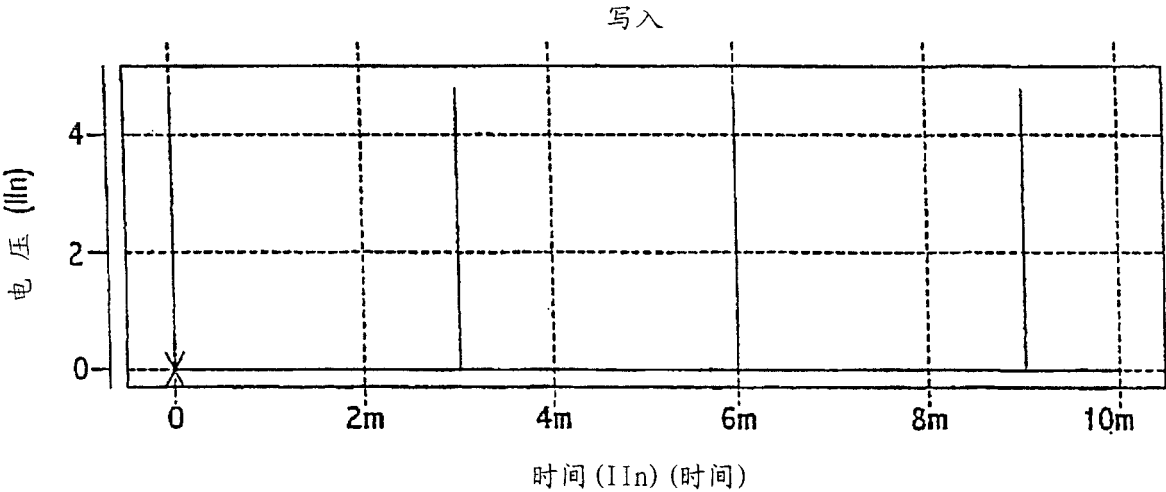


图 11 (B)

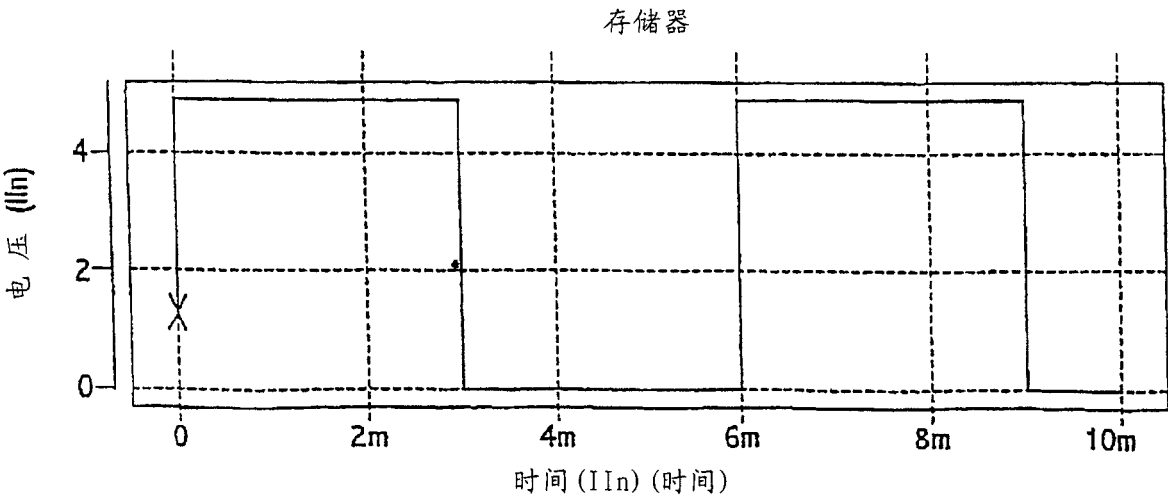


图 11 (C)

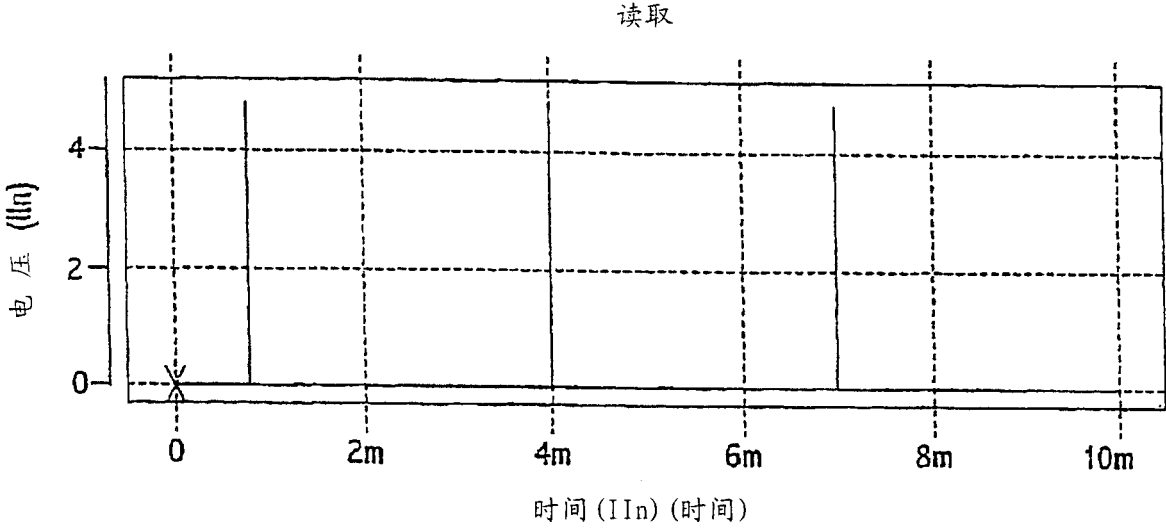


图 11 (D)

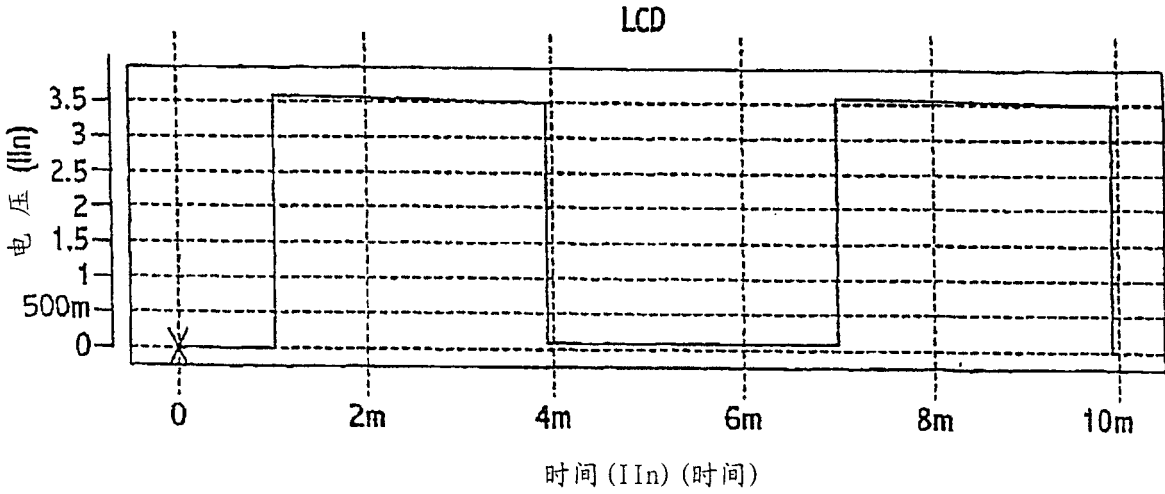


图 11 (E)

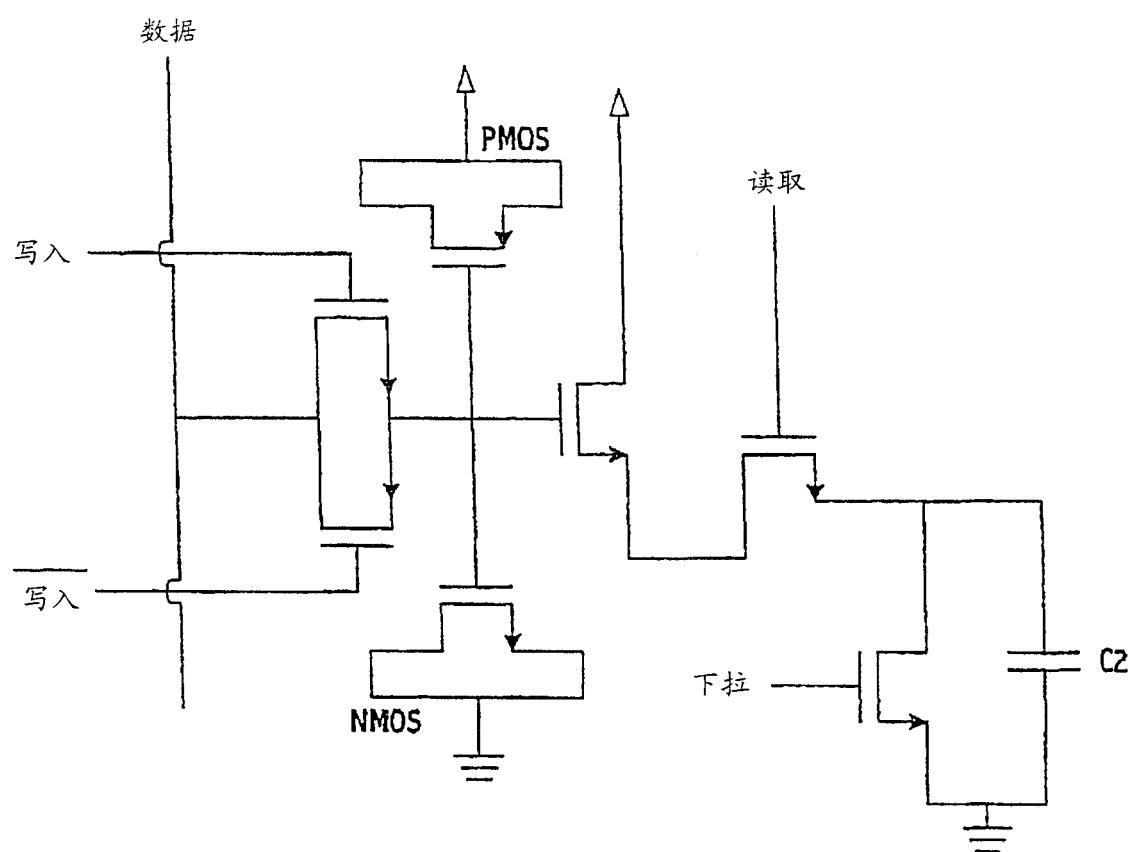
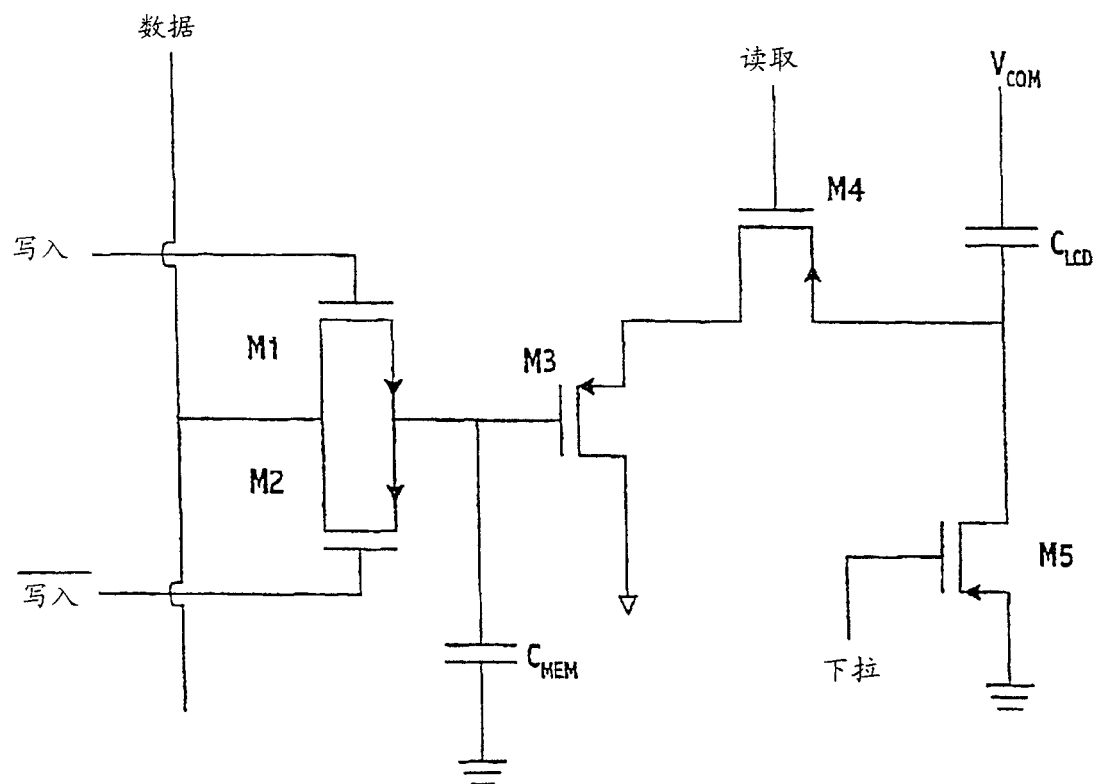


图 12



采用PMOS的帧缓冲器像素电路

图 13

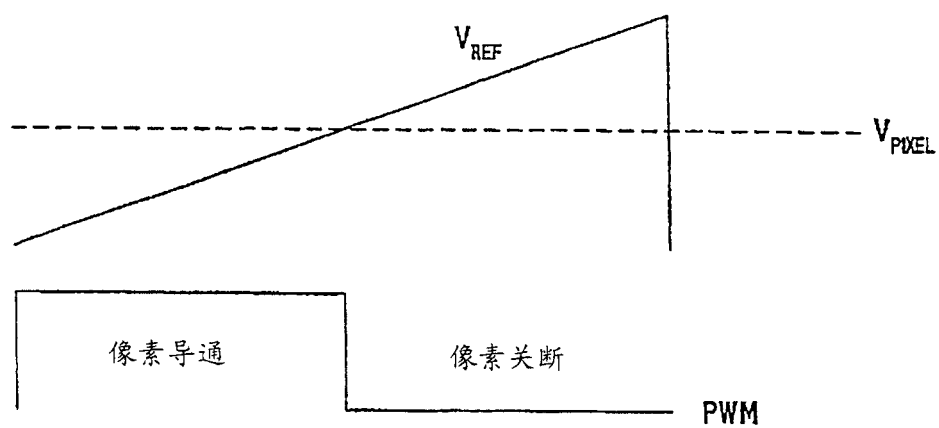
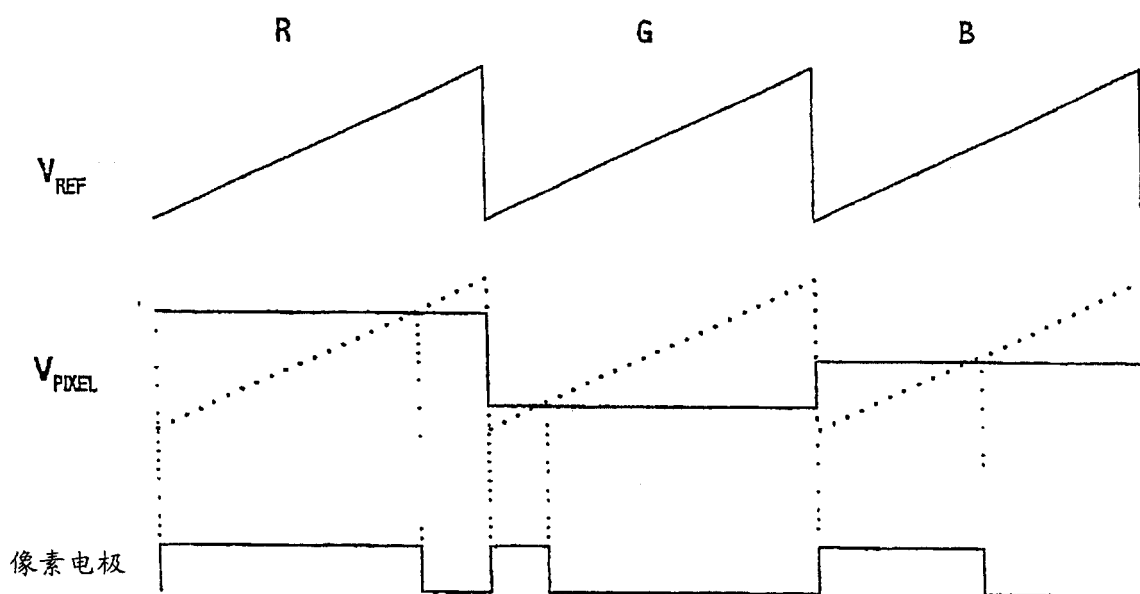
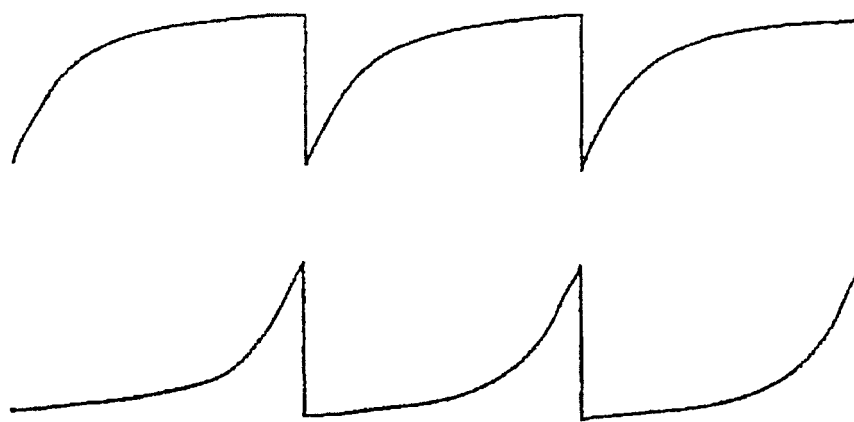


图 15



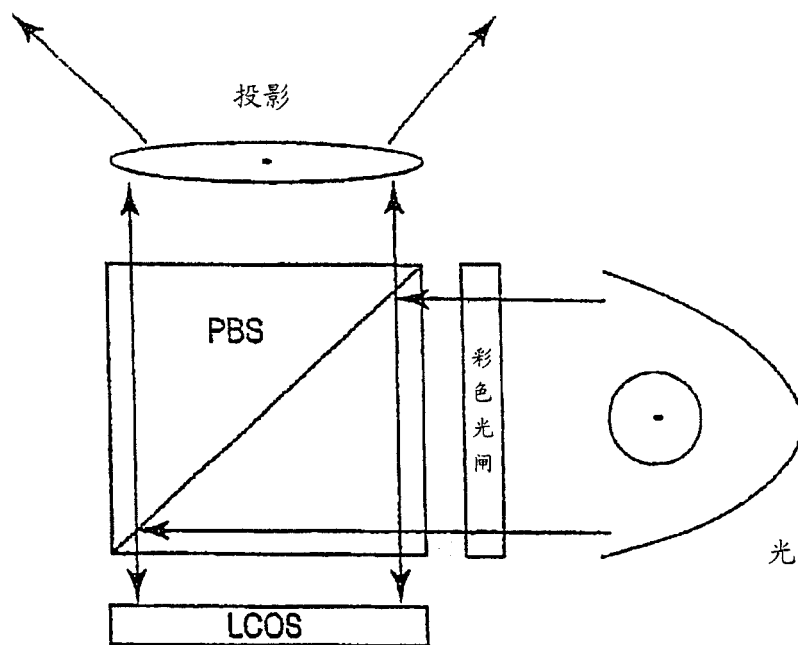
从像素电压和基准电压生成的PWM波形

图 16



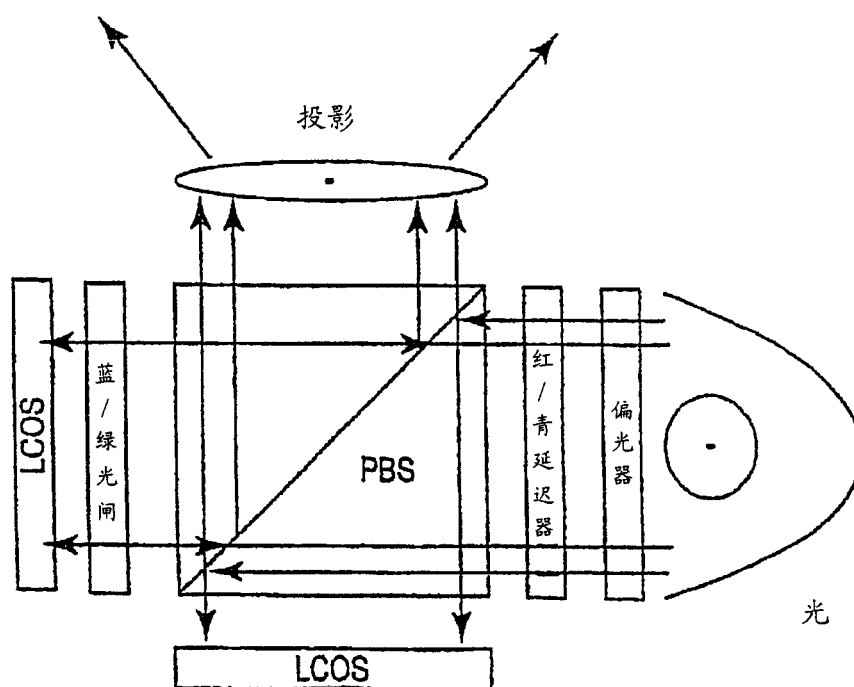
被改变以施加伽马校正的基准电压的波形

图 17



具有场序制色彩的单板投影显示器

图 18



具有场序制色彩的双板投影显示器

图 19

1. 一种帧缓冲器像素系统, 包括:
存储单元, 用于存储在帧时间期间充入的第一数据值;
5 第一控制器, 用于允许存储第一数据值;
第二存储单元, 用于在帧期间显示第二数据;
显示器, 用于显示存储在第二存储器中的第二数据值;
第二控制器, 用于启动第二存储器, 从而启动显示器;
泄漏器, 用于在显示之后将数据值漏出; 以及
10 第三控制器, 用于启动泄漏器。
2. 根据权利要求1的系统, 其中, 第一存储单元包括其电容与所存储的数据值无关的电容器、以及栅极晶体管。
3. 根据权利要求2的系统, 其中, 电容器包括具有双多晶层的互补金属氧化物半导体(CMOS)。
- 15 4. 根据权利要求2的系统, 其中, 栅极晶体管包括NMOS晶体管或PMOS晶体管。
5. 根据权利要求1的系统, 其中, 第一控制器包括场效应晶体管(FET)。
6. 根据权利要求5的系统, 其中, 第一控制器包括传输栅极, 其由分别被写入和反相写入信号控制的NMOS晶体管和PMOS晶体管组成。
- 20 7. 根据权利要求1的系统, 其中, 第二控制器包括连接到读取信号的栅极。
8. 根据权利要求1的系统, 其中, 显示器包括电容器, 该电容器可被独立地优化, 以将所存储的电荷保持一个帧的时间。
9. 根据权利要求1的系统, 其中第三控制器包括连接到下拉信号的栅极。
- 25 10. 根据权利要求1的系统, 其中, 显示器是液晶显示器电容器。
11. 一种帧缓冲器像素系统, 包括:
第一存储单元, 用于存储在帧时间期间充入的第一数据值;
第一控制器, 用于允许存储第一数据值;
第二存储单元, 用于在帧期间显示第二数据值;
30 显示器, 用于显示存储在第二存储单元中的第二数据值;
第二控制器, 用于启动第二存储器, 并启动显示器;

泄漏器, 用于在显示之后将数据值漏出;

第三控制器, 用于启动泄漏器; 以及

模拟-脉冲宽度调制(PWM)转换器, 其被插入在第二存储器之后。

5 12. 根据权利要求 11 的系统, 其中, 第一存储单元包括其电容与所存储的数据值无关的电容器、以及栅极晶体管。

13. 根据权利要求 12 的系统, 其中, 电容器包括具有双多晶层的互补金属氧化物半导体(CMOS)。

14. 根据权利要求 12 的系统, 其中, 栅极晶体管包括 NMOS 晶体管或 PMOS 晶体管。

10 15. 根据权利要求 11 的系统, 其中, 第一控制器包括场效应晶体管(FET)。

16. 根据权利要求 15 的系统, 其中, 第一控制器包括传输栅极, 其由分别被写入和反相写入信号控制的 NMOS 晶体管和 PMOS 晶体管组成。

17. 根据权利要求 11 的系统, 其中, 第二控制器包括连接到读取信号的栅极。

15 18. 根据权利要求 11 的系统, 其中, 显示器包括电容器, 该电容器可被独立地优化, 以将所存储的电荷保持一个帧的时间。

19. 根据权利要求 11 的系统, 其中, 第三控制器包括连接到下拉信号的栅极。

20 20. 根据权利要求 11 的系统, 其中, 转换器包括像素电容器、基准电压和比较器。

21. 根据权利要求 20 的系统, 其中, 基准电压在从帧缓冲像素生成的电压范围内摆动。

22. 一种模拟帧缓冲器像素系统, 包括:

第一存储单元, 用于存储第一模拟数据;

25 第一控制器, 用于允许将第一模拟数据存储在第一存储单元中;

第二存储单元, 用于存储与第一模拟数据成比例并且对应于要显示的灰度级像素值的第二模拟数据;

显示器, 用于显示对应于存储在第二存储单元中的第二模拟数据的像素值;

30 第二控制器, 用于允许将第二模拟数据存储的第二存储单元中; 以及
泄漏单元, 用于在显示像素值之后将电压从第二存储单元中漏出。

23. 根据权利要求 22 的系统, 其中, 第一存储单元包括电容器, 该电容器具有与存储在第一存储单元中的第一数据无关的电容, 所述电容器耦接到传输栅极。

24. 根据权利要求 23 的系统, 其中, 电容器包括具有双多晶层的互补金属氧化物半导体(CMOS)。

25. 根据权利要求 23 的系统, 其中, 传输栅极包括 NMOS 晶体管或 PMOS 晶体管的至少一种。

26. 根据权利要求 22 的系统, 其中, 第一控制器包括场效应晶体管(FET)。

27. 根据权利要求 26 的系统, 其中, 第一控制器包括传输栅极, 该传输栅极包括分别由写入和反相写入信号控制的 NMOS 晶体管和 PMOS 晶体管。

28. 根据权利要求 22 的系统, 其中, 第二控制器包括具有耦接到读取信号的栅极的晶体管。

29. 根据权利要求 22 的系统, 其中, 显示器包括像素电极和电容器, 该电容器被独立地优化, 以将对应于像素值的电荷保持一个帧的时间。

30. 根据权利要求 22 的系统, 其中, 泄漏单元包括具有连接到下拉信号的栅极的晶体管。

31. 根据权利要求 22 的系统, 其中, 显示器是液晶显示器。

32. 根据权利要求 22 的系统, 还包括:

模拟-脉冲宽度调制(PWM)转换器, 其耦接到第二存储单元的输出。

33. 根据权利要求 22 的系统, 还包括:

电源, 耦接到包括电容器的第二存储单元,

其中第二控制器允许电源将第二存储单元的电容器充电到对应于第二模拟数据的值, 第二控制器允许电源通过第一存储单元、基于第一模拟值给第二存储单元的电容器充电。

34. 一种用于显示系统的帧缓冲器像素电路, 包括:

第一存储单元, 其存储第一模拟数据;

第二存储单元, 其存储与第一存储单元中的第一模拟数据成比例的第二模拟数据;

控制器, 其将第一存储单元耦接到第二存储单元, 以使得能够将第二模拟数据存储在第二存储单元中; 以及

像素电极, 用于显示对应于存储在第二存储单元中的第二模拟数据的像

素值。

35. 根据权利要求 34 的电路, 还包括:

耦接到包括电容器的第二存储单元的电源, 其中, 控制器允许该电源基于第一模拟值将第二存储单元的电容器充电到与第二模拟数据相对应的值。

5

专利名称(译)	用于液晶显示器的帧缓冲器像素电路		
公开(公告)号	CN1723484A	公开(公告)日	2006-01-18
申请号	CN03825699.1	申请日	2003-04-14
[标]申请(专利权)人(译)	杜克大学		
申请(专利权)人(译)	杜克大学		
当前申请(专利权)人(译)	杜克大学		
[标]发明人	李相录		
发明人	李相录 詹姆斯·C·莫里齐奥 克里斯蒂那·M·约翰逊		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G2300/0842 G09G2310/0259 G09G3/3648 G09G3/2014 G09G2300/0809 G09G2310/0251 G09G2300/0847 G09G2320/0223		
优先权	10/289459 2002-11-07 US		
外部链接	Espacenet SIPO		

摘要(译)

一种具有两个控制晶体管(图6)、以及作为存储电容器放置在该存储电容器之前的单独电容器的增强的帧缓冲器像素电路，通过消除所产生的电荷并解决在存储电容器和液晶显示器(LCD)电容器之间的电荷共享问题来产生高对比率。存储晶体管可以由CMOS或PMOS制成。仅在将比较器放置在像素电极电路之后时，帧缓冲器像素才可用来驱动表示ON和OFF的二进制显示器，以便以减小的子帧频率来表现灰度等级。

