



(12) 发明专利

(10) 授权公告号 CN 102622984 B

(45) 授权公告日 2015. 07. 29

(21) 申请号 201210101486. 9

CN 1622149 A, 2005. 06. 01, 全文.

(22) 申请日 2007. 10. 24

CN 1667478 A, 2005. 09. 14, 全文.

(30) 优先权数据

KR 10-2005-0096669 A, 2005. 10. 06, 全文.

103375/06 2006. 10. 24 KR

审查员 李小兰

41300/07 2007. 04. 27 KR

(62) 分案原申请数据

200710167150. 1 2007. 10. 24

(73) 专利权人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 李明雨 朴商镇

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 侯广

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 1360297 A, 2002. 07. 24, 全文.

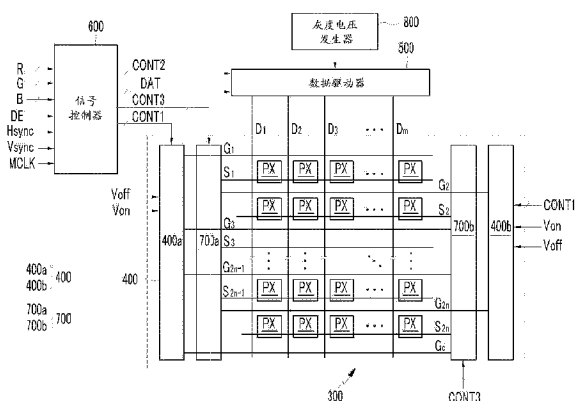
权利要求书3页 说明书26页 附图21页

(54) 发明名称

显示设备及其驱动方法

(57) 摘要

液晶显示器包括:多条门线,用于传送具有开门电压和关门电压的门信号;多条数据线,用于传送数据电压;多条存储电极线,用于传送存储信号;多个像素,其中,多个像素的每个像素包括与开关元件和多条存储电极线中的一条存储电极线连接的存储电容器;门驱动器,用于生成门信号;以及多个信号生成电路,用于根据至少一个控制信号和至少一个门信号生成存储信号。施加在每个像素上的存储信号具有在数据电压充电到液晶电容器和存储电容器之后发生变化的电压电平。



1. 一种显示设备,包括:

多条门线,用于传送具有开门电压和关门电压的门信号;

多条数据线,用于传送数据电压;

多条存储电极线,用于传送存储信号;

排列成近似矩阵图样的多个像素,其中,该多个像素的第一像素包含:

与多条门线中的发送第一门信号的第一门线和多条数据线中的一条数据线连接的开关元件;

与开关元件和公用电压连接的液晶电容器;以及

与开关元件和多条存储电极线中的一条存储电极线连接的存储电容器;

门驱动器,用于沿着第一扫描方向或第二扫描方向生成门信号;以及

多个信号生成电路,用于生成存储信号,

其中,施加在第一像素上的存储信号具有在充电数据电压充电到液晶电容器和存储电容器之后发生变化的电压电平,

存储信号从多个信号生成电路的输出次序随门驱动器的扫描方向而变,

该多个信号生成电路中的向第一像素的存储电极线施加存储信号的第一信号生成电路包括输出驱动控制信号的信号输入单元、输出存储信号的存储信号施加单元、控制单元、和保持存储信号的信号保持单元,

该信号输入单元包括第一晶体管和第二晶体管,第一晶体管包括接收第一方向信号的输入端和接收第二门信号的控制端,第二晶体管包括接收第二方向信号的输入端和接收第三门信号的控制端,该信号输入单元进一步包括具有与关门电压连接的输入端、与时钟信号连接的控制端和与驱动控制信号连接的输出端的第七晶体管,第一晶体管、第二晶体管、第七晶体管的输出端相连以形成该信号输入单元的输出端,

该存储信号施加单元包括第三晶体管,其包括接收第一控制信号的输入端,包括与信号输入单元的输出端相连的控制端,并且包括与存储电极线相连的输出端,而且

该控制单元包括两个第四晶体管,所述两个第四晶体管包括与信号输入单元的输出端相连的控制端,所述两个第四晶体管之一包括与第二控制信号连接的输入端,而且所述两个第四晶体管的另一个包括与第三控制信号连接的输入端,

其中,该信号保持单元包括:

含有与所述两个第四晶体管之一的输出端连接的控制端、与第一驱动电压连接的输入端和与存储电极线连接的输出端的第五晶体管;

含有与所述两个第四晶体管的另一个的输出端连接的控制端、与第二驱动电压连接的输入端和与存储电极线连接的输出端的第六晶体管;

连接在第五晶体管的输入端和控制端之间的第一电容器;以及

连接在第六晶体管的输入端和控制端之间的第二电容器,

其中,施加在第一像素上的存储信号当充电数据电压具有正极性时从低电平改变成高电平,并且当充电数据电压具有负极性时从高电平改变成低电平,

其中,公用电压是固定电压。

2. 根据权利要求 1 所述的显示设备,其中,该存储信号每个帧反相。

3. 根据权利要求 1 所述的显示设备,其中,

在开始向第一门线施加第一门信号之后施加第二门信号，

在开始向第一门线施加第一门信号之前施加第三门信号，

其中，第一门信号的开门电压施加时间与第二门信号的开门电压施加时间之间的时间差是大约两个水平周期 (2H)，第一门信号的开门电压施加时间与第三门信号的开门电压施加时间之间的时间差是大约两个水平周期 (2H)。

4. 根据权利要求 1 所述的显示设备，其中，该信号保持单元根据按照控制单元的操作状态施加的第二控制信号或第三控制信号而操作。

5. 根据权利要求 1 所述的显示设备，其中，第一方向信号和第二方向信号各自具有基于门驱动器的扫描方向的信号状态。

6. 根据权利要求 5 所述的显示设备，其中，第一方向信号的相位和第二方向信号的相位实际上相反。

7. 根据权利要求 1 所述的显示设备，其中，第一方向信号的电平和第二方向信号的电平每一个都大致恒定。

8. 根据权利要求 1 所述的显示设备，其中，该信号输入单元按照第二门信号和第三门信号选择第一方向信号和第二方向信号之一，并根据所选第一方向信号或所选第二方向信号输出驱动控制信号。

9. 根据权利要求 8 所述的显示设备，其中，第一方向信号的电平和第二方向信号的电平每一个都大致恒定。

10. 根据权利要求 9 所述的显示设备，其中，该信号输入单元被供应具有第一电平电压和不同于第一电平电压的第二电平电压的时钟信号，而且该时钟信号的电平每个相继预定周期在第一电平电压与第二电平电压之间交替。

11. 根据权利要求 10 所述的显示设备，其中，该预定周期的间隔是大约两个水平周期 (2H)。

12. 根据权利要求 11 所述的显示设备，其中，施加在多个信号生成电路的第一信号生成电路上的时钟信号的相位和施加在与第一信号生成电路相邻的第二信号生成电路上的时钟信号的相位实际上相反。

13. 根据权利要求 12 所述的显示设备，其中，该信号输入单元通过按照时钟信号改变基于第一方向信号或第二方向信号的驱动控制信号的状态操作信号保持单元。

14. 根据权利要求 13 所述的显示设备，其中，施加在多条存储电极线的第一存储电极线上的存储信号的电压电平和施加在与第一存储电极线相邻的第二存储电极线上的存储信号的电压电平实际上相同。

15. 根据权利要求 14 所述的显示设备，其中，第一控制信号的电压电平、第二控制信号的电压电平和第三控制信号的电压电平在给定帧中大致恒定，并且每个相继帧反相。

16. 根据权利要求 1 所述的显示设备，其中，施加在多条存储电极线的第一存储电极线上的存储信号的电压电平和施加在与第一存储电极线相邻的第二存储电极线上的存储信号的电压电平不同。

17. 根据权利要求 16 所述的显示设备，其中，

第一控制信号、第二控制信号和第三控制信号每一个都具有第一电平电压和第二电平电压，

第一控制信号、第二控制信号和第三控制信号的各自电平在给定帧内每相继周期在第一电平电压和第二电平电压之间交替,而且

第一控制信号、第二控制信号和第三控制信号的各自电平每隔一个帧反相。

18. 根据权利要求 1 所述的显示设备,进一步包括将门信号传送到多个信号生成电路中的一个信号生成电路的至少一条附加门线。

19. 根据权利要求 1 所述的显示设备,其中,相邻的门信号在预定时间周期的至少一部分内在时间上相互重叠。

20. 根据权利要求 19 所述的显示设备,其中,该预定时间周期的间隔是大约一个水平周期 (1H)。

显示设备及其驱动方法

[0001] 本案是申请日为 2007 年 10 月 24 日、申请号为 200710167150.1、发明名称为“显示设备及其驱动方法”的发明专利申请的分案申请。

[0002] 交叉参考相关申请

[0003] 本申请要求 2006 年 10 月 24 日提出的韩国专利申请第 10-2006-0103375 号和 2007 年 4 月 27 日提出的韩国专利申请第 10-2007-0041300 号的优先权,特此全文引用,以供参考。

技术领域

[0004] 本发明涉及显示设备及其驱动方法,尤其涉及亮度增加和功耗降低了的显示设备及其驱动方法。

背景技术

[0005] 一般说来,液晶显示器(“LCD”)包括含有像素电极的第一显示面板和含有公用电极的第二显示面板以及位于其间的含有各向异性介电材料的液晶层。像素电极排列成近似矩阵图样并与像例如薄膜晶体管(“TFT”)那样的开关元件连接,以便依次接收数据电压。公用电极在第二显示面板的整个表面上形成并且可以接收公用电压。液晶电容器由每个像素电极、公用电极和其间的液晶层形成。液晶电容器和与液晶电容器连接的开关元件形成像素单元。

[0006] 在 LCD 中,将电压施加在像素电极和公用电极上,在它们之间例如在液晶层中形成电场。电场的强度决定穿过液晶层的光线的透射率,和受施加在像素电极和公用电极上的电压控制形成所需图像。当电场只沿着一个方向(例如极性)施加在液晶层上时,LCD 可能会变差。为了防止变差,可以关于例如每个帧、行或像素反转数据电压相对于公用电压极性的极性。

[0007] 但是,用于利用行反转(例如按像素的行反转数据电压的极性的反转方法)显示图像的数据电压的范围小于用于利用点反转(例如按各个像素反转数据电压的极性的反转方法)显示图像的数据电压的范围。因此,如果像在垂直对准(“VA”)模式 LCD 中那样,用于驱动液晶层中的液晶的阈电压较高,则用于图像显示的灰度电压表示的数据电压范围的低电压变得与阈电压一样低。因此,难以精确表示亮度。

[0008] 另外,像用在例如移动电话中的那些那样的小型 LCD 进行按像素的行反转数据电压的极性以降低功耗的行反转,但由于小型 LCD 要求高的分辨率,从而提高了功耗。

发明内容

[0009] 根据示范性实施例的显示设备包括:多条门线,用于传送具有开门电压和关门电压的门信号;多条数据线,用于传送数据电压;多条存储电极线,用于传送存储信号;排列成近似矩阵图样的多个像素,其中,多个像素的每个像素包括与多条门线中的一条门线和多条数据线中的一条数据线连接的开关元件、与开关元件和公用电压连接的液晶电容器和

与开关元件和多条存储电极线中的一条存储电极线连接的存储电容器；门驱动器，用于沿着第一扫描方向或第二扫描方向生成门信号；以及多个信号生成电路，用于根据至少一个控制信号和至少一个门信号生成存储信号。

[0010] 施加在多个像素的至少一个像素上的存储信号具有在充电数据电压充电到液晶电容器和存储电容器之后发生变化的电压电平，并且存储信号从多个信号生成电路的输出次序随门驱动器的扫描方向而变。

[0011] 当充电数据电压具有正极性时，存储信号可以从低电平改变成高电平，而当充电数据电压具有负极性时，存储信号可以从高电平改变成低电平。

[0012] 施加在多条存储电极线的给定存储电极线上的存储信号可以每相继帧反相。

[0013] 公用电压可以是固定电压。

[0014] 多个像素可以包括供给第一门信号的第一像素、与第一像素相邻并被供给第二门信号的第二像素和与第一像素相邻并被供给第三门信号的第三像素。

[0015] 多个信号生成电路可以包括将第一存储信号传送到第一像素的存储电极线的第一信号生成电路、将第二存储信号传送到第二像素的存储电极线的第二信号生成电路和将第三存储信号传送到第三像素的存储电极线的第三信号生成电路。

[0016] 在本发明的可替代示范性实施例中，将第一门信号或第三门信号供应给第二信号生成电路，或可以将第二门信号供应给第二信号生成电路。

[0017] 至少一个控制信号可以包括第一控制信号、第二控制信号和第三控制信号。多个信号生成电路的至少一个信号生成电路可以包括接收至少一个门信号并根据至少一个门信号输出驱动控制信号的信号输入单元、接收第一控制信号并根据来自信号输入单元的驱动控制信号传送第一控制信号作为存储信号的存储信号施加单元、接收第二控制信号和第三控制信号和按照驱动控制信号改变控制单元的操作状态的控制单元和根据按照控制单元的操作状态施加的第二控制信号和第三控制信号，保持来自存储信号施加单元的存储信号的信号保持单元。

[0018] 信号输入单元可以进一步接收每一个具有基于门驱动器扫描方向的信号状态的第一方向信号和第二方向信号。第一方向信号和第二方向信号可以具有实际上相反的相位。

[0019] 至少一个门信号可以包括第一门信号和第二门信号，和第一门信号的开门电压施加时间与第二门信号的开门电压施加时间之间的时间差是大约两个水平周期（“2H”）。

[0020] 信号输入单元可以按照第一方向信号和第二方向信号选择第一门信号和第二门信号之一，并根据所选第一门信号或第二门信号输出驱动控制信号。

[0021] 第一方向信号和第二方向信号每一个可以保持实际上一致的电平。

[0022] 第一方向信号和第二方向信号可以分别具有第一电平电压和第二电平电压，和第一方向信号和第二方向信号可以每相继预定周期在第一电平电压和第二电平电压之间交替。预定周期可以是大约一个水平周期（“1H”）。

[0023] 施加在多个信号生成电路的第一信号生成电路上的第一方向信号的相位和施加在与第一信号生成电路相邻的多个信号生成电路的第二信号生成电路上的第二方向信号的相位可以实际上相反。

[0024] 信号输入单元可以包括含有与第一方向信号连接的控制端、与第一门信号连接的

输入端和与驱动控制信号连接的输出端的第一晶体管。信号输入单元可以进一步包括含有与第二方向信号连接的控制端、与第二门信号连接的输入端和与驱动控制信号连接的输出端的第二晶体管。

[0025] 至少一个门信号可以包括第一门信号和第二门信号,和第一门信号的开门电压施加时间与第二门信号的开门电压施加时间之间的时间差是大约四个水平周期(“4H”)。

[0026] 信号输入单元可以按照第一门信号和第二门信号选择第一方向信号和第二方向信号之一,并根据所选方向信号输出驱动控制信号。

[0027] 第一方向信号和第二方向信号每一个可以保持一致的电平。

[0028] 可以进一步将具有第一电平电压和与第一电平电压不同的第二电平电压的时钟信号供应给信号输入单元,和时钟信号可以每相继预定周期在第一电平电压和第二电平电压之间交替。预定周期可以是大约两个水平周期(“2H”)。

[0029] 施加在多个信号生成电路的第一信号生成电路上的时钟信号的相位和施加在多个信号生成电路的第二相邻信号生成电路上的时钟信号的相位实际上相反。

[0030] 信号输入单元可以通过按照时钟信号改变基于第一方向信号或第二方向信号的驱动控制信号的状态操作信号保持单元。

[0031] 在可替代示范性实施例中,信号输入单元可以包括:含有与第一方向信号连接的输入端、与第一门信号连接的控制端和与驱动控制信号连接的输出端的第一晶体管;含有与第二方向信号连接的输入端、与第二门信号连接的控制端和与驱动控制信号连接的输出端的第二晶体管;以及含有与关门电压连接的输入端、与时钟信号连接的控制端和与驱动控制信号连接的输出端的第三晶体管。

[0032] 施加在多条存储电极线的第一存储电极线上的存储信号的电压电平和施加在多条存储电极线的第二相邻存储电极线上的存储信号的电压电平实际上相同。第一控制信号的电压电平、第二控制信号的电压电平和第三控制信号的电压电平在给定帧内实际上一致和每相继帧反相。

[0033] 可以将门时钟信号和具有第一电平电压和与第一电平电压不同的第二电平电压的供应给信号输入单元,和时钟信号可以每相继预定周期在第一电平电压和第二电平电压之间交替。预定周期可以是大约两个水平周期(“2H”)。

[0034] 施加在多个信号生成电路的第一信号生成电路上的时钟信号的相位和施加在多个信号生成电路的第二相邻信号生成电路上的时钟信号的相位实际上相反。

[0035] 在可替代示范性实施例中,信号输入单元可以通过按照时钟信号改变基于至少一个门信号的驱动时钟信号的状态操作信号保持单元。并且,信号输入单元可以包括含有每一个都与门信号连接的控制端和输入端和与驱动控制信号连接的输出端的第一晶体管;以及含有与时钟信号连接的控制端、与门信号连接的输入端和与驱动控制信号连接的输出端的第二晶体管。

[0036] 存储信号施加单元可以包括含有与信号输入单元的输出端连接的控制端、与第一控制信号连接的输入端和与存储电极线连接的输出端的第一晶体管。

[0037] 控制单元可以包括含有与信号输入单元的输出端连接的控制端和与第二控制信号连接的输入端的第二晶体管和含有与信号输入单元的输出端连接的控制端和与第三控制信号连接的输入端的第三晶体管。

[0038] 信号保持单元可以包括含有与第三晶体管的输出端连接的控制端、与第一驱动电压连接的输入端和与存储电极线连接的输出端的第四晶体管和含有与第二晶体管的输出端连接的控制端、与第二驱动电压连接的输入端和与存储电极线连接的输出端的第五晶体管。信号保持单元可以进一步包括连接在第四晶体管的输入端和控制端之间的第一电容器和连接在第五晶体管的输入端和控制端之间的第二电容器。

[0039] 施加在多条存储电极线的第一存储电极线上的存储信号的电压电平和施加在多条存储电极线的第二相邻存储电极线上的存储信号的电压电平不同。

[0040] 第一控制信号、第二控制信号和第三控制信号每一个可以具有第一电平电压和第二电平电压,和第一控制信号、第二控制信号和第三控制信号的各自电平在给定帧内可以每相继周期在第一电平电压和第二电平电压之间交替。并且,第一控制信号、第二控制信号和第三控制信号的各自电平可以每隔一个帧反相。

[0041] 根据本发明示范性实施例的显示设备可以进一步包括将门信号传送到多个信号生成电路中的一个信号生成电路的至少一条附加门线。

[0042] 传送到多条门线的第一门线的第一门信号的开门电压和传送到多条门线的相邻第二门线的第二门信号的开门电压在预定时间周期的至少一部分内在时间上相互重叠。

[0043] 预定时间周期的间隔可以是大约一个水平周期(“1H”)。

[0044] 本发明的又一个示范性实施例提供了一种液晶显示器的驱动方法。该液晶显示器包括多条门线,用于传送具有开门电压的门信号;多条数据线,用于传送数据电压;多条存储电极线,用于传送存储信号;多个开关元件,多个开关元件的每个开关元件与多条门线中的一条门线和多条数据线中的一条数据线连接;多个像素,多个像素的每个像素包括与多个开关元件中的一个开关元件和多条存储电极线中的一条存储电极线连接的存储电容器;门驱动器,用于沿着第一扫描方向或第二扫描方向生成门信号;以及多个信号生成电路,用于生成存储信号。

[0045] 该驱动方法包括将第一门信号施加在与多个像素的第一像素连接的多条门线的第一门线上,将第一数据电压施加在与第一像素连接的多条数据线的第二数据线上,将第二门信号施加在与多个像素的第二像素连接的多条门线的第二门线上,并根据第二门信号将存储信号输出到第一像素。存储信号的输出次序随门驱动器的第一扫描方向或第二扫描方向而变。

[0046] 第一门信号的开门电压的施加时间和第二门信号的开门电压的施加时间相隔大约两个水平周期(“2H”),或在一个可替代示范性实施例中,相隔大约四个水平周期(“4H”)。

[0047] 在再一个示范性实施例中,提供了一种液晶显示器的驱动方法。该液晶显示器包括多条门线,用于传送具有开门电压的门信号;多条数据线,用于传送数据电压;多条存储电极线,用于传送存储信号;多个开关元件,多个开关元件的每个开关元件与多条门线中的一条门线和多条数据线中的一条数据线连接;多个像素,多个像素的每个像素包括与多个开关元件中的一个开关元件和多条存储电极线中的一条存储电极线连接的存储电容器;门驱动器,用于沿着第一扫描方向或第二扫描方向生成门信号;以及多个信号生成电路,用于生成存储信号。

[0048] 该驱动方法包括将门信号施加在与多个像素中的一个像素连接的多条门线中的

一条门线上,将数据电压施加在与该像素连接的多条数据线中的一条数据线上,并根据门信号将存储信号输出到该像素。存储信号的输出次序随门驱动器的第一扫描方向或第二扫描方向而变。

附图说明

[0049] 通过结合附图对本发明的示范性实施例作进一步详细描述,本发明的上面和其它方面、特征和优点将变得更加显而易见,在附图中:

[0050] 图 1 是根据本发明一个示范性实施例的液晶显示器的方块图;

[0051] 图 2 是根据本发明一个示范性实施例的液晶显示器的一个像素的等效电路图;

[0052] 图 3 是根据本发明一个示范性实施例的信号生成电路的示意性电路图;

[0053] 图 4 是根据图 3 中的本发明示范性实施例的信号生成电路的信号时序图;

[0054] 图 5 是根据本发明另一个示范性实施例的液晶显示器的方块图;

[0055] 图 6 是根据图 5 中的本发明示范性实施例的存储信号生成电路的信号生成电路的示意性电路图;

[0056] 图 7A 和图 7B 是根据图 6 中的本发明示范性实施例的信号生成电路的信号时序图;

[0057] 图 8A 和图 8B 是根据本发明一个可替代示范性实施例的信号生成电路的信号时序图;

[0058] 图 9 是根据本发明另一个示范性实施例的液晶显示器的方块图;

[0059] 图 10 是根据图 9 中的本发明示范性实施例的信号生成电路的示意性电路图;

[0060] 图 11 是根据图 10 中的本发明示范性实施例的信号生成电路的平面布局图;

[0061] 图 12 是例示根据本发明一个实施例的施加在门驱动器上的门时钟信号与施加在存储信号发生器上的存储时钟信号的关系的信号时序图;

[0062] 图 13A 和图 13B 是根据图 10 中的本发明示范性实施例的信号生成电路的信号时序图;

[0063] 图 14 是根据本发明另一个示范性实施例的液晶显示器的方块图;

[0064] 图 15 是根据图 14 中的本发明示范性实施例的信号生成电路的示意性电路图;

[0065] 图 16 是根据图 15 中的本发明示范性实施例的信号生成电路的平面布局图;

[0066] 图 17A 是利用行反转的根据图 15 中的本发明示范性实施例的信号生成电路的信号时序图;以及

[0067] 图 17B 是利用帧反转的根据图 15 中的本发明示范性实施例的信号生成电路的信号时序图。

[0068] 本发明详述

[0069] 现在,在下文中参照示出本发明示范性实施例的附图更充分地描述本发明。但是,本发明可以以许多不同形式实施,不应该理解为局限于这里给出的实施例。更确切地说,提供这些实施例是为了使本公开变得全面彻底,并充分地向本领域的普通技术人员传达本发明的范围。相同的标号自始至终表示相同的元件。

[0070] 应该明白,当一个元件被称为“在”另一个元件“上”时,它可以直接在其它元件上或其间可以存在插入元件(intervening element)。与此相比,当一个元件被称为“直接在”

另一个元件“上”时,不存在插入元件。正如本文使用的那样,术语“和 / 或”包括一个或多个相关列出的任何和所有组合。

[0071] 应该明白,尽管术语“第一”、“第二”、“第三”等在本文中可以用于描述各种元件、部件、区域、层和 / 或部分,但这些元件、部件、区域、层和 / 或部分不应该受这些术语限制。这些术语只用于将一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分区分开。因此,可以不偏离本发明教导地将下面讨论的第一元件、部件、区域、层或部分命名为第二元件、部件、区域、层或部分。

[0072] 本文使用的术语只是为了描述特定实施例,而不是打算限制本发明。正如本文使用的那样,除非上下文另有清楚表明,单数形式“一个”、“一种”和“该”也有意包括复数形式。还应该明白,术语“包含”或“包括”当用在说明书中时,规定存在所述特征、区域、整数、步骤、操作、元件和 / 或部件,但不排除存在或附加一个或多个其它特征、区域、整数、步骤、操作、元件、部件和 / 或它们的组群。

[0073] 而且,像“下”或“底”和“上”或“顶”那样的相对术语在本文中可以用于描述如图所示,一个元件与其它元件的关系。应该明白,除了描绘在图中的取向之外,相对术语有意包含设备的不同取向。例如,如果将一个图中的设备翻转过来,那么,描述成在其它元件“下”侧的元件变成在其它元件的“上”侧。因此,视图的具体取向而定,示范性术语“下”可以包含“下”和“上”的取向。类似地,如果将一个图中的设备翻转过来,那么,描述成“在”其它元件“下面”或“下方”的元件变成“在”其它元件的“上面”。因此,示范性术语“在... 下面”或“在... 下方”可以包含上面和下面的取向。

[0074] 除非另有定义,用在本文中的所有术语(包括技术和科学术语)具有与本领域的普通技术人员通常所理解相同的含义。还应该明白,像定义在常用词典中的那些那样的术语应该解释为具有与它们在相关技术背景下的含义一致的含义,并且除非在本文中明确这样定义,不应该理想化或过分正式地加以解释。

[0075] 这里将参照作为本发明的理想化实施例的示意性例示的剖面例示描述本发明的示范性实施例。这样,由于例如制造技术和 / 或容限等原因,期望有不同于例示的形状。因此,本发明的实施例不应该被理解成局限于本文例示的区域的特定形状,而是包括例如制造引起的形状偏离。例如,例示或描述成平坦的区域通常具有粗糙和 / 或非线性的特征。此外,例示的尖角可能是圆的。因此,例示在图中的区域是示意性的,它们的形状无意例示区域的确切形状,也无意限制本发明的范围。

[0076] 现在参照附图进一步详细描述本发明。

[0077] 图 1 是根据本发明一个示范性实施例的液晶显示器的方块图,而图 2 是根据本发明一个示范性实施例的液晶显示器的像素 PX 的等效电路图。

[0078] 如图 1 所示,根据本发明一个示范性实施例的液晶显示器(“LCD”)包括例如液晶面板组件 300、门驱动器 400、数据驱动器 500、与数据驱动器 500 连接的灰度电压发生器 800、存储信号发生器 700 和控制上面元件的信号控制器 600,但不局限于这些。

[0079] 液晶面板组件 300 包括多条信号线(G_1-G_{2n} 、 G_d 、 D_1-D_m 和 S_1-S_{2n})和与多条信号线(G_1-G_{2n} 、 G_d 、 D_1-D_m 和 S_1-S_{2n})连接并排列成近似矩阵图样的多个像素 PX。

[0080] 参照图 2,液晶面板组件 300 包括面对面的下面板 100 和上面板 200 和位于下面板 100 和上面板 200 之间的液晶层 3。

[0081] 参照图 1, 多条信号线($G_1 - G_{2n}$ 、 G_d 、 $D_1 - D_m$ 和 $S_1 - S_{2n}$)包括多条门线 $G_1 - G_{2n}$ 和 G_d 、多条数据线 $D_1 - D_m$ 和多条存储电极线 $S_1 - S_{2n}$ 。

[0082] 多条门线 $G_1 - G_{2n}$ 和 G_d 包括传送门信号(下文统称为“扫描信号”)的多条正常门线 $G_1 - G_{2n}$ 和附加门线 G_d 。多条存储电极线 $S_1 - S_{2n}$ 与多条正常门线 $G_1 - G_{2n}$ 连接和传送存储信号。多条数据线 $D_1 - D_m$ 传送数据电压。

[0083] 多条门线 $G_1 - G_{2n}$ 、 G_d 和多条存储电极线 $S_1 - S_{2n}$ 沿着第一近似(substantially)行方向延伸并实际上(substantially)相互平行, 而多条数据线 $D_1 - D_m$ 沿着与第一方向垂直的第二近似列方向延伸并实际上相互平行。

[0084] 再次参照图 2, 每个像素 PX (例如, 与第 i 正常门线 G_i ($i = 1, 2, \dots, 2n$)、第 i 正常存储信号线 S_i ($i = 1, 2, \dots, 2n$) 和第 j 数据线 D_j ($j = 1, 2, \dots, m$) 连接的像素 PX) 包括与信号线 G_i 和 D_j 连接的开关元件 Q 和与开关元件 Q 和存储信号线 S_i 连接的液晶电容器 Clc 和存储电容器 Cst。

[0085] 在一个示范性实施例中, 开关元件 Q 可以实现成例如安装在下面板 100 上、像薄膜晶体管(“TFT”)那样的三端元件(three-terminal element), 但不局限于此。如图 2 所示, 三端元件含有与正常门线 G_i 连接的控制端、与数据线 D_j 连接的输入端和与液晶电容器 Clc 和存储电容器 Cst 连接的输出端。

[0086] 下面板 100 的像素电极 191 和上面板 200 的公用电极 270 分别是液晶电容器 Clc 的第一端和第二端。位于像素电极 191 和公用电极 270 之间的液晶层 3 起介电材料的作用。像素电极 191 与开关元件 Q 连接。公用电极 270 位于整个上面板 200 上并接收公用电压 Vcom (未示出)。可替代地, 可以在下面板 100 上形成公用电极 270, 在这种情况下, 像素电极 191 和公用电极 270 的至少一个可以具有近似线性的形状。

[0087] 在本发明的可替代示范性实施例中, 公用电压 Vcom 可以包括例如具有预定值的直流(“DC”)电压, 但不局限于此。

[0088] 存储电容器 Cst 辅助液晶电容器 Clc, 通过形成其间是绝缘体的与存储电极线 S_i 相交的像素电极 191 形成。

[0089] 对于彩色显示, 每个像素 PX 可以代表一种原色, 例如, 空分(apatial division), 或可替代地, 每个像素 PX 可以代表依赖于给定时间的不同原色, 例如, 时分。不管怎样, 所需颜色都通过原色, 例如, 红色、绿色和蓝色的空间或时间和来显示。

[0090] 图 2 示出了利用空分的本发明示范性实施例。如图所示, 每个像素 PX 在与像素电极 191 相对应的上面板 200 的区域上, 含有代表三原色之一, 例如, 红色、绿色和蓝色之一的滤色器 230。在本发明的可替代示范性实施例中, 滤色器 230 可以在下面板 100 的像素电极 191 的下面或上面形成。

[0091] 使光线极化的极化器(未示出)贴在液晶面板组件 300 上。

[0092] 回头参照图 1, 灰度电压发生器 800 可以生成与像素 PX 的所需透射率有关的所有灰度电压或有限个灰度电压(下文称为“参考灰度电压”)。一些(参考)灰度电压相对于公用电压 Vcom 具有正极性, 而其它(参考)灰度电压相对于公用电压 Vcom 具有负极性。

[0093] 门驱动器 400 包括例如位于像左侧和右侧那样液晶面板组件 300 的相对侧的第一门驱动电路 400a 和第二门驱动电路 400a, 但不局限于此。

[0094] 第一门驱动电路 400a 与多条门线 $G_1 - G_{2n}$ 和 G_d 的奇数号正常门线 $G_1, G_3, \dots$, 和

G_{2n-1} 和附加门线 G_d 的一端连接。第二门驱动电路 400b 与多条门线 $G_1 - G_{2n}$ 和 G_d 的偶数号正常门线 $G_2, G_4, \dots$, 和 G_{2n} 的一端连接。可替代地, 第二门驱动电路 400b 可以与多条门线 $G_1 - G_{2n}$ 和 G_d 的奇数号正常门线 $G_1, G_3, \dots$, 和 G_{2n-1} 和附加门线 G_d 的一端连接, 而第一门驱动电路 400a 可以与多条门线 $G_1 - G_{2n}$ 和 G_d 的偶数号正常门线 $G_2, G_4, \dots$, 和 G_{2n} 的一端连接。

[0095] 第一门驱动电路 400a 和第二门驱动电路 400b 每一个都利用开门电压 (gate-on voltage) V_{on} 和关门电压 (gate-off voltage) V_{off} 生成施加在多条门线 $G_1 - G_{2n}$ 和 G_d 上的门信号。

[0096] 在本发明的一个示范性实施例中, 门驱动器 400 与多条信号线 $G_1 - G_{2n}, G_d, D_1 - D_m$ 和 $S_1 - S_{2n}$ 和开关元件 Q 一起集成到液晶面板组件 300 中。在可替代示范性实施例中, 门驱动器 400 可以包括安装在液晶面板组件 300 上, 或安装在附在液晶面板组件 300 上的薄膜封装 (“TCP”) 中的柔性印刷电路 (“FPC”) 薄膜上的至少一个集成电路 (“IC”) 芯片。可替代地, 门驱动器 400 可以安装在分立印刷电路板 (未示出) 上。

[0097] 例如, 存储信号发生器 700 包括安排在液晶面板组件 300 的相对侧和与第一门驱动电路 400a 和第二门驱动电路 400b 相邻的第一存储信号生成电路 700a 和第二存储信号生成电路 700b, 但不局限于此。

[0098] 第一存储信号生成电路 700a 与奇数号存储电极线 $S_1, S_3, \dots, S_{2n-1}$ 和偶数号正常门线 $G_2, G_4, \dots, G_{2n}$ 连接, 并将具有高电平电压和低电平电压的多个存储信号施加在存储电极线 $S_1, S_3, \dots, S_{2n-1}$ 上。

[0099] 第二存储信号生成电路 700b 与偶数号存储电极线 $S_2, S_4, \dots, S_{2n}$ 和除第 1 正常门线 G_1 之外的奇数号正常门线 $G_3, G_5, \dots, G_{2n-1}$ 和附加门线 G_d 连接, 并将具有高电平电压和低电平电压的多个存储信号施加在存储电极线 $S_2, S_4, \dots, S_{2n}$ 上。

[0100] 在本发明的一个可替代示范性实施例中, 可以不将来自与门驱动器 400 连接的附加门线 G_d 的信号供应给存储信号发生器 700。更确切地说, 可以将例如来自像信号控制器 600 或分立信号发生器 (未示出) 那样的分立单元的信号供应给存储信号发生器 700, 但不局限于此。在这种情况下, 如上所述, 在液晶面板组件 300 上可以不形成附加门线 G_d 。

[0101] 在本发明的一个示范性实施例中, 存储信号发生器 700 与多条信号线 $G_1 - G_{2n}, G_d, D_1 - D_m$ 和 $S_1 - S_{2n}$ 和开关元件 Q 一起集成到液晶面板组件 300 中。在可替代示范性实施例中, 存储信号发生器 700 可以包括安装在液晶面板组件 300 上, 或安装在附在液晶面板组件 300 上的 TCP 中的 FPC 薄膜上的至少一个 IC 芯片。可替代地, 存储信号发生器 700 可以安装在分立印刷电路板 (未示出) 上。

[0102] 数据驱动器 500 与面板组件 300 的多条数据线 $D_1 - D_m$ 连接, 将从灰度电压发生器 800 供应的灰度电压中选择的数据电压施加在多条数据线 $D_1 - D_m$ 上。但是, 当灰度电压发生器 800 只生成一些而不是全部灰度电压时, 数据驱动器 500 可以划分参考灰度电压, 以便从灰度电压中生成数据电压。

[0103] 信号控制器 600 控制门驱动器 400、数据驱动器 500 和存储信号发生器 700。

[0104] 在一个示范性实施例中, 数据驱动器 500、信号控制器 600 和灰度电压发生器 800 可以包括安装在液晶面板组件 300 上或安装在附在液晶面板组件 300 上的 TCP 中的 FPC 薄膜上的至少一个 IC 芯片。可替代地, 数据驱动器 500、信号控制器 600 和灰度电压发生器

800 的至少一个可以与多条信号线 $G_1 - G_{2n}$ 、 G_d 、 $D_1 - D_m$ 和 $S_1 - S_{2n}$ 和开关元件 Q 一起集成到液晶面板组件 300 中。在又一个可替代示范性实施例中,数据驱动器 500、信号控制器 600 和灰度电压发生器 800 的每一个可以集成到单个 IC 芯片中,但数据驱动器 500、信号控制器 600 和灰度电压发生器 800 的至少一个,或数据驱动器 500、信号控制器 600 和灰度电压发生器 800 的至少一个中的至少一个电路元件可以位于单个 IC 芯片的外部。

[0105] 仍然参照图 1 和 2,现在进一步详细描述液晶显示器的操作。

[0106] 信号控制器 600 接收输入图像信号 R、G 和 B 和来自外部图形控制器(未示出)的控制输入图像信号 R、G 和 B 的多个输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息,和亮度具有预定个数的灰度值,例如,1024 ($= 2^{10}$)、256 ($= 2^8$) 或 64 ($= 2^6$) 个灰度值,但不局限于这些。

[0107] 例如,多个输入控制信号包括垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK 和数据使能信号 DE,但不局限于这些。

[0108] 信号控制器 600 根据输入控制信号(未示出)和输入图像信号 R、G 和 B 处理输入图像信号 R、G 和 B,并且,按照液晶面板组件 300 的操作条件,生成门控制信号 CONT1、数据控制信号 CONT2 和存储控制信号 CONT3,将门控制信号 CONT1 施加在门驱动器 400 上,将数据控制信号 CONT2 和数字图像信号 DAT 施加在数据驱动器 500 上,并将存储控制信号 CONT3 施加在存储信号发生器 700 上。

[0109] 门控制信号 CONT1 包括确定开门电压 V_{on} 的开始的第一扫描开始信号 STV1 (未示出)和第二扫描开始信号 STV2 (未示出)和控制开门电压 V_{on} 的输出周期的至少一个时钟信号(未示出)。在一个示范性实施例中,第一扫描开始信号 STV1 施加在第一门驱动电路 400a 上,而第二扫描开始信号 STV2 施加在第二门驱动电路 400b 上。在本发明的可替代示范性实施例中,第一扫描开始信号 STV1 可以施加在第二门驱动电路 400b 上,而第二扫描开始信号 STV2 施加在第一门驱动电路 400a 上。

[0110] 门控制信号 CONT1 可以进一步包括限制开门电压 V_{on} 的时间周期的输出使能信号 OE (未示出)。

[0111] 数据控制信号 CONT2 包括确定像素 PX 的各行的数据传送的开始的水平同步开始信号 STH (未示出)、将数据电压施加在多条数据线 $D_1 - D_m$ 上的装载信号 LOAD (未示出)和数据时钟信号 HCLK (未示出)。数据控制信号 CONT2 可以进一步包括反转数据电压相对于公用电压 V_{com} 的极性的反转信号 RVS (未示出)。

[0112] 响应来自信号控制器 600 的数据控制信号 CONT2,数据驱动器 500 从信号控制器 600 接收像素 PX 的各行的数字图像信号 DAT,将数字图像信号 DAT 转换成从灰度电压中选择的模块数据电压,并将模块数据电压施加在多条数据线 $D_1 - D_m$ 上。

[0113] 门驱动器 400 响应来自信号控制器 600 的门控制信号 CONT1,将开门电压 V_{on} 施加在门线的当前行,例如,第 i 行的相应正常门线上,从而导通与第 i 行的各自正常门线连接的相关开关元件 Q 。因此,模拟数据电压施加在数据线 $D_1 - D_m$ 上,然后通过导通开关晶体管 Q 供应给第 i 行的各个像素 PX,以便通过模拟数据电压对第 i 行的像素 PX 中的液晶电容器 C_{lc} 和存储电容器 C_{st} 充电。

[0114] 在示范性实施例中,附加门线 G_d 未与开关元件 Q 连接。

[0115] 施加在各个像素 PX 上的模拟数据电压与公用电压 V_{com} 之差表现成像素 PX 的液

晶电容器 C1c 两端的电压差,称为像素电压。液晶电容器 C1c 中液晶分子随像素电压的幅度取向,液晶分子的取向决定穿过液晶层 3 的光线的极性。极化器(未示出)将光极化度转换成光透射率,以便给定像素 PX 具有与施加在像素 PX 上的模拟数据电压,例如,像素电压的电平成正比的亮度。

[0116] 在等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期的水平周期(“1H”)之后,数据驱动器 500 将数据电压施加在第(i+1)行,例如,随后行的像素 PX 上,而门驱动器 400 将关门信号 Voff 施加在第 i 行并将开门信号 Von 施加在像素的第(i+1)行上。其结果是,第 i 行的开关元件 Q 关断,使第 i 行的像素电极 191 浮置。

[0117] 存储信号发生器 700 根据存储控制信号 CONT3 和施加在第(i+1)门线 G_{i+1} 上的门信号的电压变化,改变施加在第 i 存储电极线 S_i 上的存储信号的电压电平。因此,与存储电容器 Cst 的一端连接的像素电极 191 的电压随与存储电容器 Cst 的另一端连接的存储电极线 S_i 的电压变化而变。

[0118] 通过对所有随后像素行重复如上所述的过程,LCD 将显示出单帧的图像。当随后的帧开始时,控制施加在数据驱动器 500 上的反转信号 RVS(未示出),以便反转模拟数据电压的极性。换句话说,给定帧的数据电压的极性是相同的,但相对于前一帧的数据电压的极性反转了,称此为“帧反转”。

[0119] 另外,施加在一行的像素 PX 上的数据电压的极性可能近似相同,而施加在前相邻行和在后相邻行的像素 PX 上的数据电压的极性是反转的(例如,行反转)。

[0120] 在进行帧反转和/或行反转的本发明示范性实施例中,施加在一行的像素 PX 上的所有数据电压的极性随每个相继行正负交替。并且,当通过正极性的数据电压对像素电极 191 充电时,施加在多条存储电极线 $S_1 - S_{2n}$ 上的存储信号从低电平电压改变成高电平电压。相反,当通过负极性的数据电压对像素电极 191 充电时,存储信号从高电平电压改变成低电平电压。其结果是,如果通过正极性的正数据电压对像素电极 191 充电,则像素电极 191 的电压升高,而如果通过负数据电压对像素电极 191 充电,则像素电极 191 的电压下降。其结果是,像素电极 191 的电压电平的范围增大了,从而大于作为数据电压基础的灰度电压的范围。其结果是,不用增大灰度电压的范围就可以增大亮度范围。

[0121] 第一存储信号生成电路 700a 和第二存储信号生成电路 700b 包括与多条存储电极线 $S_1 - S_{2n}$ 连接的多个信号生成电路 710(图 3)。现在参照图 3 和 4 进一步详细描述信号生成电路 710 的例子。

[0122] 图 3 是根据本发明一个示范性实施例的信号生成电路的示意性电路图,而图 4 是根据图 3 中的本发明示范性实施例的信号生成电路的信号时序图。

[0123] 参照图 3,信号生成电路 710 包括输入端 IP 和输出端 OP。在第 i 信号生成电路 710 中,例如,输入端 IP 与供给第(i+1)门信号 g_{i+1} (下文称为“输入信号”)的第(i+1)门线 G_{i+1} 连接(图 1),而输出端 OP 与输出第 i 存储信号 V_{s1} 的第 i 存储电极线 S_i 连接。类似地,在第(i+1)信号生成电路 710 中,例如,输入端 IP 与供给第(i+2)门信号 g_{i+2} (未示出)作为输入信号的第(i+2)门线 G_{i+2} 连接,而输出端 OP 与输出第(i+1)存储信号 V_{s1+1} (未示出)的第(i+1)存储电极线 S_{i+1} 连接。

[0124] 将来自信号控制器 600(图 1)的存储控制信号 CONT3 的第一时钟信号 CK1、第二时钟信号 CK1B 和第三时钟信号 CK2 供应给信号生成电路 710,并且将来自信号控制器 600

或外部设备(未示出)的高压 AVDD 和低压 AVSS 供应给信号生成电路 710。

[0125] 如图 4 所示,第一时钟信号 CK1、第二时钟信号 CK1B 和第三时钟信号 CK2 的周期可以是大约 2H,它们的占空比可以在大约 50%,但不局限于此。第一时钟信号 CK1 和第二时钟信号 CK1B 具有大约 180° 的相差和相互反相。相反,第二时钟信号 CK1B 和第三时钟信号 CK2 具有实际上相同的相位。另外,如图 4 所示,在每个各个随后帧中第一时钟信号 CK1、第二时钟信号 CK1B 和第三时钟信号 CK2 的每个相位是反相的。

[0126] 第一时钟信号 CK1 和第二时钟信号 CK1B 可以具有例如大约 15V 的第一高电平电压 Vh1,并且例如大约 0V 的第一低电平电压 Vl1。第三时钟信号 CK2 可以具有例如大约 5V 的第二高电平电压 Vh2,并且例如大约 0V 的第二低电平电压 Vl2。高压 AVDD 可以是例如大约 5V,并可以大约等于第三时钟信号 CK2 的第二高电平电压 Vh2。低压 AVSS 可以是例如大约 0V,并可以大约等于第三时钟信号 CK2 的第二低电平电压 Vl2。

[0127] 信号生成电路 710 包括分别含有控制端、输入端和输出端的第一到第五晶体管 Tr1 — Tr5 和第一电容器 C1 和第二电容器 C2。

[0128] 第一晶体管 Tr1 的控制端与输入端 IP 连接,晶体管 Tr1 的输入端与第三时钟信号 CK2 连接,而晶体管 Tr1 的输出端与输出端 OP 连接。

[0129] 第二晶体管 Tr2 和第三晶体管 Tr3 的控制端与输入端 IP 连接,而第二晶体管 Tr2 和第三晶体管 Tr3 的输入端分别与第一时钟信号 CK1 和第二时钟信号 CK1B 连接。

[0130] 第四晶体管 Tr4 和第五晶体管 Tr5 的控制端分别与第二晶体管 Tr2 和第三晶体管 Tr3 的输出端连接,而第四晶体管 Tr4 和第五晶体管 Tr5 的输入端分别与低压 AVSS 和高压 AVDD 连接。

[0131] 第一电容器 C1 和第二电容器 C2 分别连接在第四晶体管 Tr4 和第五晶体管 Tr5 的控制端与低压 AVSS 和高压 AVDD 之间。

[0132] 在一个示范性实施例中,第一到第五晶体管 Tr1 — Tr5 分别由非晶硅(“a-Si”)或多晶硅(“p-Si”) TFT 形成。

[0133] 现在进一步详细描述信号生成电路 710 的操作。

[0134] 再次参照图 4,一般说来,开门电压 Von 在例如大约 1H (但不局限于此)的预定重叠时间周期内施加在两条相邻门线的每一条上。其结果是,在大约 1H 内利用施加在前一行的像素上的数据电压,然后在其余 1H 内利用数据电压对给定行的所有像素 PX 充电以显示图像。

[0135] 现在,参照图 3 和 4 进一步描述第 i 信号生成电路 710。

[0136] 当输入信号(例如,施加在第(i+1)门线 G_{i+1} 上的门信号 g_{i+1})改变成开门电压 Von 时,第一、第二和第三晶体管 Tr1 — Tr3 分别导通。导通的第一晶体管 Tr1 将第三时钟信号 CK2 传送到输出端 OP。其结果是,第 i 存储信号 V_{si} 处在第三时钟信号 CK2 的第二低电平电压 Vl2 上。导通的第二晶体管 Tr2 将第一时钟信号 CK1 传送到第四晶体管 Tr4 的控制端,而导通的第三晶体管 Tr3 将第二时钟信号 CK1B 传送到第五晶体管 Tr5 的控制端。

[0137] 由于第一和第二时钟信号 CK1 和 CK1B 存在反相关系,第四晶体管 Tr4 和第五晶体管 Tr5 在给定时间被反向偏置。例如,当第四晶体管 Tr4 导通时,第五晶体管 Tr5 关断,相反,当第四晶体管 Tr4 关断时,第五晶体管 Tr5 导通。并且,当第四晶体管 Tr4 导通和第五晶体管 Tr5 关断时,低压 AVSS 传送到输出端 OP,而当第四晶体管 Tr4 关断和第五晶体管 Tr5

导通时, 高压 AVDD 传送到输出端 OP。

[0138] 如图 4 所示, 门信号 g_{i+1} 在例如大约 2H 的间隔内处在开门电压 V_{on} 上。并且, 大约 1H 的第一周期用第一周期 T1 表示, 而大约 1H 的第二周期用随后周期 T2 表示。

[0139] 第一时钟信号 CK1 在第一周期 T1 内处在第一高电平电压 V_{h1} 上, 而第二时钟信号和第三时钟信号 CK1B 和 CK2 分别处在第一和第二低电平电压 V_{l1} 和 v_{l2} 上, 并且将低压 AVSS 供应给通过晶体管 Tr1 传给第三时钟信号 CK2 的第二低电平电压 V_{l2} 的输出端 OP。其结果是, 存储信号 V_{si} 保持幅度等于第二低电平电压 V_{l2} 和低压 AVSS 的幅度的低电平存储信号电压 V_- 。在第一周期 T1 期间, 将第一时钟信号 CK1 的第一高电平电压 V_{h1} 与低压 AVSS 之间的电压差充电到电容器 C1, 而将第二时钟信号 CK1B 的第一低电平电压 V_{l1} 与高压 AVDD 之间的电压差充电到电容器 C2。

[0140] 在周期 T2 期间, 第一时钟信号 CK1 保持在第一低电平电压 V_{l1} 上, 而第二和第三时钟信号 CK1B 和 CK2 分别保持在第一和第二高电平电压 V_{h1} 和 V_{h2} 上, 从而第五晶体管 Tr5 导通而第四晶体管 Tr4 关断。

[0141] 其结果是, 将通过导通的第一晶体管 Tr1 传送的第三时钟信号 CK2 的第二高电平电压 V_{h2} 供应给输出端 OP, 并且存储信号 V_{si} 的状态从低电平存储信号电压 V_- 改变成幅度等于第二高电平电压 V_{h2} 的幅度的高电平存储信号电压 V_+ 。另外, 将幅度等于高电平存储信号电压 V_+ 的幅度、通过导通第五晶体管 Tr5 施加的高压 AVDD 供应给输出端 OP。

[0142] 由于充电到电容器 C1 的电压近似与第一时钟信号 CK1 的第一低电平电压 V_{l1} 与低压 AVSS 之间的电压差相同, 当第一时钟信号 CK1 的第一低电平电压 V_{l1} 和低压 AVSS 变成近似相同时, 电容器 C1 放电。由于充电到电容器 C2 的电压基于第二时钟信号 CK1B 的第一高电平电压 V_{h1} 与高压 AVDD 之间的电压差, 当如上所述, 第一高电平电压 V_{h1} 和高压 AVDD 相互不同时, 充电到电容器 C2 的电压不等于 0V, 其中, 第二时钟信号 CK1B 的第一高电平电压 V_{h1} 是大约 15V 和高压 AVDD 是大约 5V。因此, 充电到电容器 C2 的电压是大约 10V。

[0143] 当如图所示, 门信号 g_{i+1} 的第 $i+1$ 级在经过了周期 T2 之后从开门电压 V_{on} 改变成关门电压 V_{off} 时, 第一到第三晶体管 Tr1 — Tr3 分别关断。其结果是, 第一晶体管 Tr1 与输出端 OP 之间的电连接分开, 以及第四和第五晶体管 Tr4 和 Tr5 的控制端与输出端 OP 之间的电连接也分别分开。

[0144] 由于未充电到电容器 C1, 第四晶体管 Tr4 保持在关断状态。但是, 第二时钟信号 CK1B 的第一高电平电压 V_{h1} 与高压 AVDD 之间的电压已经充电到电容器 C2。因此, 当电容器 C2 的充电电压大于第五晶体管 Tr5 的阈电压时, 晶体管 Tr5 保持在导通状态。其结果是, 将高压 AVDD 作为存储信号 V_{si} 提供给输出端 OP。于是, 存储信号 V_{si} 保持高电平存储信号电压 V_+ 。

[0145] 接着, 参照图 4 进一步详细描述第 $(i+1)$ 信号生成电路 710 的操作。

[0146] 当具有开门电压 V_{on} 的第 $(i+2)$ 门信号 g_{i+2} 施加在第 $(i+1)$ 信号生成电路 710 (未示出) 上时, 第 $(i+1)$ 信号生成电路 710 开始工作。

[0147] 如图 4 所示, 当第 $(i+2)$ 门信号 g_{i+2} 切换成开门电压 V_{on} 时, 第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的状态分别反转, 而第 $(i+1)$ 门信号 g_{i+1} 处在开门电压 V_{on} 上。

[0148] 第 $(i+2)$ 门信号 g_{i+2} 的前一个开门电压周期 T1 的操作近似与第 $(i+1)$ 门信号 g_{i+1} 的后一个开门电压周期 T2 的操作相同, 致使第一、第三和第五晶体管 Tr1、Tr3 和 Tr5 分别

导通。于是,第三时钟信号 CK2 的第二高电平电压 Vh2 和高压 AVDD 施加在输出端 OP 上。其结果是,存储信号 V_{si+1} 处在高电平存储信号电压 V+ 上。

[0149] 类似地,第(i+2)门信号 g_{i+2} 的开门电压周期 T2 的操作近似与第(i+1)门信号 g_{i+1} 的前一个开门电压周期 T1 的操作相同,致使第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 分别导通。于是,第三时钟信号 CK2 的第二低电平电压 Vl2 和低压 AVSS 施加在输出端 OP 上。其结果是,存储信号 V_{si+1} 从高电平存储信号电压 V+ 改变成低电平存储信号电压 V-。

[0150] 如上所述,第一晶体管 Tr1 可以在输入信号保持开门电压 Von 的同时施加第三时钟信号 CK2 作为存储信号,并且当通过关门电压 Voff 将输出端 OP 与第一晶体管 Tr1 的输出端分开时,利用第一和第二电容器 C1 和 C2 使第二到第五晶体管 Tr2 — Tr5 分别保持在存储信号的状态直到下一个帧。并且,第一晶体管 Tr1 可以将存储信号施加在相应存储电极线上,而第二到第五晶体管 Tr2 — Tr5 分别保持存储信号。

[0151] 在一个示范性实施例中,第一晶体管 Tr1 的尺寸分别比第二到第五晶体管 Tr2 — Tr5 的尺寸大得多。如方程 1 给出的那样,像素电极电压 V_p 响应存储信号 V_s 的电压变化而变。

[0152] $V_p = V_d + / - \Delta = V_d + / - C_{st} / (C_{st} + C_{lc}) * [(V+) - (V-)]$ (方程 1)

[0153] 其中: V_d 是数据电压; Δ 是电压变化量; C_{lc} 和 C_{st} 分别代表存储和液晶电容器的电容; $V+$ 代表存储信号 V_s 的高电平存储信号电压;以及 $V-$ 代表存储信号 V_s 的低电平存储信号电压。

[0154] 通过将存储信号 V_s 的电压变化量 Δ 加入数据电压 V_d 中或从数据电压 V_d 中减去存储信号 V_s 的电压变化量 Δ ,当利用正极性的数据电压对像素充电时,像素电极电压 V_p 增加了电压变化量 Δ ,相反,当利用负极性的数据电压对像素充电时,像素电极电压 V_p 减小了电压变化量 Δ 。其结果是,像素电压的电压变化量 Δ 通过使像素电极电压 V_p 增加或减小,使像素电压变成大于灰度电压的范围,致使所代表亮度的范围也增大。

[0155] 并且,如上所述,由于公用电压固定在预定值上,与公用电压在高值和低值之间交替的现有技术的 LCD 相比,有效地降低了功耗。

[0156] 因此,根据本发明的示范性实施例,公用电压固定在预定值上,和电平周期性变化的存储信号施加在存储电极线上,致使像素电极电压的范围增大。因此,代表灰度电压的电压的范围增加,从而使 LCD 的图像质量提高。

[0157] 并且,如上所述,由于公用电压恒定而降低了功耗。

[0158] 在下文中,将参照图 5 — 8B 进一步描述本发明的另一个示范性实施例。

[0159] 图 5 是根据本发明另一个示范性实施例的液晶显示器的方块图,而图 6 是根据图 5 中的本发明示范性实施例的存储信号生成电路的信号生成电路的示意性电路图。图 7A 和 7B 是根据图 6 中的本发明示范性实施例的信号生成电路的信号时序图。更具体地说,图 7A 是门驱动器的扫描方向是前向方向的情况下的例子,而图 7B 是门驱动器的扫描方向是后向方向的情况下的例子。图 8A 和 8B 是根据本发明一个可替代示范性实施例的信号生成电路的信号时序图。更具体地说,图 8A 是例示门驱动器的扫描方向是前向方向的情况下的信号时序的例子,而图 8B 是例示门驱动器的扫描方向是后向方向的情况下的信号时序的例子。

[0160] 除了下面进一步详细描述的不同部分之外,根据如图 5 到 8B 所示的本发明示范性

实施例的 LCD 近似与如图 1 到 3 所示的 LCD 相同。因此,用相同的标号标记执行相同或相似操作的元件,并且下面将省略对它们的任何重复描述。

[0161] 根据如图 5 所示的本发明示范性实施例的液晶显示器包括液晶面板组件 300a、门驱动器 401、数据驱动器 500、与数据驱动器 500 连接的灰度电压发生器 800、存储信号发生器 701 和信号控制器 601。

[0162] 但是,与如图 1 所示的本发明示范性实施例不同,门驱动器 401 是多条正常门线 $G_1 - G_{2n}$ 的扫描方向随来自外部设备(未示出)的选择信号(未示出)而变的双向门驱动器。更具体地说,根据选择信号的状态,门驱动器 401 沿着例如从第 1 正常门线 G_1 到最后正常门线 G_{2n} 的前向方向,或相反,沿着例如从最后正常门线 G_{2n} 到第 1 正常门线 G_1 的后向方向,依次传送开门电压 V_{on} 。在门驱动器 401 的双向驱动中,液晶显示器可以进一步包括选择开关(未示出),选择开关输出具有例如随输入到信号控制器 601 的用户选择而变的状态的选择信号,并且,除了如上面更详细描述的那样,分别施加在第一和第二门驱动电路 401a 和 401b 上的第一和第二扫描开始信号 STV1 和 STV2 (未示出)之外,信号控制器 601 还可以针对门控制信号 CONT1a,分别输出附加第三和第四扫描开始信号 STV3 和 STV4 (未示出)。因此,当门驱动器 410 沿着前向方向扫描时,第一和第二扫描开始信号 STV1 和 STV2 可以分别施加在第一和第二门驱动电路 401a 和 401b 上,而当门驱动器 410 沿着后向方向扫描时,第三和第四扫描开始信号 STV3 和 STV4 可以分别施加在第一和第二门驱动电路 401a 和 401b 上。

[0163] 根据示范性实施例的液晶显示器的存储信号发生器 701 的第一和第二存储信号生成电路 701a 和 701b 的每一个包括将存储信号传送到多条存储电极线 $S_1 - S_{2n}$ 的多个信号生成电路 710a。如图 6 所示,多个信号生成电路 710a 的每个信号生成电路 710a 都与如图 3 所示的信号生成电路 710 类似,例如,信号生成电路 710a 包括输出端 OP、第一到第五晶体管 $Tr1 - Tr5$ 和第一电容器 C1 和第二电容器 C2。

[0164] 但是,图 6 中的示范性实施例的信号生成电路 710a 进一步包括第一输入端 IP11 和第二输入端 IP12 和第一方向控制端 IP13 和第二方向控制端 IP14。在第 i 信号生成电路 710a 中,第一输入端 IP11 与供给第 $(i+1)$ 门信号 g_{i+1} (下文称为“第一输入信号”)的第 $(i+1)$ 门线 G_{i+1} 连接,和第二输入端 IP12 与供给第 $(i-1)$ 门信号 g_{i-1} (下文称为“第二输入信号”)的第 $(i-1)$ 门线 G_{i-1} 连接。类似地,在第 $(i+1)$ 信号生成电路 710a 中,第一输入端 IP11 与供给第 $(i+2)$ 门信号 g_{i+2} 作为第一输入信号的第 $(i+2)$ 门线 G_{i+2} 连接,和第二输入端 IP12 与供给第 i 门信号 g_i 作为第二输入信号的第 i 门线 G_i 连接。

[0165] 与如图 3 所示的信号生成电路 710 一样,将来自信号控制器 601 的存储控制信号 CONT3a 的第一、第二和第三时钟信号 CK1、CK1B 和 CK2 分别供应给信号生成电路 710a,并且将来自信号控制器 601 或外部设备(未示出)的高压 AVDD 和低压 AVSS 供应给信号生成电路 710a。分别通过第一方向控制端 IP13 和第二方向控制端 IP14,进一步将来自信号控制器 610 的存储控制信号 CONT3a 的第一方向信号 DIR 或 DIRa 和第二方向信号 DIRB 或 DIRBa 供应给信号生成电路 710a。

[0166] 信号生成电路 710a 进一步包括每一个都含有控制端、输入端和输出端的第六晶体管 $Tr6$ 和第七晶体管 $Tr7$ 。

[0167] 如图 6 所示,第六晶体管 $Tr6$ 的控制端与第一方向控制端 IP13 连接,第六晶体管

Tr6 的输入端与第一输入端 IP11 连接,和第六晶体管 Tr6 的输出端分别与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0168] 并且,第七晶体管 Tr7 的控制端与第二方向控制端 IP14 连接,第七晶体管 Tr7 的输入端与第二输入端 IP12 连接,和第七晶体管 Tr7 的输出端分别与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0169] 除了附加门线 G_d 之外,液晶显示器进一步包括第二附加门线 G_{da} 。第二附加门线 G_{da} 与第二门驱动电路 401b 的一端连接,以便在传送了门信号 g_i 之后将开门电压 V_{on} 传送到第一存储信号生成电路 701a。

[0170] 在一个示范性实施例中,附加门线 G_{da} 和附加门线 G_d 都不同开关元件 Q 连接。

[0171] 信号生成电路的操作例子将参照图 7A 和 7B 作进一步详细描述。

[0172] 如图 7A 和 7B 所示,分别施加在第一和第二方向控制端 IP13 和 IP14 上的第一和第二方向信号 DIR 和 DIRB 在一帧内分别保持第三高电平电压 V_{h3} 或第三低电平电压 V_{l3} ,和第一和第二方向信号 DIR 和 DIRB 分别具有彼此相反的相位。更具体地说,当第一方向信号 DIR 具有第三高电平电压 V_{h3} 时,第二方向信号 DIRB 具有第三低电平电压 V_{l3} ,和当第一方向信号 DIR 具有第三低电平电压 V_{l3} 时,第二方向信号 DIRB 具有第三高电平电压 V_{h3} 。并且,第一和第二方向信号 DIR 和 DIRB 的第三高电平电压 V_{h3} 具有导通第六和第七晶体管 Tr6 和 Tr7 的幅度,第三高电平电压 V_{h3} 的幅度可以是例如大约 15V,但不局限于此。第一和第二方向信号 DIR 和 DIRB 的第三低电平电压 V_{l3} 具有关断第六和第七晶体管 Tr6 和 Tr7 的幅度,第三低电平电压 V_{l3} 的幅度可以是例如大约 -10V,但不局限于此。

[0173] 因此,第六和第七晶体管 Tr6 和 Tr7 在给定时间具有彼此相反的偏置,从而当第六晶体管 Tr6 处在导通状态时,第七晶体管 Tr7 处在关断状态,而当第六晶体管 Tr6 处在关断状态时,第七晶体管 Tr7 处在导通状态。

[0174] 在本发明的可替代示范性实施例中,例如,可以根据选择信号,或可以利用控制门驱动器 40 的扫描方向的控制信号输出第一和第二方向信号 DIR 和 DIRB,但不局限于此。

[0175] 现在针对门驱动器 401 的扫描方向是前向方向的情况进一步详细描述信号生成电路 710a 的操作。

[0176] 参照图 6 和 7A,第一方向信号 DIR 处在第三高电平电压 V_{h3} 上输入第一方向控制端 IP13 中,和第二方向信号 DIRB 处在第三低电平电压 V_{l3} 上输入第二方向控制端 IP14 中。

[0177] 因此,第六晶体管 Tr6 导通和第七晶体管 Tr7 关断,从而根据施加在第一输入端 IP11 上的第一输入信号,例如,门信号 g_{i+1} 操作信号生成电路 710a。更具体地说,当像第 i 信号生成电路 710a 那样操作信号生成电路 710a 时,通过施加在第 $(i+1)$ 门线 G_{i+1} (图 1) 上的门信号 g_{i+1} 的开门电压 V_{on} 操作第 i 信号生成电路 710a。因此,如上面参照图 3 和 4 所述,通过第一到第五晶体管 Tr1 — Tr5 和第一和第二电容器 C1 和 C2 的操作输出具有预定电平的存储信号 V_{si} 。

[0178] 类似地,当门驱动器 401 的扫描方向是后向方向时,如图 7B 所示,第一方向信号 DIR 处在第三低电平电压 V_{l3} 上,和第二方向信号 DIRB 呈现第三高电平电压 V_{h3} 。

[0179] 因此,第六晶体管 Tr6 关断和第七晶体管 Tr7 导通,从而通过施加在第二输入端 IP12 上的第二输入信号,例如,门信号 g_{i-1} 操作信号生成电路 710a。更具体地说,当像第 $i-1$ 信号生成电路 710a 那样操作信号生成电路 710a 时,通过施加在第 $(i-1)$ 门线 G_{i-1} (图 1) 上

的门信号 g_{i-1} 的开门电压 V_{on} 操作第 i 信号生成电路 710a。因此,如上面参照图 3 和 4 所述,通过第一到第五晶体管 $Tr1 - Tr5$ 和第一和第二电容器 $C1$ 和 $C2$ 的操作输出具有预定电平的存储信号 V_{si} 。

[0180] 取代通过输入端 IP 直接将输入信号供应给信号生成电路 710 (图 3) 分别导通第一到第三晶体管 $Tr1 - Tr3$, 如图所示, 当扫描方向是前向方向时, 通过第六晶体管 $T6$ 将门信号供应给信号生成电路 710a, 作为分别施加在第一到第三晶体管 $Tr1 - Tr3$ 的控制端上的输入信号, 而当扫描方向是后向方向时, 通过第七晶体管 $T7$ 将门信号供应给信号生成电路 710a, 作为分别施加在第一到第三晶体管 $Tr1 - Tr3$ 的控制端上的输入信号。第一到第五晶体管 $Tr1 - Tr5$ 和第一和第二电容器 $C1$ 和 $C2$ 的操作分别与上面参照图 3 进一步详细描述的那些信号生成电路 710 的那些相同。

[0181] 现在参照图 8A 和 8B 进一步详细描述根据本发明可替代示范性实施例的信号生成电路 710a 的操作。

[0182] 如图 8A 和 8B 所示, 第一方向信号 $DIRa$ 和第二方向信号 $DIRBa$ 分别施加在第一和第二方向控制端 $IP13$ 和 $IP14$ 上, 并且分别具有第三高电平电压 $Vh3$ 和第三低电平电压 $Vl3$ 。并且, 第三高电平电压 $Vh3$ 和第三低电平电压 $Vl3$ 每一个在大约 $1H$ 内保持不变, 并且它们的占空比可以是大约 50%。更具体地说, 第一方向信号 $DIRa$ 和第二方向信号 $DIRBa$ 每大约 $1H$ 在第三高电平电压 $Vh3$ 和第三低电平电压 $Vl3$ 之间交替。并且, 第一方向信号 $DIRa$ 和第二方向信号 $DIRBa$ 具有大约 180° 的相差和相互反相。

[0183] 如上所述, 第一方向信号 $DIRa$ 和第二方向信号 $DIRBa$ 的第三高电平电压 $Vh3$ 可以是例如大约 15V, 和它们的第三低电平电压 $Vl3$ 可以是例如大约 -10V。

[0184] 对于每行, 分别将第一方向信号 $DIRa$ 和第二方向信号 $DIRBa$ 交替供应给信号生成电路 710a 的第一方向控制端 $IP13$ 和第二方向控制端 $IP14$ 。更具体地说, 在与奇数号存储电极线 $S_1, S_3, \dots, S_{2n-1}$ 连接的信号生成电路 710a 中, 将第一方向信号 $DIRa$ 供应给第一方向控制端 $IP13$, 并将第二方向信号 $DIRBa$ 供应给第二方向控制端 $IP14$ 。相反, 在与偶数号存储电极线 $S_2, S_4, \dots, S_{2n}$ 连接的信号生成电路 710a 中, 将第二方向信号 $DIRBa$ 供应给第一方向控制端 $IP13$, 并将第一方向信号 $DIRa$ 供应给第二方向控制端 $IP14$ 。

[0185] 现在针对门驱动器 401 的扫描方向是前向方向的情况, 参照图 6 和 8B 进一步详细描述信号生成电路 710a 的操作。

[0186] 在奇数号信号生成电路 710a, 例如, 第 i 信号生成电路 710a 中, 当将作为第一输入信号的第 $(i+1)$ 门信号 g_{i+1} 的开门电压 V_{on} 供应给第一输入端 $IP11$, 并将作为第二输入信号的第 $(i-1)$ 门信号 g_{i-1} 的关门电压 V_{off} 供应给第二输入端 $IP12$ 时, 将第一方向信号 $DIRa$ 作为第一方向信号供应给第一方向控制端 $IP13$, 并将第二方向信号 $DIRBa$ 作为第二方向信号供应给第二方向控制端 $IP14$ 。

[0187] 在门信号 g_{i+1} 的开门电压 V_{on} 的第一周期 $T1$ 内, 第一方向信号 $DIRa$ 处在第三低电平电压 $Vl3$ 上和第二方向信号 $DIRBa$ 处在第三高电平电压 $Vh3$ 上, 从而第六晶体管 $Tr6$ 关断, 而第七晶体管 $Tr7$ 导通。并且, 第二输入信号是关门电压 V_{off} , 因此, 第一到第三晶体管 $Tr1 - Tr3$ 分别关断, 从而存储信号 V_{si} 保持在如图 8A 所示, 像例如低电平存储信号电压 $V-$ 那样的前电压状态。

[0188] 在大约 $1H$ 之后, 例如, 在门信号 g_{i+1} 的开门电压 V_{on} 的周期 $T2$ 内, 第一方向信号

DIRa 从第三低电平电压 V13 改变成第三高电平电压 Vh3, 而第二方向信号 DIRBa 从第三高电平电压 Vh3 改变成第三低电平电压 V13。

[0189] 因此, 第六晶体管 Tr6 在门信号 g_{i+1} 的开门电压 Von 的周期 T2 内导通, 并且将开门电压 Von 传送到第一到第三晶体管 Tr1 — Tr3 的控制端, 导通第一到第三晶体管 Tr1 — Tr3。

[0190] 正如上面参照图 3 和 4 所述的那样, 第一时钟信号 CK1 在周期 T2 内处在第一低电平电压 V11 上, 而第二和第三时钟信号 CK1B 和 CK2 分别处在第一高电平电压 Vh1 和 Vh2 上。因此, 将第三时钟信号 CK2 的第二高电平电压 Vh2 和高压 AVDD 传送到输出端 OP。因此, 存储信号 V_{si} 从低电平存储信号电压 V- 改变成高电平存储信号电压 V+, 并且充电第二电容器 C2。

[0191] 当第一方向信号 DIRa 在经过了周期 T2 之后改变成第三低电平电压 V13 时, 第六晶体管 Tr6 关断。但是, 晶体管 Tr5 通过充电到第二电容器 C2 的电压保持在导通状态上, 从而仍然将高压 AVDD 传送到输出端 OP, 致使存储信号 V_{si} 保持高电平存储信号电压 V+。

[0192] 接着, 进一步详细描述偶数号信号生成电路 710a, 例如, 第 (i+1) 信号生成电路 710a 的操作。

[0193] 仍然参照图 6 和 8A, 在第 (i+1) 信号生成电路 710a 中, 当将作为第一输入信号的第 (i+2) 门信号 g_{i+2} 的开门电压 Von 供应给第一输入端 IP11, 并将作为第二输入信号的第 i 门信号 g_i 的关门电压 Voff 供应给第二输入端 IP12 时, 将第二方向信号 DIRBa 作为第一方向信号供应给第一方向控制端 IP13, 并将第一方向信号 DIRa 作为第二方向信号供应给第二方向控制端 IP14。

[0194] 由于在门信号 g_{i+1} 的开门电压 Von 的第一周期 T1 内, 第一方向信号 DIRBa 处在第三低电平电压 V13 上和第二方向信号 DIRa 处在第三高电平电压 Vh3 上, 第六晶体管 Tr6 关断, 而第七晶体管 Tr7 导通。第二输入信号是关门电压 Voff, 和第一到第三晶体管 Tr1 — Tr3 分别关断, 从而存储信号 V_{si} 保持在像例如高电平存储信号电压 V+ 那样的前电压状态。

[0195] 在大约 1H 之后, 例如, 在门信号 g_{i+2} 的开门电压 Von 的周期 T2 内, 第一方向信号 DIRBa 从第三低电平电压 V13 改变成第三高电平电压 Vh3, 和第二方向信号 DIRa 从第三高电平电压 Vh3 改变成第三低电平电压 V13。

[0196] 因此, 第六晶体管 Tr6 在门信号 g_{i+2} 的开门电压 Von 的周期 T2 内导通, 并且将开门电压 Von 传送到第一到第三晶体管 Tr1 — Tr3 的控制端, 导通第一到第三晶体管 Tr1 — Tr3。

[0197] 正如上面参照图 3 和 4 所述的那样, 第一时钟信号 CK1 处在第一高电平电压 Vh1 上, 和第二和第三时钟信号 CK1B 和 CK2 分别处在第一低电平电压 V11 和 V12 上, 从而将第三时钟信号 CK2 的低电平电压 V12 和低压 AVSS 传送到输出端 OP。因此, 存储信号 V_{si+1} 从高电平存储信号电压 V+ 改变成低电平存储信号电压 V-, 并且充电第一电容器 C1。

[0198] 当第一方向信号 DIRBa 在经过了周期 T2 之后改变成第三低电平电压 V13 时, 第六晶体管 Tr6 关断。但是, 第四晶体管 Tr4 通过充电到第一电容器 C1 的电压保持在导通状态上, 从而仍然将低压 AVSS 传送到输出端 OP, 并且存储信号 V_{si+1} 保持在低电平存储信号电压 V- 上。

[0199] 在下文中, 将参照门驱动器 401 的扫描方向是后向方向的图 8B 进一步详细描述信

号生成电路 710a 的操作。在这种情况下,方向信号 DIRa 和 DIRBa 的波形与上面参照图 8A 所述的前向方向的情况相反。

[0200] 参照图 6 和 8B,在作为第二输入信号施加在第二输入端 IP12 上的相应门信号的开门电压 V_{on} 的周期 1H,例如,接在上述周期 T2 的随后周期 T2 内,晶体管 Tr7 导通,第一到第三晶体管 Tr1 — Tr3 也分别导通。更具体地说,根据第一到第三时钟信号 CK1、CK1B 和 CK2 的状态操作第一到第五晶体管 Tr1 — Tr5 和第一和第二电容器 C1 和 C2,将存储信号传送到相应存储电极线。第一到第五晶体管 Tr1 — Tr5 和第一和第二电容器 C1 和 C2 的操作近似与如上所述,门驱动器的扫描方向是前向方向的情况相同,因此这里省略对它们的描述。

[0201] 如上所述,在本发明的示范性实施例中,第一和第二方向信号 DIRa 和 DIRBa 分别施加在第一和第二方向控制端 IP13 和 IP14 上。并且,第一和第二方向信号 DIRa 和 DIRBa 每 1H 在第三高电平电压 V_{h3} 和第三低电平电压 V_{l3} 之间交替。因此,晶体管的工作特性不会因方向信号 DIRa 和 DIRBa 的长时间施加和由此引起的元件退化而变化。

[0202] 除了多晶薄膜晶体管之外,显示在图 8A 和 8B 的时序图中的信号也可以应用于含有非晶薄膜晶体管的液晶显示器。

[0203] 在一个示范性实施例中,门驱动器 401 是双向门驱动器,并且第一到第四扫描开始信号 STV1 和 STV4 之一可以按照扫描方向施加在供给门信号的信号生成电路 710a。

[0204] 在下文中,将参照图 9 — 13B 进一步详细描述根据本发明可替代示范性实施例的液晶显示器。

[0205] 图 9 是根据本发明另一个示范性实施例的液晶显示器的方块图,图 10 是根据图 9 中的本发明示范性实施例的信号生成电路的示意性电路图,而图 11 是根据图 10 中的本发明示范性实施例的信号生成电路的平面布局图。图 12 是例示根据本发明一个实施例的施加在门驱动器上的门时钟信号与施加在存储信号发生器上的存储时钟信号的关系的信号时序图。图 13A 和 13B 是根据图 10 中的本发明示范性实施例的信号生成电路的信号时序图,其中,图 13A 是门驱动器的扫描方向是前向方向的信号时序的例子,而图 13B 是门驱动器的扫描方向是后向方向的信号时序的例子。

[0206] 除了下面进一步详细描述的不同部分之外,根据如图 9 — 13B 所示的本发明示范性实施例的 LCD 近似与如图 1 到 6 所示的 LCD 相同。因此,用相同的标号表示执行相同或相似操作的元件,并且下面将省略对它们的任何重复描述。

[0207] 参照图 9, LCD 包括液晶面板组件 300b、门驱动器 402、数据驱动器 500、与数据驱动器 500 连接的灰度电压发生器 800、存储信号发生器 702 和信号控制器 602。

[0208] 与上面更详细描述和如图 5 所示的 LCD 一样,门驱动器 402 是双向门驱动器。

[0209] 存储信号发生器 702 的第一和第二存储信号生成电路 702a 和 702b 可以分别包括与存储电极线 $S_1 - S_{2n}$ 连接的多个信号生成电路 710b,和每个信号生成电路 710b 都与如图 6 所示的信号生成电路 710a 类似。

[0210] 如图 10 所示,信号生成电路 710b 包括输出端 OP、第一到第五晶体管 Tr1 — Tr5 和第一和第二电容器 C1 和 C2。

[0211] 信号生成电路 710b 进一步包括输入端 IP21 和控制端 OP22。在第 i 信号生成电路 710b 中,例如,输入端 IP21 与供应第 i 门信号 g_i 作为第一输入信号的第 i 门线 G_i 连接,类似地,在第 (i+1) 信号生成电路 710b 中,输入端 IP21 与供应第 (i+1) 门信号 g_{i+1} 作为第一

输入信号的第(i+1)门线 G_{i+1} 连接。

[0212] 将来自信号控制器 602 的存储控制信号 CONT3 的第一、第二和第三时钟信号 CK1、CK1B 和 CK2 分别供应给信号生成电路 710b, 并且将来自信号控制器 602 或外部设备(未示出)的高压 AVDD 和低压 AVSS 供应给信号生成电路 710b。

[0213] 通过控制端 IP22 进一步将来自信号控制器 602 的存储控制信号 CONT3 的多个存储时钟信号 CLK_L (例如, 如图 10 所示)、CLK_R、CLKB_L 和 CLKB_R 的一个存储时钟信号供应给信号生成电路 710b。

[0214] 如图 9 和 11 所示, 第一存储信号生成电路 702a 的信号生成电路 710b 位于液晶面板组件 300b 的左侧和生成偶数号存储信号 $V_{s2}, V_{s4}, \dots, V_{s2n}$, 并且将从液晶面板组件 300b 的左侧施加的多个存储时钟信号 CLK_L、CLK_R、CLKB_L 和 CLKB_R 的存储时钟信号 CLK_L 和 CLKB_L 交替供应给信号生成电路 710b。第二存储信号生成电路 702b 的信号生成电路 710b 位于液晶面板组件 300b 的相对右侧和生成奇数号存储信号 $V_{s1}, V_{s3}, \dots, V_{s2n-1}$, 并且将从液晶面板组件 300b 的右侧施加的多个存储时钟信号 CLK_L、CLK_R、CLKB_L 和 CLKB_R 的存储时钟信号 CLKB_R 和 CLK_L 交替供应给信号生成电路 710b。

[0215] 在本发明的可替代示范性实施例中, 可以改变第一和第二存储信号生成电路 702a 和 702b 在液晶面板组件 300b 上的位置、第一和第二存储信号生成电路 702a 和 702b 与存储电极线之间的连接关系和第一和第二存储信号生成电路 702a 和 702b 与多个存储时钟信号 CLK_L、CLKB_L、CLK_R 和 CLKB_R 的操作关系。

[0216] 并且, 在可替代示范性实施例中, 多个存储时钟信号 CLK_L、CLKB_L、CLK_R 和 CLKB_R 可以与生成门信号的门控制信号 CONT1 有关, 并且可以根据施加在门驱动电路 402a 和 402b 上的门时钟信号生成。

[0217] 根据本发明示范性实施例的门时钟信号和存储时钟信号的例子显示在图 12 中。

[0218] 图 12 示出了当门驱动器 402 的扫描方向是前向方向时, 当门时钟信号 GCK_L、GCK_R、GCKB_L 和 GCKB_R 施加在分别生成第 i、第(i+1)、第(i+2)和第(i+3)门信号 g_i, g_{i+1}, g_{i+2} 和 g_{i+3} 的第一和第二门驱动电路 402a 和 402b 时, 多个存储时钟信号 CLK_L、CLKB_R、CLKB_L 和 CLK_R 施加在分别生成第 i、第(i+1)、第(i+2)和第(i+3)存储信号 S_i, S_{i+1}, S_{i+2} 和 S_{i+3} 的第一和第二存储信号生成电路 702a 和 702b 上的存储时钟信号 CLK_L、CLKB_R、CLKB_L 和 CLK_R。

[0219] 但是, 当门驱动器 402 的扫描方向是后向方向时, 图 12 中的门时钟信号 GCK_L、GCK_R、GCKB_L 和 GCKB_R 可以是分别生成第(i+3)、第(i+2)、第(i+1)和第 i 门信号 $g_{i+3}, g_{i+2}, g_{i+1}$ 和 g_i 的信号, 和存储时钟信号 CLK_L、CLKB_R、CLKB_L 和 CLK_R 可以施加在第一和第二存储信号生成电路 702a 和 702b 上, 分别生成第(i+3)、第(i+2)、第(i+1)和第 i 存储信号 $S_{i+3}, S_{i+2}, S_{i+1}$ 和 S_i 。

[0220] 存储时钟信号 CLK_L、CLKB_L、CLK_R 和 CLKB_R 的脉冲宽度可以是大约 2H, 和它们的占空比可以是大约 50%。存储时钟信号 CLK_L、CLKB_L、CLK_R 和 CLKB_R 每大约 2H 摆动一次。如图 12 所示, 两个相应存储时钟信号 CLK_R 和 CLKB_R 或 CLK_L 和 CLKB_L 的每一个具有相位相反的波形。在相应存储时钟信号 CLK_R 和 CLKB_R 的每一个和与存储时钟信号 CLK_R 和 CLKB_R 相对应的存储时钟信号 CLK_L 和 CLKB_L 之间存在预定时间延迟。在示范性实施例中, 延迟时间可以是例如大约 1H, 但不局限于此。存储时钟信号 CLK_L、CLKB_L、

CLK_R 和 CLKB_R 具有第四高电平电压 V_{h4} 和第四低电平电压 V_{l4} (图 13A)。例如,高电平电压 V_{h4} 可以是大约 15V,和低电平电压 V_{l4} 可以是大约 -1V,但不局限于此。

[0221] 信号生成电路 710b 进一步包括每一个含有控制端、输入端和输出端的可替代第六晶体管 Tr61 和可替代第七晶体管 Tr71。

[0222] 可替代第六晶体管 Tr61 的输入和控制端与输入端 IP21 连接,和可替代第六晶体管 Tr61 的输出端与第一到第三晶体管 Tr1 — Tr3 的控制端连接,从而使可替代第六晶体管 Tr61 有效地起二极管的作用。

[0223] 可替代第七晶体管 Tr71 的控制端与控制端 IP22 连接,可替代第七晶体管 Tr71 的输入端与输入端 IP21 连接,和可替代第七晶体管 Tr71 的输出端与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0224] 现在参照图 13A 进一步详细描述信号生成电路 710b,其中,门驱动器 402 的扫描方向是前向方向。

[0225] 当将第 i 门信号 g_i 的开门电压 V_{on} 供应给信号生成电路 710b,例如,与偶数号存储线连接的第 i 信号生成电路 710b 的输入端 IP21 时,可替代第六晶体管 Tr61 导通,和第一到第三晶体管 Tr1 — Tr3 也导通。

[0226] 因此,对于第 i 门信号 g_i 的开门电压 V_{on} 的施加,将具有基于第一到第三时钟信号 CK1、CK1B 和 CK2 的各自状态的电压电平的信号传送到输出端 OP 和作为存储信号 V_{si} 输出。

[0227] 在门信号 g_i 的开门电压 V_{on} 的第一周期 $T1$ 内,第一时钟信号 CK1 处在第一低电平电压 V_{l1} 上,和第二和第三时钟信号 CK1B 和 CK2 分别处在第一和第二高电平电压 V_{h1} 和 V_{h2} 上,并且通过第一、第三和第五晶体管 Tr1、Tr3 和 Tr5 的操作从输出端 OP 输出具有高电平存储信号电压 $V+$ 的存储信号 V_{si} 。

[0228] 但是,由于在门信号 g_i 的开门电压 V_{on} 的周期 $T2$ 内,第一时钟信号 CK1 改变成第一高电平电压 V_{h1} ,和第二和第三时钟信号 CK1B 和 CK2 分别改变成第一和第二低电平电压 V_{l1} 和 V_{l2} ,通过第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 的操作将具有低电平存储信号电压 $V-$ 的存储信号 V_{si} 传送到输出端 OP,从而使存储信号 V_{si} 从高电平存储信号电压 $V+$ 改变成低电平存储信号电压 $V-$ 。

[0229] 在周期 $T2$ 之后,门信号 g_i 改变成关门电压 V_{off} ,从而使起二极管作用的可替代第六晶体管 Tr61 关断。其结果是,可替代第六晶体管和可替代第七晶体管 Tr61 和 Tr71 每一个的输出端与之连接的节点 N (图 10) 的电压 V_N 保持前高电平状态,致使第一到第三晶体管 Tr1 — Tr3 保持导通状态,直到施加在控制端 IP22 上的存储时钟信号 CLK_L 再次改变成第四高电平电压 V_{h4} 。存储信号 V_{si} 的电压电平根据第一到第三时钟信号 CK1、CK1B 和 CK2 的电压电平确定。更具体地说,第一时钟信号 CK1 改变成第一低电平电压 V_{l1} ,和第二和第三时钟信号 CK1B 和 CK2 分别改变成第一和第二高电平电压 V_{h1} 和 V_{h2} ,从而按照第一、第三和第五晶体管 Tr1、Tr3 和 Tr5 根据第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的操作,将高电平存储信号电压 $V+$ 传送到输出端 OP,致使存储信号 V_{si} 从低电平存储信号电压 $V-$ 改变成高电平存储信号电压 $V+$ 从输出端 OP 输出。

[0230] 在经过了预定时间之后,当施加在控制端 IP22 上的存储时钟信号 CLK_L 处在第四高电平电压 V_{h4} 上时,可替代第七晶体管 Tr71 导通,从而将门信号 g_i 的关门电压 V_{off} 施加在第一到第三晶体管 Tr1 — Tr3 的控制端上。因此,第一到第三晶体管 Tr1 — Tr3 的每

一个都关断。于是,存储信号 V_{si} 根据充电到电容器 C2 的电压和第五晶体管 Tr5 根据充电电压的操作,在下一个帧内保持高电平存储信号电压 $V+$ 。

[0231] 接着,针对与奇数号存储线连接的第 $(i+1)$ 连接的第 $(i+1)$ 信号生成电路 710b,描述信号生成电路 710b 的操作。

[0232] 仍然参照图 10 和 13A,当将第 $(i+1)$ 门信号 g_{i+1} 的开门电压 V_{on} 供应给输入端 IP21 时,可替代第六晶体管 Tr61 导通,和第一到第三晶体管 Tr1 — Tr3 也导通。

[0233] 因此,对于第 $(i+1)$ 门信号 g_{i+1} 的开门电压 V_{on} 的施加,将具有基于第一到第三时钟信号 CK1、CK1B 和 CK2 的状态的电压电平的信号传送到输出端 OP 和作为存储信号 V_{si+1} 输出。

[0234] 在门信号 g_{i+1} 的开门电压 V_{on} 的第一周期 T1 内,第一时钟信号 CK1 处在第一高电平电压 V_{h1} 上,和第二和第三时钟信号 CK1B 和 CK2 分别处在第一和第二低电平电压 V_{l1} 和 V_{l2} 上,并且通过第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 的操作从输出端 OP 输出具有低电平存储信号电压 $V-$ 的存储信号 V_{si+2} 。

[0235] 但是,在门信号 g_{i+1} 的开门电压 V_{on} 的周期 T2 内,第一时钟信号 CK1 改变成第一低电平电压 V_{l1} ,和第二和第三时钟信号 CK1B 和 CK2 分别改变成第一和第二高电平电压 V_{h1} 和 V_{h2} ,并且通过第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 的操作将具有高电平存储信号电压 $V+$ 的存储信号 V_{si+1} 传送到输出端 OP。因此,存储信号 V_{si+1} 从低电平存储信号电压 $V-$ 改变成高电平存储信号电压 $V+$ 从输出端 OP 输出。

[0236] 在周期 T2 之后,门信号 g_{i+1} 改变成关门电压 V_{off} ,但在施加在直接控制端 IP22 上的存储时钟信号 CLKB_R 改变成第四高电平电压 V_{h4} 之前,节点 N 的电压 $V_{N,i+1}$ 不会改变成前低电平状态 V_{l5} ,而是通过起二极管作用的可替代第六晶体管 Tr61 的操作保持在高电平状态 V_{h5} 上,致使第一到第三晶体管 Tr1 — Tr3 保持在导通状态。于是,由于第一时钟信号 CK1 处在第一高电平电压 V_{h1} 上,和第二和第三时钟信号 CK1B 和 CK2 分别是第一和第二低电平电压 V_{l1} 和 V_{l2} ,通过第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 的操作将低电平存储信号电压 $V-$ 传送到输出端 IP 作为存储信号 V_{si+1} 。其结果是,存储信号 V_{si+1} 再次从高电平存储信号电压 $V+$ 改变成低电平存储信号电压 $V-$ 。

[0237] 在经过了预定时间之后,当施加在控制端 IP22 上的存储时钟信号 CLKB_R 改变成第四高电平电压 V_{h4} 时,可替代第七晶体管 Tr71 导通,并且将关门电压 V_{off} 的门信号 g_{i+1} 施加在第一到第三晶体管 Tr1 — Tr3 的控制端上,关断第一到第三晶体管 Tr1 — Tr3。因此,存储信号 V_{si+1} 根据电容器 C1 的充电电压和第四晶体管 Tr4 的操作,保持在低电平存储信号电压 $V-$ 上直到下一个帧。

[0238] 在下文中,将参照图 13B 进一步详细描述信号生成电路 710b 的操作,其中,门驱动器 402 的扫描方向是后向方向。

[0239] 如图 13B 所示,除了施加在输入端 IP21 上的各自门信号之外,信号生成电路 710b 的操作近似与上面参照图 13A 所述、门驱动器 402 的扫描方向是前向方向情况下的信号生成电路 710b 的操作相同,因此,这里将省略对它们的任何重复描述。

[0240] 根据如上所述的本发明的示范性实施例,在开门电压 V_{on} 的第一周期 T1 的大约 1H 的时间周期内,输出第三时钟信号 CK2 的相应电平作为存储信号,但由于液晶显示器的响应速度与时间周期 1H 相比较慢,大约 1H 的存储信号的变化不会引起像素电极线的明显变

化。

[0241] 并且,施加在如图 10 所示的信号生成电路 710b 的控制端 IP22 上的存储时钟信号 CLK_L、CLKB_L、CLK_R 和 CLKB_R 根据关门电压 V_{off} 决定节点 N 上的电压电平,致使传送到输出端 OP 的电压电平在第一到第三时钟信号 CK1、CK1B 和 CK2 发生变化的大约 1H 的时间周期期间不会改变,从而使具有适当幅度电平的存储信号的电压电平保持到下一个帧。

[0242] 因此,在根据本发明示范性实施例的 LCD 的存储信号发生器 702 中,除正常门线 $G_1 - G_{2n}$ 之外传送附加门信号的门线是多余的,并且不需要与门驱动器 402 的扫描方向相对应的分立方向信号。

[0243] 现在参照图 14 到 17B 进一步详细描述根据本发明另一个示范性实施例的 LCD。

[0244] 图 14 是根据本发明另一个示范性实施例的液晶显示器的方块图。图 15 是根据图 14 中的本发明示范性实施例的信号生成电路的示意性电路图,而图 16 是根据图 15 中的本发明示范性实施例的信号生成电路的平面布局图。图 17A 是利用行反转的根据图 15 中的本发明示范性实施例的信号生成电路的信号时序图,而图 17B 是利用帧反转的根据图 15 中的本发明示范性实施例的信号生成电路的信号时序图。

[0245] 除了下面进一步详细描述的不同部分之外,根据如图 14 — 17B 所示的本发明示范性实施例的 LCD 近似与上面更详细描述的示范性实施例的 LCD 相同。因此,在图 14 — 17B 中用相同的标号表示执行与上述示范性实施例中相同或相似的操作的元件,并且下面将省略对它们的任何重复描述。

[0246] 如图 14 所示,LCD 包括液晶面板组件 300c、门驱动器 403、数据驱动器 500、与数据驱动器 500 连接的灰度电压发生器 800、存储信号发生器 703 和控制上面元件的信号控制器 603。

[0247] 如图 9 所示,门驱动器 403 是双向门驱动器。

[0248] 存储信号发生器 703 包括第一和第二存储信号生成电路 703a 和 703b。第一和第二存储信号生成电路 703a 和 703b 每一个都包含每一个与多个存储电极线 $S_1 - S_{2n}$ (图 1) 连接的多个信号生成电路 710c。

[0249] 每个信号生成电路 710c 近似与如图 10 所示的那个相同,例如,如图 15 所示,每个信号生成电路 710c 都包括输出端 OP、每一个都含有控制端、输入端和输出端的第一到第五晶体管 $Tr_1 - Tr_5$ 以及第一和第二电容器 C1 和 C2。

[0250] 但是,每个信号生成电路 710c 进一步包括第一输入端 IP31 和第二输入端 IP32 和控制端 IP41。

[0251] 参照图 15,在第 i 信号生成电路 710c 中,第一输入端 IP31 与供给第 (i+2) 门信号 g_{i+2} 的第 (i+2) 门线 G_{i+2} 连接,而第二输入端 IP32 与供给第 (i-2) 门信号 g_{i-2} 的第 (i-2) 门线 G_{i-2} 连接。

[0252] 类似地,在第 (i+1) 信号生成电路 710c 中,第一输入端 IP31 与供给第 (i+3) 门信号 g_{i+3} 的第 (i+3) 门线 G_{i+3} 连接,而第二输入端 IP32 与供给第 (i-1) 门信号 g_{i-1} 的第 (i-1) 门线 G_{i-1} 连接。

[0253] 如图 16 所示,第一和第二存储信号生成电路 703a 和 703b 的每个第一信号生成电路 710c 的第二输入端 IP32 接收分别施加在相邻门驱动电路 403a 和 403b 上的第一扫描开始信号 STV1 和第三扫描开始信号 STV3,并且将施加在相邻门驱动电路 403a 和 403b 上的第

二扫描开始信号 STV2 和第四扫描开始信号 STV4 供应给第一和第二存储信号生成电路 703a 和 703b 的最后信号生成电路 710c 的第一输入端 IP31。但是,在可替代示范性实施例中,例如,可以通过像假信号线那样的分立信号线将来自外部设备(未示出)的分立信号供应给第一和第二存储信号生成电路 703a 和 703b 的第一和最后信号生成电路 710c 的第一和第二输入端 IP31 和 IP32,但不局限于此。

[0254] 将来自信号控制器 603 的存储控制信号 CONT3 的第一、第二和第三时钟信号 CK1、CK1B 和 CK2 分别供应给信号生成电路 710c,并且将来自信号控制器 603 或外部设备(未示出)的高压 AVDD 和低压 AVSS 供应给信号生成电路 710c。

[0255] 仍然参照图 16,还通过控制端 IP41 将来自信号控制器 603 的门控制信号(图 14) CONT1 的多个门时钟信号 GCK_L、GCK_R、GCKB_L 和 GCKB_R 之一供应给每个信号生成电路 710c。

[0256] 回头参照图 15,信号生成电路 710c 进一步包括每一个都含有控制端、输入端和输出端的第八到第十晶体管 Tr8 — Tr10。

[0257] 第八晶体管 Tr8 的控制端与第一输入端 IP31 连接,第八晶体管 Tr8 的输入端与存储控制信号 CONT3a 的第一方向信号 DIR 连接,而第八晶体管 Tr8 的输出端与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0258] 第九晶体管 Tr9 的控制端与第二输入端 IP32 连接,第九晶体管 Tr9 的输入端与存储控制信号 CONT3a 的第二方向信号 DIRB 连接,而第九晶体管 Tr9 的输出端与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0259] 第十晶体管 Tr10 的控制端与控制端 IP41 连接,第十晶体管 Tr10 的输入端与关门电压 V_{off} 连接,而第十晶体管 Tr10 的输出端与第一到第三晶体管 Tr1 — Tr3 的控制端连接。

[0260] 下面将进一步详细描述每一个都含有信号生成电路 710c 的第一和第二存储信号生成电路 703a 和 703b 的操作。只是为了例示起见,所述的 LCD 的反转类型是行反转。

[0261] 下面将针对门驱动器 403 的扫描方向是前向方向,从而第一方向信号 DIR 具有高电平电压,而第二方向信号 DIRB 具有低电平电压的状况,参照图 17A 描述信号生成电路 710c 的操作。

[0262] 并且,将参照图 15 和 17A 描述信号生成电路 710c,例如,与作为奇数号存储电极线的第 i 存储电极线 S_i 连接的第 i 信号生成电路的操作。

[0263] 在施加了第 i 门信号 g_i 的开门电压 V_{on} 之后,第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 施加在输入端 IP31 上,从而使第八晶体管 Tr8 导通,因此,第一方向信号 DIR 的第三高电平电压 V_{h3} 通过节点 N1 施加在第一到第三晶体管 Tr1 — Tr3 的控制端上,导通第一到第三晶体管 Tr1 — Tr3。

[0264] 因此,如图 17A 所示,在施加了第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 的大约 $2H$ 内,基于第一到第三时钟信号 CK1、CK1B 和 CK2 的电压电平的相应电压电平输出到输出端 OP 作为存储信号 V_{si} 。此时,由于第 $(i-2)$ 门信号 g_{i-2} 保持关开电压 V_{off} ,所以第九晶体管 Tr9 关断,并且第二方向信号 DIRB 不影响节点 N1 的电压 V_{N1} 。

[0265] 因此,在第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 的第一周期 $T1$ 内,通过第一、第二和第四晶体管 Tr1、Tr2 和 Tr4 的操作,从输出端 OP 输出处在低电平存储信号电压 V_- 上的存

储信号 V_{si} 。在第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 的周期 $T2$ 内,通过第一、第三和第五晶体管 $Tr1$ 、 $Tr3$ 和 $Tr5$ 的操作,从输出端 OP 输出处在高电平存储信号电压 $V+$ 上的存储信号 V_{si} 。

[0266] 仍然参照图 17A,在第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 的周期 $T2$ 之后,施加在控制端 $IP41$ 上的门时钟信号 GCK_L 在大约 $2H$ 内保持第四高电平电压 $Vh4$ 。

[0267] 其结果是,第十晶体管 $Tr10$ 导通和将关门电压 V_{off} 施加在节点 $N1$ 上,并且关断第一到第三晶体管 $Tr1 - Tr3$ 。

[0268] 于是,由于对第二电容器 $C2$ 充电的电压和第五晶体管 $Tr5$ 根据充电电压的操作,存储信号 V_{si} 保持在高电平存储信号电压 $V+$ 上直到下一个帧。

[0269] 接着,参照图 15 和 17A 进一步详细描述与作为偶数号存储电极线的第 $(i+1)$ 存储电极线 S_{i+1} 连接的信号生成电路 710C 的操作。

[0270] 与第 i 信号生成电路 710C 一样,当第 $(i+3)$ 门信号 g_{i+3} 的开门电压 V_{on} 施加在输入端 $IP31$ 上时,第八晶体管 $Tr8$ 导通,并且通过具有第三高电平电压 $Vh3$ 的第一方向信号导通第一到第三晶体管 $Tr1 - Tr3$ 。因此,基于第一、第二和第三时钟信号 $CK1$ 、 $CK1B$ 和 $CK2$ 的电压电平的相应电平电压的存储信号 V_{si+1} 输出到输出端 OP 。

[0271] 当第 $(i+3)$ 门信号 g_{i+3} 的状态从关门电压 V_{off} 改变成开门电压 V_{on} 时,施加在控制端 $IP41$ 上的门时钟信号 GCK_R 在大约 $2H$ 内保持第四高电平电压 $Vh4$ 。

[0272] 因此,第十晶体管 $Tr10$ 导通,并且通过传送到节点 $N1$ 的关门电压 V_{off} 关断第一到第三晶体管 $Tr1 - Tr3$ 。随后,存储信号 V_{si+1} 根据对第一电容器 $C1$ 充电的电压和第四晶体管 $Tr4$ 根据充电电压的操作,保持低电平存储信号电压 $V-$ 直到下一个帧。

[0273] 在门驱动器 403 的扫描方向是后向方向的情况下,第一方向信号 DIR 具有第三低电平电压 $VL3$ 和第二方向信号 $DIRB$ 具有第三高电平电压 $Vh3$ 。因此,与前向扫描方向不同,当扫描方向是后向方向时,通过施加在第二输入端 $IP32$ 上的门信号和第二方向信号 $DIRB$ 导通第一到第三晶体管 $Tr1 - Tr3$ 。

[0274] 除了上面的描述之外,信号生成电路 710c 的操作与门驱动器 403 的扫描方向是前向方向,输出具有与相应存储电极线相对应的电平的存储信号的情况相同,因此这里省略对信道选择器 710c 的操作的重复描述。并且,与门驱动器 403 的扫描方向是前向方向的情况类似,施加在第一输入端 $IP31$ 上的门信号在大约 $2H$ 内输出开门信号 V_{on} 之后,在一个帧内输出关门信号 V_{off} ,从而使第八晶体管 $Tr8$ 关断。因此,第一方向信号 DIR 不影响节点 $N1$ 的电压 V_{N1} 。

[0275] 接着,参照图 15 和 17B 进一步详细描述信号生成电路 710c 的操作,在这种情况下,根据本发明示范性实施例的 LCD 在帧反转模式下工作。

[0276] 现在参照图 17B 进一步详细描述信号生成电路 710c 的操作。信号生成电路 710c 的操作与参照图 17A 所述的信号生成电路 710c 的操作类似。

[0277] 在图 17 中,第一、第二和第三时钟信号 $CK1$ 、 $CK1B$ 和 $CK2$ 每预定周期(例如,大约 $1H$)交替变化,但如图 17B 所示,第一、第二和第三时钟信号 $CK1$ 、 $CK1B$ 和 $CK2$ 的每一个在一个帧内保持恒定电压。但是,如图 17B 所示,第一、第二和第三时钟信号 $CK1$ 、 $CK1B$ 和 $CK2$ 每一个的波形每相继帧反相。

[0278] 当门驱动器 403 的扫描方向是前向方向时,第一方向信号 DIR 具有第三高电平电

压 V_{h3} , 和第二方向信号 DIRB 具有第三低电平电压 V_{l3} 。

[0279] 首先, 描述对于施加在像素 PX 上、具有例如正极性的数据电压, 与第 i 存储电极线 S_i 连接的第 i 信号生成电路 710c 的操作。

[0280] 第一时钟信号 CK1 保持第一低电平电压 V_{l1} , 而第二和第三时钟信号 CK1B 和 CK2 保持第一高电平电压 V_{h1} 。

[0281] 在施加了第 i 门信号 g_i 的开门电压 V_{on} 之后, 当将第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 施加在第一输入端 IP31 上时, 第八晶体管 Tr8 导通, 并且第一到第三晶体管 Tr1 — Tr3 通过第一方向信号 DIR 导通。

[0282] 由于第三时钟信号 CK2 保持第二高电平电压 V_{h2} , 存储信号 V_{si} 保持高电平存储信号电压 $V+$ 。

[0283] 当第 $(i+2)$ 门信号 g_{i+2} 改变成关门电压 V_{off} , 并且通过施加在控制端 IP41 上、像例如门时钟信号 GCK_L 那样的相应时钟信号关断第一到第三晶体管 Tr1 — Tr3 时, 存储信号 V_{si} 根据充电到第二电容器 C2 的电压和第五晶体管 Tr5 根据充电电压的操作保持高电平存储信号电压 $V+$ 直到下一个帧。

[0284] 接着, 进一步详细描述具有负极性的数据电压施加在像素 PX 上时, 与第 i 存储电极线 S_i 连接的第 i 信号生成电路 710c 的操作。在这种情况下, 第一时钟信号 CK1 保持第一高电平电压 V_{h1} , 而第二和第三时钟信号 CK1B 和 CK2 保持第一低电平电压 V_{l1} 。

[0285] 在施加了第 i 门信号 g_i 的开门电压 V_{on} 之后, 当将第 $(i+2)$ 门信号 g_{i+2} 的开门电压 V_{on} 施加在第一输入端 IP31 上时, 响应于第八晶体管 Tr8 导通, 第一到第三晶体管 Tr1 — Tr3 也分别导通。因此, 通过保持第二低电平电压 V_{l2} 的第三时钟信号 CK2, 使存储信号 V_{si} 输出低电平存储信号电压 $V-$ 。

[0286] 随后, 当第 $(i+2)$ 门信号 g_{i+2} 改变成关门电压 V_{off} , 和通过施加在控制端 IP41 上的门时钟信号 GCK_L 关断第一到第三晶体管 Tr1 — Tr3 时, 存储信号 V_{si} 根据对第一电容器 C2 充电的电压和第四晶体管 Tr4 根据充电电压的操作保持低电平存储信号电压 $V-$ 直到下一个帧。

[0287] 当门驱动器 403 的扫描信号沿着后向方向时, 第一方向信号 DIR 具有第五低电平电压 V_{l5} , 和第二方向信号 DIRB 具有第一高电平电压 V_{h5} 。

[0288] 因此, 当门驱动器 403 的扫描方向是后向方向时, 通过施加在第二输入端 IP32 上的门信号和第二方向信号 DIRB 导通第一到第三晶体管 Tr1 — Tr3。除了上面的描述之外, 信号生成电路 710c 的操作与上面更详细描述的门驱动器 403 的扫描方向是前向方向的情况相同, 因此这里省略对信号生成电路 710c 的操作的任何重复描述。

[0289] 如上所述, 当 LCD 以帧反转模式工作时, 第一、第二和第三时钟信号 CK1、CK1B 和 CK2 在大约一个帧内保持相同电压电平。

[0290] 于是, 在施加在相应像素行上的门信号从开门电压 V_{on} 改变成关门电压 V_{off} 之后, 由于如图 15 所示的信号生成电路 710c 根据从第一或第二门驱动器 403a 或 403b 的下一级输出、相对于第一或第二门驱动器 403a 或 403b 的前一级延迟了大约 $2H$ 的门信号的开门电压 V_{on} 工作, 出现了帧反转。因此, 由于施加在第 i 门线 G_i 上的开门电压 V_{on} 和施加在第 i 存储信号生成电路 710c 上的开门电压 V_{on} 之间的相差是大约 $2H$, 开门电压 V_{on} 不会重叠。因此, 在第 i 像素行的充电操作基本完成之后, 施加在第 i 存储电极线 S_i 上的存储

信号 V_{si} 的信号电平发生改变,从而根据存储信号 V_{si} 的改变信号电平改变第 i 像素行的充电电压。

[0291] 可替代地,当自从门信号的改变完成之后经过了预定时间时,第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的状态可以发生改变,并且可以在门信号从开门电压改变成关门电压,或可替代地,从关门电压改变成开门电压之后输出第一、第二和第三时钟信号 CK1、CK1B 和 CK2。

[0292] 根据如本文所述的本发明的示范性实施例,由于公用电压固定在预定电平上,和幅度随预定周期改变的存储信号施加在存储电极线上,使像素电极电压的范围增大了,和使像素电压的范围扩大了,而灰度电压的范围则没有相应增大。因此,扩大了灰度电压的有效电压范围,从而有效地提高了分辨率。

[0293] 而且,在施加某个范围的数据电压的情况下生成的像素电压的范围大于在施加预定值的存储信号的情况下生成的像素电压的范围。因此,有效地降低了功耗。另外,无需附加选择电路地采用了含有双向门驱动器和存储信号发生器的液晶显示器,从而有效地缩小了液晶显示器的尺寸和 / 或降低了液晶显示器的制造成本。

[0294] 在可替代示范性实施例中,根据本发明示范性实施例的液晶显示器可以根据例如帧反转以及行反转工作,但不局限于此。

[0295] 本发明不应该被理解为局限于本文给出的示范性实施例。更确切地说,提供这些示范性实施例是为了使本公开变得全面彻底,充分地向本领域的普通技术人员传达本发明的概念。

[0296] 虽然通过参照本发明的某些示范性实施例已经对本发明作了具体描述,但本领域的普通技术人员应该明白,可以在形式和细节上对其作各种各样的改变,而不偏离所附权利要求书限定的本发明的精神和范围。

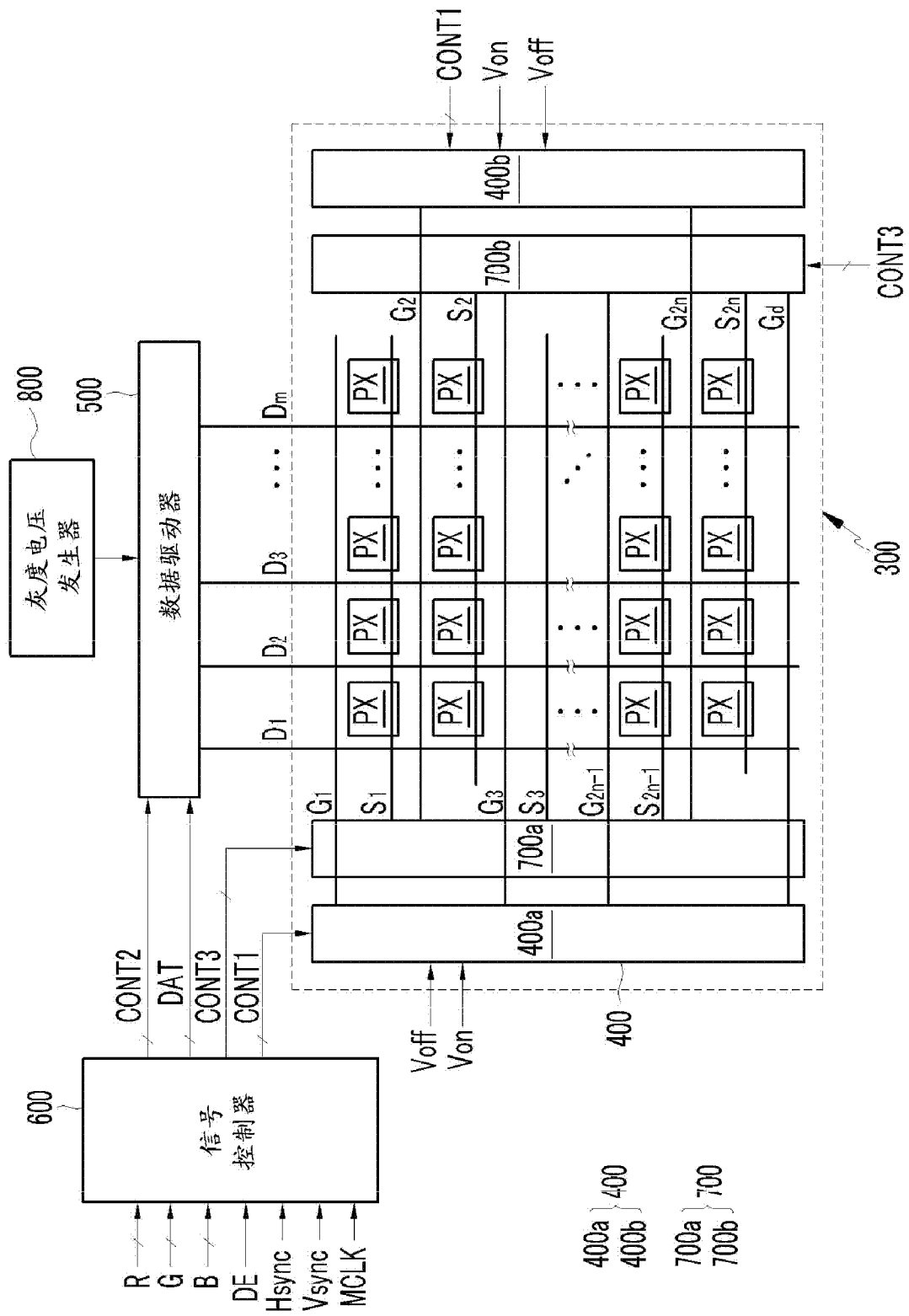


图 1

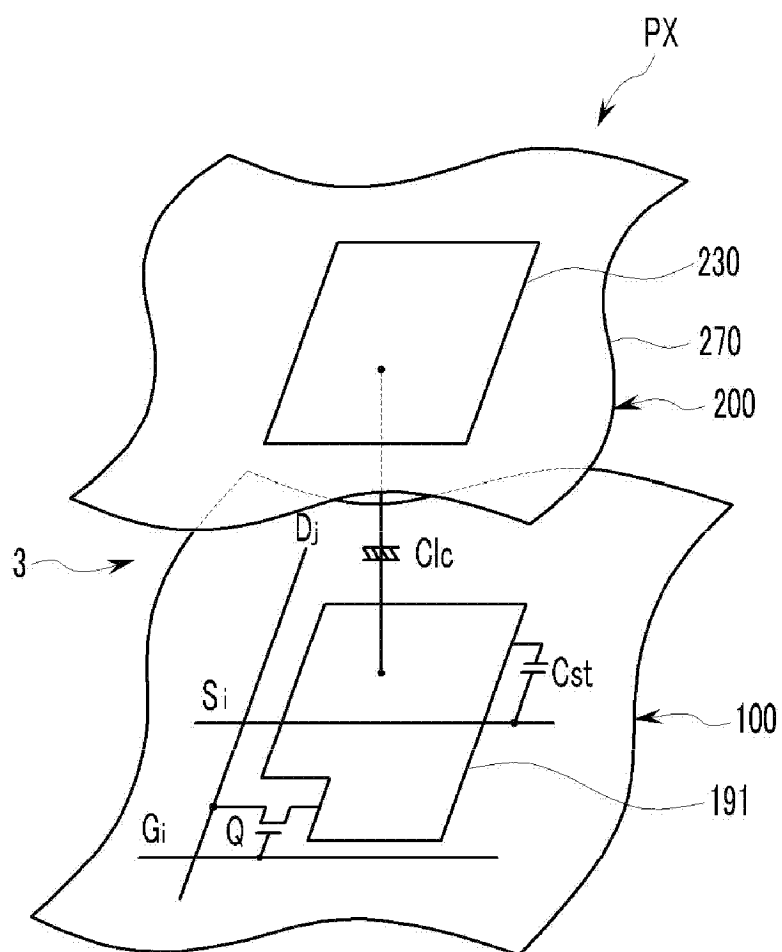


图 2

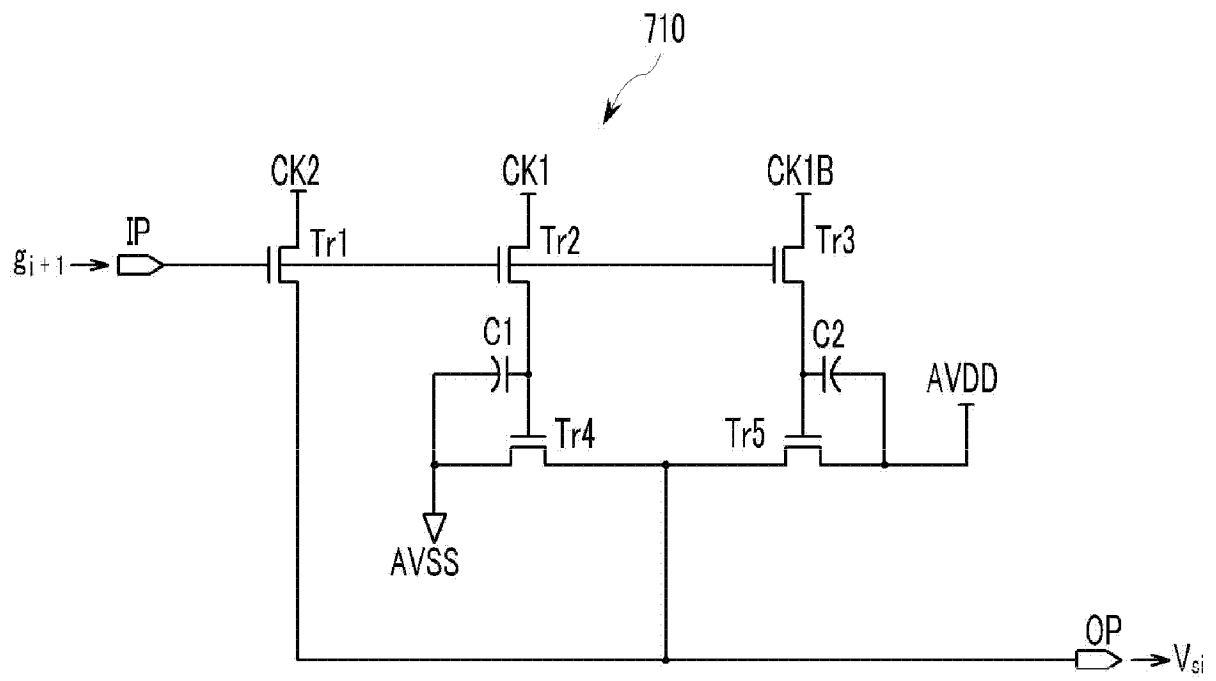


图 3

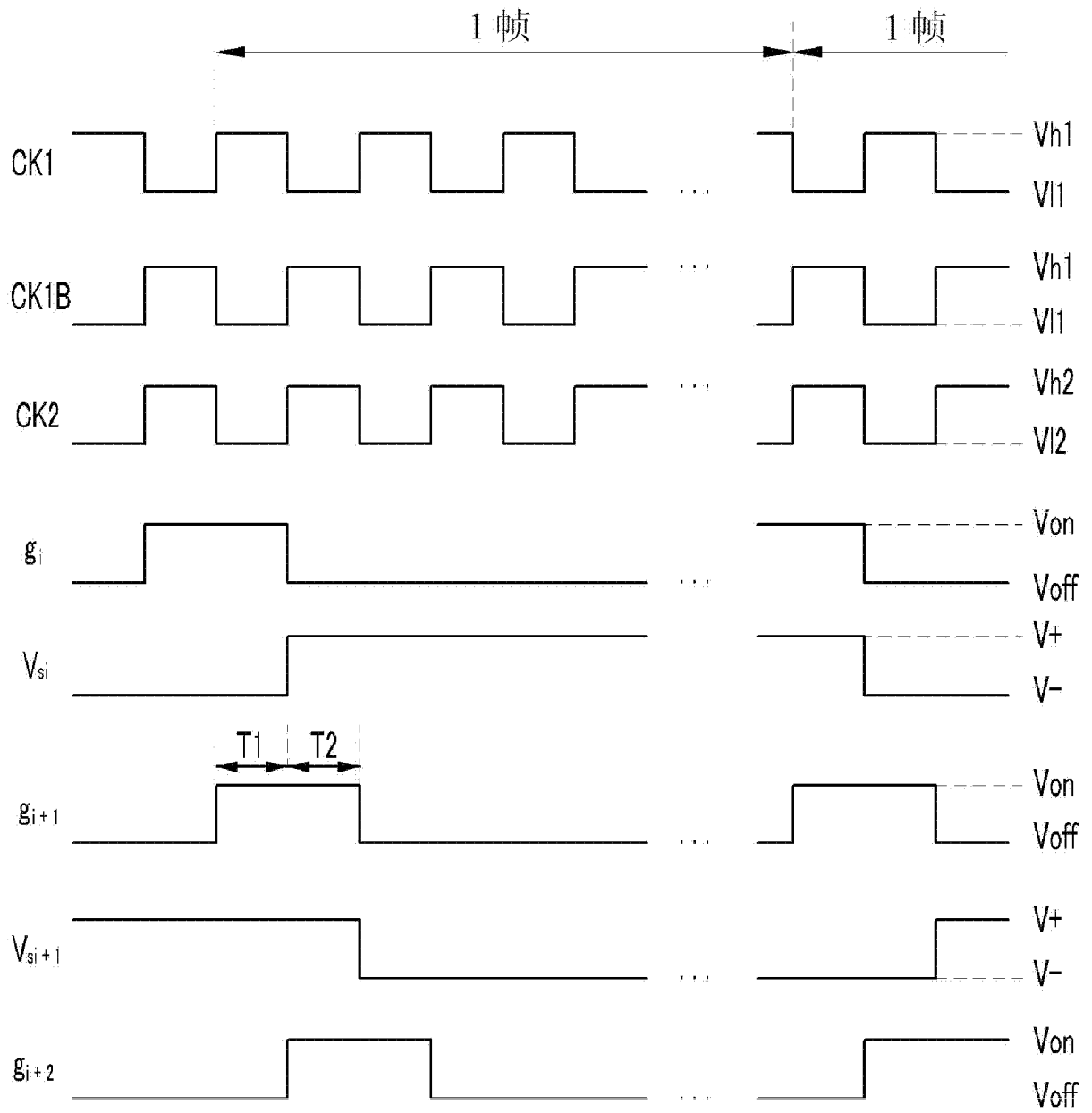


图 4

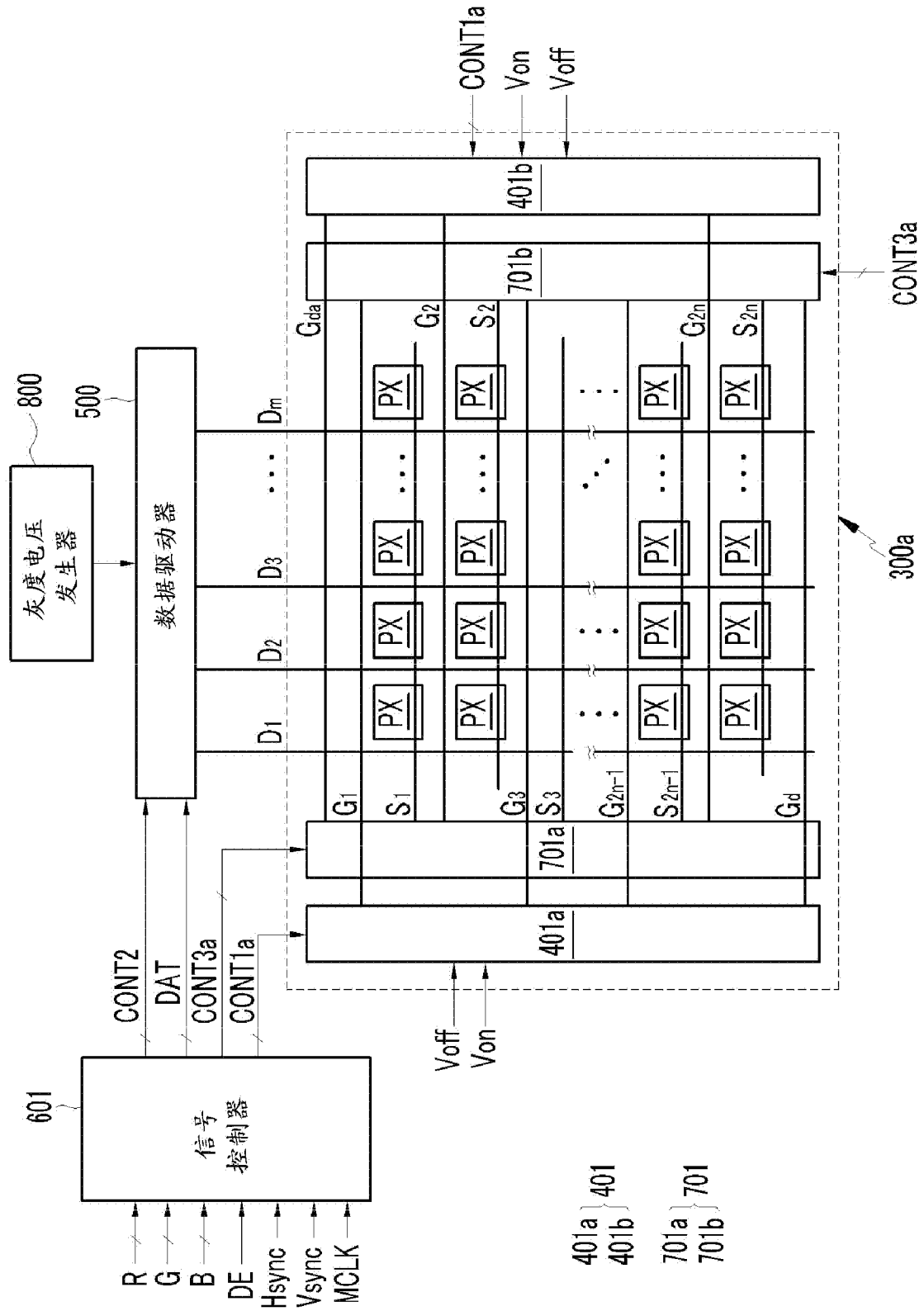


图 5

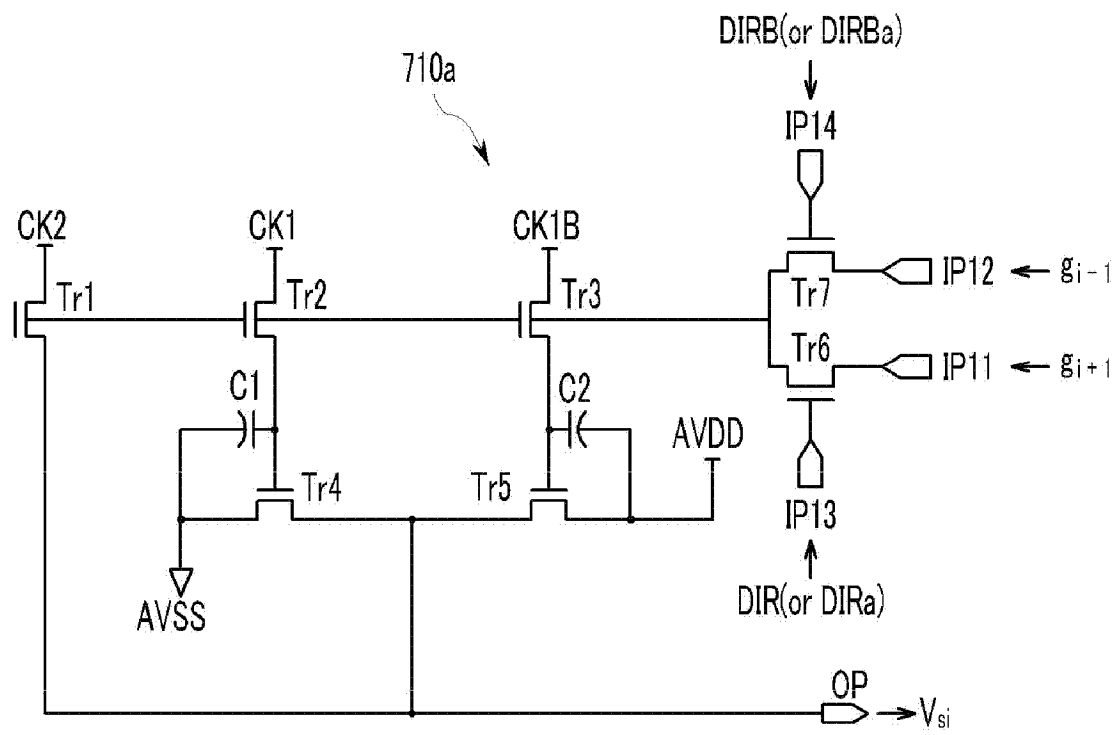


图 6

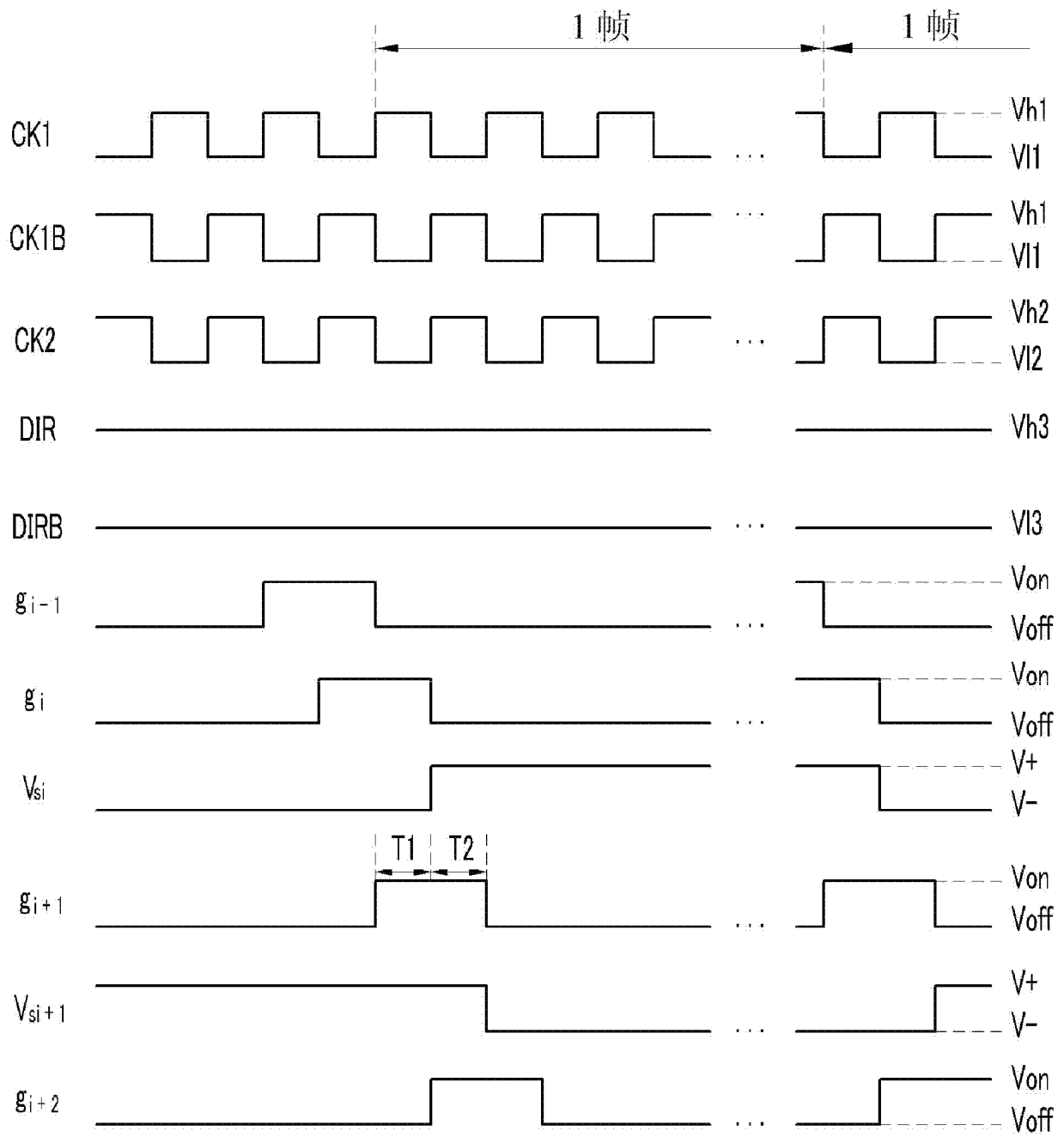


图 7A

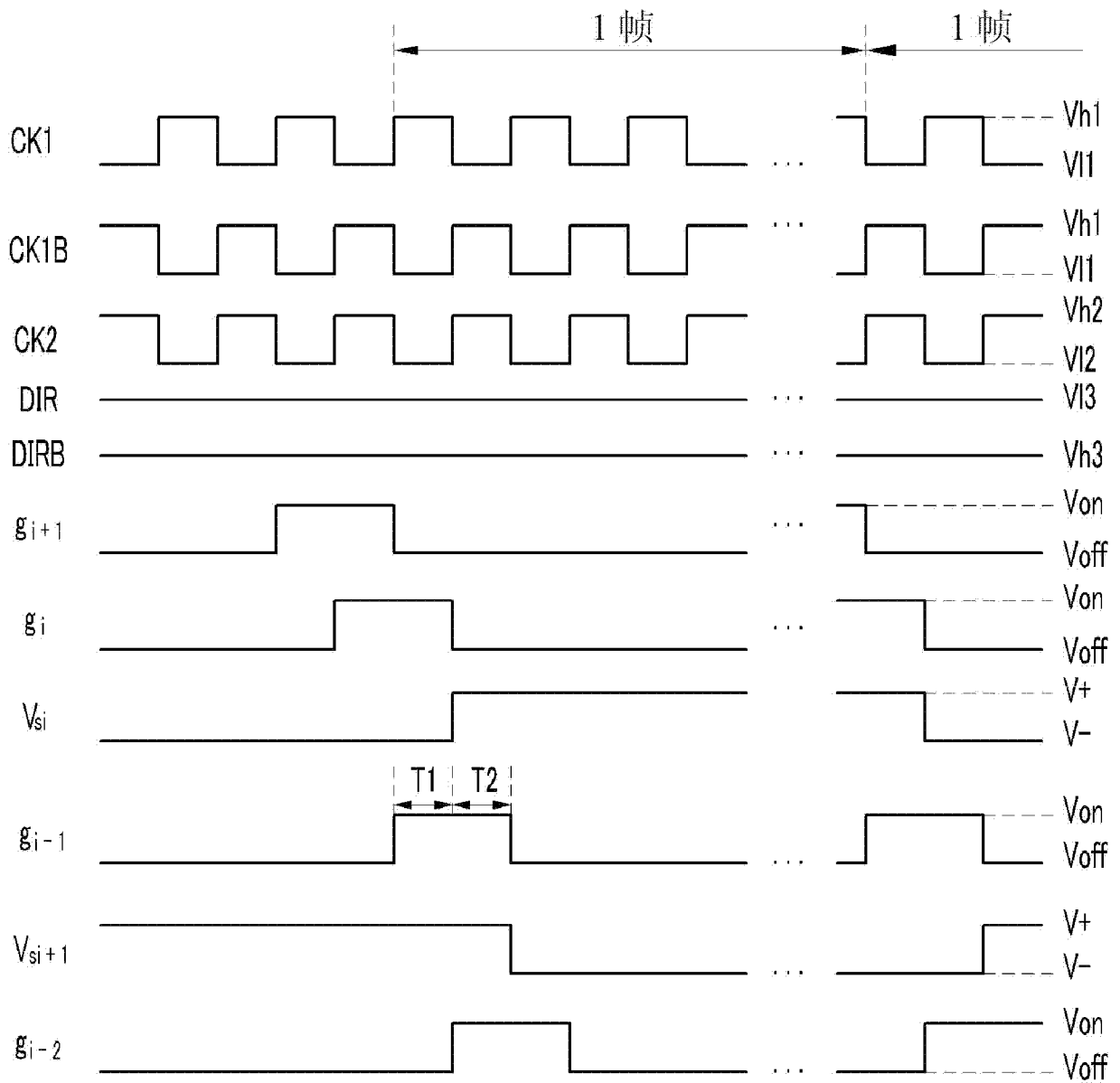


图 7B

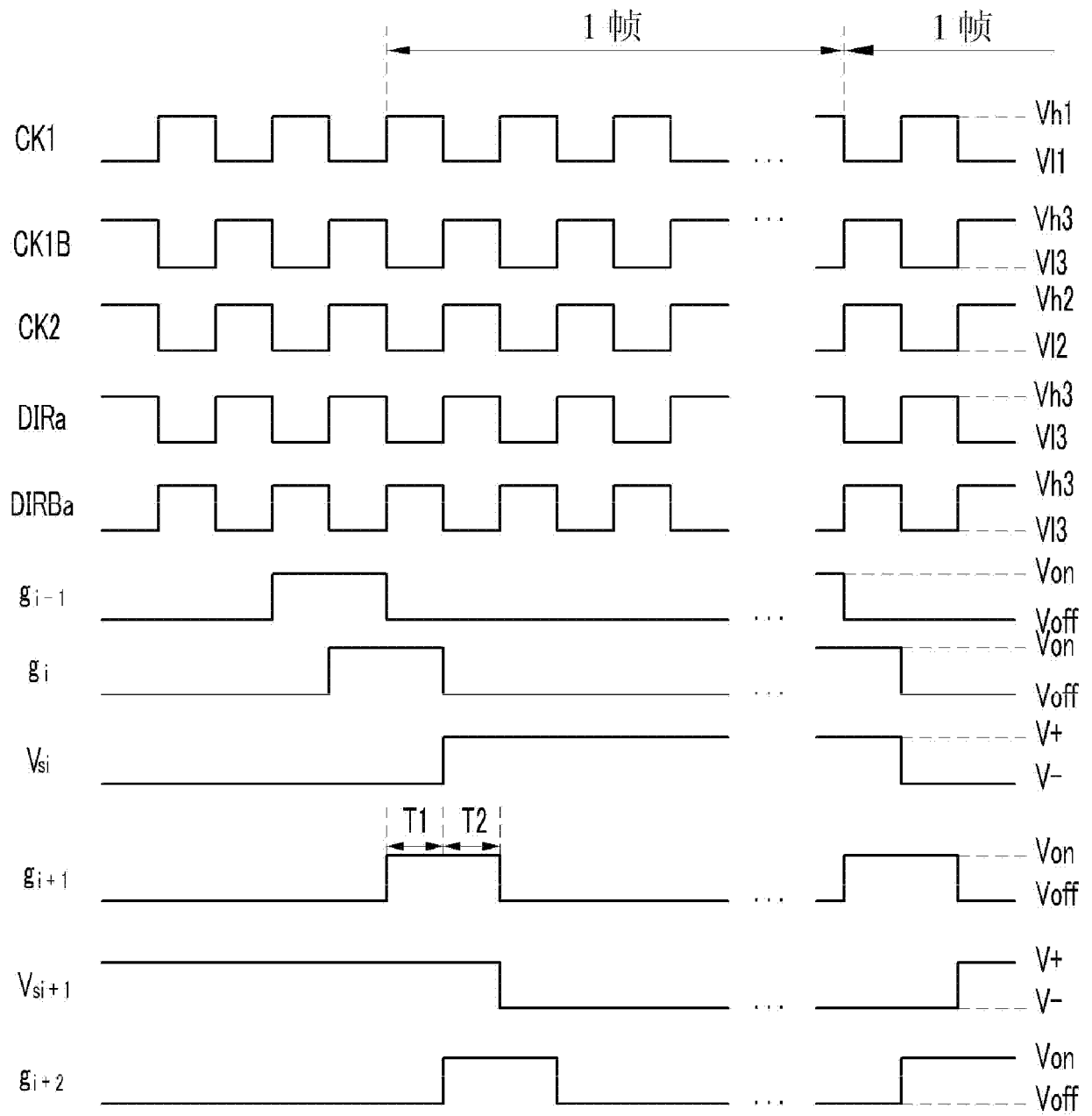


图 8A

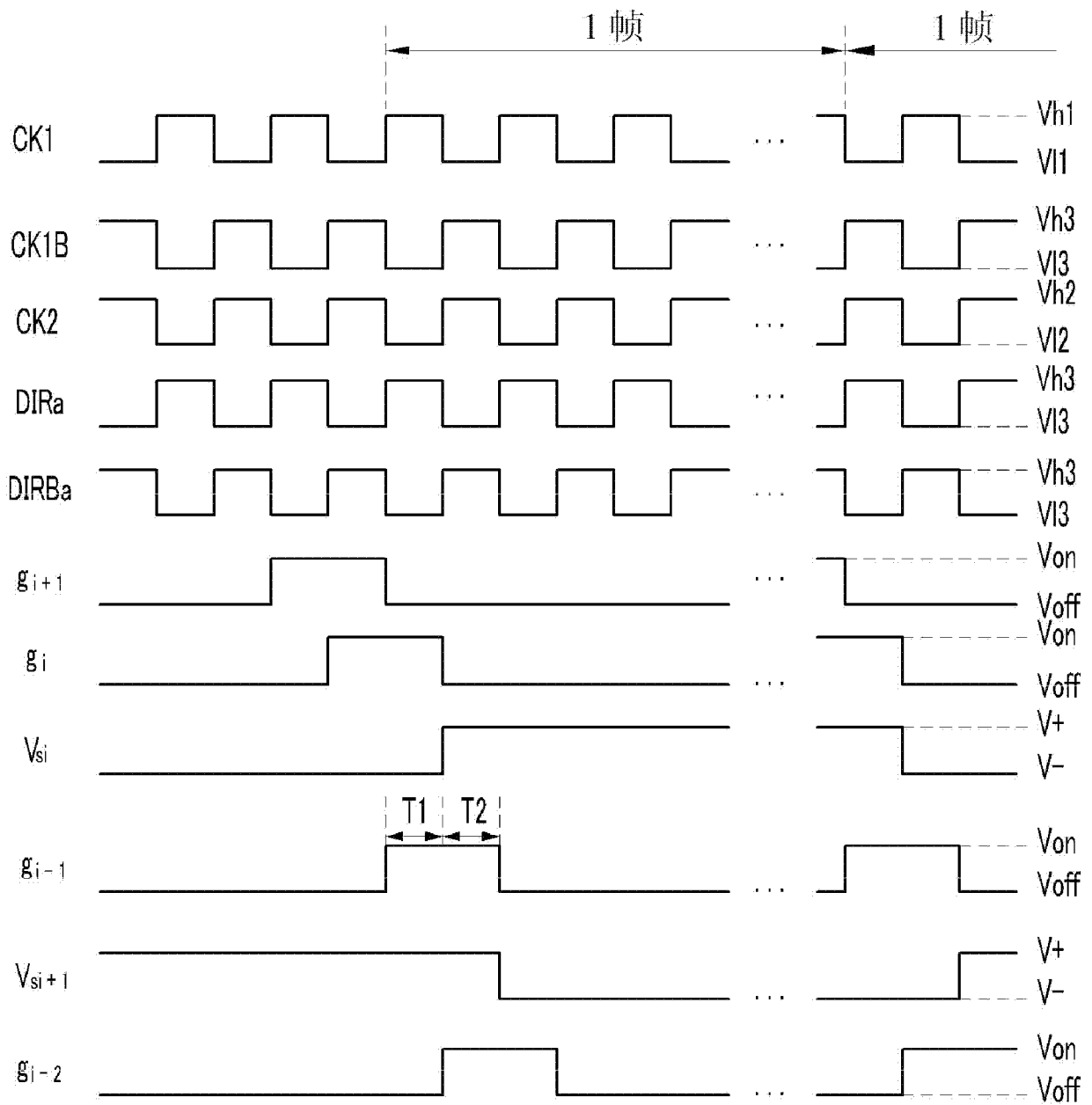


图 8B

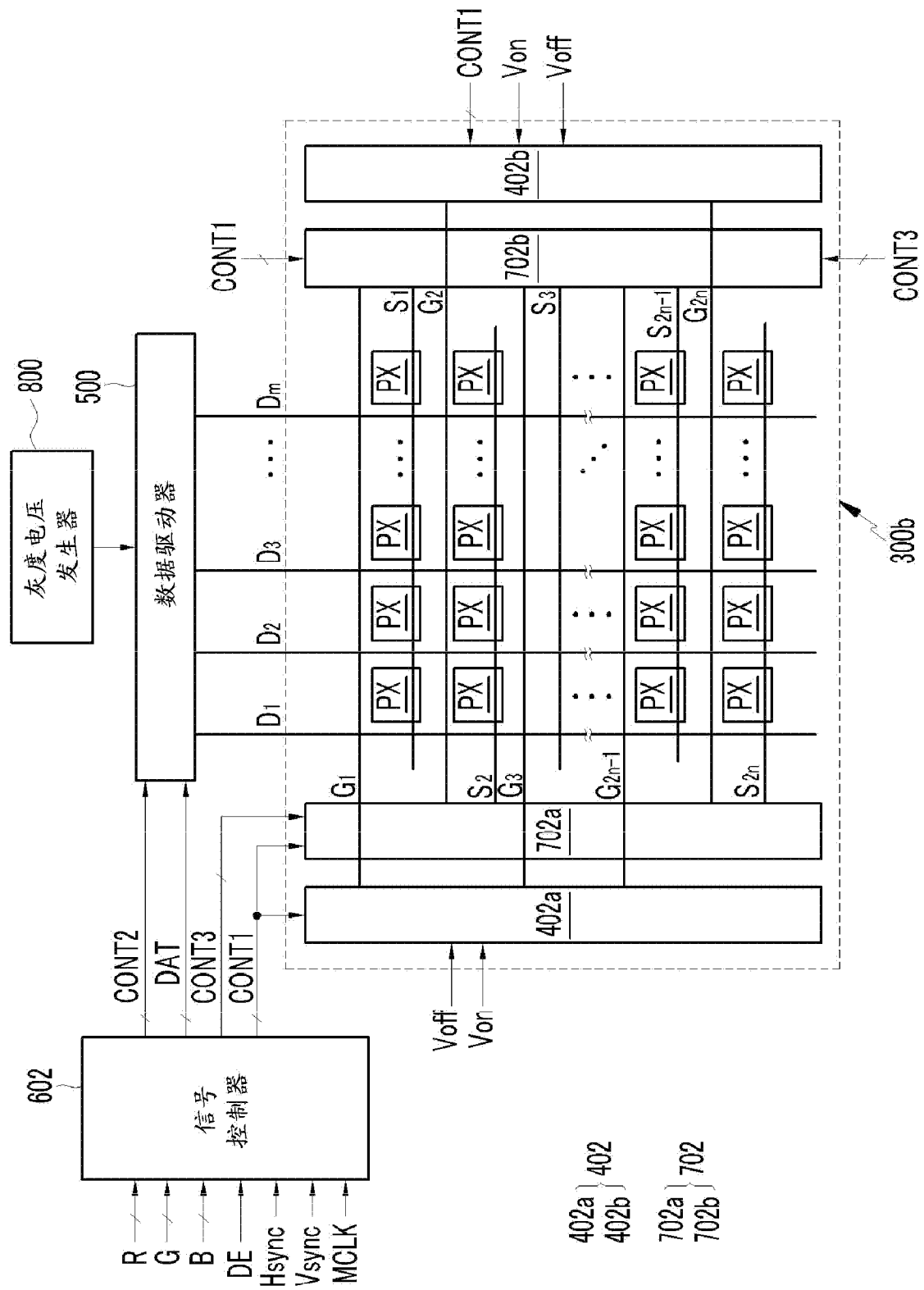


图 9

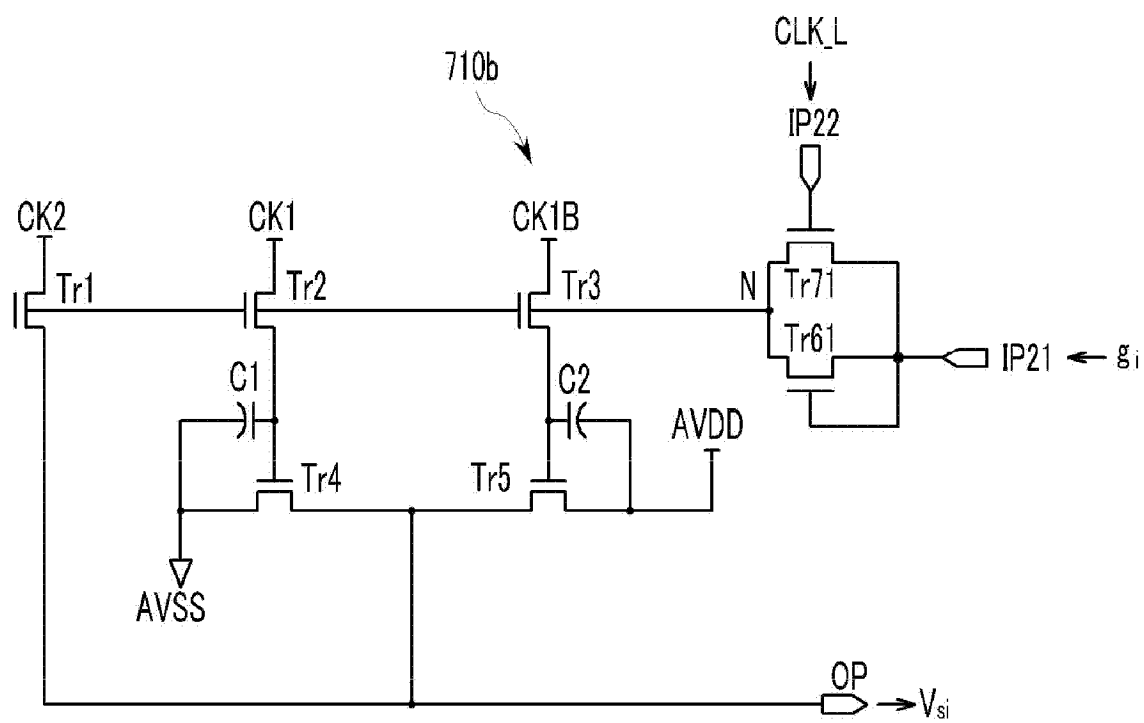


图 10

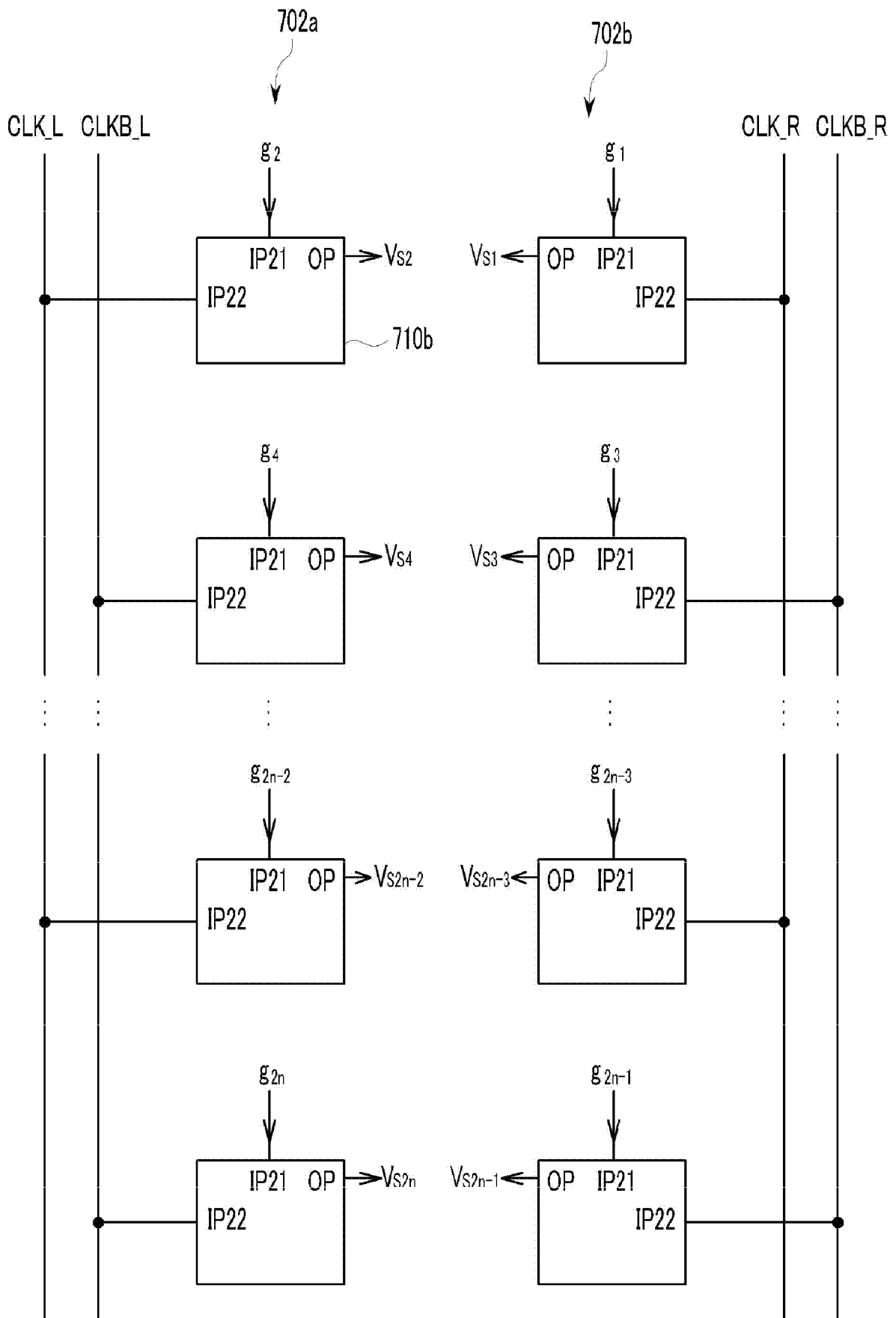


图 11

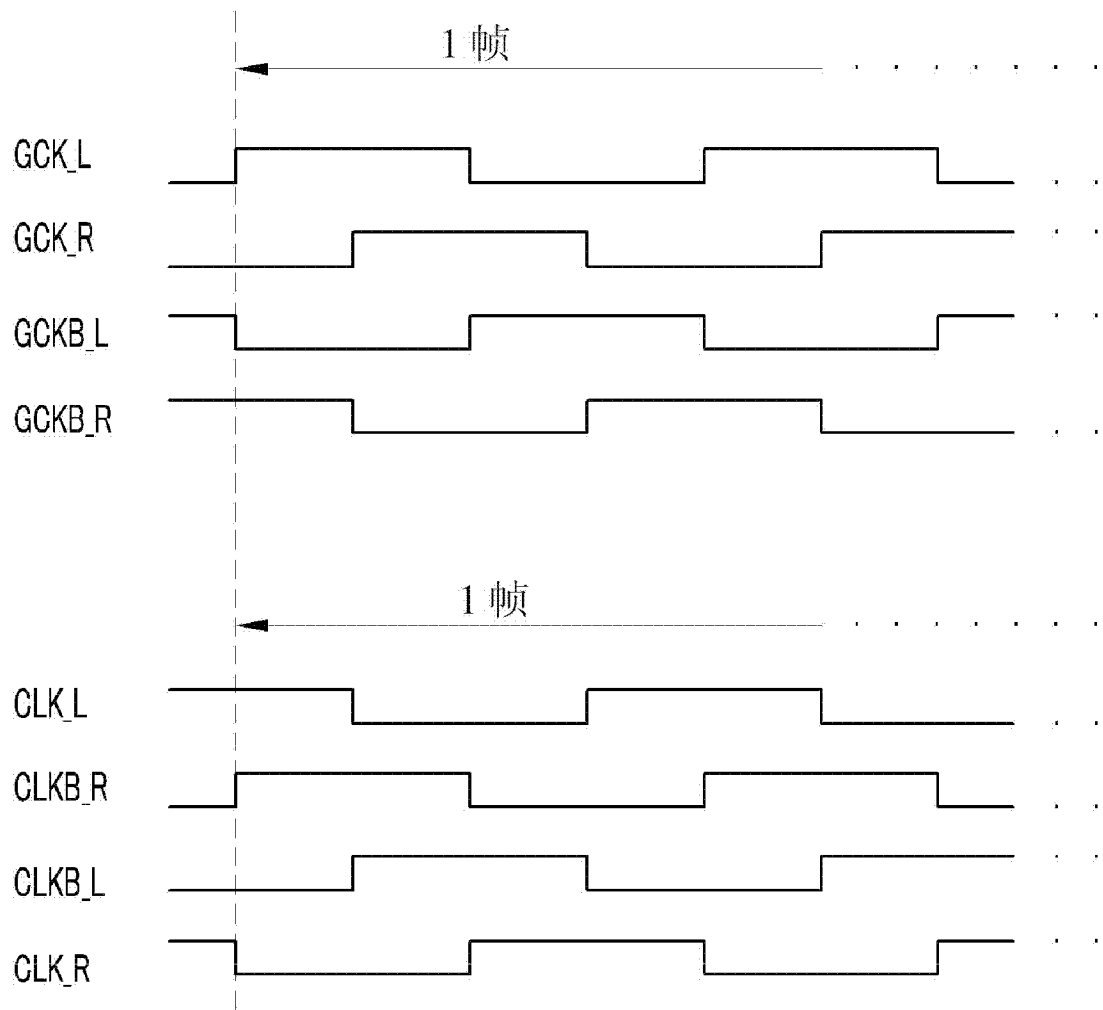


图 12

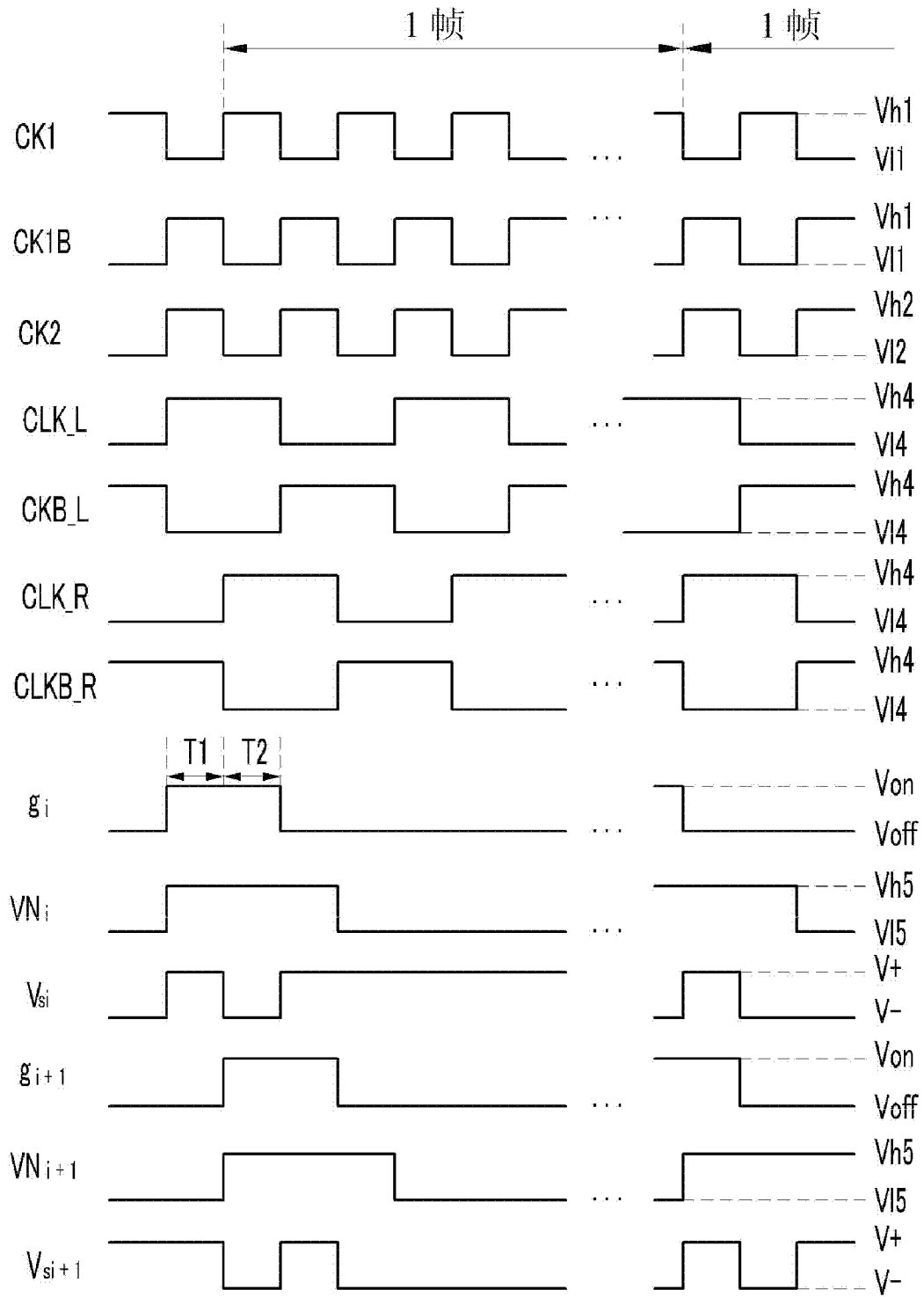


图 13A

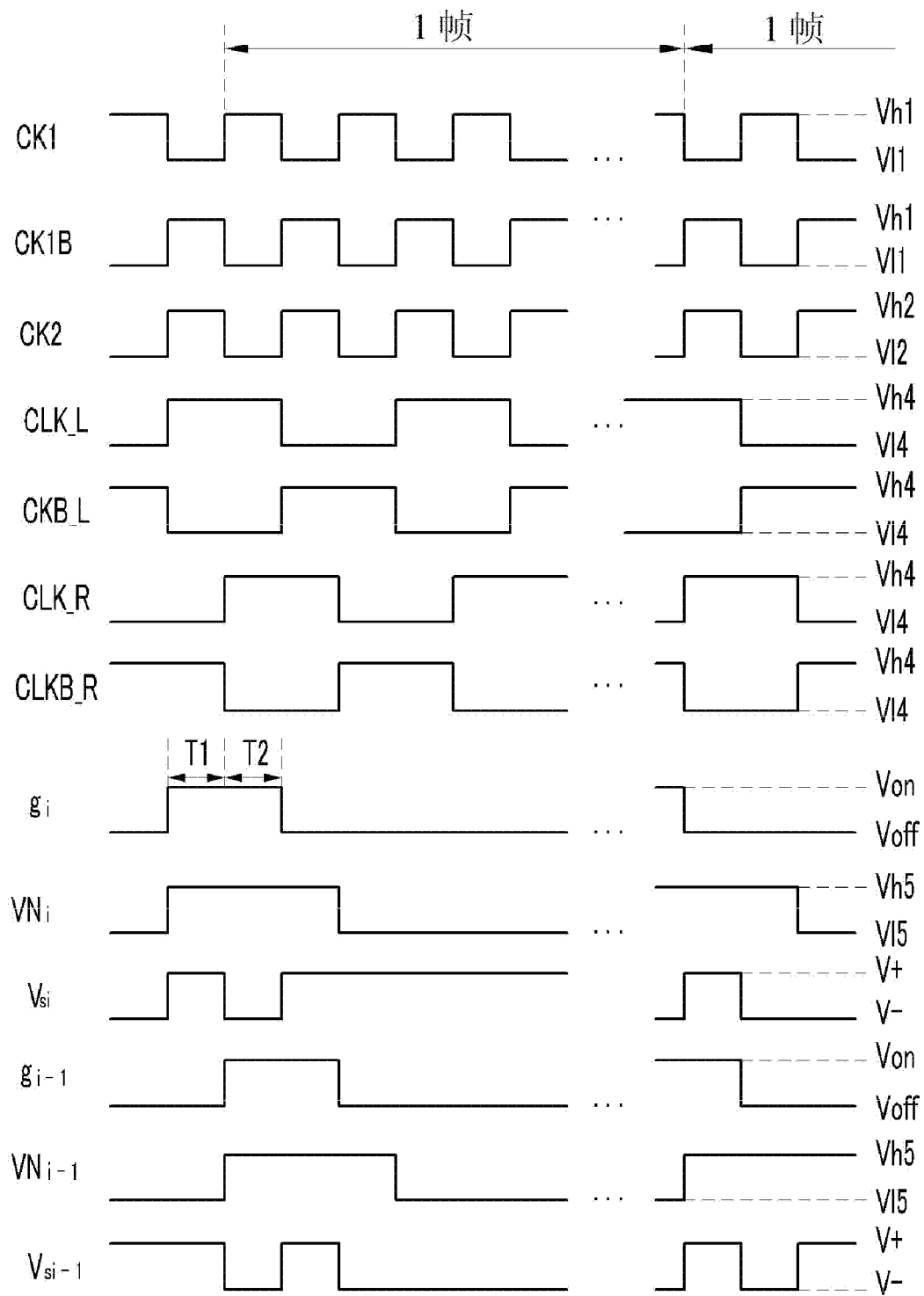


图 13B

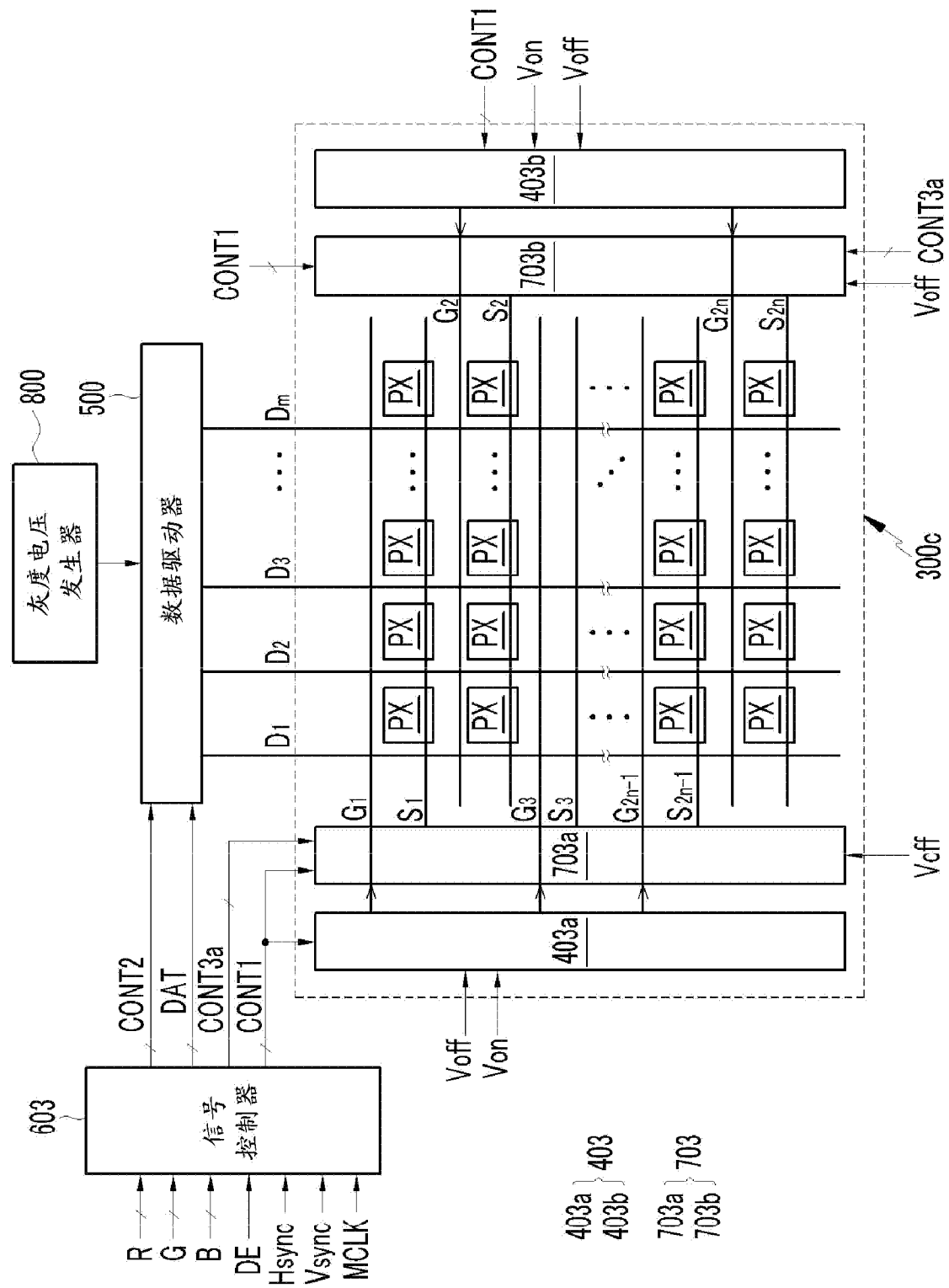


图 14

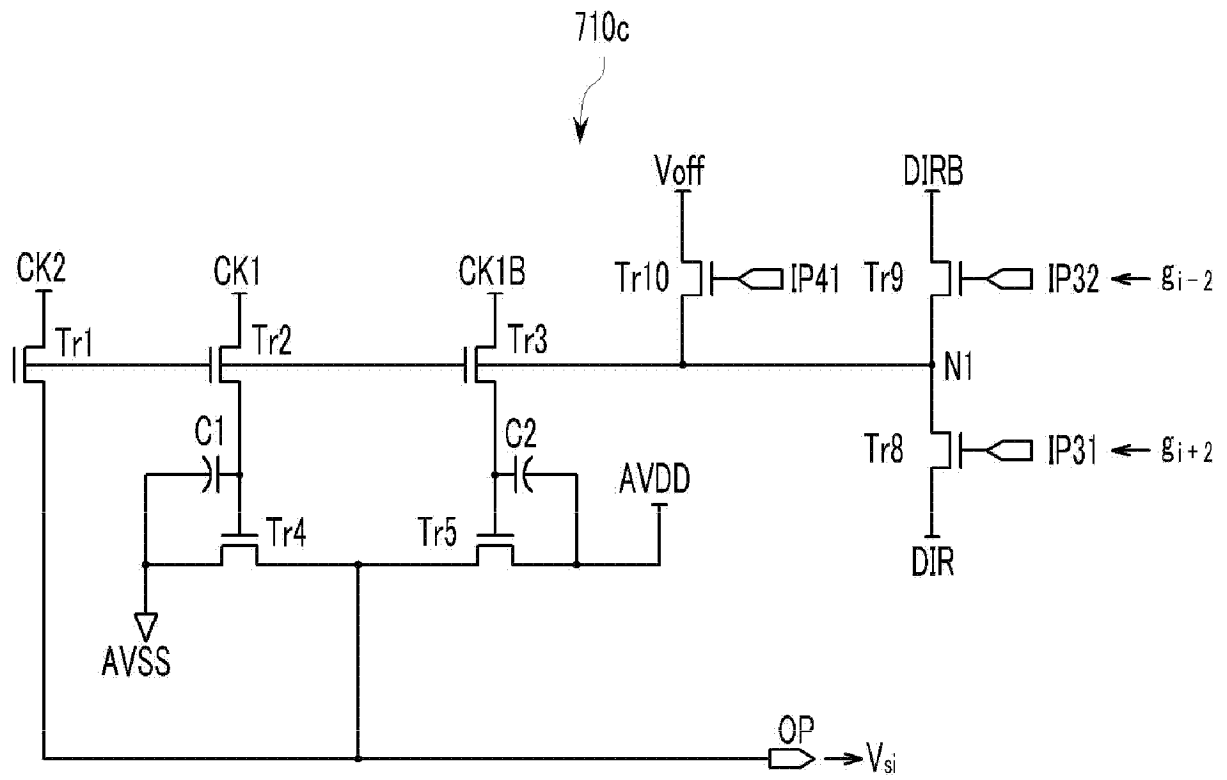


图 15

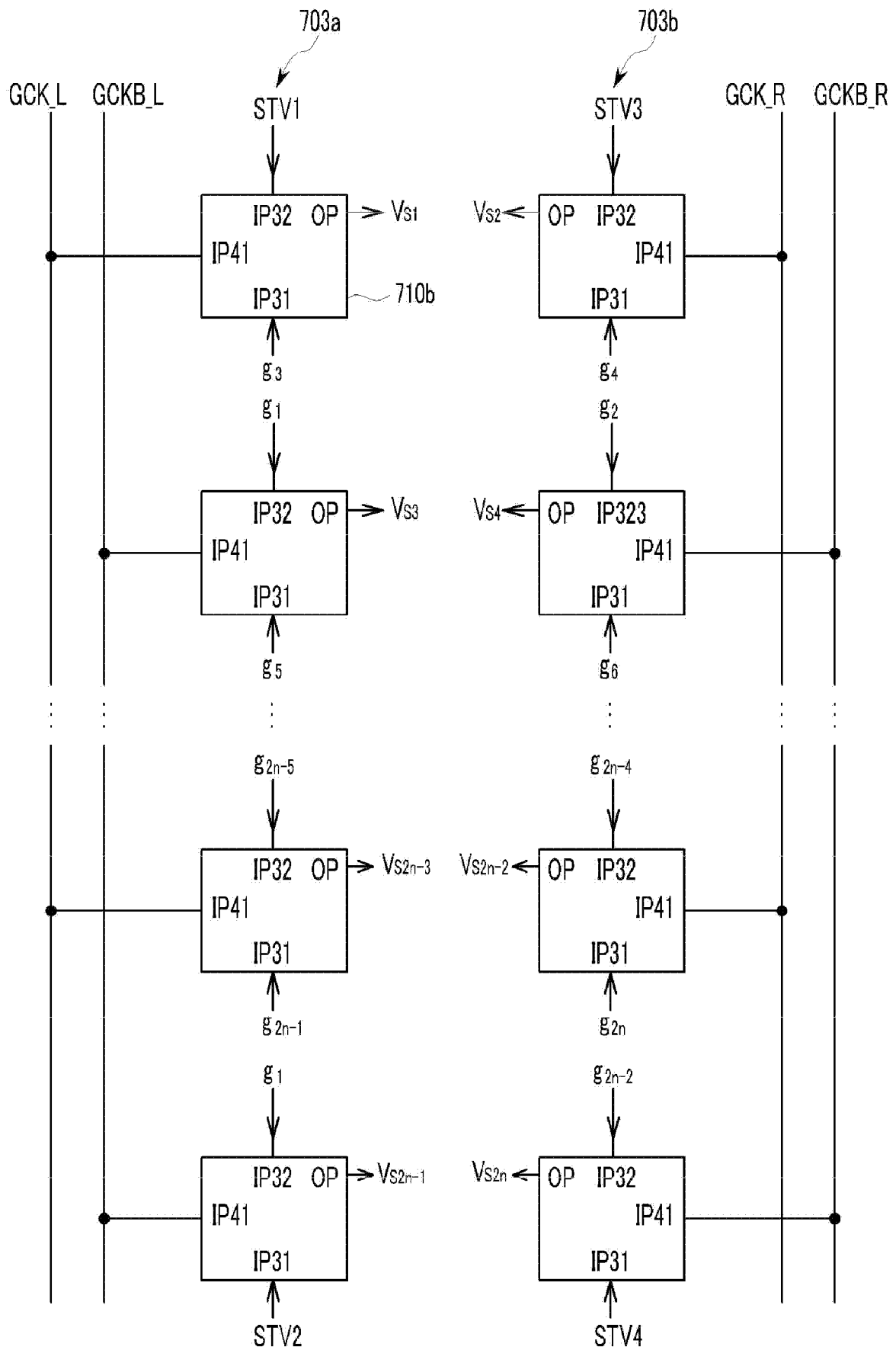


图 16

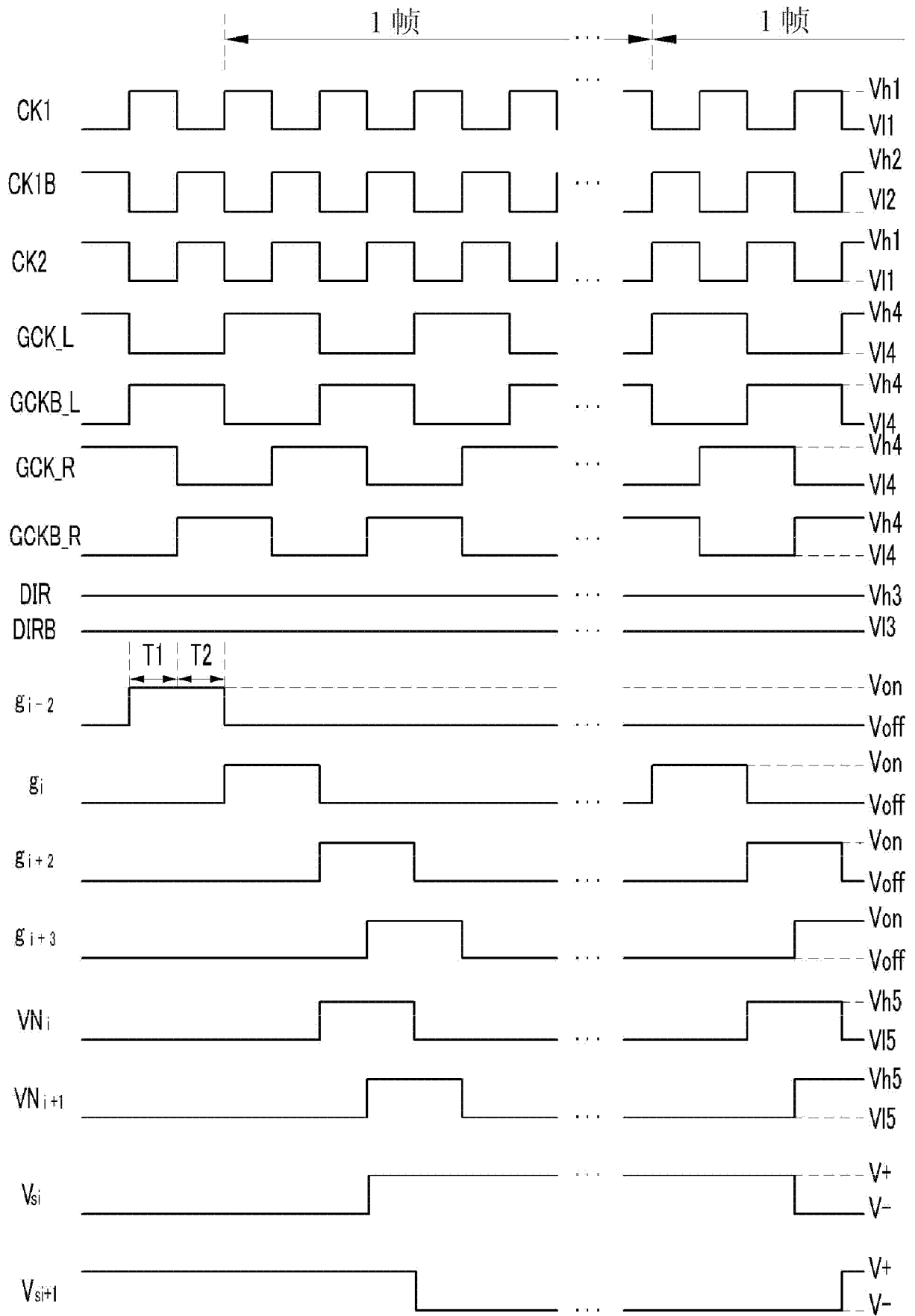


图 17A

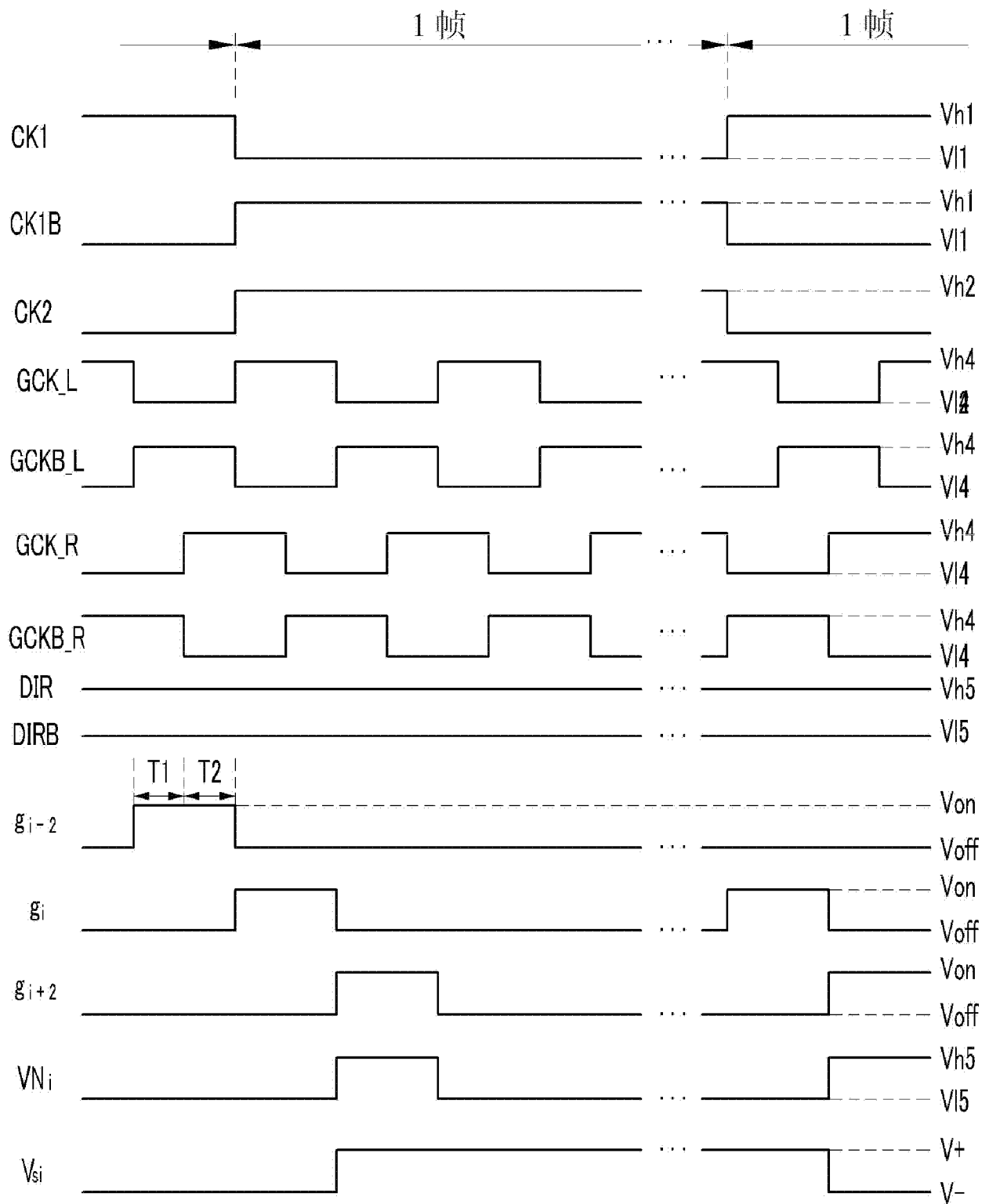


图 17B

专利名称(译)	显示设备及其驱动方法		
公开(公告)号	CN102622984B	公开(公告)日	2015-07-29
申请号	CN201210101486.9	申请日	2007-10-24
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	李明雨 朴商镇		
发明人	李明雨 朴商镇		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3655 G09G3/3677 G09G2300/0876 G09G2310/0283 G09G2310/06 G09G2330/021		
审查员(译)	李小兰		
优先权	1020060103375 2006-10-24 KR 1020070041300 2007-04-27 KR		
其他公开文献	CN102622984A		
外部链接	Espacenet SIPO		

摘要(译)

液晶显示器包括：多条门线，用于传送具有开门电压和关门电压的门信号；多条数据线，用于传送数据电压；多条存储电极线，用于传送存储信号；多个像素，其中，多个像素的每个像素包括与开关元件和多条存储电极线中的一条存储电极线连接的存储电容器；门驱动器，用于生成门信号；以及多个信号生成电路，用于根据至少一个控制信号和至少一个门信号生成存储信号。施加在每个像素上的存储信号具有在数据电压充电到液晶电容器和存储电容器之后发生变化的电压电平。

