



(12) 发明专利

(10) 授权公告号 CN 102576172 B

(45) 授权公告日 2016. 01. 27

(21) 申请号 201080043022. 6

H01L 29/786(2006. 01)

(22) 申请日 2010. 09. 28

(56) 对比文件

(30) 优先权数据

2009-250517 2009. 10. 30 US

2009-279000 2009. 12. 08 US

US 2009/0057674 A1, 2009. 03. 05,

CN 101425280 A, 2009. 05. 06,

JP 特开平 5-224626 A, 1993. 09. 03,

US 2008/0284933 A1, 2008. 11. 20,

(85) PCT国际申请进入国家阶段日

2012. 03. 21

审查员 王振佳

(86) PCT国际申请的申请数据

PCT/JP2010/067323 2010. 09. 28

(87) PCT国际申请的公布数据

W02011/052344 EN 2011. 05. 05

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 山崎舜平 小山润

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 钱孟清

(51) Int. Cl.

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

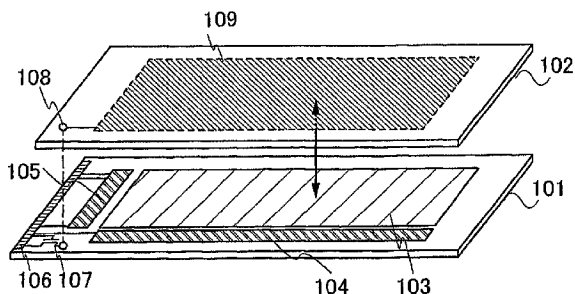
权利要求书2页 说明书28页 附图17页

(54) 发明名称

液晶显示设备、其驱动方法以及包括该液晶显示设备的电子电器

(57) 摘要

目的在于提供可实现低功耗的液晶显示设备。第一基板包括端子部分、开关晶体管、以及包括像素电极的像素电路。第二基板包括对电极。液晶元件插在像素电极和对电极之间。输入到对电极的电位通过开关晶体管从端子部分供应。开关晶体管中所包括的半导体层是氧化物半导体层。



1. 一种液晶显示装置,包括:  
第一基板,设置有:  
包括第一连接端子和第二连接端子的端子部分,  
包括源极端子、漏极端子和栅极端子的开关晶体管,以及  
包括像素的像素电路,所述像素具有像素晶体管和电连接到所述像素晶体管的像素电极;  
设置有对电极的第二基板;  
插在所述像素电极和所述对电极之间的液晶;以及  
插在所述第一基板和所述第二基板之间的公共连接部分,  
其中所述端子部分和所述开关晶体管位于所述像素电路之外,  
其中所述源极端子和所述漏极端子中的一个电连接到所述端子部分的所述第一连接端子,  
其中所述源极端子和所述漏极端子中的另一个电连接到所述公共连接部分,  
其中所述公共连接部分电连接到所述对电极,  
其中所述栅极端子电连接到所述端子部分的所述第二连接端子,并且  
其中所述像素晶体管和所述开关晶体管中的每一个都包括氧化物半导体层。
2. 一种液晶显示装置,包括:  
第一基板,设置有:  
包括第一连接端子和第二连接端子的端子部分,  
包括源极端子、漏极端子和栅极端子的开关晶体管,以及  
包括像素的像素电路,所述像素具有像素晶体管和电连接到所述像素晶体管的像素电极;  
设置有对电极的第二基板;  
插在所述像素电极和所述对电极之间的液晶;以及  
插在所述第一基板和所述第二基板之间的公共连接部分,其中所述端子部分和所述开关晶体管位于所述像素电路之外,  
其中所述源极端子和所述漏极端子中的一个电连接到所述端子部分的所述第一连接端子,  
其中所述源极端子和所述漏极端子中的另一个电连接到所述公共连接部分,  
其中所述公共连接部分电连接到所述对电极,  
其中所述栅极端子电连接到所述端子部分的所述第二连接端子,  
其中所述像素晶体管和所述开关晶体管各自包括氧化物半导体层,并且  
其中所述像素晶体管和所述开关晶体管中的每一个都具有底栅结构。
3. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,  
栅极线驱动电路和信号线驱动电路设置在所述第一基板上。
4. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,  
所述氧化物半导体层的氢浓度为  $1 \times 10^{16}/\text{cm}^3$  或更低。
5. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,  
所述氧化物半导体层的载流子浓度小于  $1 \times 10^{14}/\text{cm}^3$ 。

6. 一种包括如权利要求 1 或 2 所述的液晶显示装置的电子电器。
7. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,所述氧化物半导体层包括 In-Ga-Zn-O 基半导体。
8. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,所述氧化物半导体层的厚度为 50nm 或更薄。
9. 如权利要求 1 或 2 所述的液晶显示装置,其特征在于,所述对电极通过导电粒子电连接到所述开关晶体管。
10. 如权利要求 9 所述的液晶显示装置,其特征在于,还包括:  
与所述液晶接触并包围所述液晶的密封材料;以及  
与所述密封材料接触的树脂层,  
其中所述导电粒子设置在所述树脂层中。
11. 一种液晶显示设备的驱动方法,所述液晶显示设备包括:  
第一基板,设置有:  
包括第一连接端子和第二连接端子的端子部分,  
包括源极端子、漏极端子、栅极端子、以及第一氧化物半导体层的开关晶体管;以及  
包括像素的像素电路,所述像素电路具有像素晶体管和电连接到所述像素晶体管的像素电极,所述像素晶体管具有第二氧化物半导体层;  
设置有对电极的第二基板;  
插在所述像素电极和所述对电极之间的液晶;  
插在所述第一基板和所述第二基板之间的公共连接部分,  
其中所述端子部分和所述开关晶体管位于所述像素电路之外,  
其中所述源极端子和所述漏极端子中的一个电连接到所述端子部分的所述第一连接端子,  
其中所述源极端子和所述漏极端子中的另一个电连接到所述公共连接部分,  
其中所述公共连接部分电连接到所述对电极,以及  
其中所述栅极端子电连接到所述端子部分的所述第二连接端子,以及  
所述方法包括以下步骤:  
在显示活动图像的第一周期中,使得所述开关晶体管的第一端子和所述开关晶体管的第二端子进入导通状态以使公共电位供应到所述对电极;以及  
在显示静止图像的第二周期中,使得所述第一端子和所述第二端子进入非导通状态以使所述对电极进入电浮动状态。
12. 如权利要求 11 所述的驱动方法,其特征在于,还包括:  
在所述第一周期中,将用于驱动所述像素晶体管的第一信号从栅极线驱动电路供应到所述像素晶体管,并且将第二信号从信号线驱动电路供应到所述像素晶体管;以及  
在所述第二周期中,停止所述第一信号和所述第二信号。
13. 如权利要求 11 所述的驱动方法,其特征在于,  
供应有所述公共电位的所述对电极和所述端子部分之间的导通状态或非导通状态由所述开关晶体管根据从所述端子部分供应到所述开关晶体管的所述栅极端子的信号来控制。

## 液晶显示设备、其驱动方法以及包括该液晶显示设备的电子电器

### 技术领域

[0001] 本发明涉及液晶显示设备。此外,本发明涉及液晶显示设备的驱动方法。此外,本发明涉及包括液晶显示设备的电子电器。

### 背景技术

[0002] 如通常在液晶显示设备中看到的,在诸如玻璃基板之类的平板上形成的薄膜晶体管使用非晶硅或多晶硅来制造。使用非晶硅制造的薄膜晶体管具有低场效应迁移率,但在较大的玻璃基板上形成。相反,使用晶体硅制造的薄膜晶体管具有高场效应迁移率,但是由于诸如激光退火之类的结晶步骤,这种晶体管并不是总适于在较大的玻璃基板上形成。

[0003] 鉴于上述内容,已注意到一种使用氧化物半导体制造薄膜晶体管的技术,而且这种晶体管应用于电子器件或光学器件。例如,专利文献 1 公开了使用氧化锌或基于 In-Ga-Zn-O 的氧化物半导体作为氧化物半导体膜来制造薄膜晶体管的技术,并且这种晶体管被用作液晶显示设备的开关元件等。

[0004] [ 参考文献 ]

[0005] [ 专利文献 ]

[0006] [ 专利文献 1 ] 日本公开专利申请 No. 2006-165528

[0007] 本发明的公开内容

[0008] 其中氧化物半导体被用作沟道区的薄膜晶体管的场效应迁移率高于其中非晶硅被用作沟道区的薄膜晶体管的场效应迁移率。期望包括使用氧化物半导体形成的这种薄膜晶体管的像素应用于显示设备,诸如液晶显示设备。

[0009] 液晶显示设备中的每一像素设置有存储电容器,该电容器将其间插入有液晶材料的两个端子中的电极的电位保持预定时间段。为了保持其间插入有液晶材料的两个端子中的电极的电位,有必要减少其间插入有液晶材料的两个端子中的电极的电荷泄漏。由此,减小连接到每一像素中的像素电极的薄膜晶体管的截止状态电流是重要的。当薄膜晶体管的截止状态电流减小时,像素的电压保持周期可延长。因此,在实现显示静止图像等时的低功耗中减小截止状态电流是重要的。

[0010] 注意在本说明书中,截止状态电流是当薄膜晶体管处于截止状态(也称为非导通状态)时在源极和漏极之间流动的电流。在 n 沟道薄膜晶体管(例如,具有约 0 至 2V 的阈值电压)的情况下,截止状态电流是指当负电压施加到栅极和源极之间时在源极和漏极之间流动的电流。

[0011] 其间插入有液晶材料的一对电极包括对电极以及像素电极。当在对电极侧上电荷泄漏减少时,像素的电压保持周期可延长。在实现显示静止图像等时的低功耗,还在对电极侧上减少电荷泄漏和延长电压保持周期是重要的。

[0012] 本发明的一个实施例的目的在于,提供液晶显示设备以及该液晶显示设备的驱动方法,在该液晶显示设备中,为了减少电荷从其间插入有液晶材料的电极泄漏,薄膜晶体管

的截止状态电流可减小,从而可实现低功耗。

[0013] 以下是要点:设置有其中液晶元件插在第一基板上的像素电极和第二基板上的对电极之间的液晶显示设备,其中供应到对电极的公共电位通过包括使用氧化物半导体形成的半导体层的开关晶体管从第一基板的端子部分输入。

[0014] 本发明的一个实施例是一种液晶显示设备,包括:设置有端子部分、开关晶体管、以及包括具有像素晶体管和电连接到像素晶体管的像素电极的像素的像素电路的第一基板;设置有对电极的第二基板;以及插在像素电极和对电极之间的液晶。在液晶显示设备中,对电极通过开关晶体管电连接到端子部分,并且像素晶体管和开关晶体管各自包括氧化物半导体层。

[0015] 根据本发明的一个实施例,栅极线驱动电路和信号线驱动电路可设置在液晶显示设备中的第一基板上。

[0016] 根据本发明的一个实施例,液晶显示设备中的氧化物半导体层的氢浓度可以是 $1 \times 10^{16}/\text{cm}^3$ 或更低,其通过二次离子质谱法来测量。

[0017] 根据本发明的一个实施例,液晶显示设备中的氧化物半导体层的载流子浓度可小于 $1 \times 10^{14}/\text{cm}^3$ 。

[0018] 本发明的一个实施例是一种液晶显示设备的驱动方法,该液晶显示设备包括:设置有端子部分、具有氧化物半导体层的开关晶体管、以及包括具有像素晶体管和电连接到像素晶体管的像素电极的像素的像素电路的第一基板,该像素晶体管具有氧化物半导体层;设置有通过开关晶体管电连接到端子部分的对电极的第二基板;以及插在像素电极和对电极之间的液晶。该驱动方法包括以下步骤:在显示活动图像的周期中,使得开关晶体管的第一端子和开关晶体管的第二端子进入导通状态以将公共电位供应到对电极;以及在显示静止图像的周期中,使得开关晶体管的第一端子和开关晶体管的第二端子进入非导通状态以使对电极进入电浮动状态。

[0019] 根据本发明的一个实施例,该驱动方法还可包括以下步骤:在显示活动图像的周期中,将用于驱动像素晶体管的第一信号从栅极线驱动电路供应到像素晶体管,并且将第二信号从信号线驱动电路供应到像素晶体管;以及在显示静止图像的周期中,停止第一信号和第二信号。

[0020] 根据本发明的一个实施例,液晶显示设备的驱动方法可以是其中供应有公共电位的对电极和端子部分之间的导通状态或非导通状态由开关晶体管根据从端子部分供应到开关晶体管的栅极端子的信号来控制的方法。

[0021] 通过本发明的一个实施例,可提供可通过减小薄膜晶体管的截止状态电流来实现低功耗的液晶显示设备。

[0022] 附图简述

[0023] 图 1A 至 1C 示出实施例 1 的液晶显示设备。

[0024] 图 2 示出实施例 1 的液晶显示设备。

[0025] 图 3 示出实施例 1 的液晶显示设备。

[0026] 图 4A 至 4C 示出实施例 2 的液晶显示设备。

[0027] 图 5A 至 5E 示出实施例 3 的薄膜晶体管的截面。

[0028] 图 6A 至 6E 示出实施例 4 的薄膜晶体管的截面。

[0029] 图 7 示出实施例 5 的薄膜晶体管的截面。

[0030] 图 8A 至 8C 示出电子电器。

[0031] 图 9A 至 9C 示出电子电器。

[0032] 图 10 是用于示出实施例 7 的示图。

[0033] 图 11A 和 11B 是用于示出实施例 7 的示图。

[0034] 图 12A 和 12B 是用于示出实施例 7 的示图。

[0035] 图 13 是用于示出实施例 7 的示图。

[0036] 图 14 是用于示出实施例 8 的曲线图。

[0037] 图 15A 和 15B 是用于示出实施例 8 的示图。

[0038] 图 16A 和 16B 是用于示出实施例 8 的曲线图。

[0039] 用于实现本发明的最佳模式

[0040] 在下文中,将参考附图描述本发明的实施例。然而,本发明可以许多不同的方式实现,并且本领域技术人员容易理解本发明的模式和细节可以各种方式修改而不背离本发明的目的和范围。因此,本发明不被解释为限于实施例的描述。注意,相同部分或具有在下文中描述的本发明结构中的相同功能的部分用相同的附图标记表示。

[0041] 注意,在一些情况下为了简单起见,实施例中的附图等所示的尺寸、层的厚度、或每一结构的区域等被放大。因此,本发明的实施例不必限于这些缩放比例。

[0042] 注意,诸如在本说明书中看到的第一、第二、第三至第 N(N 是自然数)之类的术语是为了避免组件之间的混淆而使用的,并且不设置对数字的限制。

[0043] (实施例 1)

[0044] 在本实施例中,描述液晶显示设备的示意图、电路图、时序图等,并且描述本实施例的结构的作用。首先,参考图 1A 来描述液晶显示设备的示意图。

[0045] 液晶显示设备包括第一基板 101 和第二基板 102,如图 1A 所示。第一基板 101 包括像素电路 103、栅极线驱动电路 104、信号线驱动电路 105、端子部分 106、以及开关晶体管 107。第二基板 102 包括公共连接部分 108(也称为公共触点)和对电极 109。

[0046] 第一基板 101 和第二基板 102 必需具有足够的耐热性以耐受稍后要进行的热处理。此外,第一基板和第二基板中的至少一个必需具有透光性。可使用诸如铝硅酸盐玻璃基板、铝硼硅酸盐玻璃基板、或钡硼硅酸盐玻璃基板(也称为“无碱玻璃基板”)、石英基板、陶瓷基板、塑料基板等用于电子产业的玻璃基板作为第一基板和第二基板。

[0047] 注意,图 1A 中的像素电路 103、栅极线驱动电路 104、信号线驱动电路 105 和开关晶体管 107 使用在第一基板 101 上形成的薄膜晶体管来形成。注意,图 1A 中的栅极线驱动电路 104 和信号线驱动电路 105 不一定使用在第一基板 101 上形成的薄膜晶体管来形成,并且可在第一基板 101 以外的另一基板等上形成。如作为示例的图 2 所示,用于图像显示的信号可通过从端子部分 106 延伸的布线被输入到像素电路 103。

[0048] 注意在像素电路 103 中,多条栅极线和多条信号线从栅极线驱动电路 104 和信号线驱动电路 105 延伸,并且多个像素被设置成这些像素被栅极线和信号线包围。供应到像素的像素电极的图像信号被供应到多条信号线。通过多条栅极线,控制像素晶体管来选择从信号线供应的图像信号并将其供应到像素的像素电极。栅极线驱动电路 104 是用于生成和输出要供应到栅极线的信号的电路,而信号线驱动电路 105 是用于生成和输出要供应到

信号线的信号的电路。注意,可采用逐行扫描法、隔行扫描法等作为像素电路 103 中图像的显示方法。彩色显示时像素中受控的色彩分量不限于 R、G 和 B(R、G 和 B 分别对应于红色、绿色和蓝色)三种色彩;例如,可采用 R、G、B 和 W(W 对应于白色)、或者 R、G、B 和黄色、青色、品红色中的一种或多种等。此外,显示区的尺寸在各个色素点之间可不同。然而,本发明的实施例不限于用于彩色显示的液晶显示设备,并且适用于用于单色显示的液晶显示设备。

[0049] 注意,本说明书中的开关晶体管是其中根据施加至栅极的电位选择两个端子(即,源极端子和漏极端子)之间的导通或非导通以实现开关操作的薄膜晶体管。例如,可控制施加至薄膜晶体管的栅极的电位以使薄膜晶体管在线性区中操作。注意,施加至开关晶体管 107 的栅极的电位可从端子部分 106 供应。开关晶体管 107 的源极端子和漏极端子中连接到端子部分 106 的一个被称为第一端子。开关晶体管 107 的源极端子和漏极端子中通过公共连接部分 108 连接到对电极的另一个被称为第二端子。注意,对电极 109 的公共电位从开关晶体管 107 的第一端子供应,并且用于控制开关晶体管 107 的导通或非导通的信号被供应到栅极端子。

[0050] 注意,开关晶体管可具有以下结构中的任一个:倒交错结构或交错结构;其中沟道区被划分成多个区且所划分的沟道区串联连接的双栅结构;或者其中栅电极设置在沟道区的上面和下面的对栅结构。此外,可使用其中形成开关晶体管的半导体层被划分成多个岛式半导体层以实现开关操作的晶体管元件。

[0051] 此外,以下信号和电位被供应到端子部分 106:用于控制从栅极线驱动电路 104 和信号线驱动电路 105 输出的脉冲信号(诸如起动脉冲 SP 和时钟信号)的信号;图像信号(也称为视频电压、视频信号、或视频数据);作为电源电位的高电源电位  $V_{dd}$  和低电源电位  $V_{ss}$ ;供应到对电极 109 的公共电位;用于操作开关晶体管 107 的信号等。

[0052] 注意,高电源电位  $V_{dd}$  是高于基准电位的电位,而低电源电位  $V_{ss}$  是低于或等于基准电位的电位。注意,高电源电位和低电源电位中的每一个都是晶体管可操作的电位是合乎需要的。

[0053] 注意,在许多情况下,电压是指给定电位和基准电位(例如,地电位)之间的电位差。因此,电压、电位和电位差可分别被称为电位、电压和电压差。

[0054] 公共电位可以是任何电位,只要它用作相对于供应到像素电极的图像信号的电位的基准。例如,公共电位可以是地电位。

[0055] 公共连接部分 108 被设置成实现第一基板 101 中的开关晶体管 107 的第二端子和第二基板 102 中的对电极之间的电连接。公共电位通过开关晶体管 107 和公共连接部分 108 从端子部分 106 供应到对电极。可使用其中绝缘球涂敷有薄金属膜的导电粒子作为公共连接部分 108 的具体示例,从而进行电连接。注意,两个或更多个公共连接部分 108 可设置在第一基板 101 和第二基板 102 之间。

[0056] 优选对电极 109 与像素电路 103 中所包括的像素电极重叠。此外,对电极 109 和像素电极 103 中所包括的像素电极可具有各种开口图案。

[0057] 在像素电路 103、栅极线驱动电路 104、信号线驱动电路 105 和开关晶体管 107 在第一基板 101 上形成的情况、或像素电路 103 和开关晶体管 107 在第一基板 101 上形成的情况下,每一电路元件使用具有使用氧化物半导体形成的半导体层的 n 沟道薄膜晶体管来

形成。

[0058] 接下来,在本实施例的结构中,描述用于薄膜晶体管的半导体层的氧化物半导体层。

[0059] 至于本实施例中所使用的氧化物半导体,在氧化物半导体中包含 $1 \times 10^{16}/\text{cm}^3$ 或更低的氢,并且去除氧化物半导体中所包含的氢使之尽可能地接近零。氧化物半导体膜具有小于 $1 \times 10^{14}/\text{cm}^3$ 的载流子浓度,优选小于或等于 $1 \times 10^{11}/\text{cm}^3$ ,并且被用于形成薄膜晶体管的沟道区。在本说明书中,氧化物半导体层中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0060] 氧化物半导体层的能隙被设为2eV或更大,优选2.5eV或更大,更优选3eV,并且形成部分施体的杂质(诸如氢)尽可能多地减少以使载流子浓度小于 $1 \times 10^{14}/\text{cm}^3$ ,优选小于或等于 $1 \times 10^{12}/\text{cm}^3$ 。即,氧化物半导体层的载流子浓度尽可能多地减少以极接近零。

[0061] 通过从氧化物半导体层尽可能多地去除诸如氢之类的杂质来高度提纯的这种氧化物半导体被用于薄膜晶体管的沟道形成区,由此即使当沟道宽度为10nm时,漏电流也可在漏电压为1V和10V以及栅电压在-5V至-20V的范围内时小于或等于 $1 \times 10^{-13}\text{A}$ 。

[0062] 在开关元件等使用其截止状态电流极小的这种薄膜晶体管来制造的情况下,截止状态电流较小并且很难发生泄漏;因此,在连接到开关元件的节点处的电荷泄漏可尽可能多地减少。由此,用于保持该节点处的电位的周期可延长。

[0063] 至于包括以上所述的氧化物半导体层的薄膜晶体管,沟道宽度的每微米截止状态电流可小于或等于 $10\text{aA}/\mu\text{m}$ ( $1 \times 10^{-17}\text{A}/\mu\text{m}$ ),并且进一步可小于或等于 $1\text{aA}/\mu\text{m}$ ( $1 \times 10^{-18}\text{A}/\mu\text{m}$ )。另一方面,在薄膜晶体管的截止状态电流约为 $1 \times 10^{-12}\text{A}$ 的假设上进行包括低温多晶硅的薄膜晶体管的设计等。因此,当使用包括氧化物半导体的薄膜晶体管时,电位保持周期可以是使用包括低温多晶硅的薄膜晶体管时的电位的电位保持周期的10000倍长。至于包括非晶硅的薄膜晶体管,沟道宽度的每微米截止状态电流为 $1 \times 10^{-13}\text{A}/\mu\text{m}$ 或更大。因此,在包括具有高度提纯的氧化物半导体的晶体管的像素(其存储电容(约0.1pF)等于包括具有非晶硅的晶体管的像素的存储电容)的情况下,电压保持周期可以是包括具有非晶硅的薄膜晶体管的像素的 $10^4$ 倍长或更长。

[0064] 具体地,由于用于保持每一像素中的图像信号的周期在使用包括氧化物半导体层的薄膜晶体管的情况下可延长,因此用于显示静止图像的写入时序之间的间隔可以是10秒或更长,优选30秒或更长,更优选1分钟或更长且短于10分钟。即,延长保持周期可降低将图像信号和公共电位供应到像素电极和对电极的频率,尤其是当显示静止图像时。因此,可实现低功耗。

[0065] 注意,在静止图像显示中,考虑到在保持周期期间施加到液晶元件的电压的保持速率,可适当地进行刷新操作。例如,可在信号被写入液晶元件的像素电极之后不久电压相对于电压值(初始值)减小到预定电平时进行刷新操作。预定电平优选被设为相对于初始值未检测到闪烁的电压。具体地,在显示对象是图像的情况下,刷新操作(重写)优选在每次电压变成1.0%、优选0.3%(低于初始值)时进行。在显示对象是文本的情况下,刷新操作(重写)优选在每次电压变成10%、优选3%(低于初始值)时进行。

[0066] 例如,在包括使用低温多晶硅形成的晶体管的像素的情况下,图形显示一般以每秒60帧(每帧16微秒)进行。相同的速率可适用于静止图像显示的情况,这是因为如果

速率降低（写入时序之间的间隔增大），则像素的电压减小，其不利地影响图像显示。另一方面，在使用包括氧化物半导体层的以上所述的晶体管的情况下，由于截止状态电流较小，因此每信号写入的保持周期可延长到 160 秒，其约为使用低温多晶硅形成的晶体管的保持周期的  $10^4$  倍长。

[0067] 以此方式，静止图像显示甚至可通过不太频繁地写入图像信号而在显示部分上进行。由于保持周期可延长，因此信号写入的频率可降低，尤其是当显示静止图像时。例如，一个静止图像的显示周期中的信号写入的次数可以是 1 或  $n$  ( $n$  大于或等于 2 且小于或等于  $10^3$ )。由此，可实现显示设备的低功耗。

[0068] 晶体管中的截止状态电流流动的阻力可被表示为截止状态电阻率。截止状态电阻率是晶体管截止时的沟道形成区的电阻率，其可根据截止状态电流来计算。

[0069] 具体地，晶体管截止时的电阻（截止状态电阻  $R$ ）可使用欧姆定律根据截止状态电流和漏电压来计算，这得到截止状态电阻率  $\rho$ ，其使用公式  $\rho = RA/L$  ( $R$  是截止状态电阻) 根据沟道形成区的截面积  $A$  和沟道形成区的长度  $L$  (其对应于源电极和漏电极之间的距离) 来计算。

[0070] 截面积  $A$  可根据  $A = dW$  (其中沟道形成区的厚度为  $d$ ，而沟道宽度为  $W$ ) 来计算。沟道形成区的长度  $L$  是沟道长度  $L$ 。以此方式，截止状态电阻率可根据截止状态电流来计算。

[0071] 本实施例中的包括氧化物半导体层的晶体管的截止状态电阻率优选为  $1 \times 10^9 \Omega \cdot m$  或更大，更优选为  $1 \times 10^{10} \Omega \cdot m$  或更大。

[0072] 注意，在其中通过切换静止图像和活动图像来进行显示的液晶显示设备的情况下，供应和停止用于控制从栅极线驱动电路 104 和信号线驱动电路 105 输出的脉冲信号的信号可重复地切换。因此，可实现低功耗。

[0073] 活动图像是指通过快速切换按时间被划分成多个帧的多个图像来用人眼识别为活动图像的图像。具体地，活动图像是指通过以每秒至少 60 次 (60 帧) 切换图像来用人眼识别为具有较少闪烁的活动图像的一系列图像信号。与活动图像不同，静止图像是指虽然按时间被划分成多个帧周期的多个图像快速地切换，但在一系列帧周期中 (例如，在第  $n$  帧和第  $(n+1)$  帧中) 不改变的图像信号。

[0074] 注意，在通过切换静止图像和活动图像来进行显示的液晶显示设备的情况下，图像是活动图像还是静止图像可通过在另一基板等中进行的逐帧图像之间的比较来确定。例如，存储器电路和比较电路可被设置成一系列帧周期中的图像信号可从为了存储各帧的图像信号而单独设置的存储器电路选择性地读出，并且图像信号可由比较电路进行比较。此外，可设置用于在通过比较检测到差异时确定图像是活动图像、以及在通过比较未检测到差异时确定图像是静止图像的电位。具体地，当图像被比较电路确定为活动图像时，即，当检测到一系列帧中图像信号的差异时，图像信号和公共电位被供应到像素电路 103 中的像素和对电极。另一方面，当图像被比较电路确定为静止图像时，即，当未检测到一系列帧中的图像信号的差异时，停止图像信号和公共电位向像素电路 103 中的像素和对电极的供应。在图像被确定为静止图像的情况下停止图像信号，并且另外，停止诸如高电源电位  $V_{dd}$  和低电源电位  $V_{ss}$  的电源电位。因此，可进一步实现低功耗。

[0075] 供应图像信号、电源电位和公共电位是指将预定电位供应到布线。停止电源电位

是指停止预定电位向布线的供应、以及到供应有预定固定电位的布线的连接,例如,供应有低电源电位  $V_{ss}$  的布线。停止图像信号和公共电位还指切断到供应有预定电位的布线的电连接,以使布线进入电浮动状态。

[0076] 优选停止图像信号和公共电位完全在用于保持像素电路 103 中每一像素中的图像信号的周期中进行,并且在每一像素的保持周期之后再次供应图像信号和公共电位。

[0077] 图 1B 是图 1A 的液晶显示设备的示意图的电路图,其中特别详细地示出像素电路 103 的结构。

[0078] 图 1B 所示的液晶显示设备包括如图 1A 中的第一基板 101 和第二基板 102。第一基板 101 包括像素电路 103、栅极线驱动电路 104、信号线驱动电路 105、端子部分 106、以及开关晶体管 107。第二基板 102 包括公共连接部分 108 和对电极 109。

[0079] 在图 1B 中,多条栅极线 111 和多条信号线 112 在像素电路 103 中排列成矩阵,并且各自包括像素晶体管 114 和其中液晶插在第一电极和第二电极之间的液晶元件 115 的像素 113 设置在栅极线 111 和信号线 112 的交叉部分。在图 1B 中,像素晶体管 114 的源极端子和漏极端子中的一个被称为第一端子,而源极端子和漏极端子中的另一个被称为第二端子。像素晶体管 114 的第一端子连接到信号线 112 之一,像素晶体管 114 的栅极端子连接到栅极线 111 中的一个,而像素晶体管 114 的第二端子连接到液晶元件 115 的第一电极。注意,液晶元件 115 的第一电极与像素电极相对应,而液晶元件 115 的第二电极与对电极 109 相对应。

[0080] 注意,像素中所包括的像素晶体管 114 的半导体层使用氧化物半导体来形成,与开关晶体管 107 中一样。通过在像素晶体管中使用氧化物半导体,流经像素晶体管的截止状态电流可减少很多,并且用于保持与供应到像素电极的图像信号相对应的电位的周期可延长。

[0081] 图 1C 是包括像素电极的像素中的一个像素的电路图。图 1C 所示的电路图集中在像素晶体管 114 和开关晶体管 107。像素晶体管 114 的栅极端子连接到栅极线 111,像素晶体管 114 的第一端子连接到信号线 112,而像素晶体管 114 的第二端子连接到像素电极 121。开关晶体管 107 的栅极端子连接到端子部分 106 的端子 106A,开关晶体管 107 的第一端子连接到端子部分 106 的端子 106B,而开关晶体管 107 的第二端子通过公共连接部分 108 电连接到对电极 122。注意,液晶 123 插在像素电极 121 和对电极 122 之间。像素电极 121、对电极 122 和液晶 123 可统称为液晶元件。

[0082] 注意在图 1C 中,存储电容器可并联连接到液晶元件。存储电容器的电容可鉴于设置在像素部分中的薄膜晶体管的漏电流等来设置,以使电荷可保持预定时间段。存储电容器的电容可鉴于薄膜晶体管的截止状态电流等来设置。在本实施例中,由于包括高纯度氧化物半导体层的晶体管被用作薄膜晶体管,因此在每一像素中提供液晶电容的  $1/3$  或更小(优选  $1/5$  或更小)的存储电容是足够的。

[0083] 可使用液致液晶、低分子液晶、高分子液晶、聚合物分散液晶、铁电液晶、反铁电液晶等作为液晶 123。这些液晶材料取决于条件呈现胆甾相、近晶相、立体相、手性向列相、各向同性相等。

[0084] 液晶 123 的特定电阻率为  $1 \times 10^{12} \Omega \cdot \text{cm}$  或更大,优选大于  $1 \times 10^{13} \Omega \cdot \text{cm}$ ,更优选大于  $1 \times 10^{14} \Omega \cdot \text{cm}$ 。注意,本说明书中的特定电阻率在  $20^\circ\text{C}$  测量。在使用液晶插在电极之

间的液晶元件（也称为液晶单元）的情况下，在一些实例中由于存在杂质可从取向膜、密封剂等混合到液晶中的可能性，因此液晶的特定电阻率可以是  $1 \times 10^{11} \Omega \cdot \text{cm}$  或更大，优选大于  $1 \times 10^{12} \Omega \cdot \text{cm}$ 。

[0085] 随着液晶材料的特定电阻率增大，通过液晶材料泄漏的电荷量可减少，从而可抑制用于保持液晶元件的操作状态的电压随着时间的降低。因此，可延长保持周期，可降低信号写入的频率，并且可实现显示设备的低功耗。

[0086] 此外，可使用呈现蓝相的液晶材料作为液晶 123。蓝相是液晶相之一，当胆甾型液晶的温度升高时蓝相刚好在胆甾相变成各向同性相之前产生。由于蓝相只在窄温度范围内出现，因此混合有 5wt% 或更多的手性剂的液晶组合物被用于液晶层以改进温度范围。包括示出蓝相的液晶和手性剂的液晶组合物具有 1 毫秒或更短的响应时间，具有不需要取向工艺的光学各向同性，并且具有小的视角依赖性。另外，由于不需要设置取向膜且摩擦处理不是必需的，因此在制造工艺中可防止摩擦处理所引起的静电放电损坏，并且可减少液晶显示设备的缺陷和损坏。由此，可增加液晶显示设备的生产率。使用氧化物半导体层的薄膜晶体管尤其是具有薄膜晶体管的电特性受静电影响而显著波动并偏离所设计范围的可能性。因此，使用用于包括使用氧化物半导体层的薄膜晶体管的液晶显示设备的蓝相液晶材料更有效。

[0087] 本实施例的结构不限于液晶显示设备，并且可以是使用诸如电致发光元件（也称为 EL 元件）之类的发光元件作为显示元件的 EL 显示设备。

[0088] 图 3 是示出供应到图 1C 的电路图端子、栅极线驱动电路 104 和信号线驱动电路 105 的信号的时序图。注意，为了描述时序图的示例，图 3 中的周期 301 被视为活动图像写入周期，而图 3 中的周期 302 被视为静止图像显示周期。图 3 中的周期可根据图像是活动图像还是静止图像的确定结果被确定为是活动图像写入周期还是静止图像显示周期。在图 3 中，GCK 是指供应到栅极线驱动电路 104 的时钟信号；GSP 是指供应到栅极线驱动电路 104 的起动脉冲；SCK 是指供应到信号线驱动电路 105 的时钟信号；而 SSP 是指供应到信号线驱动电路 105 的起动脉冲。在图 3 中还示出像素电极 121 的电位、端子 106A 的端子、端子 106B 的电位、以及对电极 122 的电位。

[0089] 注意，作为周期 301 的活动图像写入周期与通过比较一系列帧周期的图像信号检测到差异的周期相对应，而作为周期 302 的静止图像写入周期与通过比较一系列帧周期的图像信号未检测到差异的周期相对应。由此，在周期 301 中，执行操作以使图像信号和公共电位被供应到像素电路 103 中的像素和对电极。另一方面，在周期 302 中，停止图像信号和公共电位向像素电路 103 中的像素和对电极的供应。

[0090] 具体地，在周期 301 中，一直供应时钟信号作为如图 3 所示的时钟信号 GCK；而脉冲根据垂直同步频率来供应，作为如图 3 所示的起动脉冲 GSP。在周期 301 中，一直供应时钟信号作为如图 3 所示的时钟信号 SCK；脉冲根据一个栅极选择周期来供应，作为如图 3 所示的起动脉冲 SSP；要供应到每一行的像素的图像信号“数据”被供应到信号线 112，且信号线 112 的电位如图 3 所示地根据栅极线 111 的电位被供应到像素中的像素电极 121；并且与开关晶体管 107 的栅极端子相对应的端子 106A 供应使开关晶体管 107 导通的电位，以使作为端子 106B 的电位的公共电位如图 3 所示被供应到对电极 122。

[0091] 在周期 302 中，如图 3 所示地停止时钟信号 GCK 和起动脉冲 GSP 两者；如图 3 所示

地还停止时钟信号 SCK 和起动脉冲 SSP 两者；并且如图 3 所示地还停止已被供应到信号线 112 的图像信号“数据”。停止时钟信号 GCK 和起动脉冲 GSP 两者以使像素晶体管 114 截止，停止供应图像信号“数据”，并且像素电极 121 进入浮动状态，如图 3 所示。此外，与开关晶体管 107 的栅极端子相对应的端子 106A 供应使开关晶体管 107 截止的电位；由此，停止供应作为端子 106B 的电位的公共电位。因此，对电极 122 进入浮动状态。

[0092] 即，在周期 302 中，液晶 123 的两个端子中的电极（即，像素电极 121 和对电极 122）可进入浮动状态；由此，在周期 302 中不供应另一电位的情况下可显示静止图像。停止时钟信号和起动脉冲向栅极线驱动电路 104 和信号线驱动电路 105 的供应，由此可实现低功耗。通过使用包括使用氧化物半导体层形成的半导体层的薄膜晶体管，截止状态电流在液晶元件的两个端子处于非导通状态时可减小。各自使用这种薄膜晶体管形成的像素晶体管 114 和开关晶体管 107 可减小流经液晶元件的电流。

[0093] 如上所述，在包括氧化物半导体层的薄膜晶体管中，截止状态电流可减小到小于或等于  $10\text{aA}/\mu\text{m}$ ，从而与包括使用非晶硅等形成的半导体层的薄膜晶体管相比，像素电极 121 和对电极 122 进入浮动状态的保持周期可延长。因此，在本实施例中，期望在降低显示静止图像时的功耗中产生增强效应。

[0094] 注意，图 1C 中的液晶 123 的电阻率约为  $1 \times 10^{12} \Omega \cdot \text{cm}$  至  $1 \times 10^{13} \Omega \cdot \text{cm}$ 。在图 3 中的周期 302 中，在使用几乎没有截止状态电流的薄膜晶体管的情况下，液晶 123 的两个端子（即，像素电极 121 和对电极 122）可进入浮动状态。由此，由于施加到液晶 123 的两个端子的电压，流经液晶 123 的截止状态电流可减小。

[0095] 因此，可设置其中在显示静止图像时可实现低功耗且可减少图像失真的液晶显示设备。

[0096] 可与其他实施例中所述的任一结构适当组合地实现本实施例。

[0097] （实施例 2）

[0098] 参考图 4A 至 4C 中的特定俯视图和截面图来描述实施例 1 中的液晶显示设备的结构。

[0099] 图 4A 是本发明的液晶显示设备的俯视图。图 4A 是其中柔性印刷电路（FPC）未附连到第一基板 1210 的液晶显示设备的俯视图。图 4B 是沿图 4A 的线 G-H 所取的截面图，其示出导电粒子和连接布线的连接区。图 4C 是沿图 4A 的线 E-F 所取的截面图，其示出像素电路和连接布线的连接区。

[0100] 虽然图 4A 至 4C 示出透射液晶显示设备的示例，但是本实施例适用于透射反射液晶显示设备和反射液晶显示设备。

[0101] 被用作有源矩阵基板的设置有像素电极的第一基板 1210 和设置有对电极 1291 的第二基板 1204 用密封材料 1205 彼此附连，并且密封材料 1205 所包围的内部空间用液晶 1280 来填充。信号线驱动电路 1200、扫描线驱动电路 1201、以及其中像素电极以矩阵形式形成的像素电路 1202 在第一基板 1210 上形成。

[0102] 对电极 1291 通过从端子部分 1240 延伸的连接布线 1208 电连接到端子部分 1240、开关晶体管 1261、以及设置有插在该对基板之间的导电粒子的树脂层 1235。对电极和端子部分之间的连接数量可以是至少一个，但是连接数量可以是两个或更多个。

[0103] 作为驱动电路部分，示出包括第一基板 1210 上的驱动电路薄膜晶体管 1223 的电

路的信号线驱动电路 1200。此外,包括驱动电路薄膜晶体管的扫描线驱动电路 1201 设置在第一基板上。

[0104] 像素电路 1202 包括像素晶体管 1211。此外,连接到像素晶体管 1211 的像素电极 1250 在绝缘层 1214 上面和内部形成。

[0105] 像素晶体管 1211、驱动电路薄膜晶体管 1223 和开关晶体管 1261 各自使用氧化物半导体层、栅绝缘层和栅电极层来形成。与栅电极层和氧化物半导体层重叠的导电层 1293 设置在驱动电路薄膜晶体管 1223 上,导电层 1293 与栅电极层和氧化物半导体层之间插入有绝缘层 1214。开关晶体管 1261 通过树脂层 1235 中的导电粒子 1270 电连接到对电极 1291。

[0106] 虽然在图 4A 中开关晶体管 1261 比密封材料 1205 位于更外侧,但是开关晶体管可比密封材料 1205 位于更内侧。例如,开关晶体管可设置在形成有信号线驱动电路 1200 的区域中。可保护比密封材料 1205 位于更内侧的开关晶体管 1261 不受外部源等的影响。由此,可使开关晶体管 1261 的寿命变长。

[0107] 在驱动电路薄膜晶体管 1223 中,氧化物半导体层插在栅电极层和导电层 1293 之间。通过这种结构,驱动电路薄膜晶体管 1223 的阈值电压的变化可减少,从而可提供具有稳定电特性的、设置有驱动电路薄膜晶体管 1223 的液晶显示设备。导电层 1293 可处于与栅电极层相同的电位,或者可处于浮动电位或固定电位,诸如 GND 电位或 0V。通过将导电层 1293 的电位设为适当值,可控制驱动电路薄膜晶体管 1223 的阈值电压。

[0108] 可适当地使用诸如铝硅酸盐玻璃基板、铝硼硅酸盐玻璃基板、或钡硼硅酸盐玻璃基板(这种基板也称为“无碱玻璃基板”)、石英基板、陶瓷基板、塑料基板等用于电子产业的任何玻璃基板作为第一基板 1210 和第二基板 1204 中的每一个。通过使用柔性塑料基板作为第一基板 1210 和第二基板 1204 中的每一个,可制造柔性液晶显示设备。

[0109] 密封材料 1205 通过丝网印刷法、或者用喷墨装置或分配装置施加在第一基板或第二基板上。通常,可使用包含可见光固化树脂、紫外线固化树脂、或热固树脂的材料作为密封材料 1205。例如,可使用环氧树脂,诸如液态双酚-A 树脂、固态双酚-A 树脂、环氧含溴树脂、双酚-F 树脂、双酚-AD 树脂、苯酚树脂、甲酚树脂、酚醛树脂、环脂肪族环氧树脂、Epi-Bis 型环氧树脂、缩水甘油酯树脂、缩水甘油胺树脂、杂环环氧树脂、或经改进的环氧树脂。使用粘度在 40Pa 至 400Pa 的范围内的材料作为密封材料 1205。此外,可包含填料(直径为 1  $\mu\text{m}$  至 24  $\mu\text{m}$ )。注意,优选选择在液晶中不能溶解的密封材料作为密封材料,这些液晶后来与该密封材料接触。

[0110] 可使用其中用薄金属膜覆盖绝缘球的导电粒子作为导电粒子 1270。绝缘球使用二氧化硅玻璃、硬树脂等来形成。薄金属膜可使用金、银、钯、镍、ITO、和/或 IZO 的单层或叠层来形成。例如,可使用薄金膜、薄镍膜和薄金膜的叠层等作为薄金属膜。通过使用其中在中心包含绝缘球的导电粒子,可改进弹性,从而因来自外部源的压力破坏可减少。

[0111] 在透射液晶显示设备和反射液晶显示设备中,像素电极 1250 的种类是不同的。在透射液晶显示设备的情况下,像素电极 1250 使用透光材料来形成。可给出氧化铟锡(ITO)、氧化锌(ZnO)、氧化铟锌(IZO)、镓掺杂的氧化锌(GZO)等作为透光材料的示例。此外,像素电极 1250 还可使用包括导电聚合物的导电组合物来形成。使用导电组合物形成的像素电极优选具有小于或等于 10000 欧姆/口的薄层电阻、以及在 550nm 的波长处大于或

等于 70% 的透射率。此外,导电组合中所包括的导电高分子的电阻率优选小于或等于  $0.1 \Omega \cdot \text{cm}$ 。

[0112] 可使用所谓的  $\pi$  电子共轭导电聚合物作为导电聚合物。例如,可给出聚苯胺和 / 或其衍生物、聚吡咯和 / 或其衍生物、聚噻吩和 / 或其衍生物、或它们中的两种或更多种共聚物等。另一方面,在反射液晶显示设备的情况下,具有高反射率的金属电极被用作像素电极。具体地,使用铝、银等。此外,反射率通过使像素电极的表面变粗糙来增大。因此,可使像素电极的基膜变得粗糙。

[0113] 此外,在透射液晶显示设备的情况下,透射材料和反射材料被用于像素电极。

[0114] 此外,端子部分 1240 在第一基板 1210 的边缘部分中形成。在端子部分 1240 中,连接端子 1241 在连接布线 1208 上形成。

[0115] 图 4B 是其中导电粒子 1270 和连接端子彼此连接的区域 的截面图。连接布线 1208 和开关晶体管 1261 在第一基板 1210 上形成。与像素电极 1250 同时形成的连接端子 1241 在连接布线 1208 上形成。连接端子 1241 通过连接布线 1208、开关晶体管 1261 和导电粒子 1270 电连接到对电极 1291。此外,连接端子 1241 连接到 FPC(未示出)。注意在图 4B 中,导电粒子 1270 通过树脂层 1235 来固定。树脂层 1235 可使用如用于密封材料 1205 的有机树脂材料来形成。

[0116] 图 4C 是其中像素电极和连接端子彼此连接的区域 的截面图。与薄膜晶体管的源电极层和漏电极层同时形成的连接布线 1242 在第一基板 1210 上形成。与像素电极 1250 同时形成的连接端子 1243 在连接布线 1242 上形成。连接端子 1243 通过连接布线 1242 电连接到像素电极 1250。注意,由于在本实施例中 使用有源矩阵液晶显示设备,因此像素电极 1250 和连接布线 1242 不直接相连,而是通过像素晶体管 1211 或信号线驱动电路 1200 连接。

[0117] 取向膜 1206 设置在像素电极 1250 上,并且在其上进行摩擦。取决于液晶的模式,不一定需要取向膜 1206 和摩擦。

[0118] 对于用作对基板的第二基板 1204,黑矩阵可设置在与信号线驱动电路 1200 重叠的位置处,而滤色片、保护层等可设置在与像素电路 1202 重叠的位置处。形成对电极 1291 且取向膜 1207 设置在对电极 1291 上,并且在其上进行摩擦。与第一基板 1210 的情况一样,取决于液晶的模式,第二基板 1204 不一定需要取向膜和摩擦。

[0119] 设置有对电极 1291 的第二基板 1204 或设置有像素电极 1250 的第一基板 1210 还设置有柱状间隔物 1255。柱状间隔物 1255 被设置成保持第一基板 1210 和第二基板 1204 之间的距离。在本实施例中,描述了其中柱状间隔物 1255 设置在第二基板 1204 侧上的示例。柱状间隔物也被称为光刻 (photolitho) 间隔物、杆状间隔物、扇形间隔物、或圆柱形间隔物;在本实施例中,其称为柱状间隔物。替换地,可使用球形间隔物。在本实施例中,使用柱状间隔物。至于用于形成柱状间隔物 1255 的方法,诸如光敏丙烯酸树脂之类的有机绝缘材料通过旋涂法施加至基板的整个表面,并且在其上进行一系列光刻步骤,以使保留在基板上的光敏丙烯酸用作间隔物。通过该方法,用于设置间隔物的处所可根据曝光时的掩模图案暴露给光。设置在不驱动液晶的部分处的柱状间隔物可防止光透过液晶的泄漏、以及维持上基板和下基板之间的距离。此外,柱状间隔物 1255 可通过喷墨法使包含有机绝缘材料的组合物放电和在其上进行烘焙来形成。

[0120] 导电粒子 1270 周围的空间可用导电聚合物来填充。作为导电聚合物的典型示例,可给出导电聚苯胺、导电聚吡咯、导电聚吩、多晶(3,4-亚乙二氧基噻吩)(PEDOT)和多晶(对苯乙烯磺酸)(PSS)的络合物等。此外,还可适当地使用可用于像素电极 1250 的导电聚合物的上述示例。导电聚合物通过用喷墨装置、分配装置等施加导电聚合物来形成。即,当导电聚合物与对电极或连接布线接触时,导电粒子 1270 和导电聚合物与对电极和连接布线接触,从而可减小对电极和连接布线之间的连接电阻。

[0121] 注意,第二基板 1204 上所形成的连接布线 1208 和对电极 1291 通过导电粒子 1270 彼此电连接。

[0122] 在第一基板 1210 或第二基板 1204 上使密封材料 1205 和导电粒子 1270 放电,并且随后在密封材料 1205 所包围的空间中对液晶放电。之后,第一基板 1210 和第二基板 1204 以减小的压力彼此附连,在其上进行 UV 光照射以固化密封材料 1205,并且随后在其上进行热处理以进一步固化密封材料 1205,从而牢固地固定第一基板和第二基板 1204。此外,通过热处理使液晶的取向均匀。

[0123] 因此,第一基板 1210 和第二基板 1204 可彼此连接。

[0124] 然后,将第一基板 1210 和第二基板 1204 切成面板状。此外,为了改进对比度,分别在第一基板 1210 和第二基板 1204 外侧设置第一偏振板 1290 和第二偏振板 1295。注意,在反射显示设备的情况下不必设置第一偏振板 1290。

[0125] 虽然在本实施例中未示出,但是可适当地设置黑矩阵(挡光层)、诸如偏振构件、阻滞构件、或防反射构件之类的光学构件(光学基板)等。例如,圆形偏振可通过使用偏振基板和阻滞基板来获取。另外,背光、侧光等可被用作光源。

[0126] 在有源矩阵液晶显示设备中,驱动以矩阵形式排列的像素电极以在屏幕上形成显示图案。具体地,在所选像素电极和与该像素电极相对应的对电极之间施加电压,从而对设置在像素电极与对电极之间的液晶层进行光调制,并且该光调制被观察者识别为显示图案。

[0127] 在包括使用氧化物半导体层形成的薄膜晶体管的液晶显示设备的结构中,如实施例 1 中一样,在显示静止图像时可实现低功耗,并且可减少图像失真。

[0128] 可与其他实施例中所描述的任一结构适当组合地实现本实施例。

[0129] (实施例 3)

[0130] 在本实施例中,描述适用于本说明书中所公开的液晶显示设备的薄膜晶体管的示例。本实施例中要描述的薄膜晶体管 410 和薄膜晶体管 420 可分别被用作实施例 2 中的开关晶体管 1261 和像素晶体管 1211。

[0131] 参考图 5A 至 5E 描述本实施例的液晶显示设备和该液晶显示设备的制造方法的一个实施例。

[0132] 图 5A 至 5E 示出液晶显示设备的截面结构的示例。图 5A 至 5E 中的薄膜晶体管 410 和 420 各自具有称为沟道蚀刻类型的一种底栅结构,并且可被称为倒交错薄膜晶体管。在图 5A 至 5E 中,薄膜晶体管 410 是开关晶体管,而薄膜晶体管 420 是像素晶体管。

[0133] 虽然使用单栅薄膜晶体管作为薄膜晶体管 410 和 420 来给出描述,但是可按需形成各自包括多个沟道形成区的多栅薄膜晶体管。

[0134] 在下文中参考图 5A 至 5E 描述在基板 400 上制造薄膜晶体管 410 和 420 的工艺。

[0135] 首先,在具有绝缘表面的基板 400 上形成导电膜,并且随后,在第一光刻步骤中形成栅电极层 411 和 421。注意,可通过喷墨法形成抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模;由此,可降低制造成本。

[0136] 虽然对可用作具有绝缘表面的基板 400 的基板没有具体限制,但是基板具有至少足够的耐热性来耐受后来要进行的热处理是必要的。可使用由钡硼硅玻璃、铝硼硅酸盐玻璃等形成的玻璃基板。

[0137] 在使用玻璃基板且后来要进行热处理的温度为高的情况下,优选使用其应变点高于或等于 730°C 的玻璃基板。例如,可使用诸如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃之类的玻璃材料作为玻璃基板。注意,通过包含比氧化硼 ( $B_2O_3$ ) 量更多的氧化钡 ( $BaO$ ),可获取更实用的耐热玻璃基板。因此,优选使用包含比  $B_2O_3$  量更多的  $BaO$  的玻璃基板。

[0138] 注意,可使用利用诸如陶瓷基板、石英基板、或蓝宝石基板之类的绝缘体而形成的基板来替代以上玻璃基板。替换地,可使用结晶玻璃基板等。

[0139] 用作基膜的绝缘膜可设置在基板 400 和栅电极层 411 之间、以及基板 400 和栅电极层 421 之间。该基膜具有防止杂质元素从基板 400 扩散的功能,并且可使用氮化硅膜、氧化硅膜、氮氧化硅膜、以及氧氮化硅膜中的一种或多种来形成为具有单层或叠层结构。

[0140] 可使用诸如钼、钛、铬、钽、钨、铝、铜、钕、以及钷之类的金属材料中的任一种或包含这些材料中的任一种作为其主要组分的任何合金材料来使栅电极层 411 和 421 形成为各自具有单层或叠层结构。

[0141] 作为栅电极层 411 和 421 各自的双层堆叠结构,例如,优选其中钼层堆叠在铝层上的双层堆叠结构、其中钼层堆叠在铜层上的双层堆叠结构、其中氮化钛层或氮化钽层堆叠在铜层上的双层堆叠结构、或者其中堆叠有氮化钛层和钼层的双层堆叠结构。作为三层堆叠结构,优选其中堆叠有钨层或氮化钨层、铝和硅的合金层或铝和钛的合金层、以及氮化钛层或钛层的叠层结构。

[0142] 接下来,在栅电极层 411 和 421 上形成栅绝缘层 402。

[0143] 可通过等离子体 CVD 法、溅射法等来使栅绝缘层 402 形成为具有单层的氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层、或氧化铝层、或者其叠层。例如,可通过使用  $SiH_4$ 、氧气和氮气作为沉积气体的等离子体 CVD 法来形成氧氮化硅层。此外,诸如氧化铪 ( $HfO_x$ ) 或氧化钽 ( $TaO_x$ ) 之类的高 k 材料可被用作栅绝缘层。形成厚度为大于或等于 100nm 且小于或等于 500nm 的栅绝缘层 402;在栅绝缘层 402 形成为具有叠层结构的情况下,例如,堆叠厚度为大于或等于 50nm 且小于或等于 200nm 的第一栅绝缘层和厚度为大于或等于 5nm 且小于或等于 300nm 的第二栅绝缘层。

[0144] 在本实施例中,通过等离子体 CVD 法形成厚度为 100nm 或更薄的氧氮化硅层作为栅绝缘层 402。

[0145] 此外,可使用高密度等离子体装置来形成氧氮化硅膜作为栅绝缘层 402。在此,高密度等离子体装置是指可实现高于或等于  $1 \times 10^{11}/cm^3$  的等离子体密度的装置。例如,通过施加高于或等于 3kW 且低于或等于 6kW 的微波功率来生成等离子体,从而形成绝缘膜。

[0146] 将甲硅烷气体 ( $SiH_4$ )、一氧化二氮 ( $N_2O$ ) 和稀有气体作为源气体引入腔室以在高于或等于 10Pa 且低于或等于 30Pa 的压力处生成高密度等离子体,从而在具有绝缘表面的

基板（诸如玻璃基板）上形成绝缘膜。之后，停止供应甲硅烷气体，并且在不暴露给空气的情况下引入一氧化二氮 ( $N_2O$ ) 和稀有气体，从而可在绝缘膜的表面上进行等离子体处理。至少在形成绝缘膜之后进行通过引入一氧化二氮 ( $N_2O$ ) 和稀有气体而在绝缘膜的表面上进行的等离子体处理。通过以上工艺过程形成的绝缘膜具有薄的厚度，并且与即使其厚度小于 100nm 也可确保其可靠性的绝缘膜相对应。

[0147] 在形成栅绝缘层 402 时，引入腔室的甲硅烷气体 ( $SiH_4$ ) 与一氧化二氮 ( $N_2O$ ) 的流量比在 1 : 10 至 1 : 200 的范围内。另外，可使用氦气、氙气、氪气、氙气等作为被引入腔室的稀有气体。具体而言，优选使用便宜的氙气。

[0148] 另外，由于通过使用高密度等离子体装置而形成的绝缘膜可具有均匀的厚度，因此绝缘膜具有优良的阶梯覆盖率。此外，可精确地控制用高密度等离子体装置形成的薄绝缘膜的厚度。

[0149] 通过以上工艺过程形成的绝缘膜与使用常规平行板等离子体 CVD 装置而形成的绝缘膜大大地不同。在用相同蚀刻剂的蚀刻速度彼此作比较的情况下，通过以上工艺过程形成的绝缘膜的蚀刻速度比使用常规平行板等离子体 CVD 装置而形成的绝缘膜的蚀刻速度低 10% 或更多、或者 20% 或更多。因此，可以说，使用高密度等离子体装置而形成的绝缘膜是致密膜。

[0150] 在稍后的步骤中变成 I 型或基本上变成 I 型的氧化物半导体（提纯的氧化物半导体）对界面状态或界面电荷极其敏感；因此，具有栅绝缘膜的界面是重要的。由此，与高度提纯的氧化物半导体接触的栅绝缘膜 (GI) 要求更高的质量。因此，由于形成具有高耐压的致密且高质量的绝缘膜是可能的，因此优选采用使用微波 (2.45GHz) 的高密度等离子体 CVD。当高度提纯的氧化物半导体和高质量的栅绝缘膜彼此紧密地接触时，可减小界面状态密度，并且可获取良好的界面特性。重要的是，作为栅绝缘膜，绝缘膜在氧化物半导体的情况下具有减小的界面状态密度，并且可形 1 成良好的界面、以及具有良好的膜质量。

[0151] 然后，在栅绝缘层 402 上形成厚度为大于或等于 2nm 且小于或等于 200nm 的氧化物半导体膜 430。氧化物半导体膜 430 的厚度优选为 50nm 或更薄，从而即使当用于脱水或脱氢的热处理在形成氧化物半导体膜 430 之后进行时也保持在非晶状态中。氧化物半导体膜的薄厚度使得在形成氧化物半导体膜之后进行热处理时防止氧化物半导体膜结晶成为可能。

[0152] 注意，在通过溅射法形成氧化物半导体膜 430 之前，优选通过其中引入氙气并生成等离子体的反溅射来去除附连到栅绝缘层 402 的表面的灰尘。反溅射是指其中在未向靶侧施加电压的情况下，RF 电源用于在氙气气氛中向基板侧施加电压以使表面改性的方法。注意，可使用氮气气氛、氦气气氛、氧气气氛等来替代氙气气氛。

[0153] 可使用 In-Ga-Zn-O 基氧化物半导体膜、In-Sn-O 基氧化物半导体膜、In-Sn-Zn-O 基氧化物半导体膜、In-Al-Zn-O 基氧化物半导体膜、Sn-Ga-Zn-O 基氧化物半导体膜、Al-Ga-Zn-O 基氧化物半导体膜、Sn-Al-Zn-O 基氧化物半导体膜、In-Zn-O 基氧化物半导体膜、Sn-Zn-O 基氧化物半导体膜、Al-Zn-O 基氧化物半导体膜、In-O 基氧化物半导体膜、Sn-O 基氧化物半导体膜、或 Zn-O 基氧化物半导体膜作为氧化物半导体膜 430。在本实施例中，通过使用 In-Ga-Zn-O 基氧化物半导体靶的溅射法来形成氧化物半导体薄膜 430。在图 5A 中示出在此阶段的截面图。替换地，可在稀有气体（通常是氙气）气氛、氧气气氛、或包含稀

有气体（通常是氩气）和氧气的气氛中通过溅射法形成氧化物半导体膜 430。在使用溅射法的情况下，优选使用包括大于或等于 2wt% 且小于或等于 10wt% 的  $\text{SiO}_2$  的靶来形成氧化物半导体膜，从而抑制结晶的  $\text{SiO}_x$  ( $x > 0$ ) 被包含在氧化物半导体膜 430 中以便在用于后来要进行的脱水或脱氢的热处理时防止氧化物半导体膜结晶。

[0154] 在本实施例中，使用包含 In、Ga 和 Zn ( $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ，即  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$  [at%]) 的氧化物半导体靶来进行膜沉积。沉积条件设置如下：基板和靶之间的距离为 100mm，压力为 0.2Pa，直流 (DC) 电源为 0.5kW，而气氛是氩气和氧气的混合气氛（氩气：氧气 = 30sccm : 20sccm，并且氧气流速为 40%）。注意，当使用脉冲直流 (DC) 电源时，可减少在膜沉积中生成的粉末物质（也称为粒子或灰尘），并且膜厚度可能是均匀的。In-Ga-Zn-O 基膜形成成为厚度达大于或等于 5nm 且小于或等于 200nm。在本实施例中，通过溅射法使用 In-Ga-Zn-O 基氧化物半导体靶来形成 20nm 厚的 In-Ga-Zn-O 基膜作为氧化物半导体膜。替换地，可使用具有  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$  [at%] 或  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$  [at%] 的组分比的靶作为包含 In、Ga 和 Zn 的氧化物半导体靶。

[0155] 溅射法的示例包括高频电源被用作溅射电源的 RF 溅射法、使用 DC 电源的直流溅射法、以及以脉冲方式施加偏压的脉冲 DC 溅射法。在形成有绝缘膜的情况下主要使用 RF 溅射法，而在形成有金属膜的情况下主要使用 DC 溅射法。

[0156] 另外，还存在其中可设置不同材料的多个靶的多源溅射装置。通过多源溅射装置，可形成在同一腔室中堆叠的不同材料的膜，或者可在同一腔室中通过放电同时形成多种材料的膜。

[0157] 另外，存在腔室内部设置有磁铁系统且用于磁控溅射的溅射装置、以及在不使用辉光放电的情况下使用通过使用微波而生成的等离子体的用于 ECR 溅射的溅射装置。

[0158] 此外，作为通过溅射法的沉积方法，还存在靶物质和溅射气体组分在沉积期间相互化学反应以形成其化合物薄膜的反应溅射法，以及在沉积期间也向基板施加电压的偏压溅射法。

[0159] 然后，在第二光刻步骤中，将氧化物半导体膜 430 处理成岛状氧化物半导体层。可通过喷墨法形成用于形成岛状氧化物半导体层的抗蚀剂掩模。通过喷墨法形成抗蚀剂掩模不需要光掩模；由此，可降低制造成本。

[0160] 接下来，进行氧化物半导体层的脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于 400°C 且低于或等于 750°C，优选高于或等于 400°C 且低于基板的应变点。在本实施例中，将基板引入作为热处理装置之一的电炉，在氮气气氛中，在 450°C 对氧化物半导体层进行热处理达 1 小时。然后，氧化物半导体层不暴露给空气，从而防止水和氢气进入氧化物半导体层。由此，获取氧化物半导体层 431 和 432 (图 5B)。

[0161] 热处理装置不限于电炉，并且可设置有通过来自诸如电阻加热器等加热器的热传导或热辐射对要处理的对象加热的设备。例如，可使用诸如 GRTA (气体快速热退火) 装置或 LRTA (灯快速热退火) 装置之类的 RTA (快速热退火) 装置。LRTA 装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光 (电磁波) 辐射来对要处理的对象加热的装置。GRTA 装置是用于使用高温气体来进行热处理的装置。可使用不与要通过热处理处理的对象反应的惰性气体 (诸如氮气或稀有气体 (诸如氩气))

作为气体。

[0162] 例如,可进行 GRTA 作为第一热处理,通过 GRTA 将基板移动到加热到高达 650°C 至 700°C 的高温的惰性气体中,加热数分钟,并且从加热到高温的惰性气体中移出。通过 GRTA,可实现短时间段的高温热处理。

[0163] 注意,在第一热处理中,优选在氮气或诸如氦气、氖气或氩气之类的稀有气体中不包含水、氢气等。优选引入热处理装置的氮气或者诸如氦气、氖气或氩气之类的稀有气体的纯度被设为 6N(99.9999%) 或更高,优选为 7N(99.99999%) 或更高(即,杂质浓度为 1ppm 或更低,优选为 0.1ppm 或更低)。

[0164] 取决于第一热处理的条件或氧化物半导体层的材料,氧化物半导体膜在一些情况下可被结晶为微晶膜或多晶膜。例如,氧化物半导体层可结晶以变成结晶度为 90% 或更大、或者 80% 或更大的微晶氧化物半导体膜。替换地,取决于第一热处理的条件和氧化物半导体层的材料,氧化物半导体层可能变成不含结晶组分的非晶氧化物半导体膜。氧化物半导体层可变成其中将微晶部分(大于或等于 1nm 且小于或等于 20nm 的粒径,通常大于或等于 2nm 且小于或等于 4nm) 混合到非晶氧化物半导体中的氧化物半导体膜。在使用 RTA(例如, GRTA 或 LRTA) 进行高温热处理的情况下,可在氧化物半导体膜的表面侧上生成呈纵向(膜厚方向)的针状晶体。

[0165] 可对还未处理成岛状氧化物半导体层的氧化物半导体膜 430 执行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置中取出基板,并且随后进行光刻步骤。

[0166] 用于氧化物半导体层的脱水或脱氢的热处理可在任一以下时刻进行:在形成氧化物半导体层之后;在氧化物半导体层上形成源电极和漏电极之后;以及在源电极和漏电极上形成保护绝缘膜之后。

[0167] 此外,在栅绝缘层 402 中形成开口部分的情况下,形成开口部分的步骤可在氧化物半导体膜 430 经受脱水或脱氢处理之前或之后进行。

[0168] 注意,氧化物半导体膜的蚀刻可以是干法蚀刻,而限于湿法蚀刻。

[0169] 优选使用含氯的气体(诸如氯气( $\text{Cl}_2$ )、三氯化硼( $\text{BCl}_3$ )、四氯化硅( $\text{SiCl}_4$ )、或四氯化碳( $\text{CCl}_4$ ) 之类的氯基气体)作为用于干法蚀刻的溅射气体。

[0170] 替换地,可使用含氟(诸如四氟化碳( $\text{CF}_4$ )、氟化硫( $\text{SF}_6$ )、氟化氮( $\text{NF}_3$ )、或三氟甲烷( $\text{CHF}_3$ ) 之类的氟基气体)的气体、溴化氢( $\text{HBr}$ )、氧气( $\text{O}_2$ )、添加诸如氦( $\text{He}$ ) 或氩( $\text{Ar}$ ) 之类的稀有气体的这些气体中的任一种等。

[0171] 可使用平行板 RIE(反应离子蚀刻)法或 ICP(感应耦合等离子体)蚀刻法作为干法蚀刻法。为了将膜蚀刻成期望形状,可适当地调整蚀刻条件(施加到线圈状电极的电功率量、施加到基板侧上的电极的电功率量、基板侧上电极的温度等)。

[0172] 可使用通过混合磷酸、醋酸、以及硝酸获取的溶液、氨双氧水混合物(31wt% 的双氧水:28wt% 的氨:水=5:2:2) 等作为用于湿法蚀刻的蚀刻剂。另外,还可使用 IT007N(由 KANTO 化学公司(KANTO CHEMICAL CO., INC.) 生产)。

[0173] 通过清洗来去除用于湿法蚀刻的蚀刻剂以及蚀刻掉的材料。可提纯包括蚀刻剂和蚀刻掉的材料废液,并且可重新使用该材料。当在蚀刻之后从废液收集氧化物半导体层中所包括的诸如铟之类的材料,并且重新使用该材料时,可有效地使用资源,并且可降低成

本。

[0174] 根据材料适当地调整蚀刻条件（诸如蚀刻剂、蚀刻时间、以及温度），从而可将该材料蚀刻成期望形状。

[0175] 接下来，在栅绝缘层 402、以及氧化物半导体层 431 和 432 上形成金属导电膜。金属导电膜可通过溅射法或真空蒸镀法来形成。作为金属导电膜的材料，存在从 Al、Cr、Cu、Ta、Ti、Mo 和 W 中选择的元素、包括这些元素中的任一种的合金、这些元素中的任一种所组合的合金等。此外，可使用从锰、镁、铅、铍和钕中选择的一种或多种材料。此外，金属导电膜可具有单层结构、或者两层或更多层的叠层结构。例如，可给出包括硅的铝膜的单层结构、其中在铝膜上堆叠钛膜的双层结构、其中以所呈现的次序堆叠 Ti 膜、铝膜、以及 Ti 膜的三层结构。替换地，可使用膜、合金膜、或者 Al 和从以下选择的一种或多种元素的组合：钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、以及钪 (Sc)。

[0176] 如果在形成金属导电膜之后进行热处理，则优选金属导电膜具有足以耐受热处理的耐热性。

[0177] 进行第三光刻步骤。在金属导电膜上形成抗蚀剂掩模，并且进行选择性的蚀刻，由此形成源电极层 415a、漏电极层 415b、源电极层 425a、以及漏电极层 425b。然后，去除抗蚀剂掩模（参见图 5C）。

[0178] 注意，适当地调整材料和蚀刻条件，从而通过蚀刻金属导电膜不会去除氧化物半导体层 431 和 432。

[0179] 在本实施例中，Ti 膜被用作金属导电膜，In-Ga-Zn-O 基氧化物被用作氧化物半导体层 431 和 432，并且氨双氧水混合物（31wt% 的双氧水：28wt% 的氨：水 = 5：2：2）被用作蚀刻剂。

[0180] 注意，在第三光刻步骤中，只蚀刻氧化物半导体层 431 和 432 的各部分，由此在一些情况下形成具有凹槽（凹陷部分）的氧化物半导体层。用于形成源电极层 415a、漏电极层 415b、源电极层 425a、以及漏电极层 425b 的抗蚀剂掩模通过喷墨法来形成。通过喷墨法形成抗蚀剂掩模不需要光掩模；由此，可降低制造成本。

[0181] 为了减少光刻步骤中所使用的光掩模的数量和减少光刻步骤的数量，蚀刻步骤可使用通过使用多色调掩模而形成的抗蚀剂掩模来进行，该多色调掩模是透射光以使其具有多个强度的曝光掩模。通过使用多色调掩模而形成的抗蚀剂掩模具有多个厚度，并且还可通过蚀刻改变形状；因此，抗蚀剂掩模可在用于处理成不同图案的多个蚀刻步骤中使用。因此，与至少两种或更多种不同的图案相对应的抗蚀剂掩模可通过一个多色调掩模来形成。由此，可减少曝光掩模的数量，并且还可减少相应的光刻步骤的数量，因此可实现工艺的简化。

[0182] 接下来，在其上使用诸如 N<sub>2</sub>O、N<sub>2</sub>、或 Ar 之类的气体来进行等离子体处理。通过该等离子体处理，去除附着到氧化物半导体层的暴露表面的所吸收的水等。也可使用氧气和氩气的混合气体来进行等离子体处理。

[0183] 在等离子体处理之后，在不暴露给空气的情况下形成用作保护绝缘膜且与氧化物半导体层的各个部分接触的氧化物绝缘层 416。

[0184] 氧化物绝缘层 416 的厚度为至少 1nm，并且可适当地通过使诸如水或氢气之类的杂质不进入氧化物绝缘层 416 的方法（诸如溅射法）来形成。当氧化物绝缘层 416 中含氢

时,导致氢进入氧化物半导体层或通过氢提取氧化物半导体层中的氧,由此使得氧化物半导体层的背沟道具有较低电阻(具有n型导电性)并且形成寄生沟道。因此,采用不使用氢气的膜形成方法来形成含尽可能少的氢的氧化物绝缘层416是重要的。

[0185] 在本实施例中,通过溅射法形成厚度为200nm的氧化硅膜作为氧化物绝缘层416。膜形成中的基板温度可能高于或等于室温且低于或等于300℃,而在本实施例中为100℃。可在稀有气体(通常是氩气)气氛、氧气气氛、或者稀有气体(通常是氩气)和氧气的气氛中通过溅射法进行氧化硅膜的形成。可使用氧化硅靶或硅靶作为靶。例如,通过使用硅靶,可在氧气和氮气的气氛中通过溅射法来形成氧化硅。使用不包括诸如水分、氢离子和OH之类的杂质且阻挡这些杂质从外部进入的无机绝缘膜作为形成为与其电阻减小的氧化物半导体层接触的氧化物绝缘层416。通常,可使用氧化硅膜、氮氧化硅膜、氧化铝膜、或氧氮化铝膜等。

[0186] 接下来,在惰性气体气氛或氧气气氛(优选高于或等于200℃且低于或等于400℃,例如高于或等于250℃且低于或等于350℃)中进行第二热处理。例如,在氮气气氛中,在250℃进行第二热处理达1小时。在第二热处理中,部分氧化物半导体层(沟道形成区)在与氧化物绝缘层416接触时被加热。

[0187] 通过这些步骤,在所沉积的氧化物半导体膜上进行用于脱水或脱氢的热处理以减小氧化物半导体膜的电阻,并且随后选择性地使部分氧化物半导体膜处于过氧状态。因此,与栅电极层411重叠的沟道形成区413变成i型,并且以自对准方式形成与源电极层415a重叠的高电阻源区414a和与漏电极层415b重叠的高电阻漏区414b。由此,形成薄膜晶体管410。类似地,与栅电极层421重叠的沟道形成区423变成i型,并且以自对准方式形成与源电极层425a重叠的高电阻源区424a和与漏电极层425b重叠的高电阻漏区424b。通过上述步骤,可形成薄膜晶体管420。

[0188] 当氧化物半导体中有杂质时,在85℃下通过 $2 \times 10^6 \text{V/cm}$ 的电场强度达12小时的偏置温度测试(BT测试)中,可通过强电场(B:偏置)和高温(T:温度)来切断杂质和氧化物半导体的主要组分之间的组合,并且所生成的悬空键导致阈值电压( $V_{th}$ )的偏移。另一方面,通过去除氧化物半导体中的杂质(特别是氢气或水)、以及给出如上所述的绝缘膜和氧化物半导体之间良好的界面特性,可设置甚至在BT测试中也稳定的晶体管。

[0189] 还可在高于或等于100℃且低于或等于200℃的温度下在空气中进行热处理达大于或等于1小时且小于或等于30小时。在本实施例中,在150℃下进行热处理达10小时。可在固定加热温度进行该热处理。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于100℃且低于或等于200℃的温度,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过这种热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。

[0190] 注意,通过形成氧化物半导体层中与漏电极层415b和425b(以及源电极层415a和425b)重叠的高电阻漏区414b和424b(或高电阻源区414a和424a),可改进薄膜晶体管的可靠性。具体地,通过形成高电阻漏区414b和424b,可获取其中漏电极层415b和425b、高电阻漏区414b和424b、以及沟道形成区413和423的导电性逐步变化的结构。由此,在用连接到用于供应高电源电位V<sub>dd</sub>的布线的漏电极层415b和425b进行操作的情况下,高

电阻漏区用作缓冲层,并且由此即使在栅电极层 411 和漏电极层 415b 之间、以及在漏电极层 421 和漏电极层 425b 之间施加高电压,电场的局部集中也不易于发生,这导致晶体管的耐压增大。

[0191] 此外,在氧化物半导体层的厚度为 15nm 或更薄的情况下,在整个厚度方向上形成氧化物半导体层中的高电阻源区或高电阻漏区。在氧化物半导体层的厚度为 30nm 或更厚且 50nm 或更薄的情况下,在氧化物半导体层的部分中(即,在氧化物半导体层中与源电极层或漏电极层接触区域中及其附近),电阻减小,并且形成高电阻源区或高电阻漏区,同时使氧化物半导体层中接近栅绝缘膜的区域成为 I 型。

[0192] 还可在氧化物绝缘层 416 上形成保护绝缘层。例如,通过 RF 溅射法形成氮化硅膜。由于 RF 溅射法具有高生产率,因此优选将其用作保护绝缘层的膜形成方法。优选使用不包括诸如水分、氢离子和 OH 之类的杂质且阻挡这些杂质从外部进入的无机绝缘膜作为保护绝缘层。具体地,可使用氮化硅膜、氮化铝膜、氮氧化硅膜、氮氧化铝膜等。在本实施例中,使用氮化硅膜来形成保护绝缘层 403 作为保护绝缘层(参见图 5D)。

[0193] 用于平面化的平面化绝缘层可设置在保护绝缘层 403 上。如图 5E 所示,在薄膜晶体管 420 上平面化绝缘层 404 形成在保护绝缘层 403 上。

[0194] 可从诸如聚酰亚胺、丙烯酸、苯并环丁烯、聚酰胺、或环氧树脂之类的具有耐热性的有机材料形成平面化绝缘层 404。除了这些有机材料以外,还有可能使用低介电常数材料(低 k 材料)、硅氧烷基树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。可通过堆叠使用这些材料形成的多层绝缘膜来形成平面化绝缘层 404。

[0195] 注意,硅氧烷基树脂对应于包括使用硅氧烷基材料作为起始材料形成的 Si-O-Si 键的树脂。硅氧烷基树脂可包括有机基团(例如,烷基团或芳香基团)或氟基团作为取代基。另外,该有机基团可包括氟基团。

[0196] 平面化绝缘层 404 的形成方法不限于特定方法,并且可根据材料使用以下方法:溅射法、SOG 法、旋涂法、浸渍法、喷涂法、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)等。此外,可用刮刀、辊涂机、幕涂机、刀涂机等形成平面化绝缘层 404。

[0197] 接下来,进行第四光刻步骤。形成抗蚀剂掩模,并且选择性地蚀刻以去除部分氧化物绝缘层 416、部分保护绝缘层 403 和部分平面化绝缘层 404,从而形成到达漏电极层 425b 的开口。

[0198] 然后,形成透光导电膜。通过溅射法、真空蒸镀法等使用氧化铟( $\text{In}_2\text{O}_3$ )、氧化铟-氧化锡合金( $\text{In}_2\text{O}_3$ - $\text{SnO}_2$ , 简称为 ITO) 等来形成该透光导电膜。其示例为 Al-Zn-O-N 基非单晶膜、Zn-O 基非单晶膜和含氮的 Sn-Zn-O 基非单晶膜的 Al-Zn-O 基非单晶膜也可被用作透光导电膜。注意,Al-Zn-O-N 基膜中锌的组分比(原子百分比)小于或等于 47 原子百分比,并且高于该膜中铝的组分比;该膜中铝的组分比(原子百分比)高于该膜中氮的组分比。用盐酸基溶液来蚀刻这种材料。然而,由于在蚀刻 ITO 时特别容易生成残余物,因此可使用氧化铟-氧化锌合金( $\text{In}_2\text{O}_3$ -ZnO) 来改进蚀刻加工性。

[0199] 注意,透光导电膜中的组分百分比的单位是原子百分比,并且通过使用电子探针 X 射线微量分析仪(EPMA)的分析来评估组分的百分比。

[0200] 接下来,进行第五光刻步骤。形成抗蚀剂掩模,并且通过蚀刻来去除透光导电膜的不必要部分以形成像素电极 427。然后,去除抗蚀剂掩模(参见图 5E)。

[0201] 在本实施例中,在栅绝缘层中形成开口的步骤在附图中未示出;然而,在栅绝缘层中形成开口的步骤可在与氧化物绝缘层和保护绝缘层相同的光刻步骤、或另一光刻步骤中进行。当该开口在另一光刻步骤中形成时,光刻步骤的数量为6。

[0202] 包括使用在本实施例中描述的氧化物半导体层而形成的薄膜晶体管的液晶显示设备与实施例1中所描述的结构组合,由此在显示静止图像时可实现低功耗,并且可减少图像失真。

[0203] 可与任一其他实施例适当组合地实现本实施例。

[0204] (实施例4)

[0205] 在本实施例中,描述适用于本说明书中所公开的液晶显示设备的薄膜晶体管的另一示例。本实施例中要描述的薄膜晶体管240和薄膜晶体管260可分别被用作实施例2中的开关晶体管1261和像素晶体管1211。

[0206] 参考图6A至6E描述本实施例的液晶显示设备和该液晶显示设备的制造方法的一个实施例。

[0207] 虽然使用单栅薄膜晶体管作为薄膜晶体管240和260来给出描述,但是可按需形成各自包括多个沟道形成区的多栅薄膜晶体管。

[0208] 参考图6A至6E描述在基板290上制造薄膜晶体管240和260的工艺。

[0209] 首先,在具有绝缘表面的基板290上形成导电膜,并且随后,在第一光刻步骤中形成栅电极层241和261。在本实施例中,通过溅射法来形成厚度为150nm的钨膜,用作栅电极层241和261。

[0210] 接下来,在栅电极层241和261上形成栅绝缘层292。在本实施例中,通过等离子体CVD法形成厚度为100nm或更薄的氮化硅层作为栅绝缘层292。

[0211] 接下来,在栅绝缘层292上形成金属导电膜,并且进行第二光刻步骤。在金属导电膜上形成抗蚀剂掩模,并且进行选择性的蚀刻,由此形成源电极层245a和265a、以及漏电极层245b和265b。然后,去除抗蚀剂掩模(参见图6A)。

[0212] 接下来,形成氧化物半导体膜295(参见图6B)。在本实施例中,通过使用In-Ga-Zn-O基氧化物半导体靶的溅射法来形成氧化物半导体膜295。在第三光刻步骤中,将氧化物半导体膜295处理成岛状氧化物半导体层。

[0213] 接下来,进行氧化物半导体层的脱水或脱氢。用于脱水或脱氢的第一热处理的温度高于或等于400°C且低于或等于750°C,优选高于或等于400°C且低于基板的应变点。在本实施例中,将基板引入作为热处理装置之一的电炉,并且在氮气气氛中,在450°C下对氧化物半导体层进行热处理达1小时。然后,氧化物半导体层不暴露给空气,从而防止水和氢气进入氧化物半导体层。由此,获取氧化物半导体层296和297(图6C)。

[0214] 例如,可执行GRTA作为第一热处理,通过GRTA将基板移入加热到高达650°C至700°C的高温的惰性气体中,加热数分钟,并且从加热到高温的惰性气体中移出。通过GRTA,可实现短时间段的高温热处理。

[0215] 形成与氧化物半导体层296和297接触的氧化物绝缘层246作为保护绝缘膜。

[0216] 氧化物绝缘层246的厚度为至少1nm,并且可适当地通过使诸如水或氢气之类的杂质不进入氧化物绝缘层246的方法(诸如溅射法)来形成。当氧化物绝缘层246中含氢时,导致氢进入氧化物半导体层或通过氢提取氧化物半导体层中的氧,由此使得氧化物半

导体层与氧化物绝缘层 246 接触的区域具有较低电阻（具有 n 型导电性）并且形成寄生沟道。因此，采用不使用氢气的膜形成方法来形成含尽可能少的氢的氧化物绝缘层 246 是重要的。

[0217] 在本实施例中，通过溅射法形成厚度为 200nm 的氧化硅膜作为氧化物绝缘层 246。膜形成中的基板温度可能高于或等于室温且低于或等于 300℃，而在本实施例中为 100℃。可在稀有气体（通常是氩气）气氛、氧气气氛、或者稀有气体（通常是氩气）和氧气的气氛中通过溅射法进行氧化硅膜的形成。可使用氧化硅靶或硅靶作为靶。例如，通过使用硅靶，可在氧气和氮气的气氛下通过溅射法来形成氧化硅。使用不包括诸如水分、氢离子和 OH 之类的杂质且阻挡这些杂质从外部进入的无机绝缘膜作为形成为与其电阻减小的氧化物半导体层接触的氧化物绝缘层 246。通常，可使用氧化硅膜、氮氧化硅膜、氧化铝膜、或氮氧化铝膜等。

[0218] 接下来，在惰性气体气氛或氧气气氛（优选在高于或等于 200℃ 且低于或等于 400℃ 的温度，例如，在高于或等于 250℃ 且低于或等于 350℃）中进行第二热处理。例如，在氮气气氛中，在 250℃ 下进行第二热处理达 1 小时。在第二热处理中，氧化物半导体层的各部分（沟道形成区）被加热，同时与氧化物绝缘层 246 接触。

[0219] 通过这些步骤，在沉积的氧化物半导体膜上进行用于脱水或脱氢的热处理以减小氧化物半导体膜的电阻，并且随后选择性地使部分氧化物半导体膜处于过氧状态。因此，形成 i 型氧化物半导体层 242 和 262。由此，形成薄膜晶体管 240 和 260。

[0220] 还可在高于或等于 100℃ 且低于或等于 200℃ 的温度下在空气中进行热处理达大于或等于 1 小时且小于或等于 30 小时。在本实施例中，在 150℃ 下进行热处理达 10 小时。可在固定加热温度下进行该热处理。替换地，可重复多次地进行加热温度的以下改变：加热温度从室温上升到高于或等于 100℃ 且低于或等于 200℃，并且随后下降到室温。此外，该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下，可缩短热处理时间。通过这种热处理，将氢从氧化物半导体层引入氧化物绝缘层；由此，可获取常态截止的薄膜晶体管。因此，可改进液晶显示设备的可靠性。

[0221] 还可在氧化物绝缘层 246 上形成保护绝缘层。例如，通过 RF 溅射法形成氮化硅膜。在本实施例中，使用氮化硅膜形成保护绝缘层 293（参见图 6D）。

[0222] 用于平面化的平面化绝缘层可设置在保护绝缘层 293 上。在本实施例中，如图 6E 所示，在薄膜晶体管 260 上平面化绝缘层 294 形成在保护绝缘层 293 上。

[0223] 接下来，进行第四光刻步骤。形成抗蚀剂掩模，并且选择性地蚀刻以去除部分平面化绝缘层 294、部分保护绝缘层 293 和部分氧化物绝缘层 246，从而形成到达漏电极层 265b 的开口。

[0224] 接下来，形成透光导电膜，并且进行第五光刻步骤。形成抗蚀剂掩模，并且通过蚀刻来去除不必要的部分以形成像素电极 267。然后，去除抗蚀剂掩模（参见图 6E）。

[0225] 在本实施例中，在栅绝缘层中形成开口的步骤在附图中未示出；然而，在栅绝缘层中形成开口的步骤可在与氧化物绝缘层和保护绝缘层相同的光刻步骤、或另一光刻步骤中进行。当该开口在另一光刻步骤中形成时，光刻步骤的数量为 6。

[0226] 包括使用在本实施例中描述的氧化物半导体层而形成的薄膜晶体管的液晶显示设备与实施例 1 中所描述的结构组合，由此在显示静止图像时可实现低功耗，并且可减少

图像失真。

[0227] 可与任一其他实施例适当组合地实现本实施例。

[0228] (实施例 5)

[0229] 在本实施例中,描述适用于本说明书中所公开的液晶显示设备的薄膜晶体管的示例。本实施例中要描述的薄膜晶体管 470 和薄膜晶体管 480 可分别被用作实施例 2 中的开关晶体管 1261 和像素晶体管 1211。

[0230] 在本实施例中,将参考图 7 描述薄膜晶体管的制造方法的示例,该示例与实施例 3 中的示例不同。由于除部分步骤以外图 7 示出的工艺部分与图 5A 至 5E 的工艺部分相同,因此相同的部分用相同的附图标记来指示,并且省略对相同部分的详细描述。

[0231] 根据实施例 1,在基板 400 上形成栅电极层 471 和 481,并且在其上堆叠栅绝缘层 402。

[0232] 接下来,形成氧化物半导体膜,并且在光刻步骤中将其处理成岛状氧化物半导体层。

[0233] 接下来,进行氧化物半导体层的脱水或脱氢。由于用于脱水或脱氢的第一热处理的温度被设为高于或等于 400°C,优选 425°C 或更高。注意,在温度为 425°C 或更高的情况下,热处理时间可以是 1 小时或更短,而在温度低于 425°C 的情况下,热处理时间长于 1 小时。在本实施例中,将基板引入作为热处理装置之一的电炉,并且在氮气气氛中对氧化物半导体层进行热处理。然后,氧化物半导体层不暴露于空气,从而防止水和氢气进入氧化物半导体层。由此,获取氧化物半导体层。之后,通过将高纯度氧气、高纯度 N<sub>2</sub>O 气体、或超干空气(具有 -40°C 或更低的露点,优选 -60°C 或更低)引入同一炉来进行冷却优选氧气和 N<sub>2</sub>O 气体不包括水、氢气等。此外,被引入热处理装置的氧气或 N<sub>2</sub>O 气体的纯度优选为 6N(99.9999%) 或更高,更优选为 7N(99.99999%) 或更高(即,氧气气体或 N<sub>2</sub>O 气体的杂质浓度优选为 1ppm 或更低,更优选为 0.1ppm 或更低)。

[0234] 热处理装置不限于电炉,并且例如可以是 RTA(快速热退火)装置,诸如 GRTA(气体快速热退火)装置或 LRTA(等快速热退火)装置。LRTA 装置是用于通过从诸如卤素灯、卤化金属灯、氙弧灯、碳弧灯、高压钠灯、或高压汞灯之类的灯发射的光(电磁波)辐射来对要处理对象加热的装置。另外,LRTA 装置不仅可设置有灯,而且设置有对要通过热传导或来自加热器(诸如电阻加热器)的热辐射处理的对象加热的设备。GRTA 是使用高温气体的热处理方法。可使用不与要通过热处理处理的对象反应的惰性气体(诸如氮气或稀有气体(诸如氩气))作为气体。可在 600°C 至 750°C 的温度下使用 RTA 法进行热处理达数分钟。

[0235] 此外,在用于脱水或脱氢的第一热处理之后,可在氧气或 N<sub>2</sub>O 气体的气氛中,在高于或等于 200°C 且低于或等于 400°C(优选高于或等于 200°C 且低于或等于 300°C)的温度下进行热处理。

[0236] 可对尚未处理成岛状氧化物半导体层的氧化物半导体膜进行氧化物半导体层的第一热处理。在此情况下,在第一热处理之后从加热装置取出基板,并且随后进行光刻步骤。

[0237] 通过这些步骤使整个氧化物半导体膜包含过量氧,由此氧化物半导体膜具有更高的电阻,即变成 i 型。因此,形成其整个区域都是 i 型的氧化物半导体层 472 和 482。

[0238] 接下来,通过光刻步骤在氧化物半导体层 472 和 482 上形成抗蚀剂掩模,并且选择

性地进行蚀刻以形成源电极层 475a 和 485a、以及漏电极层 475b 和 485b,并且随后通过溅射法形成氧化物绝缘层 416。由此,可形成薄膜晶体管 470 和 480。

[0239] 接下来,为了减少薄膜晶体管的电特性的变化,在惰性气体气氛或氮气气氛中进行热处理(优选在 150℃或更高且低于 350℃)。例如,在氮气气氛中,在 250℃进行热处理达 1 小时。

[0240] 还可在高于或等于 100℃且低于或等于 200℃的温度下在空气中进行热处理达大于或等于 1 小时且小于或等于 30 小时。在本实施例中,在 150℃下进行热处理达 10 小时。可在固定加热温度进行该热处理。替换地,可重复多次地进行加热温度的以下改变:加热温度从室温上升到高于或等于 100℃且低于或等于 200℃,并且随后下降到室温。此外,该热处理可在形成氧化物绝缘膜之前在减小的压力下进行。在减小的压力下,可缩短热处理时间。通过这种热处理,将氢从氧化物半导体层引入氧化物绝缘层;由此,可获取常态截止的薄膜晶体管。因此,可改进液晶显示设备的可靠性。

[0241] 在氧化物绝缘层 416 上形成保护绝缘层 403。在本实施例中,使用氮化硅膜形成保护绝缘层 403 作为保护绝缘层。

[0242] 用于平面化的平面化绝缘层可设置在保护绝缘层 403 上。在本实施例中,如图 7 所示,在薄膜晶体管 480 上平面化绝缘层 404 形成在保护绝缘层 403 上。

[0243] 接下来,进行光刻步骤。形成抗蚀剂掩模,并且选择性地蚀刻以去除部分平面化绝缘层 404、部分保护绝缘层 403 和部分氧化物绝缘层 416,从而形成到达漏电极层 485b 的开口。

[0244] 接下来,形成透光导电膜,并且进行光刻步骤。形成抗蚀剂掩模,并且通过蚀刻来去除不必要的部分以形成像素电极 487。然后,去除抗蚀剂掩模(参见图 7)。

[0245] 包括使用在本实施例中描述的氧化物半导体层而形成的薄膜晶体管的液晶显示设备与实施例 1 中所描述的结构组合,由此在显示静止图像时可实现低功耗,并且可减少图像失真。

[0246] 可与任一其他实施例适当组合地实现本实施例。

[0247] (实施例 6)

[0248] 在本实施例中,描述各自包括任一实施例中所述的液晶显示设备的电子电器的示例。

[0249] 图 8A 示出可包括外壳 9630、显示部分 9631、扬声器 9633、操作键 9635、连接端子 9636、记录介质读取部分 9672 等的便携式游戏机。图 8A 所示的便携式游戏机可具有读取存储在记录介质中的程序或数据以显示在显示部分上的功能、通过无线通信与另一便携式游戏机共享信息的功能等。图 8A 所示的便携式游戏机可具有不限于以上功能的各种功能。

[0250] 图 8B 示出可包括外壳 9630、显示部分 9631、扬声器 9633、操作键 9635、连接端子 9636、快门按钮 9676、图像接收部分 9677 等的数码相机。具有图 8B 所示的电视接收功能的数码相机可具有各种功能,诸如拍摄静止图像和活动图像的功能,主动地或手动地调整拍摄图像的功能、从天线获取各种信息的功能、存储拍摄天线或从天线所获取的信息的功能、以及在显示部分上显示拍摄图像或从天线获取的信息的功能。注意,具有图 8B 所示的电视接收功能的数码相机的功能不限于这些功能,并且具有电视接收功能的数码相机可具有其他各种功能。

[0251] 图 8C 示出可包括外壳 9630、显示部分 9631、扬声器 9633、操作键 9635、连接端子 9636 等的电视接收机。图 8C 所示的电视机具有处理电视电波并将该电波转换成图像信号的功能、处理图像信号并将该图像信号转换成适于显示的信号的功能、转换图像信号的帧频率的功能等。注意,图 8C 所示的电视机可具有不限于以上功能的各种功能。

[0252] 图 9A 示出可包括外壳 9630、显示部分 9631、扬声器 9633、操作键 9635、定点设备 9681 等的计算机。图 9A 所示的计算机可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、通过各种软件(程序)控制处理的功能、诸如无线通信或有线通信之类的通信功能、通过使用通信功能连接到各种计算机网络的功能、通过使用通信功能发射或接收各种数据的功能等。注意,图 9A 所示的计算机的功能不限于这些功能,并且计算机可具有其他各种功能。

[0253] 图 9B 示出可包括外壳 9630、显示部分 9631、扬声器 9633、操作键 9635、话筒 9638、外部连接部分 9680 等的移动电话。图 9B 所示的移动电话可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、在显示部分上显示日历、日期、时间等的功能、操作或编辑显示部分上所显示的信息的功能、通过各种软件(程序)控制处理的功能等。注意,图 9B 所示的移动电话不限于具有这些功能,并且可具有各种功能。

[0254] 图 9C 示出可包括外壳 9630、显示部分 9631、操作键 9635 等的设备,该设备可包括电子纸(也称为电子书或电子书阅读器)。图 9C 所示的电子书阅读器可具有在显示部分上显示各种信息(例如,静止图像、活动图像、以及文本图像)的功能、在显示部分上显示日历、日期、时间等的功能、操作或编辑显示部分上所显示的信息的功能、通过各种软件(程序)控制处理的功能等。注意,图 9C 所示的电子书阅读器可具有不限于以上功能的各种功能。

[0255] 在本实施例中所述的电子电器中,在显示静止图像时可实现低功耗,并且可减少图像失真。

[0256] 可与其他实施例中所述的任一结构适当组合地实现本实施例。

[0257] (实施例 7)

[0258] 在本实施例中,将描述包括氧化物半导体的底栅晶体管的操作原理。

[0259] 图 10 是包括氧化物半导体的倒交错绝缘栅晶体管的截面图。氧化物半导体层(OS)设置在具有插在中间的栅绝缘膜(GI)的栅电极(GE1)上,并且源电极(S)和漏电极(D)设置在该栅绝缘膜上上。

[0260] 图 11A 和 11B 是沿图 10 所示的 A-A' 截面的能带图(示意图)。图 11A 示出其中施加到源极的电压电位等于施加到漏极的电压电位( $V_D = 0V$ )的情况,而图 11b 示出其中相对于源极的正电位被施加到漏极( $V_D > 0$ )的情况。

[0261] 图 12A 和 12B 是沿图 10 所示的 B-B' 截面的能带图(示意图)。图 12A 示出其中正电位(+ $V_G$ )被施加到栅极(G1)并且载流子(电子)在源极和漏极之间流动的导通状态。图 12B 是其中负电位(- $V_G$ )被施加到栅极(G1)而少数载流子不流动的截止状态。

[0262] 图 13 示出真空能级和金属的功函数( $\phi_M$ )之间、以及真空能级和氧化物半导体的电子亲和性( $\chi$ )之间的关系。

[0263] 金属中的电子在室温下简并,从而费米能级位于导带中。相反,常规氧化物半导体一般为 n 型,并且此情况下的费米能级( $E_F$ )位于更接近导带,并且远离位于带隙中间的本

征费米能级 ( $E_i$ )。氧化物半导体中的一些氢用作施体且是导致氧化物半导体成为 n 型的一个因素是已知的。

[0264] 另一方面,本发明的氧化物半导体是本征 (i 型) 或基本本征的氧化物半导体,其通过从氧化物半导体去除作为 n 型杂质的氢并且提纯氧化物半导体、以尽可能多地防止其中包含不同于氧化物半导体的主组分的杂质来获取。换句话说,特征在于,经提纯的 i 型 (本征) 半导体、或接近其的半导体不是通过添加杂质、而是通过尽可能多地去除杂质 (诸如氢气或水) 来获取。这使得费米能级 ( $E_f$ ) 处于与本征费米能级 ( $E_i$ ) 相同的能级。

[0265] 在氧化物半导体的带隙 ( $E_g$ ) 为 3.15eV 的情况下,电子亲和性 ( $\chi$ ) 为 4.3eV。源电极和漏电极中所包括的钛 (Ti) 的功函数基本上等于氧化物半导体的电子亲和性 ( $\chi$ )。在此情况下,在金属和氧化物半导体之间的界面处不形成电子的肖特基势垒。

[0266] 换句话说,在金属的功函数 ( $\phi_M$ ) 和氧化物半导体的电子亲和性 ( $\chi$ ) 彼此相等且金属和氧化物半导体彼此接触的情况下,获取图 11A 所示的能带图 (示意图)。

[0267] 在图 11B 中,黑圆圈 (●) 表示电子,并且当正电位被施加到漏极时,电子被注入势垒 (h) 上的氧化物半导体,并且流向漏极。在此情况下,势垒的高度 (h) 取决于栅电压和漏电压而改变;在施加正漏电压的情况下,势垒的高度 (h) 小于图 11A 中未施加电压时的势垒的高度 (即,带隙 ( $E_g$ ) 的 1/2)。

[0268] 此时注入氧化物半导体的电子在图 12A 所示的氧化物半导体中流动。另外,在图 12B 中,当负电位被施加到栅电极 (G1) 时,电流值极为接近零,因为作为少数载流子的空穴基本上为零。

[0269] 例如,即使当如上所述的绝缘栅晶体管具有  $1 \times 10^4 \mu\text{m}$  的沟道宽度 W 和  $3 \mu\text{m}$  的沟道长度时,截止状态电流为  $10^{-13}\text{A}$  或更小,而子阈值摆动 (S 值) 为 0.1V/dec (栅绝缘膜的厚度:100nm)。

[0270] 注意,硅半导体的本征载流子密度为  $1.45 \times 10^{10}/\text{cm}^3$  (300K),并且载流子甚至在室温下也存在。这意味着热激励载流子甚至在室温下也存在。实际上使用添加有诸如磷或硼之类的杂质的硅晶片。另外,即使在所谓本征硅晶片中,也存在无法控制的杂质。因此,实际上在硅半导体中存在  $1 \times 10^{14}/\text{cm}^3$  或更多的载流子,这有助于源极和漏极之间的导通。此外,硅半导体的带隙为 1.12eV,并且由此包括硅半导体的晶体管的截止状态电流根据温度而显著地改变。

[0271] 因此,不是通过简单地将具有宽带隙的氧化物半导体用于晶体管、而是通过提纯氧化物半导体来尽可能多地防止其中包含不同于主组分的杂质以使载流子浓度变成小于  $1 \times 10^{14}/\text{cm}^3$  (优选  $1 \times 10^{12}/\text{cm}^3$  或更小),可消除在实际操作温度下热激励的载流子,并且晶体管可只用从源侧注入的载流子来操作。这使得截止状态电流下降到  $1 \times 10^{-17}\text{A}$  或更小并且获取其截止状态电流几乎不随着温度的改变而改变且能够极稳定操作的晶体管成为可能。

[0272] 本发明的技术思想是,不向氧化物半导体添加杂质,而相反氧化物半导体本身通过去除不期望存在其中的杂质 (诸如水或氢气) 来提纯。换句话说,本发明的一个实施例的特征在于,氧化物半导体本身通过去除形成施体能级的水或氢气、并且进一步通过充分地供应氧以消除氧缺陷来提纯。

[0273] 在氧化物半导体中,即使在沉积之后不久,通过二次离子质谱法 (SIMS) 观察到  $10^{20}/\text{cm}^3$  数量级的氢。本发明的一个技术思想是,通过有意去除形成施体能级的杂质 (诸如

水或氢)、并且进一步通过将在去除水或氢时减少的氧(氧化物半导体的组分之一)添加到氧化物半导体,来提纯氧化物半导体并获取电 i 型(本征)半导体。

[0274] 因此,优选氢的量尽可能地少,并且还优选氧化物半导体中载流子的数量尽可能地少。氧化物半导体是经提纯的 i 型(本征)半导体,其在用于绝缘栅晶体管时已消除载流子且给出作为如半导体的载流子路径的含义(而不是有意包括载流子作为半导体)。

[0275] 因此,通过从氧化物半导体完全消除载流子或显著地减少其中的载流子,截止状态电流可在绝缘栅晶体管中减小,这是本发明的一个实施例的技术思想。换句话说,作为准则,氢浓度应当为  $1 \times 10^{16}/\text{cm}^3$  或更小,而载流子浓度应当为小于  $1 \times 10^{14}/\text{cm}^3$ , 优选  $1 \times 10^{12}/\text{cm}^3$  或更小。根据本发明的技术思想,理想的氢浓度和载流子浓度为 0、或者接近 0。

[0276] 另外,因此,氧化物半导体用作路径,并且氧化物半导体本身是被提纯以不包括载流子或极少载流子的 i 型(本征)半导体,并且载流子由源侧上的电极供应。供应的程度通过从氧化物半导体的电子亲和性  $\chi$ 、理想地与本征费米能级相对应的费米能级、以及源极或漏电极的功函数获取的势垒高度来确定。

[0277] 因此,优选截止状态电流尽可能地小,并且本发明的一个实施例的特征在于,在施加 1V 至 10V 的漏电压的绝缘栅晶体管的特性中,截止状态电流为  $10\text{aA}/\mu\text{m}$ (沟道宽度 W 中的每微米)或更小,优选  $1\text{aA}/\mu\text{m}$  或更小。

[0278] (实施例 8)

[0279] 在本实施例中,将在下文中描述使用测试元件组(也称为 TEG)所测量的截止状态电流值。

[0280] 图 14 示出具有  $L/W = 3\mu\text{m}/10000\mu\text{m}$  的薄膜晶体管的初始特性,其中各自具有  $L/W = 3\mu\text{m}/50\mu\text{m}$  的薄膜晶体管并联连接。另外,俯视图在图 15A 中示出,而其部分放大的俯视图在图 15B 中示出。图 15B 中的虚线所包围的区域是具有  $L/W = 3\mu\text{m}/50\mu\text{m}$  和  $L_{ov} = 1.5\mu\text{m}$  的一级的薄膜晶体管。为了测量薄膜晶体管的初始特性,在基板稳定被设为室温、源极和漏极之间的电压(在下文中为漏电压或  $V_d$ )被设为 10V、以及源极和栅极之间的电压(在下文中为栅电压或  $V_g$ )从  $-20\text{V}$  改变到  $+20\text{V}$  的条件下测量源漏电流(在下文中称为漏电流或  $I_d$ )的变化特性。注意,图 14 示出在从  $-20\text{V}$  到  $+5\text{V}$  的范围内的  $V_g$ 。

[0281] 如图 14 所示,沟道宽度 W 为  $10000\mu\text{m}$  的薄膜晶体管在 1V 和 10V 的  $V_d$  时具有  $1 \times 10^{12}\text{A}$  或更小的截止状态电流,其小于或等于测量设备(Agilent 科技公司制造的一种半导体参数分析仪 Agilent 4156C)的分辨率( $100\text{fA}$ )。

[0282] 描述用于制造测量用的薄膜晶体管的方法。

[0283] 首先,通过 CVD 法在玻璃基板上形成氮化硅层来作为基层,并且在该氮化硅层上形成氧氮化硅层。通过溅射法在氧氮化硅层上形成钨层来作为栅电极层。在此,通过选择性地蚀刻钨层来形成栅电极层。

[0284] 然后,通过 CVD 法在栅电极层上形成厚度为 100nm 的氧氮化硅层来作为栅绝缘层。

[0285] 然后,通过溅射法使用 In-Ga-Zn-O 基氧化物半导体靶(以  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  的摩尔比)在栅绝缘层上形成厚度为 50nm 的氧化物半导体层。在此,通过选择性地蚀刻氧化物半导体层来形成岛状氧化物半导体层。

[0286] 然后,在氮气气氛中,在干净烘箱中在  $450^\circ\text{C}$  对氧化物半导体层进行第一热处理达 1 小时。

[0287] 然后,通过溅射法在氧化物半导体层上形成钛层(厚度为150nm)来作为源电极层和漏电极层。在此,通过选择性地蚀刻来形成源电极层和漏电极层,从而各自具有 $3\mu\text{m}$ 的沟道长度 $L$ 和 $50\mu\text{m}$ 的沟道宽度 $W$ 的200个薄膜晶体管并联连接以获取具有 $L/W = 3\mu\text{m}/10000\mu\text{m}$ 的薄膜晶体管。

[0288] 然后,通过反应溅射法形成厚度为300nm的氧化硅层来作为与氧化物半导体层接触的保护绝缘层。在此,通过选择性地蚀刻作为保护层的氧化硅层在栅电极层、源电极层、以及漏电极层中形成开口部分。之后,在氮气气氛中,在 $250^\circ\text{C}$ 进行第二热处理达1小时。

[0289] 然后,在测量 $V_g-I_d$ 特性之前,在 $150^\circ\text{C}$ 进行热处理达10小时。

[0290] 通过以上工艺,制造底栅薄膜晶体管。

[0291] 如图14所示薄膜晶体管的截止状态电流约为 $1 \times 10^{-12}\text{A}$ 的原因在于,氧化物半导体层中的氢浓度可能在以上制造工艺中充分地减小。氧化物半导体层中的氢浓度为 $1 \times 10^{16}$ 原子/ $\text{cm}^3$ 或更小。注意,氧化物半导体层中的氢浓度通过二次离子质谱法(SIMS)来测量。

[0292] 虽然描述了使用In-Ga-Zn-O基氧化物半导体的示例,但是本实施例不具体地受限于此。还可使用另一氧化物半导体材料,诸如In-Sn-Zn-O基氧化物半导体、Sn-Ga-Zn-O基氧化物半导体、Al-Ga-Zn-O基氧化物半导体、Sn-Al-Zn-O基氧化物半导体、In-Zn-O基氧化物半导体、In-Sn-O基氧化物半导体、Sn-Zn-O基氧化物半导体、Al-Zn-O基氧化物半导体、In-O基氧化物半导体、Sn-O基氧化物半导体、Zn-O基氧化物半导体。此外,可使用混合有2.5wt%至10wt%的 $\text{AlO}_x$ 的In-Al-Zn-O基氧化物半导体、或混合有2.5wt%至10wt%的 $\text{SiO}_x$ 的In-Zn-O基氧化物半导体作为氧化物半导体材料。

[0293] 由载流子测量设备测量的氧化物半导体层的载流子浓度小于硅的载流子浓度为 $1 \times 10^{14}/\text{cm}^3$ ,优选 $1 \times 10^{12}/\text{cm}^3$ 或更小。换句话说,可使氧化物半导体层的载流子浓度尽可能地接近零。

[0294] 薄膜晶体管的沟道长度 $L$ 还可以是大于或等于10nm且小于或等于1000nm,这使得电路操作速度增大,而截止状态电流极小,这使得功耗进一步减少。

[0295] 另外,在电路设计中,氧化物半导体层可被认为是薄膜晶体管处于截止状态时的绝缘体。

[0296] 之后,评估本实施例中所制造的薄膜晶体管的截止状态电流的温度特性。考虑到使用薄膜晶体管的最终产品的耐环境性、性能的维护等,温度特性是重要的。应当理解,少量的改变更加优选,这增加用于产品设计的自由程度。

[0297] 对于温度特性,在设置有薄膜晶体管的基板被保持于相应的恒温 $-30^\circ\text{C}$ 、 $0^\circ\text{C}$ 、 $25^\circ\text{C}$ 、 $40^\circ\text{C}$ 、 $60^\circ\text{C}$ 、 $80^\circ\text{C}$ 、 $100^\circ\text{C}$ 和 $120^\circ\text{C}$ 、漏电压被设为6V、以及栅电极从 $-20\text{V}$ 改变到 $+20\text{V}$ 的条件下使用恒温室来获取 $V_g-I_d$ 特性。

[0298] 图16A示出在以上温度测量且彼此叠加的 $V_g-I_d$ 特性,而图16B示出图16A中的虚线所包围的截止状态电流的范围的放大图。示图中的箭头所指示的最右边的曲线是在 $-30^\circ\text{C}$ 获取的曲线;最左边的曲线是在 $120^\circ\text{C}$ 获取的曲线,而在其他温度获取的曲线位于它们之间。可能很难观察到导通状态电流的温度依赖性。另一方面,如图16B的放大图中清楚示出地,除 $-20\text{V}$ 的栅电压附近处以外,在所有温度下截止状态电流小于或等于 $1 \times 10^{-12}\text{A}$ (其接近测量设备的分辨率),并且未观察到其温度依赖性。换句话说,即使在 $120^\circ\text{C}$ 的高温,截止状态电流被保持为小于或等于 $1 \times 10^{-12}\text{A}$ ,并且假设沟道宽度 $W$ 为

10000  $\mu\text{m}$ , 可看到截止状态电流相当小。

[0299] 包括如上所述的经提纯的氧化物半导体（经提纯的 OS）的薄膜晶体管示出截止状态电流对温度几乎没有依赖性。可以说, 氧化物半导体在被提纯时未示出温度依赖性, 因为导电类型变成极接近本征类型, 并且费米能级位于禁带中间, 如图 10 的带图中所示出的。这还由氧化物半导体具有 3eV 的能隙并包括很少的热激励载流子的事实产生。另外, 源区和漏区处于简并状态, 这也是用于示出无温度依赖性的因素。薄膜晶体管主要用从经简并的源区注入氧化物半导体的载流子来操作, 并且以上特性（截止状态电流对温度无依赖性）可通过载流子密度对温度无依赖性来进行解释。

[0300] 在存储器电路（存储器元件）等使用具有这种极小截止状态电流的薄膜晶体管来制造的情况下, 存在很少的泄漏。因此, 图像信号和公共电位可保持更长的一段时间。

[0301] 本申请基于 2009 年 10 月 30 日向日本专利局提交的日本专利申请 S/N. 2009-250517、2009 年 12 月 8 日向日本专利局提交的日本专利申请 S/N. 2009-279000, 这些申请的全部内容通过引用结合于此。

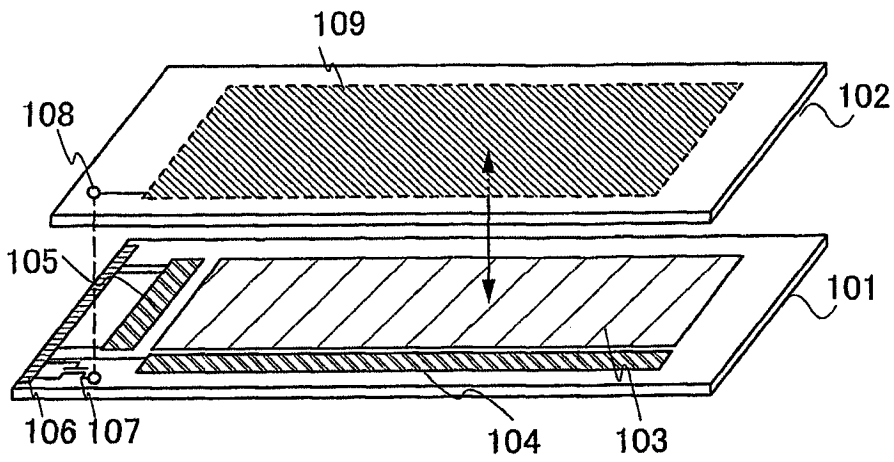


图 1A

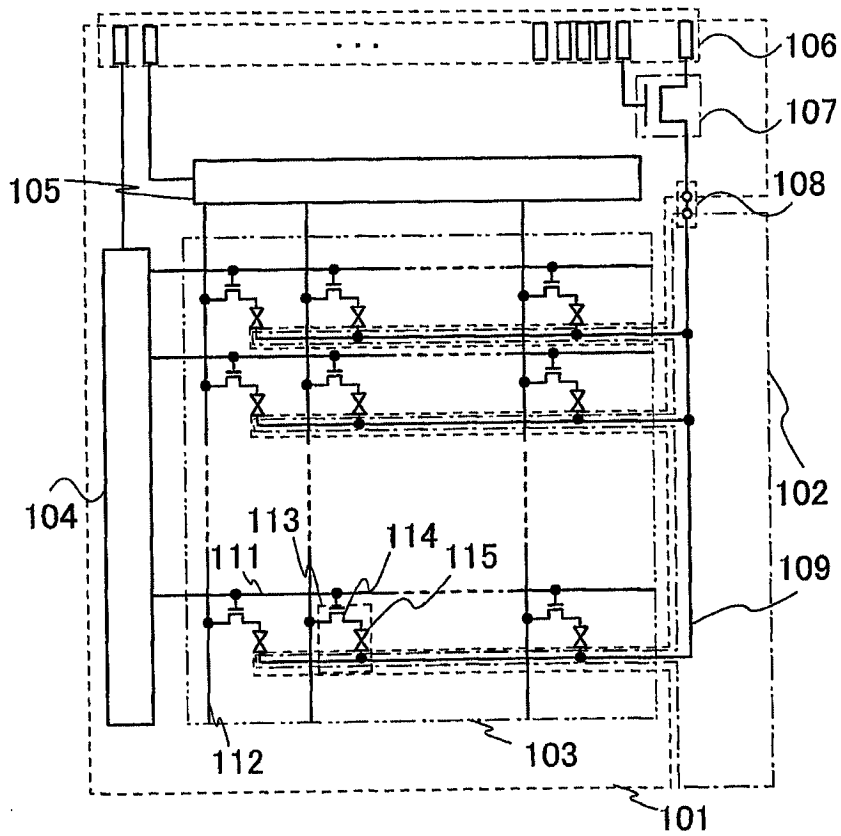


图 1B

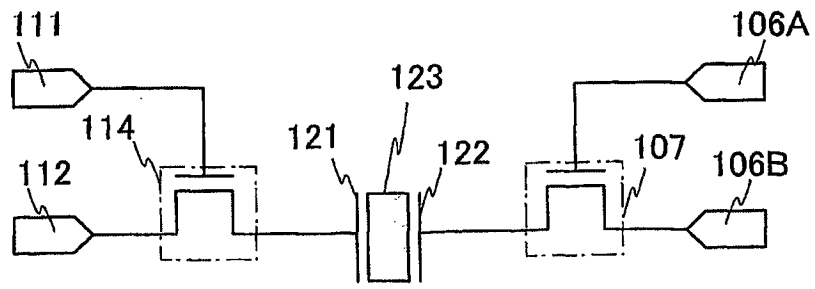


图 1C

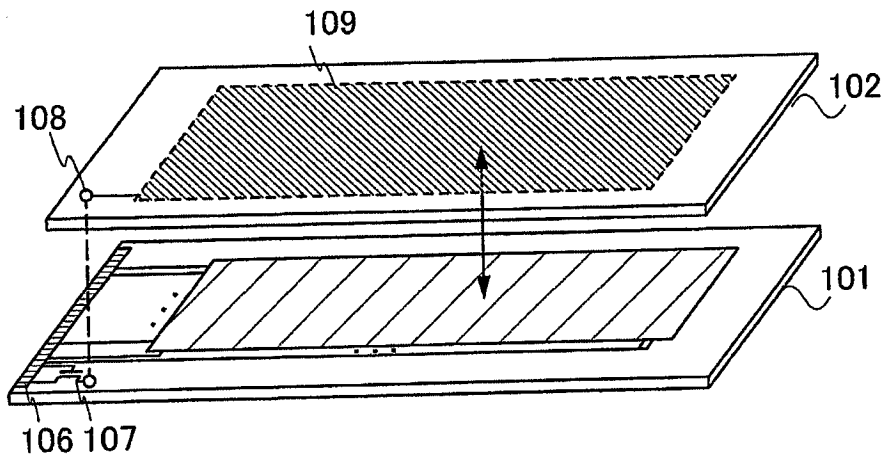


图 2

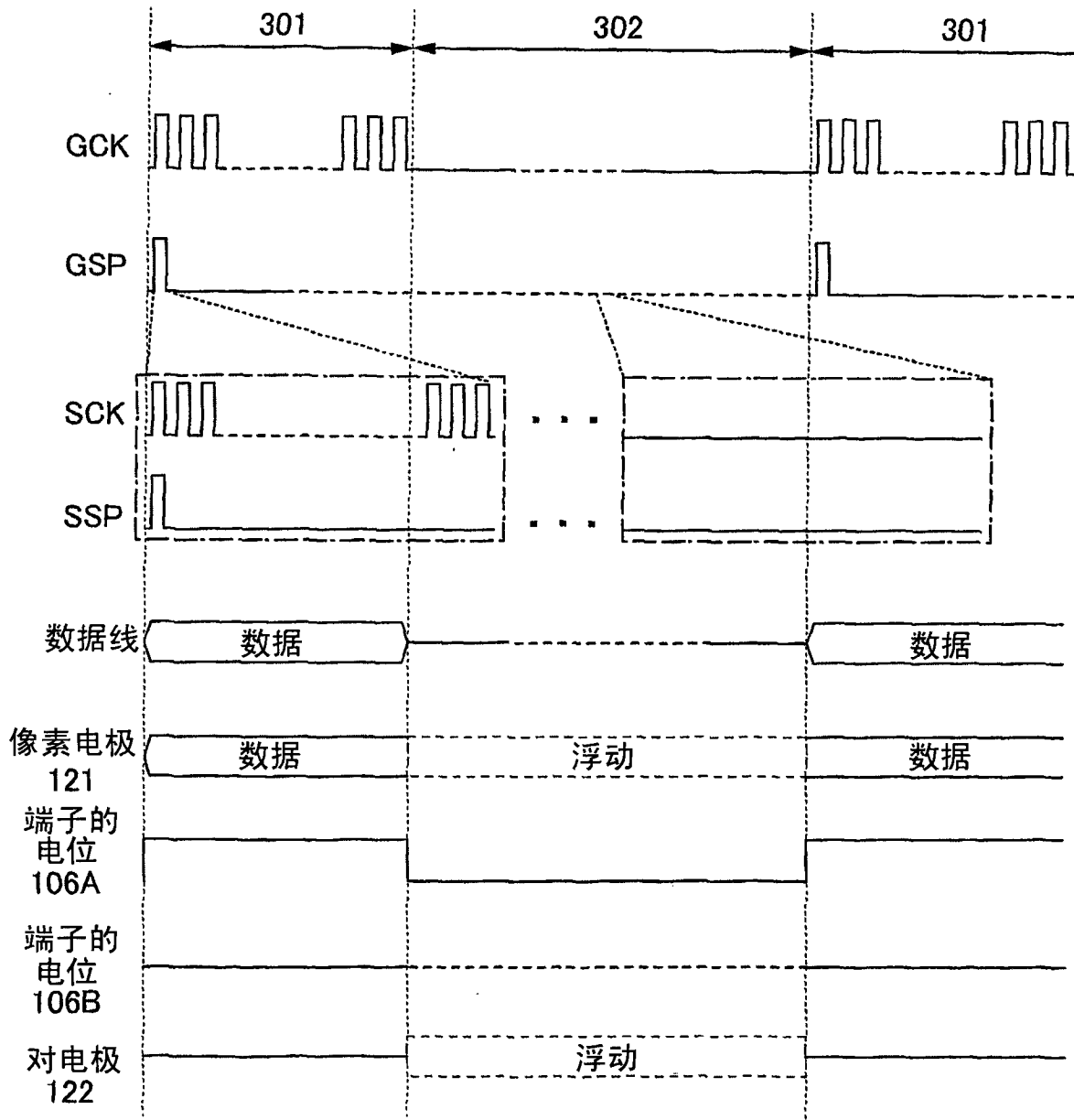


图 3

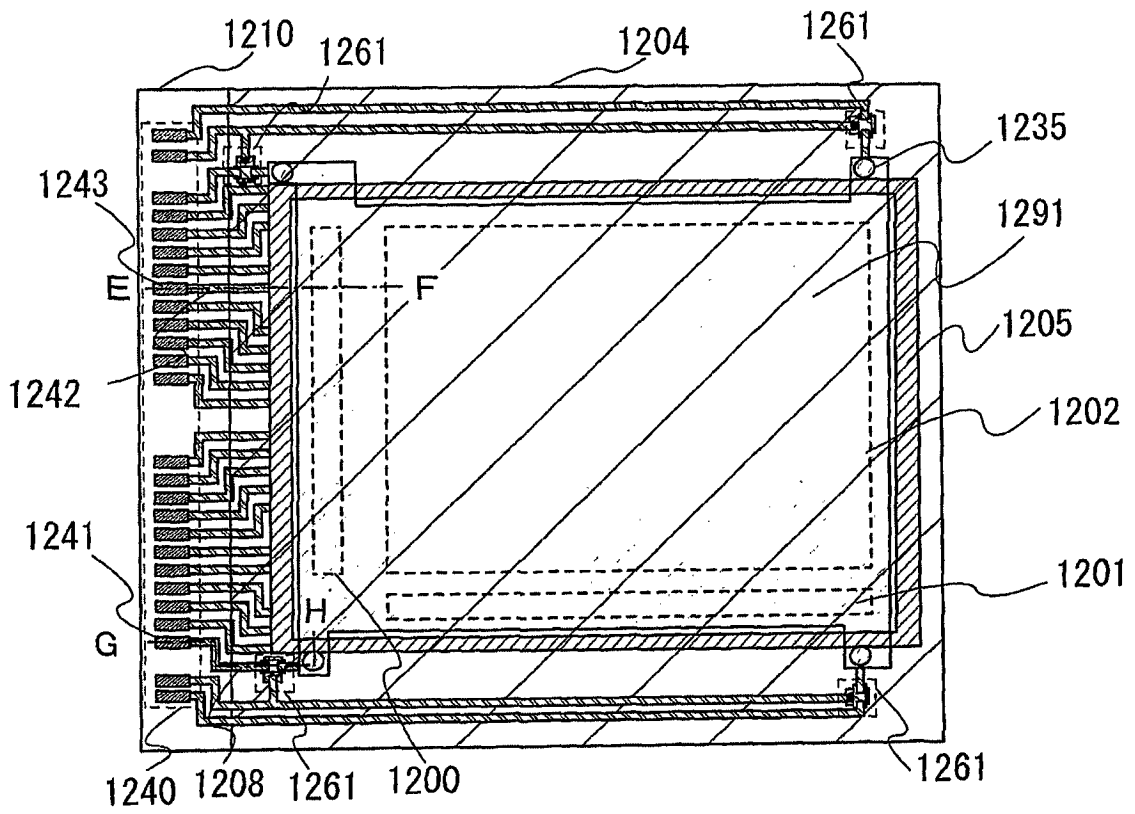


图 4A

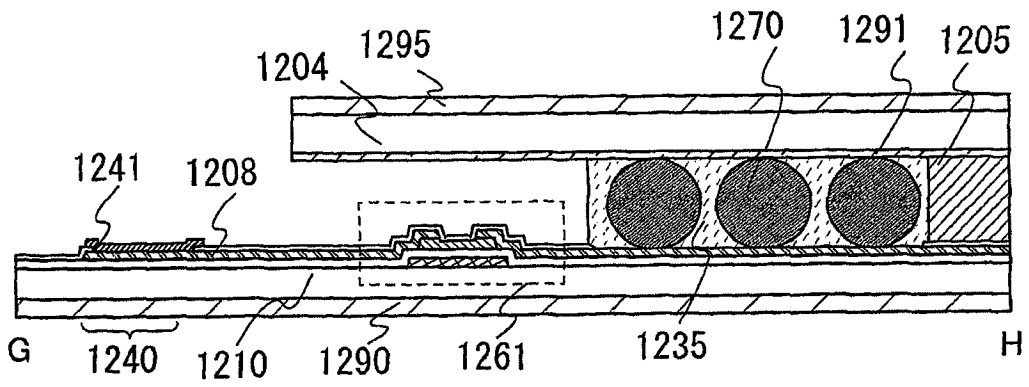


图 4B

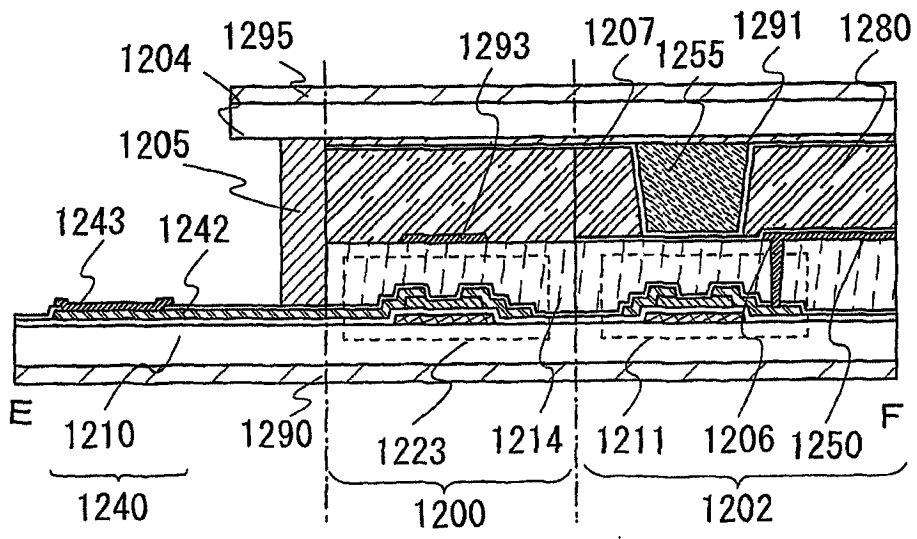


图 4C

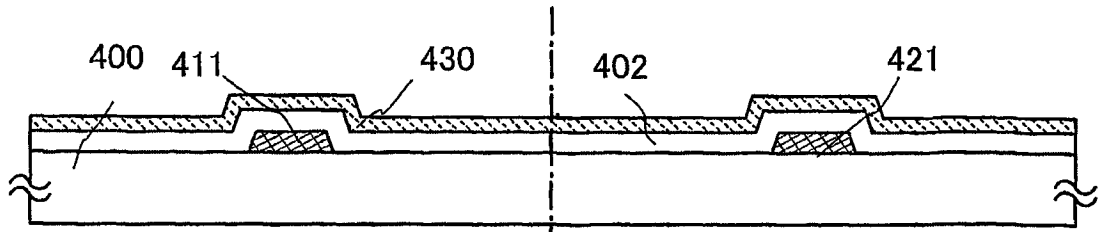


图 5A

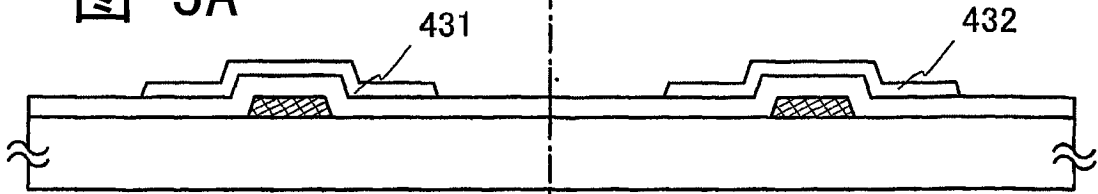


图 5B

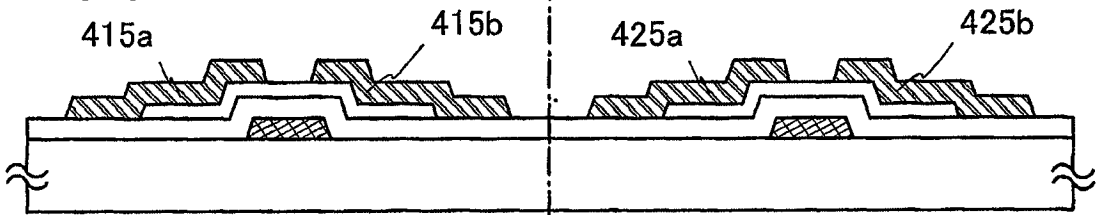


图 5C

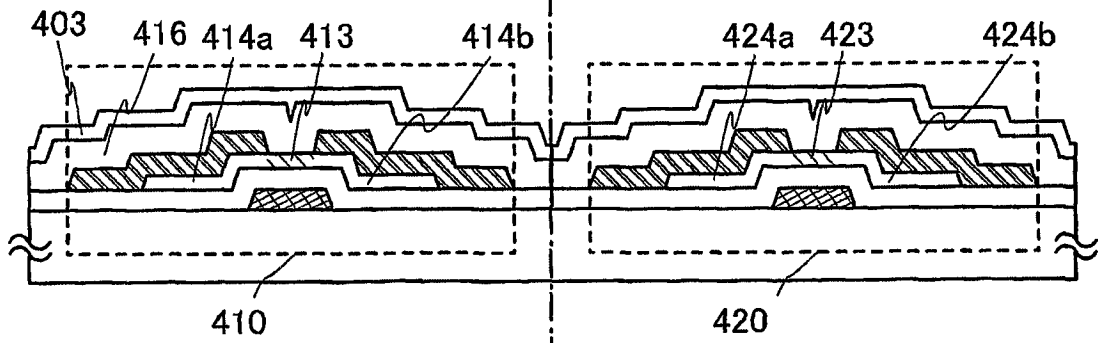


图 5D

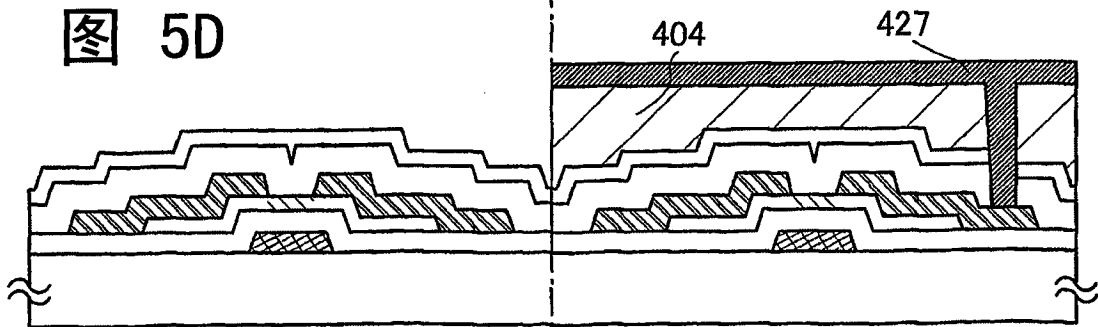


图 5E

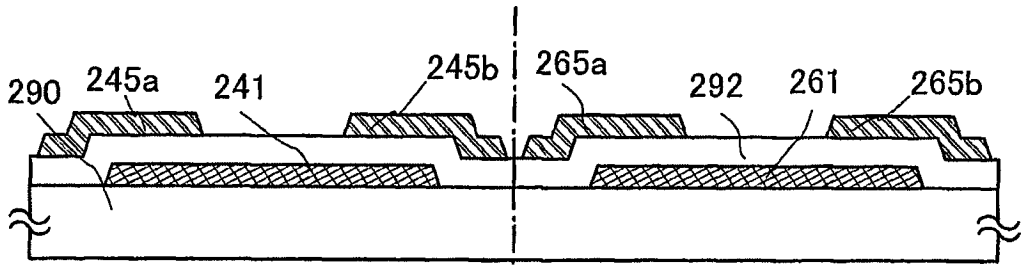


图 6A

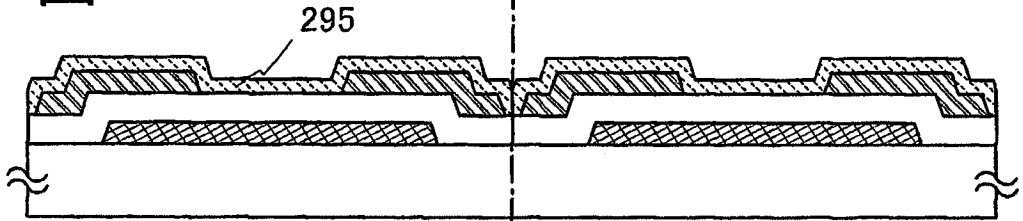


图 6B

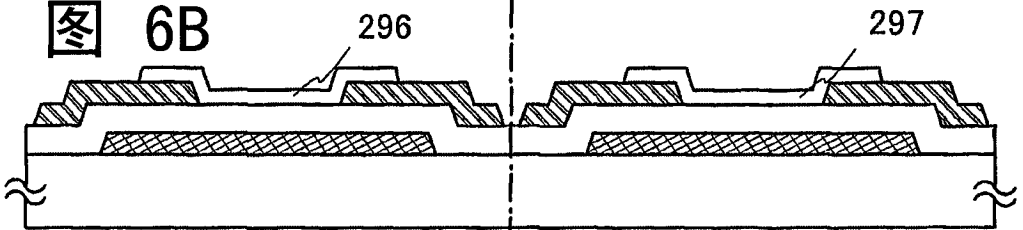


图 6C

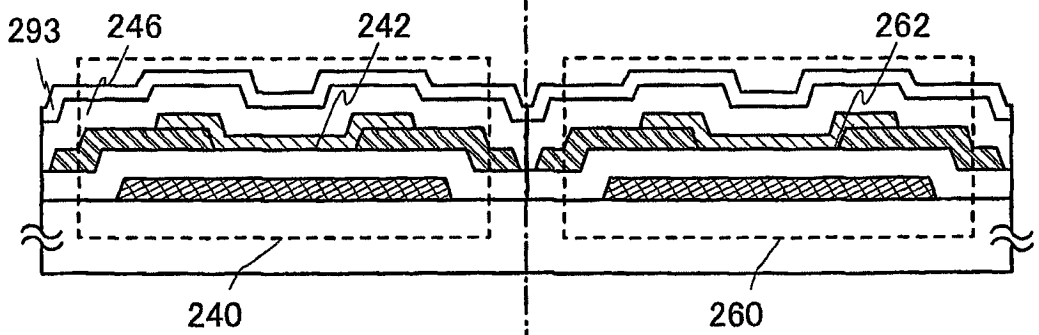


图 6D

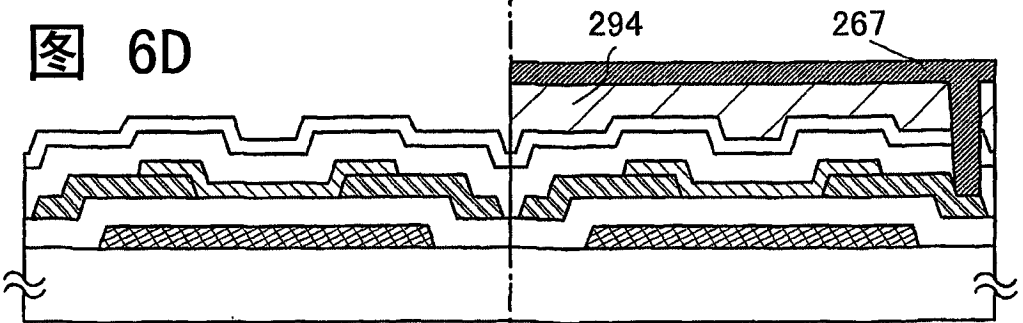


图 6E

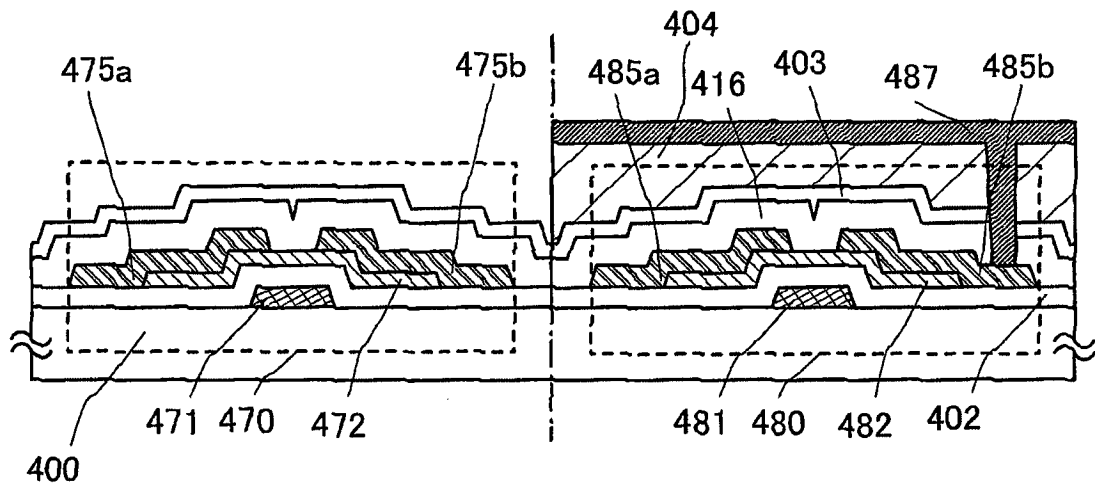


图 7

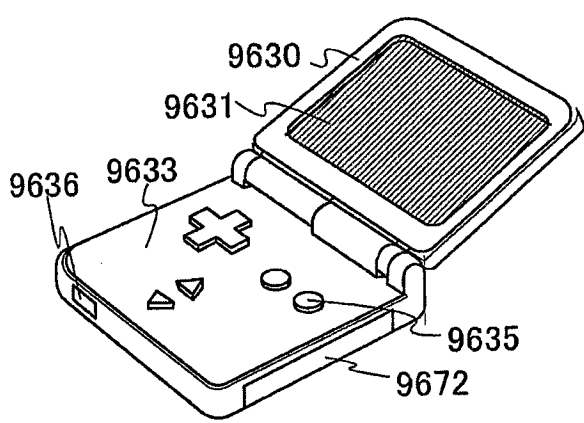


图 8A

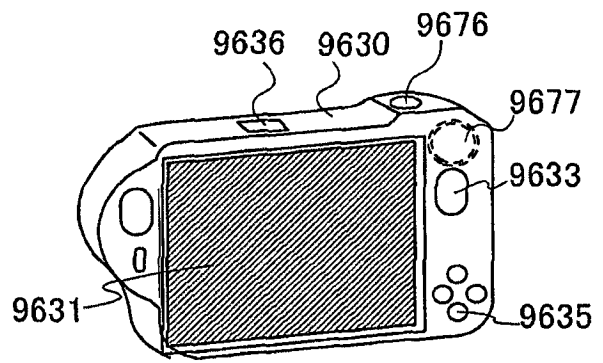


图 8B

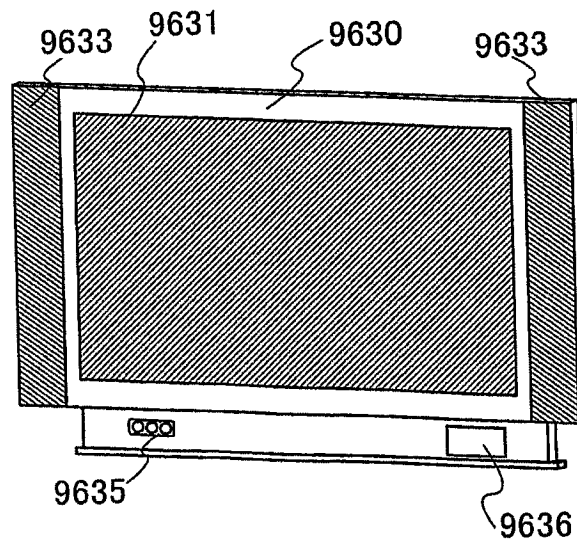


图 8C

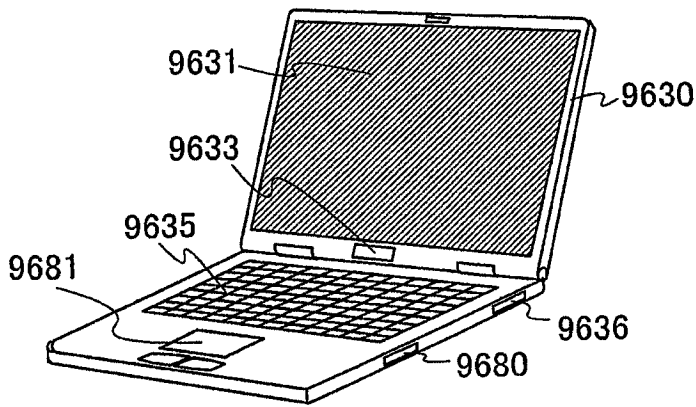


图 9A

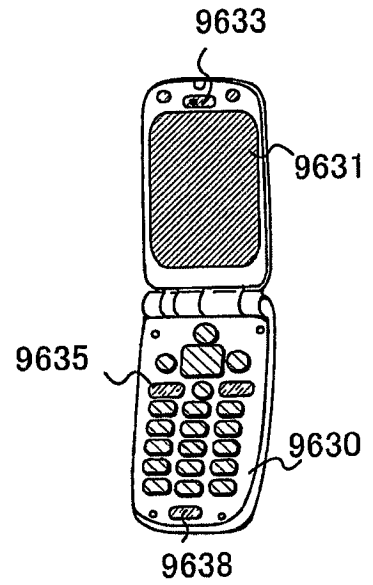


图 9B

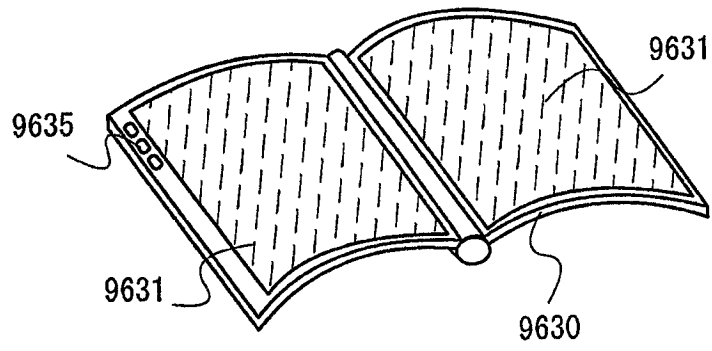


图 9C

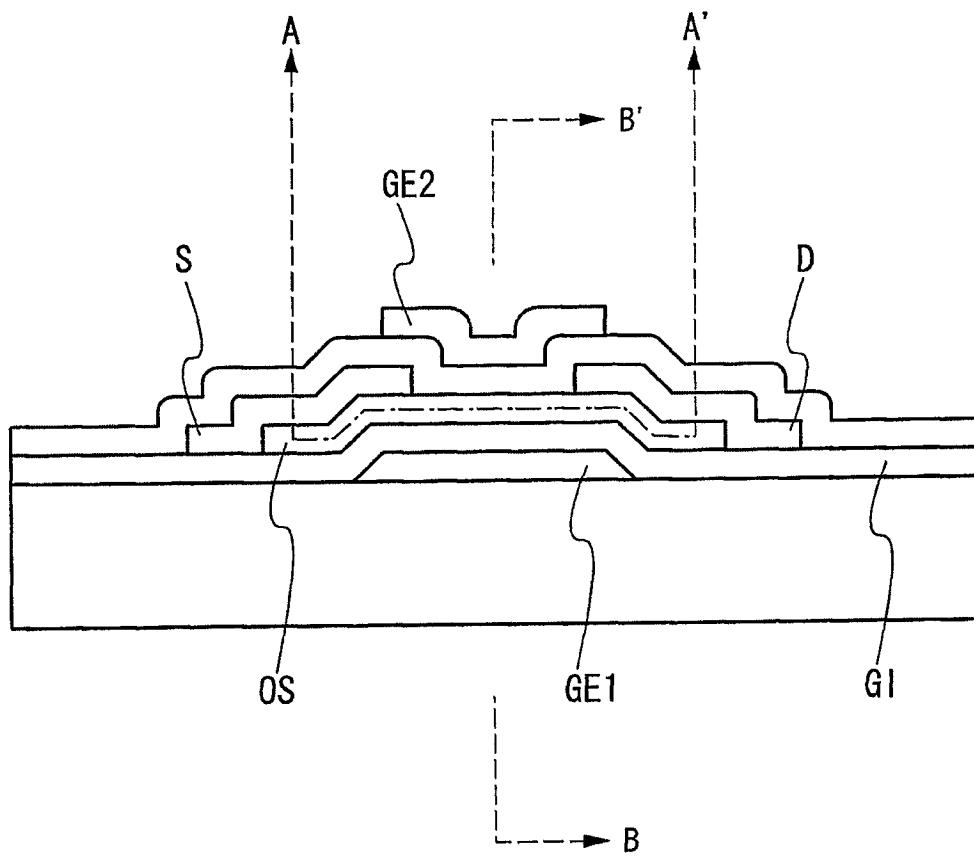


图 10

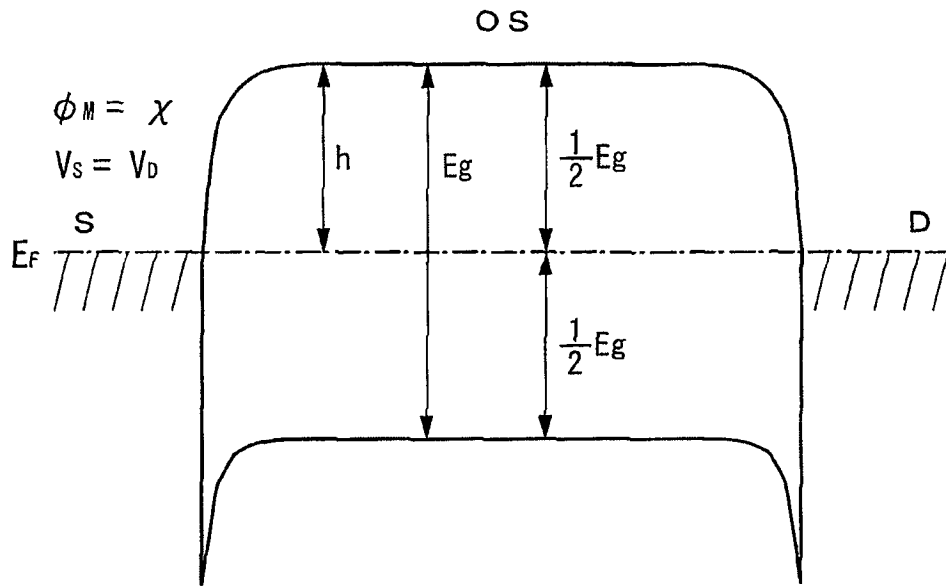


图 11A

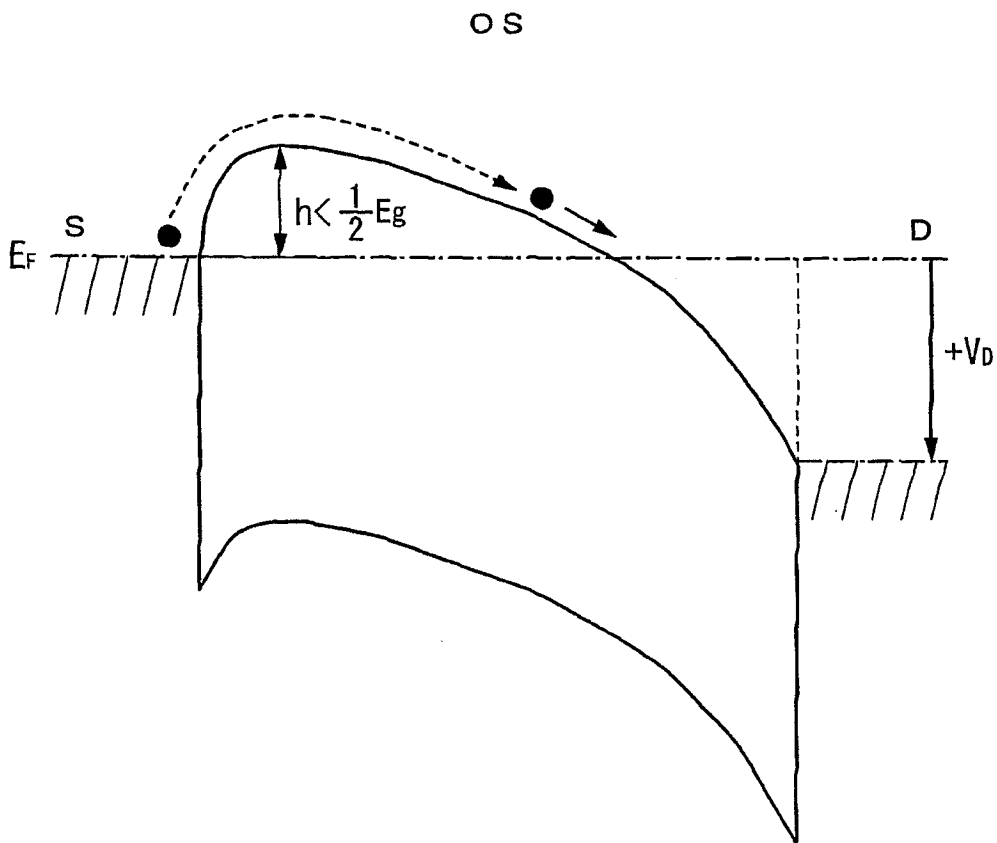


图 11B

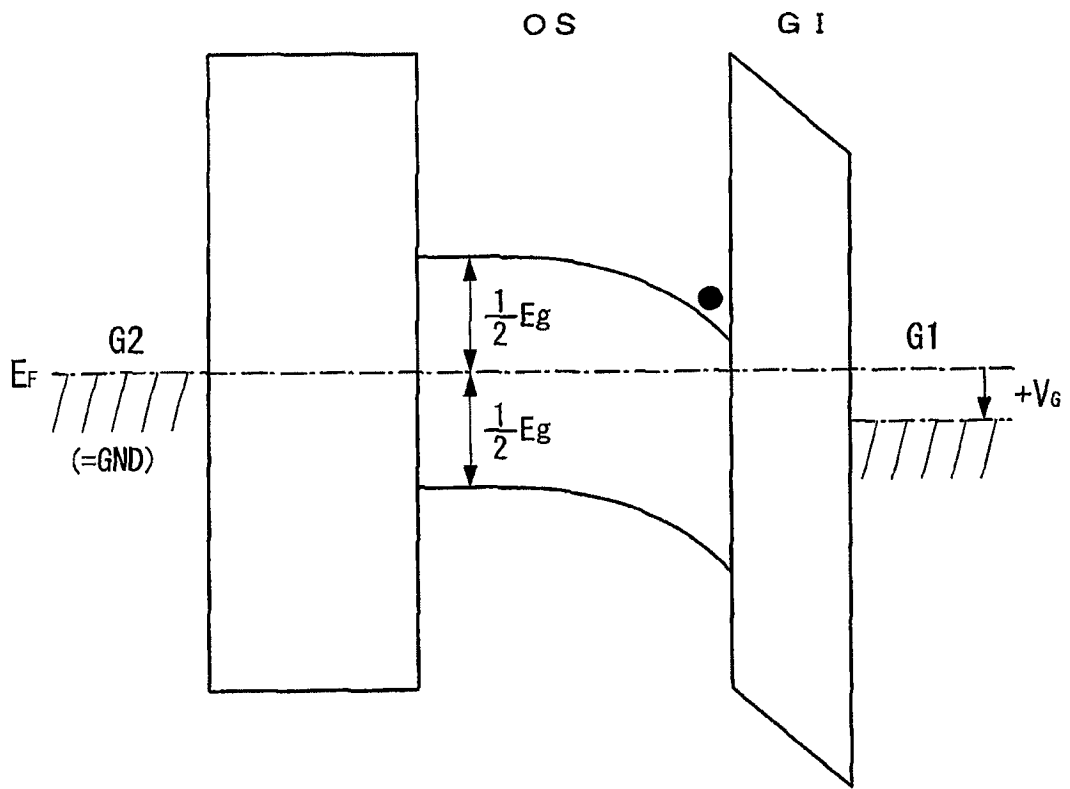


图 12A

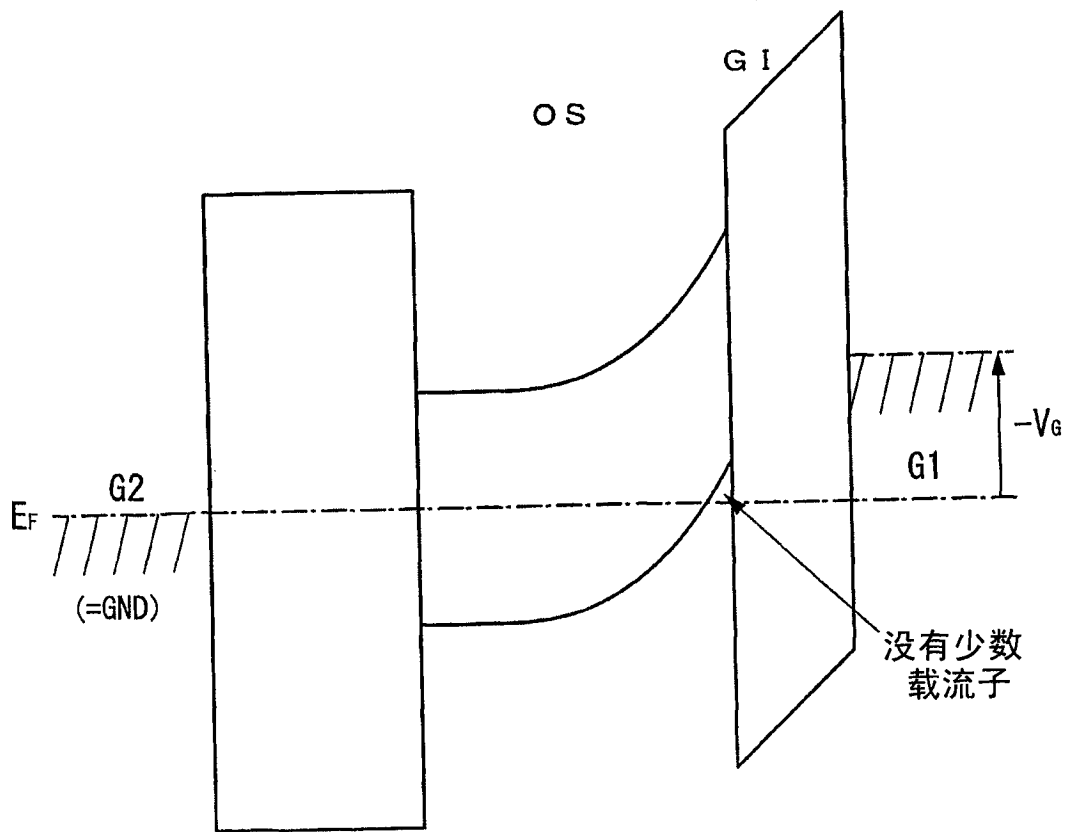


图 12B

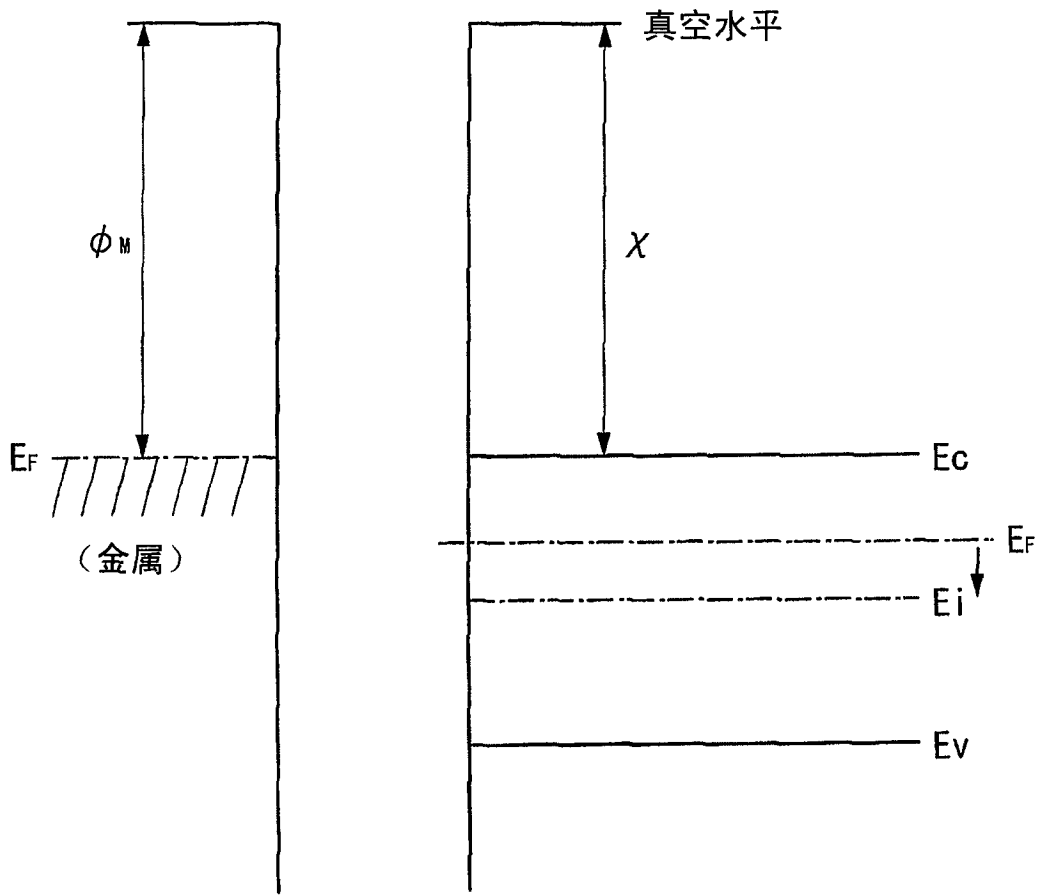


图 13

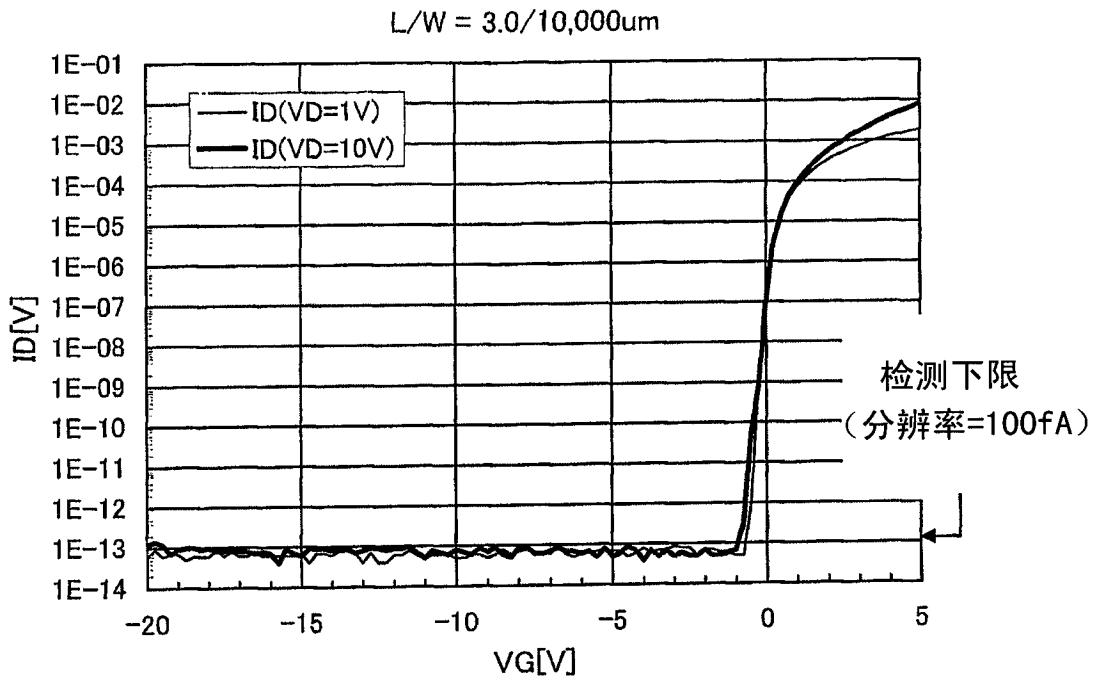


图 14

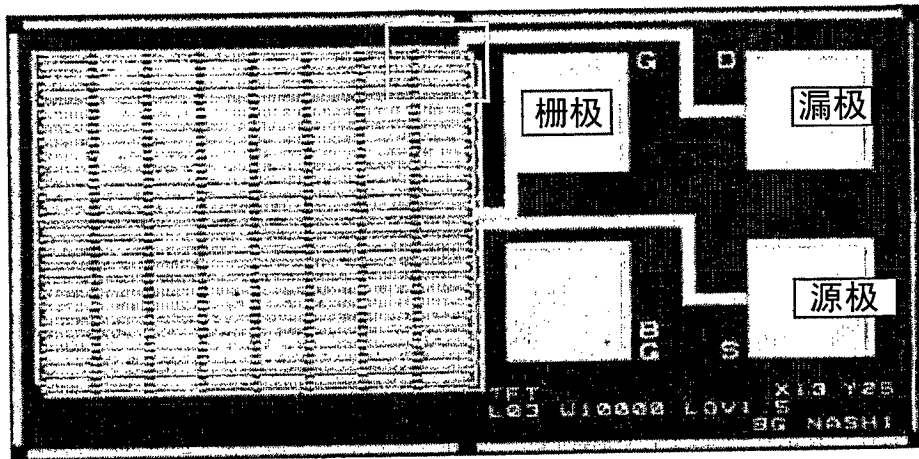


图 15A

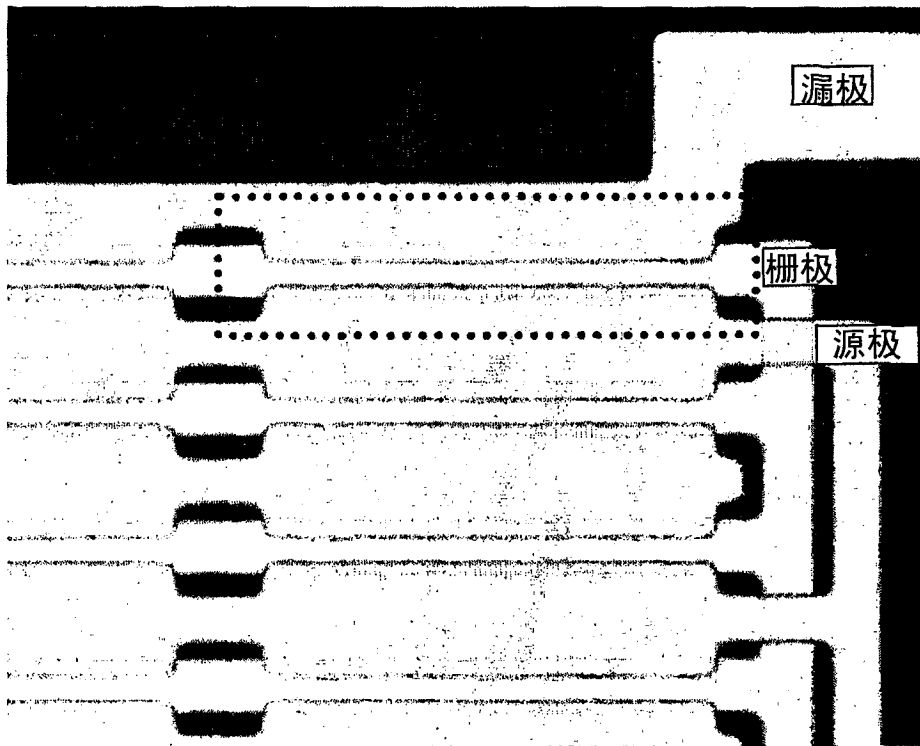


图 15B

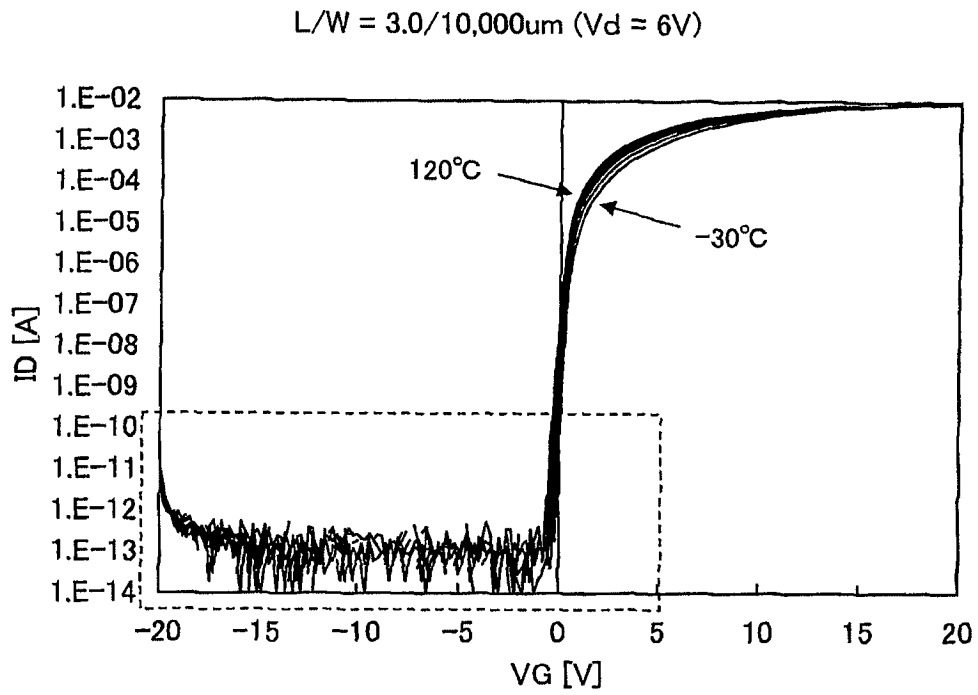


图 16A

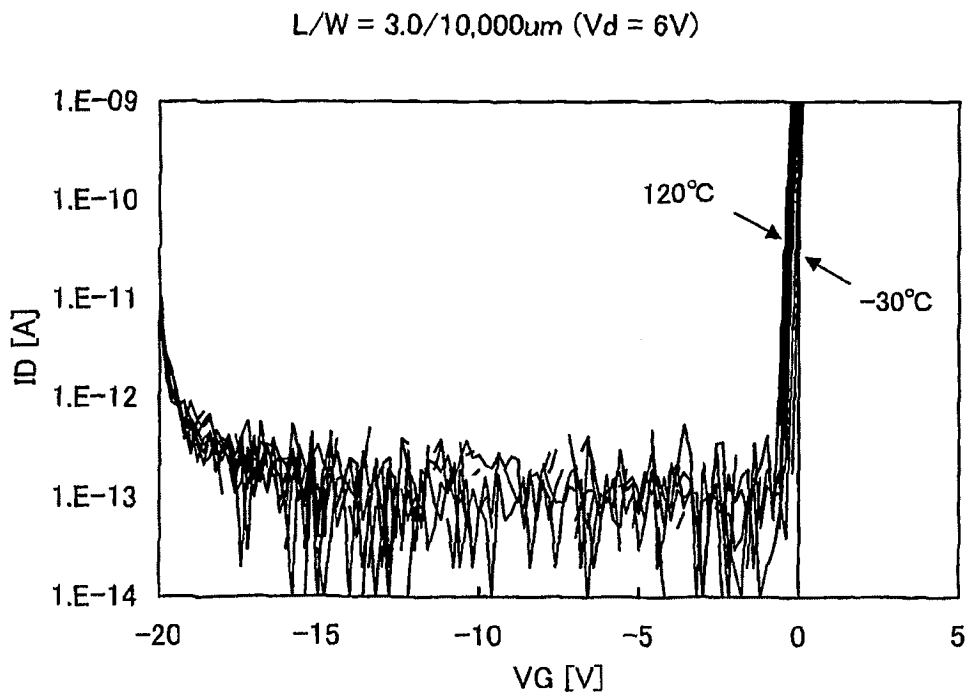


图 16B

## 附图标记

101 :基板,102 :基板,103 :像素电路,104 :栅极线驱动电路,105 :信号线驱动电路,106 :端子部分,107 :开关晶体管,108 :公共连接部分,109 :对电极,111 :栅极线,112 :信号线,113 :像素,114 :像素晶体管,115 :液晶元件,121 :像素电极,122 :对电极,123 :液晶,200 :基板,240 :薄膜晶体管,241 :栅电极层,242 :氧化物半导体层,246 :氧化物绝缘层,247 :导电层,260 :薄膜晶体管,261 :栅电极层,267 :像素电极,292 :栅绝缘层,293 :保护绝缘层,294 :平面化绝缘层,295 氧化物半导体膜,296 :氧化物半导体层,301 :周期,302 :周期,400 :基板,402 :栅绝缘层,403 :保护绝缘层,404 :平面化绝缘层,410 :薄膜晶体管,411 :栅电极层,413 :沟道形成区,416 :氧化物绝缘层,417 :导电层,420 :薄膜晶体管,421 :栅电极层,423 :沟道形成区,427 :像素电极,430 :氧化物半导体膜,431 :氧化物半导体层,470 :薄膜晶体管,471 :栅电极层,472 :氧化物半导体层,480 :薄膜晶体管,487 :像素电极,106A :端子,106B :端子,1200 :信号线驱动电路,1201 :扫描线驱动电路,1202 :像素电路,1204 :基板,1205 :密封材料,1206 :取向膜,1207 :取向膜,1208 :连接布线,1210 :基板,1211 :像素晶体管,1214 :绝缘层,1223 :驱动电路薄膜晶体管,1235 :树脂层,1240 :端子部分,1241 :连接端子,1242 :连接布线,1243 :连接端子,1250 :像素电极,1255 :柱状间隔物,1261 :开关晶体管,1270 :导电粒子,1280 :液晶,1290 :偏振板,1291 :对电极,1291 :对电极,1293 :导电层,1295 :偏振板,245a :源电极层,245b :漏电极层,265b :漏电极层,414a :高电阻源区,414b :高电阻漏区,415a :源电极层,415b :漏电极层,424a :高电阻源区,424b :高电阻漏区,425a :源电极层,425b :漏电极层,475a :源电极层,475b :漏电极层,485b :漏电极层,9630 :外壳,9631 :显示部分,9633 :扬声器,9635 :操作键,9636 :连接端子,9638 :话筒,9672 :记录介质读取部分,9676 :快门按钮,9677 :图像接收部分,9680 :外部连接部分,9681 :定点设备。

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 液晶显示设备、其驱动方法以及包括该液晶显示设备的电子电器                                      |         |            |
| 公开(公告)号        | <a href="#">CN102576172B</a>                                      | 公开(公告)日 | 2016-01-27 |
| 申请号            | CN201080043022.6  | 申请日     | 2010-09-28 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所  |         |            |
| 申请(专利权)人(译)    | 株式会社半导体能源研究所  |         |            |
| 当前申请(专利权)人(译)  | 株式会社半导体能源研究所  |         |            |
| [标]发明人         | 山崎舜平<br>小山润   |         |            |
| 发明人            | 山崎舜平<br>小山润   |         |            |
| IPC分类号         | G02F1/1368 G02F1/133 H01L29/786                                   |         |            |
| CPC分类号         | G02F1/13458 G02F1/1368 H01L27/1225 G09G3/36 H01L29/06 H01L29/7869 |         |            |
| 审查员(译)         | 王振佳   |         |            |
| 优先权            | 2009-250517 2009-10-30 US<br>2009-279000 2009-12-08 US            |         |            |
| 其他公开文献         | CN102576172A  |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>                    |         |            |

摘要(译)

目的在于提供可实现低功耗的液晶显示设备。第一基板包括端子部分、开关晶体管、以及包括像素电极的像素电路。第二基板包括对电极。液晶元件插在像素电极和对电极之间。输入到对电极的电位通过开关晶体管从端子部分供应。开关晶体管中所包括的半导体层是氧化物半导体层。

