

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810185666.3

[43] 公开日 2010 年 3 月 24 日

[11] 公开号 CN 101676984A

[22] 申请日 2008.12.19

[21] 申请号 200810185666.3

[30] 优先权

[32] 2008.9.17 [33] KR [31] 10-2008-0091093

[71] 申请人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 金镇成 池夏永

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 李 辉

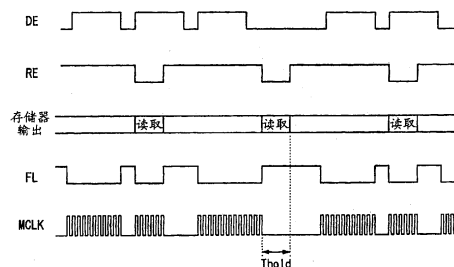
权利要求书 2 页 说明书 9 页 附图 6 页

[54] 发明名称

液晶显示器及其存储器控制方法

[57] 摘要

本公开涉及液晶显示装置及其存储器控制方法。本公开包括：数据比较和空白时间检测装置，用于比较当前数据和先前数据是否相同，并检测其中没有数据输入的空白时间，以生成用于指示所述空白时间和其中输入了与所述先前数据相同的数据的数据保持时间的标记信号；存储器控制信号生成器，用于生成存储器时钟，并在生成了所述标记信号时停止生成所述存储器时钟；存储器，其按照被所述标记信号中断的存储器时钟来工作；液晶显示板，其具有交叉布置的多条数据线和多条选通线；数据驱动电路，用于将来自所述存储器的数据转换为数据电压并供应给所述数据线；以及选通驱动电路，用于向所述选通线供应扫描脉冲。



1、一种液晶显示装置，该液晶显示装置包括：

数据比较和空白时间检测装置，用于比较当前数据和先前数据是否相同，并检测其中没有数据输入的空白时间，以生成用于指示所述空白时间和其中输入了与所述先前数据相同的数据的数据保持时间的标记信号；

存储器控制信号生成器，用于生成存储器时钟，并在生成了所述标记信号时停止生成所述存储器时钟；

存储器，其按照被所述标记信号中断的存储器时钟来工作；

液晶显示板，其具有交叉布置的多条数据线和多条选通线；

数据驱动电路，用于将来自所述存储器的数据转换为数据电压并供应给所述数据线；以及

选通驱动电路，用于向所述选通线供应扫描脉冲。

2、根据权利要求1所述的液晶显示装置，该液晶显示装置还包括：

数据同步器，用于在所述数据比较和空白时间检测装置和所述存储器控制信号生成器的处理操作时间内对数据进行延迟，以使输入到所述存储器的数据与所述存储器时钟同步。

3、根据权利要求1所述的液晶显示装置，其中所述数据比较和空白时间检测装置基于数据使能信号来检测所述空白时间。

4、根据权利要求1所述的液晶显示装置，其中所述空白时间包括：所述数据使能信号的脉冲之间的水平空白时间；以及

其中在某一时间段内没有输入所述数据使能信号的帧时段之间的垂直空白时间。

5、根据权利要求1所述的液晶显示装置，其中所述存储器输出预先存储的先前数据而不是写入和读取当前数据。

6、一种用于控制液晶显示装置的存储器的方法，该液晶显示装置包括其上交叉布置有多条数据线和多条选通线的液晶显示板、用于将来自所述存储器的数据转换为模拟数据电压并供应给所述数据线的的数据驱动

电路，以及用于向所述选通线供应扫描脉冲的选通驱动电路，该方法包括以下步骤：

比较当前数据和先前数据，确定当前数据和先前数据是否相同，检测其中没有数据输入的空白时间，并生成用于指示所述空白时间和其中输入了与所述先前数据相同的数据的数据保持时间的标记信号；

当生成了所述标记信号时，停止生成存储器时钟；以及
向所述存储器提供被所述标记信号中断的存储器时钟。

7、根据权利要求6所述的方法，该方法还包括以下步骤：

通过延迟数据使输入到所述存储器的数据与所述存储器时钟同步。

8、根据权利要求6所述的方法，其中在生成所述标记信号时，基于数据使能信号来检测所述空白时间。

9、根据权利要求6所述的方法，其中所述空白时间包括：

所述数据使能信号的脉冲之间的水平空白时间；以及

其中在某一时间段内没有输入所述数据使能信号的帧时段之间的垂直空白时间。

10、根据权利要求6所述的方法，其中所述存储器输出预先存储的先前数据而不是写入和读取当前数据。

液晶显示器及其存储器控制方法

技术领域

本发明涉及液晶显示装置及其存储器控制方法，其中降低了定时控制器的电力消耗。

背景技术

有源矩阵型液晶显示装置（或“LCD 装置”）利用薄膜晶体管（或“TFT”）作为开关元件来呈现视频数据。液晶显示装置比阴极射线管（或“CRT”）要小，因此容易应用于便携式信息装置、办公自动化装置、计算机等的显示装置。此外，它正迅速地取代 CRT 应用于电视显示器。

LCD 装置包括液晶显示板、用于驱动 LCD 板的驱动电路以及用于控制驱动电路的定时控制器。定时控制器接收数字视频数据、将其存储在存储器中、从存储器中读取所存储的数据，接着将数据发送给驱动电路。

定时控制器的存储器根据存储器时钟连续翻转（toggling）而写入和读取数字视频数据。在接收 LCD 板上显示的数字视频数据的时段内和空白时间内，存储器时钟连续地进行高频翻转。由于存储器时钟连续地进行高频翻转，大量的消耗电流流入定时控制器，从而电力消耗增大。此外，存储器时钟连续翻转可能造成定时控制器过热，从而使定时控制器的稳定性下降。另外，在存储器时钟连续翻转的情况下很难单独地控制多个存储器。

发明内容

本发明的目的是提供一种降低了电流消耗以解决现有技术问题的液晶显示装置和这种 LCD 装置的存储器控制方法。

为了实现上述目的，根据本发明实施方式的液晶显示装置包括：数

据比较和空白时间检测装置，用于比较当前数据和先前数据是否相同，并检测其中没有数据输入的空白时间，以生成用于指示所述空白时间和其中输入了与先前数据相同的数据的数据保持时间的标记信号；存储器控制信号生成器，用于生成存储器时钟，并在生成了所述标记信号时停止生成存储器时钟；存储器，其按照被所述标记信号中断(intermittanted)的存储器时钟来工作；液晶显示板，其具有交叉布置的多条数据线和多条选通线；数据驱动电路，用于将来自存储器的数据转换为数据电压并供应给所述数据线；以及选通驱动电路，用于向所述选通线供应扫描脉冲。

该液晶显示装置还包括：数据同步器，用于在所述数据比较和空白时间检测装置和所述存储器控制信号生成器的处理操作时间内对所述数据进行延迟，以使输入到存储器的数据与存储器时钟同步。

所述数据比较和空白时间检测装置基于数据使能信号来检测所述空白时间。

所述空白时间包括：数据使能信号的脉冲之间的水平空白时间；以及其中在某一时间段内没有输入数据使能信号的帧时段之间的垂直空白时间。

所述存储器输出预先存储的先前数据而不是写入和读取当前数据。

根据本公开的实施方式的用于控制液晶显示装置的存储器的方法包括以下步骤：比较当前数据和先前数据，确定当前数据和先前数据是否相同，检测其中没有数据输入的空白时间，并生成用于指示所述空白时间和其中输入了与先前数据相同的数据的数据保持时间的标记信号；当生成了所述标记信号时，停止生成存储器时钟；以及向所述存储器提供被所述标记信号中断的存储器时钟。

附图说明

所包括的附图用于提供对本发明的进一步理解，在此并入而作为本说明书的一部分，示出了本发明的实施方式并与说明书一起用于解释本发明的原理。

附图中：

图 1 是示出根据本公开实施方式的液晶显示装置的框图。

图 2 是示出定时控制器的存储器控制器的框图。

图 3 是示出存储器控制信号的波形图。

图 4 是示出空白时间的波形图。

图 5 是示出图 1 所示的数据驱动电路的电路构造的框图。

图 6 是示出图 1 所示的选通驱动电路的电路构造的框图。

图 7 是示出根据本公开实施方式的液晶显示装置的存储器控制方法的控制步骤的流程图。

具体实施方式

下面将参照图 1 到图 7 来描述本发明的优选实施方式。

参照图 1，根据本公开实施方式的液晶显示装置包括液晶显示板（或“LCD 板”）10、定时控制器 11、数据驱动电路 12 以及选通驱动电路 13。数据驱动电路 12 包括多个源驱动 IC。选通驱动电路 13 包括多个选通驱动 IC。

LCD 板 10 具有两个玻璃基板和插设在其间的液晶层。LCD 板 10 包括交叉布置的数据线 14 和选通线 15，以及根据数据线 14 和选通线 15 的交叉结构以矩阵形式布置的液晶单元（Clc）。

液晶显示板 10 的下玻璃基板上形成有数据线 14、选通线 16、TFT 以及存储电容器（Cst）。液晶单元（Clc）连接到 TFT 并由像素电极 1 与公共电极 2 之间所形成的电场来驱动。液晶显示板 10 的上玻璃基板上形成有黑底、滤色器以及公共电极 2。对于诸如 TN 模式（扭曲向列模式）和 VA（垂直配向模式）的垂直电场驱动型而言，公共电极 2 形成在上玻璃基板上。相反，对于诸如 IPS 模式（面内切换模式）和 FFS（边缘场切换模式）的水平电场驱动型而言，公共电极 2 与像素电极 1 形成在下玻璃基板上。

液晶显示板 10 的上和下玻璃基板的外表面上贴有偏振片。液晶显示板 10 的上和下玻璃基板的内表面上形成有用于产生液晶材料的预倾角的

配向膜。

定时控制器 11 向数据驱动电路 12 供应数字视频数据(RGB)。此外,定时控制器 11 接收诸如数据使能(DE)信号和点时钟(CLK)的定时信号,并生成用于控制数据驱动电路 12 和选通驱动电路 13 的工作定时的控制信号。定时控制器 11 对数据使能信号(DE)进行计数以区分 1 个帧时段和 1 个水平时段。定时控制器 11 的定时信号包括垂直同步信号(Vsync)和水平同步信号(Hsync)。用于控制驱动电路 12 和 13 的工作定时的控制信号包括用于控制选通驱动电路 13 的工作定时的选通定时控制信号和用于控制数据驱动电路 12 的工作定时和数据电压的极性的数据定时控制信号。

定时控制器 11 将输入的数字视频数据写入存储器,之后再读取存储器中的数据然后重新排列供应给数据驱动电路 12 的数字视频数据(RGB)。定时控制器 11 比较像素单元中的相邻数据。当输入了与先前数据相同的数据时,以及在没有输入有效数据的空白时间内,定时控制器 11 不生成存储器时钟。因此,当输入与先前数据相同的数据时,或者输入了空白信号时,定时控制器 11 中嵌入的存储器不执行写入和读取操作。即,在空白时间和其中输入了与先前数据相同的数据的相同数据保持时间内,定时控制器 11 中嵌入的存储器不写入和读取当前输入的新数据,而是读取先前存储的数据。

当输入了与先前数据不同的数据时或者在液晶显示板 10 上显示了有效数据的数据使能时段内,定时控制器 11 生成存储器时钟以激活存储器的写入和读取操作。

从定时控制器 11 生成的选通定时控制信号包括选通开始脉冲(GSP)、选通移位时钟(GSC)、选通输出使能信号(GOE1 到 GOE3)等。选通开始脉冲(GSP)被供应到选通驱动 IC 从而生成第一选通脉冲(或扫描脉冲)。作为共同输入到选通驱动 IC 的时钟信号,选通移位时钟(GSC)是用于将选通开始脉冲(GSP)移位的时钟信号。选通输出使能信号(GOE)控制选通驱动 IC 的输出。

从定时控制器 11 生成的数据定时控制信号包括源采样时钟(SSC)、

极性控制信号 (POL)、源输出使能信号 (SOE) 等。源采样时钟 (SSC) 是用于根据上升沿或下降沿来控制数据驱动电路 12 中的数据采样操作的时钟信号。极性控制信号 (POL) 对根据源输出使能信号 (SOE) 而输出的数据电压的垂直极性进行控制。源输出使能信号 (SOE) 控制数据驱动电路 12 的输出。

如图 5 所示, 数据驱动电路 12 的每个数据驱动 IC 都包括移位寄存器、锁存器、数模转换器、输出缓冲器等。数据驱动电路 12 在定时控制器 11 的控制下对数字视频数据 (RGB) 进行锁存。另外, 数据驱动电路 12 根据极性控制信号 (POL) 将数字视频数据 (RGB) 转换为模拟正/负伽马补偿电压, 并生成正/负模拟数据电压, 将这些数据电压供应给数据线 14。

如图 6 所示, 选通驱动电路 13 包括移位寄存器、与门、电平转换器、输出缓冲器等。作为对选通定时控制信号的响应, 选通驱动电路 13 依次向选通线 15 供应选通脉冲。

图 2 详细示出了定时控制器 11 的存储器控制器。

参照图 2, 定时控制器 11 的存储器控制器包括数据输入部分 21、数据比较和空白时间检测装置 22、存储器控制信号生成器 23、数据同步器 24 和存储器 25。

数据输入部分 21 根据预定阵列类型对经由诸如 LVDS (或“低压差分信号传输”) 接口的接口电路从系统的定标器 (scaler) 输入的数字视频数据 (RGB) 进行排列, 并将其供应给数据比较和空白时间检测装置 22 以及数据同步器 24。

数据比较和空白时间检测装置 22 从数据输入部分 21 接收诸如数据使能信号 (DE) 和时钟 (CLK) 的定时信号以及数字视频数据。数据比较和空白时间检测装置 22 将存储在寄存器中的先前数据和此时输入的当前数据进行比较, 并确定它们是否相同。另外, 数据比较和空白时间检测装置 22 根据数据使能信号 (DE) 来检测其中没有输入有效数字视频数据的空白时间。

根据数据比较和空白时间检测的结果, 数据比较和空白时间检测装

置 22 生成指示空白时间和其中输入了与先前数据相同的数据的相同数据保持时间的标记信号 (FL)。

存储器控制信号生成器 23 生成用于控制存储器 25 的读取使能信号 (RE) 和存储器时钟 (MCLK)。读取使能信号 (RE) 指示了存储器 25 的读取时间。存储器时钟 (MCLK) 是用于指示在存储器的写入和读取操作中对每个数据进行采样操作的时钟信号。存储器控制信号生成器 23 计算从外部输入的标记信号 (FL) 和时钟信号 (CLK)，在标记信号 (FL) 的特定逻辑时段内生成与时钟信号 (CLK) 频率相同的翻转信号，并且在相同数据保持时间和空白时间的时段内不生成翻转信号而生成处于低逻辑电平的存储器时钟信号 (MCLK)。例如，存储器控制信号生成器 23 对从外部输入的反转标记信号 (FL) 和时钟信号 (CLK) 进行逻辑乘法运算（或者说“与运算”），并生成在标记信号 (FL) 的低逻辑时段内翻转而在标记信号 (FL) 的高逻辑时段内保持低逻辑的存储器时钟信号 (MCLK)。存储器控制信号生成器 23 还可生成指示存储器的写入时间的写入使能信号。

数据同步器 24 在数据比较和空白时间检测装置 22 和存储器控制信号生成器 23 的处理时间的时段内保持数字视频数据，以使数字视频数据 (RGB) 与输入到存储器的存储器控制信号 (RE 和 MCKL) 同步。

存储器 25 在存储器控制信号生成器 23 的控制下将数字视频数据写入自身中并将其供应给数据驱动电路 12。存储器 25 可包括 4 个线存储器。这 4 个线存储器在数据使能信号 (DE) 的高逻辑时段内写入数据并在读取使能信号 (RE) 的低逻辑时段内读取所存储的数据。在两个线存储器写入数据时，另两个线存储器读取数据。

存储器 25 根据存储器时钟 (MCLK) 来读取或写入数字视频数据。存储器时钟 (MCLK) 在相同数据保持时间和空白时间内由标记信号 (FL) 禁用 (inactivate) 以保持低逻辑。因此，存储器 25 的每个 (线) 存储器都在相同数据保持时间和空白时间内被禁用，从而不写入或读取数据。在其它时段内，即，当输入了与先前数据不同的有效数据时，存储器 25 的每个 (线) 存储器都被激活从而读取和写入数据。

图 3 是示出存储器控制信号（RE 和 EL）的波形图。

参照图 3，在读取使能信号（RE）的低逻辑时段内，存储器 25 根据存储器时钟（MCLK）从线存储器中读取数据。

存储器时钟信号（MCLK）在相同数据保持时间（或“Thold”）和空白时间内不翻转。空白时间包括：与低逻辑时段相对应的在以一个水平时段的频率而生成的数据使能信号（DE）的时钟之间没有数据的水平空白时间（HBLK）；和在帧时段之间没有数据输入的垂直空白时间（VBLK）。当没有垂直同步信号输入时，存储器控制器对数据使能信号（DE）进行计数以将在某一时间段内没有输入数据使能信号（DE）的该时间段确定为空白时间。

“Thold”是相同数据保持时间，其中当前数据被确定为与先前数据相同。在相同数据保持时间（Thold）和空白时间（HBLK 和 VBLK）内，数据比较和空白时间检测装置 22 生成标记信号（FL）以保持存储器时钟（MCLK）为低逻辑。因此，即使供应了读取使能信号（RE），存储器 25 的（线）存储器也不写入和读取当前输入的数据，因为没有接收到存储器时钟（MCLK）。即，在相同数据保持时间（Thold）和空白时间（HBLK 和 VBLK）内，存储器 25 的（线）存储器不写入和读取当前数据，而是读取存储在（线）存储器中的先前数据。

在此期间，为了写入和读取在存储器控制器中延迟了的数据，可在空白时间的某些时间段内生成存储器时钟（MCLK）。

图 5 详细示出了数据驱动电路 12。

参照图 5，数据驱动电路 12 包括多个 IC（或“集成电路”），其中每个 IC 都驱动 k 条数据线（D1 到 Dk）。每个 IC 都包括移位寄存器 51、数据寄存器 52、第一锁存器 53、第二锁存器 54、数/模转换器（或“DAC”）55、输出电路 56 以及电荷共享电路 57。

移位寄存器 51 通过根据源采样时钟（SSC）对来自定时控制器 11 的源开始脉冲（SSP）进行移位而生成采样信号。此外，移位寄存器 51 对源开始脉冲（SSP）进行移位并将进位信号（CAR）发送给下一个 IC 的移位寄存器。数据寄存器 52 暂时存储来自定时控制器 11 的数字视频

数据 (RGB)，并将存储的数字视频数据 (RGB) 供应给第一锁存器 53。第一锁存器 53 响应于从移位寄存器 51 依次接收的采样信号对来自数据寄存器 52 的数字视频数据 (RGB) 进行采样，并对它们进行锁存，然后同时输出这些数据。第二锁存器 54 保持从第一锁存器 53 接收的数据，然后在源输出使能信号 (SOE) 的低逻辑时段内与其它 IC 的第二锁存器 54 一起同时输出锁存的数字视频数据。作为对极性控制信号 (POL) 的响应，DAC 55 将来自第二锁存器 54 的数字视频数据转换为正伽马补偿电压 (GH) 或负伽马补偿电压 (GL)，以生成模拟正/负数据电压。输出电路 56 使供应给缓冲器和数据线 (D1 到 Dk) 的模拟数据电压的信号衰减最小化。通过与源输入使能信号 (SOE) 的高逻辑时段同步，电荷共享电路 57 向数据线 (D1 到 Dk) 供应电荷共享电压或公共电压 (Vcom)。

图 6 详细示出了选通驱动电路 13 的选通 IC。

参照图 6，选通驱动电路 13 的选通 IC 包括移位寄存器 61、电平转换器 64 以及连接在移位寄存器 61 与电平转换器 64 之间的多个与门 63。

移位寄存器 61 按照选通移位时钟 (GSC) 利用串联的多个 D-触发器依次对选通开始脉冲 (GSP) 进行移位。每个与门 63 都是通过对 D-触发器的非反转输出信号和选通输出使能信号 (GOE) 的反转信号进行与运算来生成输出。选通输出使能信号 (GOE) 经反相器 62 反转然后供应给与门 63 的一个输入端。电平转换器 64 将与门 63 的输出电压的摆动宽度转换为可使 LCD 板的 TFT 工作的摆动宽度。电平转换器 64 的输出信号 (G1 到 Gk) 被依次供应给 k 条选通线；其中 k 是整数。选通驱动电路 13 可与 TFT 阵列一起形成在 LCD 板 10 的玻璃基板上。在此情况下，电平转换器 64 形成在 PCB (或“印制电路板”) 上，而用于使电平转换器 64 的输出电压发生移位的移位寄存器形成在 LCD 板 10 的玻璃基板上。

图 7 是逐个步骤地示出根据本公开实施方式的液晶显示装置的存储器控制方法的流程图。

定时控制器 11 的存储器控制器将当前输入的数字视频数据与存储在寄存器中的先前数据进行比较，然后确定它们是否相同 (步骤 S1 和 S2)。如果当前数据与先前数据相同，则存储器控制器不生成存储器时钟

(MCLK)(步骤 S4)。此时, 存储器不存储(写入)当前数据而保持先前数据。

另外, 定时控制器 11 的存储器控制器基于定时信号来检测空白时间, 然后在空白时间内不生成存储器时钟(MCLK)(步骤 S4)。

在除了相同数据保持时间和空白时间之外的数据接收时段内, 也就是在输入了与先前数据不同的有效数据的时段内, 定时控制器 11 生成存储器时钟(MCLK)。结果, 定时控制器 11 激活了对当前数据的写入和读取操作(步骤 S5)。

根据本公开实施方式的液晶显示装置和 LCD 装置的存储器控制方法在相同数据保持时间和空白时间内停止生成存储器时钟。结果, 本公开提出了能够降低定时控制器的电力消耗和过热的方法。此外, 本公开提出了能够单独控制多个存储器的方法。

尽管已经参照附图详细描述了本发明的实施方式, 但是本领域技术人员应该理解的是, 可以在不改变本发明的技术主旨和实质特征的前提下以其它具体形式来实现本发明。本发明的范围是由所附权利要求而非本发明的详细描述来限定的。在权利要求的含义和范围内作出的所有改变或修改都应解释为落入本发明的范围内。

本申请要求 2008 年 9 月 17 日提交的韩国专利申请 No. 10-2008-0091093 的优先权, 在此通过引用将其并入, 如同在此进行了充分阐述。

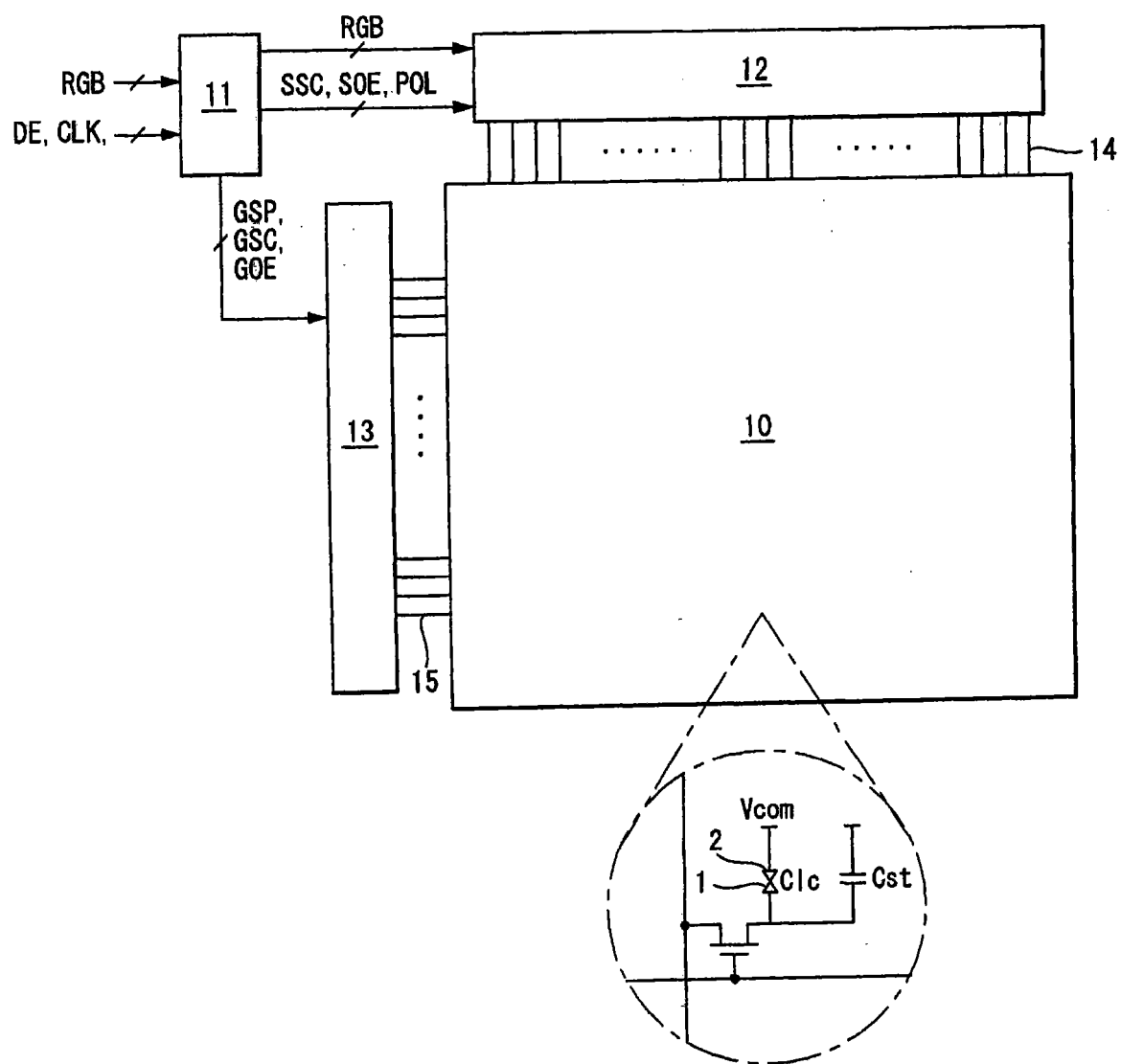


图 1

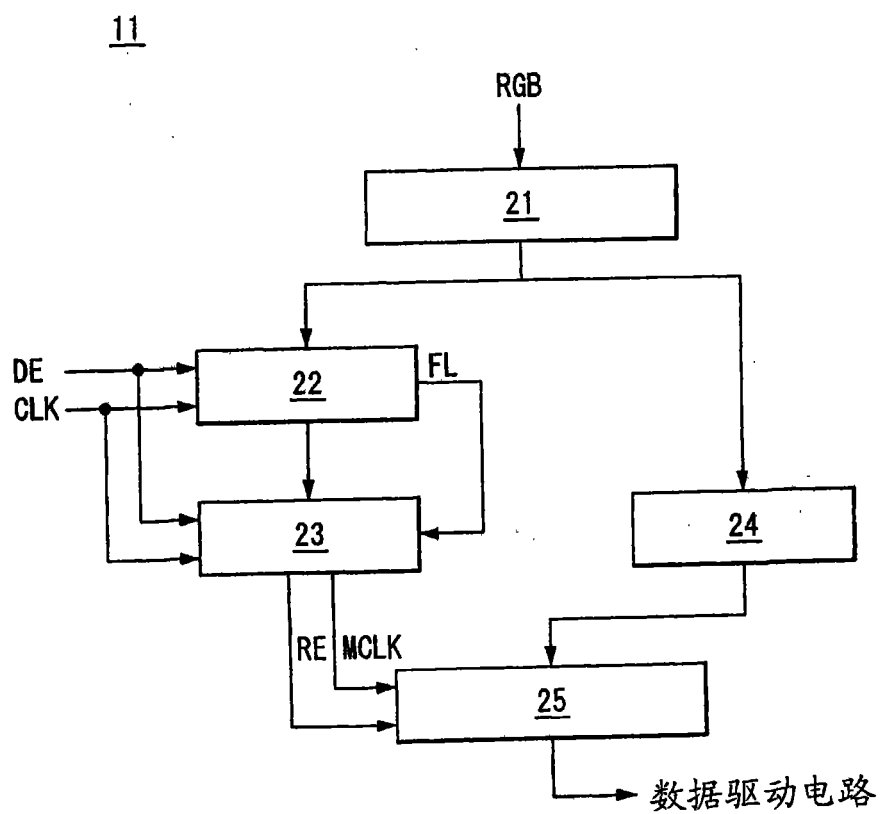


图 2

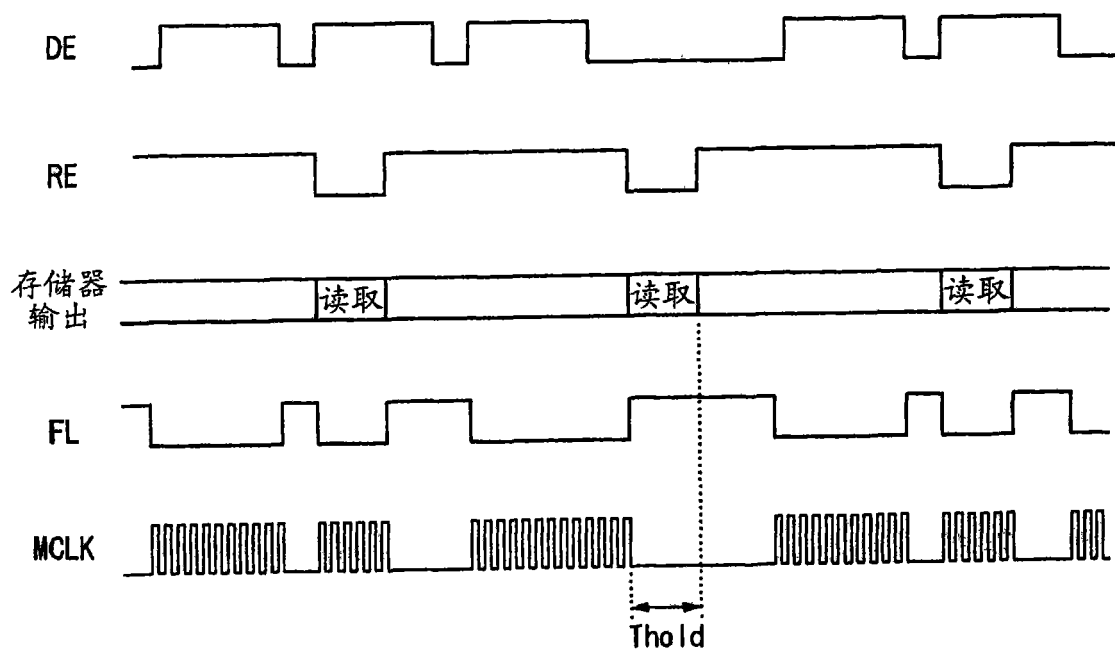


图 3

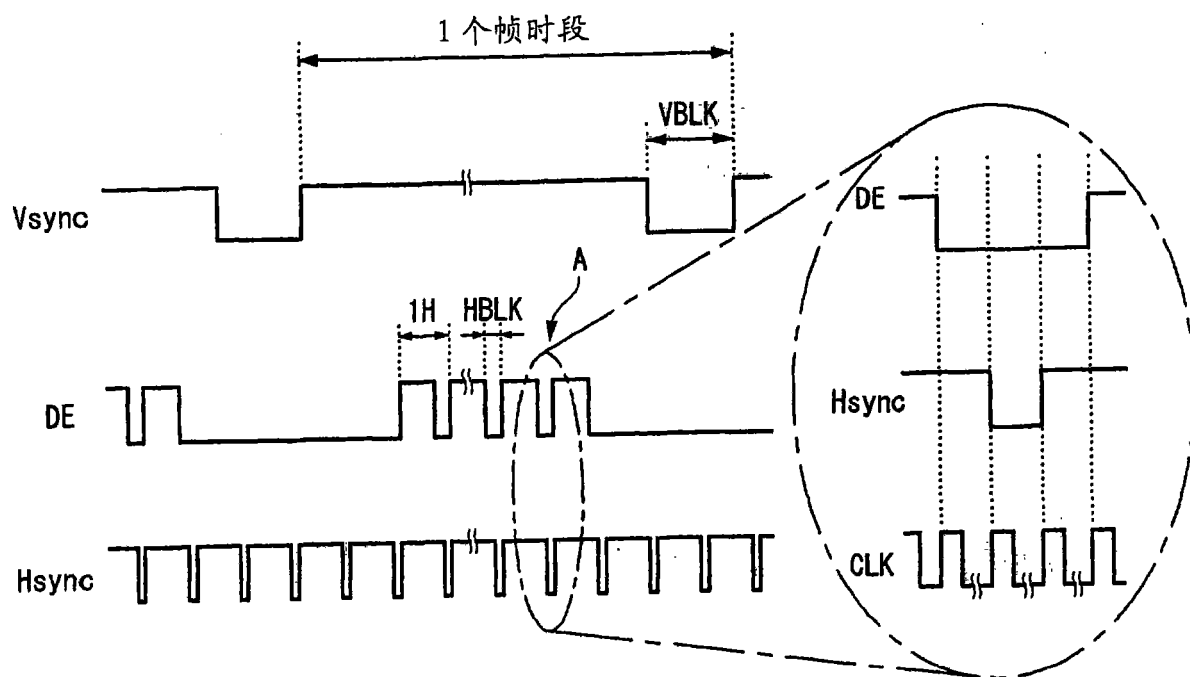


图 4

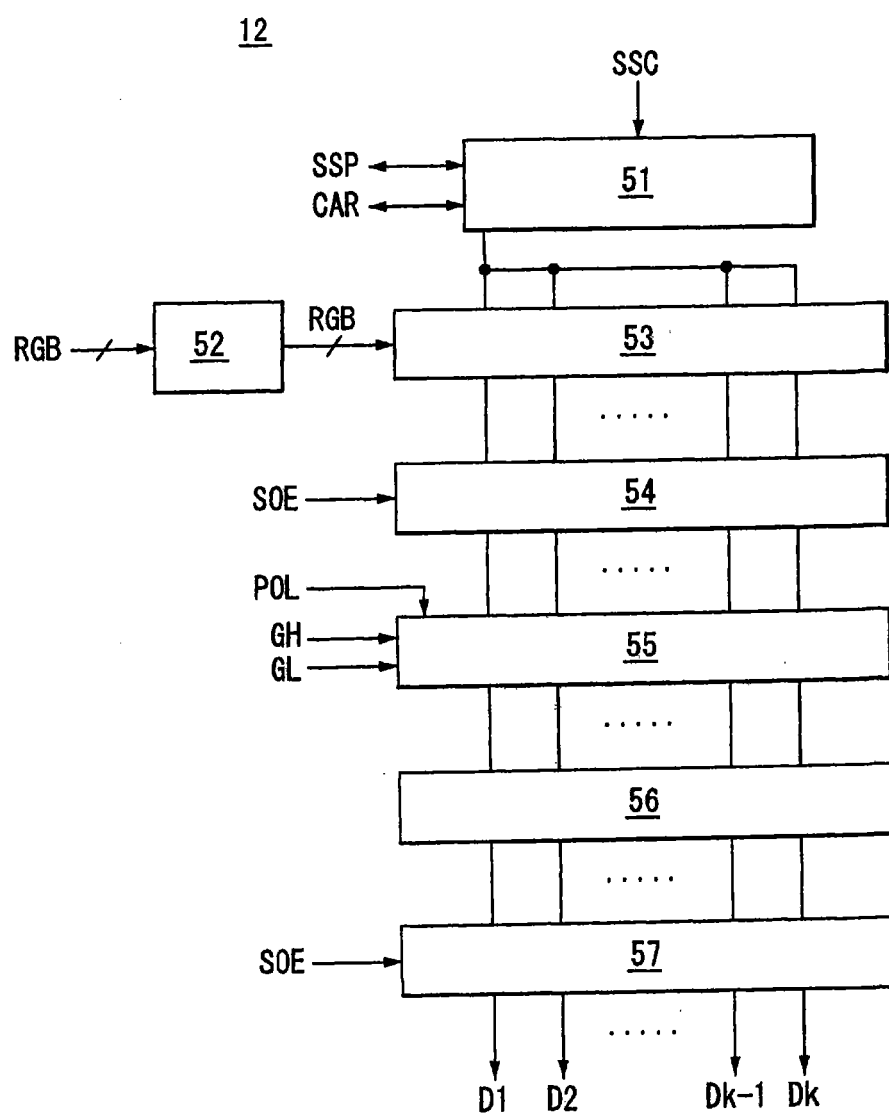
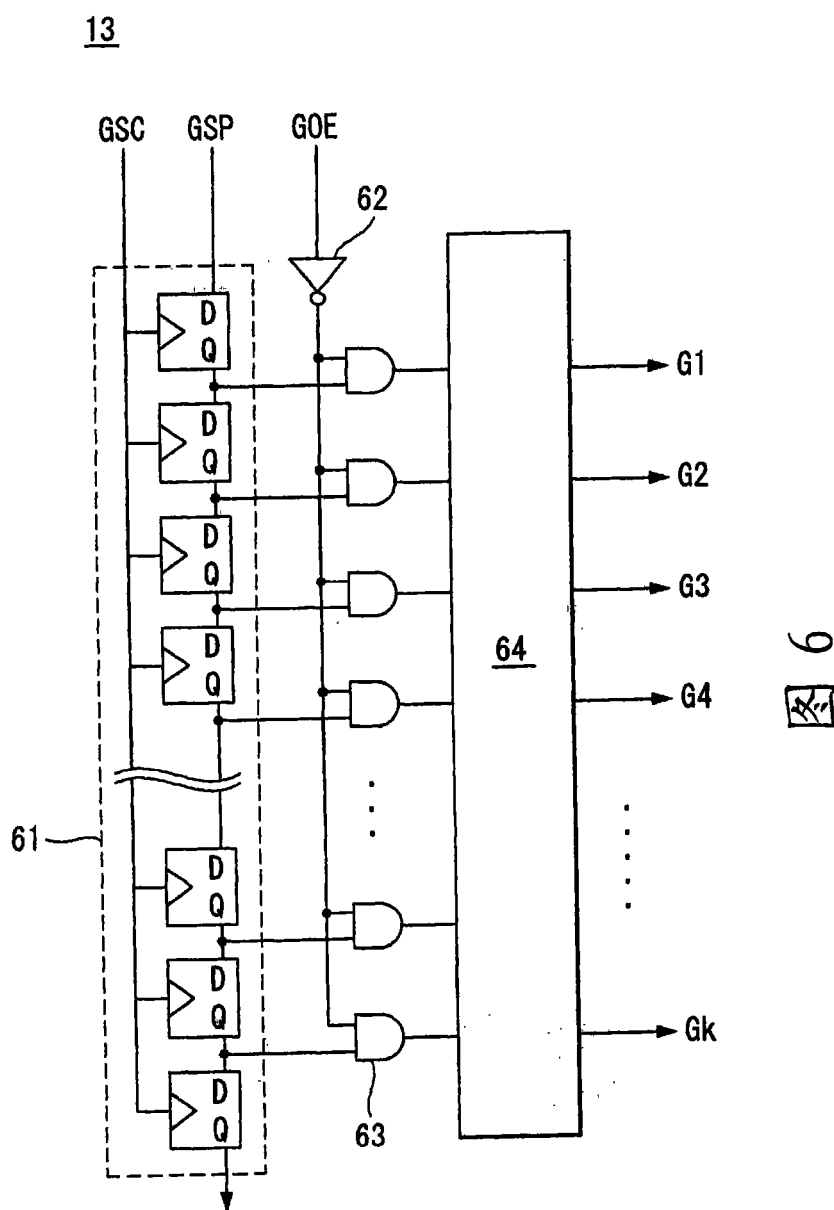


图 5



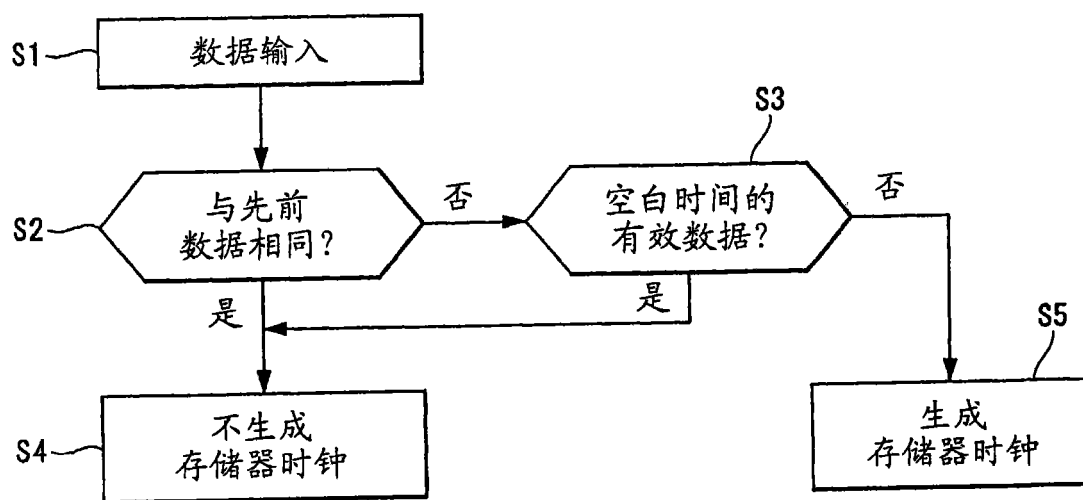


图 7

专利名称(译)	液晶显示器及其存储器控制方法		
公开(公告)号	CN101676984A	公开(公告)日	2010-03-24
申请号	CN200810185666.3	申请日	2008-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金镇成 池夏永		
发明人	金镇成 池夏永		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2360/18 G09G2330/021 G09G2310/08		
代理人(译)	李辉		
优先权	1020080091093 2008-09-17 KR		
其他公开文献	CN101676984B		
外部链接	Espacenet SIPO		

摘要(译)

本公开涉及液晶显示装置及其存储器控制方法。本公开包括：数据比较和空白时间检测装置，用于比较当前数据和先前数据是否相同，并检测其中没有数据输入的空白时间，以生成用于指示所述空白时间和其中输入了与所述先前数据相同的数据的数据保持时间的标记信号；存储器控制信号生成器，用于生成存储器时钟，并在生成了所述标记信号时停止生成所述存储器时钟；存储器，其按照被所述标记信号中断的存储器时钟来工作；液晶显示板，其具有交叉布置的多条数据线和多条选通线；数据驱动电路，用于将来自所述存储器的数据转换为数据电压并供应给所述数据线；以及选通驱动电路，用于向所述选通线供应扫描脉冲。

