



(12) 发明专利

(10) 授权公告号 CN 101567172 B

(45) 授权公告日 2012. 07. 18

(21) 申请号 200810185934. 1

US 2008/0002803 A1, 2008. 01. 03, 全文.

(22) 申请日 2008. 12. 25

US 2007/0075959 A1, 2007. 04. 05, 全文.

CN 1892798 A, 2007. 01. 10, 全文.

(30) 优先权数据

10-2008-0038957 2008. 04. 25 KR

10-2008-0038958 2008. 04. 25 KR

审查员 罗朋

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金珍浩 慎弘緯

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 黄纶伟

(51) Int. Cl.

G09G 3/36 (2006. 01)

H03K 19/173 (2006. 01)

H03K 19/20 (2006. 01)

H03K 3/3562 (2006. 01)

(56) 对比文件

CN 1892787 A, 2007. 01. 10, 全文.

CN 1920933 A, 2007. 02. 28, 全文.

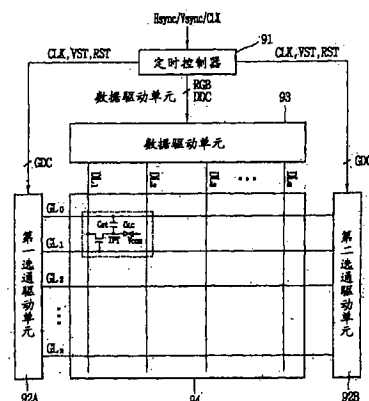
权利要求书 2 页 说明书 10 页 附图 15 页

(54) 发明名称

液晶显示器的驱动电路

(57) 摘要

液晶显示器的驱动电路包括: 定时控制器, 其输出选通控制信号和数据控制信号以控制选通驱动单元和数据驱动单元的驱动, 并输出数字视频数据; 一对选通驱动单元, 响应于选通控制信号通过利用至少一帧作为向液晶面板的选通线提供选通信号的周期来交替驱动该对选通驱动单元; 以及数据驱动单元, 其响应于数据控制信号向液晶面板的数据线提供像素信号。本发明可以避免构成各选通驱动器的晶体管的特性劣化。



1. 一种液晶显示装置的驱动电路,该驱动电路包括:

定时控制器,其输出选通控制信号和数据控制信号以控制选通驱动单元和数据驱动单元的驱动,并输出数字视频数据;

一对选通驱动单元,响应于所述选通控制信号通过利用至少一帧作为向液晶面板的选通线提供选通信号的周期来交替驱动该对选通驱动单元,其中在奇数帧或偶数帧驱动所述一对选通驱动单元中的一个选通驱动单元;以及

数据驱动单元,其响应于所述数据控制信号向所述液晶面板的数据线提供像素信号,

其中,所述一对选通驱动单元包括分别以移位寄存器的方式驱动的选通驱动器,并且根据从所述定时控制器提供的使能信号通过利用至少一帧作为周期来交替地选择以被驱动,

其中,所述选通驱动器包括:

RS 触发器,其根据置位信号和复位信号向输出端和反向输出端输出相反的逻辑信号;

“与”门,其对从所述 RS 触发器的反向输出端输出的信号与所述使能信号进行“与”运算,以对具有奇数帧周期或偶数帧周期的信号进行确认;以及

选通信号输出单元,其通过所述 RS 触发器的输出信号和所述“与”门的输出信号而被驱动以生成选通信号。

2. 根据权利要求 1 所述的驱动电路,其中将所述 RS 触发器构造为:经由二极管连接类型的第一晶体管将置位端连接到输出端,并经由并联连接的第二晶体管和第三晶体管将连接点连接到接地端;经由第四晶体管将电源端连接到所述反向输出端,以及经由第五晶体管将连接点连接到接地端。

3. 根据权利要求 1 所述的驱动电路,其中将所述“与”门构造为:经由第六晶体管将使能端连接到所述“与”门的输出端以及经由第七晶体管将连接点连接到接地端,并分别将所述第六晶体管和所述第七晶体管的栅极连接到所述反向输出端和所述 RS 触发器的置位端。

4. 根据权利要求 1 所述的驱动电路,其中所述选通信号输出单元包括在时钟信号端与接地端之间串联连接的充电晶体管和放电晶体管,并且所述充电晶体管和所述放电晶体管分别具有与所述 RS 触发器的所述输出端和所述“与”门的输出端连接的栅极以从漏极和源极的公共连接点生成选通信号。

5. 根据权利要求 4 所述的驱动电路,其中所述充电晶体管构造为:利用从所述 RS 触发器的输出端输出的电压而导通所述充电晶体管以输出中间电平的电压,并且接着输出一电压,该电压增加了输入到源端的时钟信号的电压电平,其中,所述中间电平的电压是通过从施加的电压中减去输入端晶体管的阈值电压得到的电压。

6. 根据权利要求 4 所述的驱动电路,其中当使能信号转变为低电平时,所述放电晶体管使输出信号端转变为浮置态。

7. 一种液晶显示器的驱动电路,该驱动电路包括:

多个选通驱动器,其与输入时钟信号同步地顺序被驱动以向液晶面板的选通线输出选通信号,并且当对选通信号进行放电时,通过充电晶体管和放电晶体管二者对所述选通信号进行放电,

其中,所述选通驱动器包括:

RS 触发器,其根据置位信号和复位信号来输出一输出信号和一反向输出信号;

“或”门,其对所述 RS 触发器的反向输出信号与下一级的选通信号进行“或”运算;

充电晶体管,其在充电间隔根据所述 RS 触发器的输出信号和时钟信号向所述液晶面板的对应选通线输出选通信号,并且在放电间隔通过保持导通状态对所述选通信号进行放电;以及

放电晶体管,其在放电间隔利用所述“或”门的输出信号而导通以对所述选通信号进行放电。

8. 根据权利要求 7 所述的驱动电路,其中在放电间隔所述充电晶体管利用从所述 RS 触发器输出的中间电平电压而导通以执行放电功能,其中,所述中间电平电压是通过从施加的电压中减去输入端晶体管的阈值电压得到的电压。

9. 根据权利要求 7 所述的驱动电路,其中将所述 RS 触发器构造为:经由第一晶体管将电源端连接到所述 RS 触发器的输出端,并且经由并联连接的第二晶体管和第三晶体管将连接点连接到接地端;经由二极管连接类型的第四晶体管将所述电源端连接到第六晶体管的栅极,经由连接到所述输出端的第五晶体管将连接点连接到接地端;经由所述第六晶体管将所述电源端与反向输出端和所述第二晶体管的栅极连接,经由第七晶体管将连接点与接地端连接;将启动信号端与所述第一晶体管和所述第七晶体管的栅极连接;以及将复位端与所述第三晶体管的栅极连接。

10. 根据权利要求 7 所述的驱动电路,其中将 RS 触发器构造为:经由第一晶体管将所述电源端与所述 RS 触发器的输出端和第五晶体管的栅极公共连接,经由并联连接的第二晶体管和第三晶体管将连接点与接地端连接;经由二极管连接类型的第四晶体管将所述电源端与所述 RS 触发器的反向输出端和第二晶体管的栅极连接,经由第五晶体管将连接点与接地端连接;将启动信号端与第一晶体管的栅极连接;并将复位端与所述第三晶体管的栅极连接。

11. 根据权利要求 7 所述的驱动电路,其中将所述“或”门构造为:经由具有与所述 RS 触发器的输出端连接的栅极的第八晶体管将电源端(VGH)与第十二和第十五晶体管的栅极公共连接,经由具有分别与所述 RS 触发器的反向输出端和下一级的选通端连接的栅极的第九和第十晶体管将连接点与接地端连接;经由二极管连接类型的第十一晶体管将所述电源端(VGH)与第十三晶体管的栅极连接,并且经由所述第十二晶体管将连接点与接地端连接;经由所述第十三晶体管将所述电源端(VGH)与所述“或”门的输出端(Gd)连接,并且经由所述第十五晶体管将连接点与接地端连接。

12. 根据权利要求 7 所述的驱动电路,其中将所述“或”门构造为:经由具有与输出端连接的栅极的第六晶体管将电源端与第十晶体管的栅极连接,并经由具有分别与反向输出端和下一级的选通端连接的栅极的第七和第八晶体管将连接点与接地端连接;并且经由二极管连接类型的第九晶体管将所述电源端与所述“或”门的输出端连接,并且经由所述第十晶体管将连接点与接地端连接。

液晶显示器的驱动电路

技术领域

[0001] 本发明涉及用于驱动液晶显示器 (LCD) 的液晶面板的技术,具体地说,涉及能够避免构成选通驱动单元的晶体管、选通驱动单元元件的特性劣化的 LCD 的驱动电路。

背景技术

[0002] 近来,随着信息技术 (IT) 的不断进步,平板显示装置作为视觉信息传输介质的重要性得到进一步加强,并且为了在将来获得竞争优势,要求平板显示装置具有低功耗、更薄更轻以及具有高图像质量。液晶显示器 (LCD) (平板显示装置的典型显示装置) 通过使用液晶的光学各向异性来显示图像。利用更薄和更小、具有低功耗和高图像质量的优点, LCD 被广泛应用于各种移动端 (例如, TV 接收器等) 的显示装置中。

[0003] LCD 是这样一种显示装置,即,向以矩阵形式排列的液晶像素单独提供图像信息来控制液晶像素的透光率,从而显示期望的图像。因此, LCD 包括具有以矩阵形式排列的液晶像素 (用于实现图像的最小单元) 的液晶面板,以及用于驱动液晶面板的驱动器。因为 LCD 本身不发光,所以其包括背光单元以向 LCD 提供光。驱动器包括数据驱动单元和选通驱动单元以及定时控制器。

[0004] 图 1 是相关技术 LCD 的框图。如图 1 所示,相关技术 LCD 包括:定时控制器 11,其用于输出控制选通驱动单元 12 和数据驱动单元 13 的驱动的选通控制信号 GDC 和数据控制信号 DDC,对数字视频数据 RGB 进行采样、重新排列 (realign) 并且输出;选通驱动单元 12,其用于响应选通控制信号 GDC 向液晶面板 14 的选通线 GL0 ~ GLn 提供选通信号;数据驱动单元 13,其响应于数据控制信号 DDC 向液晶面板 14 的数据线 DL1 ~ DLm 提供像素信号;以及液晶面板 14,其包括以矩阵形式排列并且由选通信号和像素信号驱动以显示图像的液晶单元。现在参照图 2 至图 7 描述 LCD 的操作。

[0005] 定时控制器 11 通过利用从系统提供的垂直 / 水平同步信号 (Hsync/Vsync) 来输出用于控制选通驱动单元 12 的选通控制信号 GDC 和用于控制数据驱动单元 13 的数据控制信号 DDC。并且,定时控制器 11 对从系统输入的数字像素数据 RGB 进行采样、重新排列并且将该数字像素数据提供给数据驱动单元 13。

[0006] 选通控制信号 GDC 包括选通启动脉冲 GSP、选通移位时钟信号 GSC、选通输出使能信号 GOE 等,而数据控制信号 DDC 包括源启动脉冲 SSP、源移位时钟信号 SSC、源输出使能信号 SOE 和极性信号 POL。

[0007] 选通驱动单元 12 响应于从定时控制器 11 输入的选通控制信号 GDC 来向选通线 GL1 ~ GLn 顺序提供选通信号,相应地,水平线中的薄膜晶体管 TFT 导通。相应地,经由 TFT 将通过数据线 DL1 ~ DLm 提供的像素信号存储在各存储电容器 Cst 中。

[0008] 具体地说,选通驱动单元 12 根据选通移位时钟 GSC 对选通启动脉冲 GSP 进行移位以生成移位脉冲。选通驱动单元 12 响应于移位时钟,在各水平周期向对应选通线 GL 提供包括选通开启间隔和选通关闭间隔 (信号) 的选通信号。在此情况下,选通驱动单元响应于选通输出使能信号 GOE 只在使能周期期间提供选通开启信号,并且在其他周期期间提供

选通关闭信号。

[0009] 数据驱动单元 13 响应于从定时控制器 11 输入的数据控制信号 DDC, 将像素数据 RGB 转换为与像素数据 RGB 的灰度值相对应的模拟像素信号 (数据信号或数据电压), 并且向液晶面板 14 上的数据线 DL1 ~ DLm 提供转换后的像素信号。

[0010] 液晶面板 14 包括以矩阵形式排列的多个液晶单元 C_{LC} , 以及在数据线 DL1 ~ DLm 与选通线 GL1 ~ GLn 的各交叉部形成、并且连接到各液晶单元 C_{LC} 的 TFT。当从选通线 GL 提供选通信号时, TFT 导通以向液晶单元 C_{LC} 提供通过数据线 DL 提供的像素信号。当通过选通线 GL 提供选通关闭信号时, TFT 被截止以使得保持在液晶单元 C_{LC} 中充入的像素信号。

[0011] 液晶单元 C_{LC} 包括与 TFT 连接的公共电极和像素电极, 在两个电极之间插入液晶。液晶单元 C_{LC} 还包括存储电容器 C_{ST} , 以稳定地保持充入的像素信号直到充入下一个像素信号。存储电容器 C_{ST} 被形成在像素电极和前级选通线之间。在液晶单元 C_{LC} 中, 具有介电各向异性的液晶的排列根据通过 TFT 充入的像素信号而变化, 并且透光率也随之调整以实现灰度。

[0012] 如图 2 所示, 选通驱动单元 12 包括根据移位寄存器方法运行的选通驱动器 GD1 ~ GDn, 并且以与图 3 所示从定时控制器 11 提供的时钟信号 CLK、启动信号 VST 和复位信号 RST 相同的定时输出选通信号 VGOUT[1] ~ VGOUT[N]。即, 在输入启动信号 VST 之后, 选通驱动器 GD1 ~ GDn 与对应时钟信号 CLK[1] ~ CLK[N] 同步地顺序输出选通信号 VGOUT[1] ~ VGOUT[N]。通过由此输出的选通信号 VGOUT[1] ~ VGOUT[N] 来驱动液晶显示面板 14 上的选通线 GL1 ~ GLn。逐帧重复生成选通信号 VGOUT[1] ~ VGOUT[N] 的操作。

[0013] 图 4 是示出选通驱动器 GD1 ~ GDn 的详细电路图。第一与 (AND) 门 AD11 对从定时控制器 11 提供的控制信号 CTL 进行“与”(AND) 运算, 并且向 RS 触发器 FF11 提供置位信号 (S), 第二与门 AD12 对控制信号 CTL 进行“与”运算, 并且向触发器 FF11 提供复位信号 (R)。通过提供的置位信号 (S) 和复位信号 (R) 来操作 RS 触发器 FF11, 以将如图 5 中所示的相反逻辑信号输出给它的输出端 Q 和 QB。

[0014] 换句话说, 当向 RS 触发器 FF11 的输出端 (Q) 输出选通高电压 V_{GH} 时, 则大尺寸充电晶体管 T_U 导通, 同时, 小尺寸放电晶体管 T_{PD} 因从 RF 触发器 FF11 的反向输出端 QB 输出的选通低电压 V_{GL} 而截止。在此状态下, 当施加时钟信号 CLK 时, 从充电晶体管 T_U 向对应的选通线 GL 提供选通高电压 V_{GH} 。

[0015] 其后, 在放电模式中, 放电晶体管 T_{PD} 因从 RS 触发器 FF11 的反向输出端 QB 输出的选通高电压 V_{GH} 而导通。相应地, 通过放电晶体管 T_{PD} 对选通高电压 V_{GH} (选通线 GL 的充电电压) 进行放电, 并且被保持为选通低电压 V_{GL} 。

[0016] 将充电晶体管 T_{PU} 和放电晶体管 T_{PD} 实施为 a-Si:H TFT。当在这样的晶体管中的源极与栅极之间提供正极性 DC 电压时, 阈值电压增加从而使特性劣化以减少了输出电流。

[0017] 在这方面, 如图 5 所示, 应该注意的是, 在与选通线的充电时间相对应的短时间期间, 将高电平电压从 RS 触发器 FF11 的输出端 (Q) 输出到充电晶体管 T_U 的栅极。因此, 充电晶体管 T_U 可以在短时间周期期间接收到应力电压 (stress voltage)。

[0018] 作为对比, 应该注意的是, 在除选通线充电时间以外的长时间期间, 将高电平电压从 RF 触发器 FF11 的输出端 QB 输出到放电晶体管 T_{PD} 的栅极。因此, 放电晶体管 T_{PD} 在比充电晶体管 T_U 的充电时间长得多的时间期间接收应力电压。

[0019] 因此,在相关技术 LCD 中,当选通驱动单元将选通信号输出到液晶面板的各选通线时,在短时间周期期间,向充电晶体管提供高电平选通电压,因此特性劣化相对缓慢地进行。同时,各选通驱动单元的放电晶体管在与充电晶体管的充电时间相比更长时间期间接收高电平的选通电压,因此特性劣化进行得要快得多。这造成延长了选通线的放电时间,从而导致要保持在 OFF 状态的间隔未截止从而输出异常电压的问题。

[0020] 此外,充电晶体管 T_U 和放电晶体管 T_D 都通过 a-Si:H 来实现,造成具有充电晶体管 T_{PU} 和放电晶体管 T_{PD} 具有低迁移率的缺点。因此,相关技术 LCD 具有未在行时间内对选通线进行放电的问题。

发明内容

[0021] 因此,为了解决以上问题,考虑到这里描述的各种特征。示例性实施方式的一方面是为了在实现向液晶显示器 (LCD) 的液晶面板提供选通信号的选通驱动单元时避免构成各选通驱动器的晶体管、选通驱动单元的元件的特性劣化。

[0022] 本说明书提供了一种 LCD 的驱动电路,该驱动电路包括:定时控制器,其输出选通控制信号和数据控制信号以控制选通驱动单元和数据驱动单元的驱动,并输出数字视频数据;一对选通驱动单元,响应于选通控制信号通过利用至少一帧作为向液晶面板的选通线提供选通信号的周期来交替驱动该对选通驱动单元;以及数据驱动单元,其响应于数据控制信号向液晶面板的数据线提供像素信号。

[0023] 结合附图,根据本发明的以下详细描述,本发明的前述及其他目标、特征、方面和优点将更加显见。

附图说明

[0024] 图 1 是相关技术液晶显示器 (LCD) 的驱动框图;

[0025] 图 2 是图 1 中选通驱动单元的详细框图;

[0026] 图 3 示出图 2 中每部分的波形;

[0027] 图 4 是图 2 中的选通驱动器的电路图;

[0028] 图 5 是示出图 4 中 RS 触发器的输出信号定时的图;

[0029] 图 6 是根据本发明的第一实施方式的 LCD 的驱动电路的框图;

[0030] 图 7 是图 6 中选通驱动单元的详细框图;

[0031] 图 8 是图 7 中的选通驱动器的电路图;

[0032] 图 9 示出图 8 中各部分的波形;

[0033] 图 10 是图 9 中的两个选通驱动单元的各帧的时序图;

[0034] 图 11 是示出图 8 中选通驱动器实施的示例的详细电路图;

[0035] 图 12A 到图 12C 示出了从根据本发明的第一实施方式的选通驱动单元的仿真结果获得的波形;

[0036] 图 13 是示出根据本发明的第一实施方式的选通驱动器的晶体管的累积应力电压的波形的图;

[0037] 图 14 是根据本发明的第二实施方式的 LCD 的选通驱动电路的框图;

[0038] 图 15 是图 14 中的选通驱动器的电路图;

- [0039] 图 16 示出从图 15 中的各部分输出的信号的波形；
- [0040] 图 17 是示出图 15 中的选通驱动器的实施的示例的详细电路图；
- [0041] 图 18 是示出图 15 中的选通驱动器的实施的另一个示例的详细电路图；
- [0042] 图 19 示出了关于根据本发明的第二实施方式的选通驱动电路的仿真结果的波形；以及
- [0043] 图 20 是以比较方式示出根据本发明的第二实施方式的选通驱动器的输出信号的波形的图。

具体实施方式

[0044] 现在将参照附图对本发明的示例性实施方式进行详细说明。

[0045] 首先,将参照图 6 到图 13 对根据本发明第一实施方式的液晶显示器 (LCD) 的驱动电路进行说明。

[0046] 图 6 是根据本发明的第一实施方式的 LCD 的驱动电路的框图。参照图 6,根据本发明的第一实施方式的 LCD 的驱动电路包括:定时控制器 91,其用于输出控制选通驱动单元 92 和数据驱动单元 93 的驱动的选通控制信号 GDC 和数据控制信号 DDC、对数字视频数据 RGB 进行采样、重新排列并且输出;一对选通驱动单元 92A 和 92B,响应于选通控制信号 GDC 向液晶面板 94 的选通线 GL0 ~ GLn 交替提供选通信号;数据驱动单元 93,其响应于数据控制信号 DDC 向液晶面板 94 的数据线 DL1 ~ DLm 提供像素信号;以及液晶面板 94,其包括以矩阵形式排列、并且由选通信号和像素信号驱动来显示图像的液晶单元。

[0047] 图 7 是图 6 中选通驱动单元的详细框图。参照图 7,选通驱动单元 92A 和 92B 包括选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n,这些选通驱动器根据移位寄存器方法驱动,并且通过使用单个帧作为输出选通信号 VGOUT[1] ~ VGOUT[N] 的周期由从定时控制器 91 提供的使能信号 ENA 交替选择进行驱动。选通驱动单元 92A 和 92B 包括第一选通驱动单元 91 和第二选通驱动单元 92,选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 包括第一选通驱动器 GD11 ~ GD1n 和第二选通驱动器 GD21 ~ GD2n。

[0048] 图 8 是图 7 中的选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 的电路图。如图所示,各选通驱动器包括:根据置位信号和复位信号向两个输出端 Q 和 QB 输出相反逻辑信号的 RS 触发器 FF21;与门 AD21,其对从 RS 触发器 FF21 的反向输出端 QB 输出的信号和使能信号 ENA 进行“与”运算,以对处于奇数帧周期或偶数帧周期的信号进行有效化 (validate) (确认);以及在时钟信号 CLK 端和接地端之间串联连接的充电晶体管 T_{PU} 和放电晶体管 T_{PD} ,充电晶体管 T_{PU} 和放电晶体管 T_{PD} 分别具有连接到 RS 触发器 FF21 的输出端 Q 和反向输出端 QB 的栅极,以从漏极和源极的公共连接点生成选通信号 G[N]。

[0049] 现在将参照图 9 到图 13 对根据本发明的第一实施方式的 LCD 驱动电路的操作进行详细说明。

[0050] 参照图 6,通过利用至少一帧作为向液晶面板 94 的选通线 GL1 ~ GLn 输出选通信号的周期来交替驱动第一选通驱动单元 92A 和第二选通驱动单元 92B。通过与普通 LCD 相同的方式执行其他部分的操作。

[0051] 即,定时控制器 19 通过使用从系统提供的垂直/水平同步信号 (Hsync/Vsync) 和时钟信号 CLK 来输出用于控制选通驱动单元 92A 和 92B 的选通控制信号 GDC 和用于控制数

据驱动单元 93 的数据控制信号 DDC。并且,定时控制器 91 对从系统输入的数字像素数据 RGB 进行采样、重新排列并向数据驱动单元 93 提供这些数据。

[0052] 选通控制信号包括选通启动脉冲 GSP、选通移位时钟信号 GSC、选通输出使能信号 GOE 等,数据控制信号 DDC 包括源启动脉冲 SSP、源移位时钟信号 SSC、源输出使能信号 SOE 和极性信号 POL。

[0053] 响应于从定时控制器 91 输入的选通控制信号 GDC,通过使用至少一帧作为向液晶面板 94 的选通线 GL1 ~ GLn 提供选通信号的周期来交替驱动第一驱动单元 92A 和第二驱动单元 92B。相应地,在对应水平线中的对应 TFT 导通。相应地,经由 TFT 将通过数据线 DL1 ~ DLm 提供的像素信号存储在各存储电容器 C_{ST} 中。

[0054] 响应于从定时控制器 91 输入的数据控制信号 DDC,数据驱动单元 93 将像素数据转换为与灰度值相对应的模拟像素信号,并且向液晶面板 94 的数据线 DL1 ~ DLm 提供转换后的像素信号。

[0055] 液晶面板 94 包括以矩阵形式排列的多个液晶单元 C_{LC} 以及在数据线 DL1 ~ DLm 与选通线 GL1 ~ GLn 的各交叉部形成并且连接到液晶单元 C_{LC} 的 TFT。TFT 在从选通线 GL 提供选通信号时被导通以向液晶单元 C_{LC} 提供通过数据线 DL 提供的像素信号。当通过选通线 GL 提供选通截止信号时, TFT 被截止以使得保持在液晶单元 C_{LC} 中充入的像素信号。在液晶单元 C_{LC} 中,具有介电各向异性的液晶的排列根据通过 TFT 充入的像素信号而变化,相应地,调整透光率以实现灰度。

[0056] 在本发明中,提供了一对选通驱动单元 92A 和选通驱动单元 92B,并且通过使用单个帧作为每次向液晶面板 94 的选通线 GK1 ~ GLn 提供选通信号的周期来交替驱动这对选通驱动单元。

[0057] 这里,采用第一选通驱动单元 92A 在奇数帧期间工作而第二选通驱动单元 92B 在偶数帧期间工作的情况作为示例,但是,本发明不限于此。可以存在各种其他示例,例如,在不脱离本发明精神或范围的情况下,第一选通驱动单元 92A 可以在偶数帧期间工作而第二选通驱动单元 92B 可以在奇数帧期间工作。

[0058] 如图 10 所示,该对选通驱动单元 92A 和选通驱动单元 92B 分别包括根据移位寄存器方法工作的选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n,通过从定时控制器 91 提供的使能信号 ENA 驱动,并根据时钟信号 CLK、启动信号 VST 和复位信号 RST 将选通信号 VGOUT[1] ~ VGOUT[N] 输出到液晶面板 94 的选通线 GL1 ~ GLn。

[0059] 图 8 示出了选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 的示例。为了简洁起见,只示出了选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 中的其中一个。现在参照图 9 描述选通驱动器的操作。

[0060] 图 8 所示的选通驱动器电路是构成在各个奇数帧或偶数帧工作的选通驱动单元 92A 和选通驱动单元 92B 的选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 中的一个。如图 9 所示,在操作帧模式中,从定时控制器 91 向使能信号 ENA 提供高电平。

[0061] 在充电模式中的间隔 t_1 ,以高电平向 RS 触发器 FF21 的置位端 (S) 输入前级选通信号 $G[N-1]$,因此向输出端 (Q) 输出中间电平的电压 V_M ,相应地,大尺寸的充电晶体管 T_U 导通。通过从施加的电压中减去输入端晶体管的阈值电压得到中间电平的电压 $V_M(V_{DD}-V_{TH})$ 。

[0062] 此时,以低电平向 RS 触发器 FF21 的复位端 (R) 输入复位信号 RESET,因此向反向

输出端 QB 输出低电平信号,相应地,因为向“与”门 AD21 的输出端 Gd 输出了低电平信号,因此小尺寸的充电晶体管 T_{pu} 截止。

[0063] 其后,在充电模式中的间隔 t_2 ,通过高电平输入时钟信号 ($CLK = CLK[1]$)。相应地,因为充电晶体管 T_{pu} 的栅极与漏极之间的寄生电容 C_{gd} 的耦合现象,所以输出端 (Q) 的电压被自举 (bootstrap) 为对中间电平的电压 VM 和时钟信号 CLK 的电压 V_{gh} 进行求和得到的具有更高电平的电压 VH。相应地,在间隔 t_2 ,从对应的选通驱动器以时钟信号 CLK 的电压电平 V_{gh} 输出选通信号 G[N]。

[0064] 向液晶面板 84 的对应选通线和下一级的选通驱动器的 RS 触发器 FF21 的置位端 (S) 共同施加从对应的选通驱动器输出的选通信号 G[N]。

[0065] 其后,在放电模式中的间隔 t_3 ,将时钟信号 ($CLK = CLK[1]$) 降低为低电平电压 VGL,将向下一级的选通驱动器提供的时钟信号 ($CLK = CLK[2]$) 增加为高电平电压。此时,以低电平向 RS 触发器 FF21 的置位端 (S) 输入前级的选通信号 G[N-1]。相应地,充电晶体管 T_u 截止。

[0066] 此时,以高电平向 RS 触发器 FF21 的复位端 (R) 输入复位信号 RESET,因此向反向输出端 QB 输出高电平信号,相应地,因为将高电平信号输出到与“门”AD21 的输出端 Gd,所以放电晶体管 T_{pd} 导通。相应地,通过放电晶体管 T_{pd} 进行选通信号 G[N] 的放电操作,因此,对应选通线的电势转变为低电平。

[0067] 其后,当使能信号 ENA 转变为低电平时,选通信号 G[N] 端变为浮置态 (即,高阻抗状态 (Hi-Z))。

[0068] 图 10 通过区分奇数帧和偶数帧而示出了如图 8 所示操作的选通驱动器的操作时序图。为了说明的目的,将第一选通驱动器 GD11 ~ GD1n 的输出表示为 G0[1] ~ G0[N],将第二选通驱动器 GD21 ~ GD2n 的输出表示为 GE[1] ~ GE[N]。

[0069] 即,在奇数帧中,以高电平向任意选通驱动单元 (例如,第一选通驱动单元 92A 的第一选通驱动器 GD11 ~ GD1n) 提供使能信号 ENA0,并且第一选通驱动器 GD11 ~ GD1n 与时钟信号 CLK0 同步地顺序生成选通信号 G0[1] ~ G0[N]。此时,第二选通驱动单元 92B 的第二选通驱动器 GD21 ~ GD2n 的输出端处于浮置态 (Hi-Z)。

[0070] 相反,在偶数帧的情况,以高电平向第二选通驱动单元 92B 的第二选通驱动器 GD21 ~ GD2n 提供使能信号 ENA0,并且第二选通驱动器 GD21 ~ GD2n 与时钟信号 CLKE 同步地顺序生成选通信号 G0[1] ~ G0[N]。此时,第一选通驱动单元 92A 的第一选通驱动器 GD11 ~ GD1n 的输出端处于浮置态 (Hi-Z)。

[0071] 图 11 是示出图 8 中实施选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 的示例的详细电路图,并且现在参照图 9 到图 11 对其操作进行说明。这里,第一到第五晶体管 T1 ~ T5 是 RS 触发器 FF21 的元件,第六到第七晶体管 T6 ~ T7 是“与”门 AD21 的元件,以及充电晶体管 T_{pu} 和放电晶体管 T_{pd} 是选通信号输出单元 111 的元件。在图 11 中,图中未区分第一选通驱动器 GD11 ~ GD1n 与第二选通驱动器 GD21 ~ GD2n。

[0072] 当以高电平输入前级选通信号 G[N-1] 时,二极管连接类型第一晶体管 T1 导通,通过该晶体管将中间电平的电压 VM 输出到输出端 (Q)。前级选通信号 G[N-1] 是被输入给置位端 (S) 的信号。

[0073] 此时,以低电平输入复位信号 RESET,因此第三晶体管 T3 保持在截止状态。在此

状态下,第五晶体管 T5 由经由第一晶体管 T1 输出的高电平信号导通,以将反向输出端 QB 的电势保持在低电平,相应地,第六晶体管 T6 截止,以避免将使能信号 ENA 被传送给输出端 Gd。此时,因为第七晶体管 T7 由前级的高电平的选通信号 G[N-1] 导通,所以“与”门 AD21 的输出端 Gd 的电势保持在低电平。因此,选通信号输出单元 111 的充电晶体管 T_{PU} 导通,而放电晶体管 T_{PD} 截止。

[0074] 其后,当前级选通信号 G[N-1] 转变为低电平,并且随后以高电平输入时钟信号 CLK 时,由于充电晶体管 T_{PU} 的栅极与漏极之间的寄生电容 C_{gd} 的耦合现象,RS 触发器 FF21 的输出端 (Q) 的电压被自举为对中间电平的电压 VM 和时钟信号 CLK 的电压 V_{GH} 进行求和得到的具有更高电平的电压 VH。相应地,以时钟信号 CLK 的电压电平 V_{GH} 从选通信号输出单元 111 输出选通信号 G[N]。

[0075] 其后,时钟信号 CLK 转变为低电平,以高电平输入复位信号 RESET。相应地,第三晶体管 T3 导通,从而输出端 (Q) 的电压经由第三晶体管 T3 而减弱为接地端 Vss,因此,输出端 (Q) 的电压转变为低电平。相应地,充电晶体管 T_{PU} 截止。

[0076] 如上所述,当在前级状态的选通信号 G[N-1] 转变为低电平时,二极管连接类型的第一晶体管 T1 截止。相应地,第五晶体管 T5 截止,并且因此,经由二极管连接类型的第四晶体管 T4 向反向输出端 QB 输出高电平信号。

[0077] 相应地,第六晶体管 T6 导通,并且在前级选通信号 G[N-1] 转变为低电平之后,第七晶体管 T7 保持在截止状态。相应地,向“与”门 AD21 的输出端 Gd 输出高电平信号,并因此,放电晶体管 T_{PD} 导通。相应地,通过放电晶体管 T_{PD} 进行选通信号 G[N] 的放电操作。

[0078] 图 12A 到 12C 示出了从根据本发明的第一实施方式的 LCD 的驱动电路中的选通驱动单元 92A 和 92B 的操作的仿真结果获得的波形。即,注意当如上所述正常生成 RS 触发器 FF21 的输出节点 (Q) 和反向输出节点 QB,以及“与”门 AD21 的输出节点 Gd 的电势并且使能信号 ENA 转变为低电平时,“与”门 AD21 的输出节点 Gd 变为低电平,因此选通信号 G[N] 端变为高阻抗状态 (Hi-Z)。

[0079] 图 13 是示出在根据本发明的第一实施方式的 LCD 的驱动电路中,选通驱动单元 92A 和 92B 的选通驱动器 GD11 ~ GD1n 和 GD21 ~ GD2n 中的选通信号输出单元 111 的充电晶体管 T_{PU} 和放电晶体管 T_{PD} 的累积应力电压的波形的图。

[0080] 如图所示,充电晶体管 T_{PU} 的累积应力电压几乎未从初始低值增加,放电晶体管 T_{PD} 的累积应力电压稍微增加然后被完全除去。据此,可以注意到,在根据本发明的第一实施方式的 LCD 的驱动电路中,可以迅速地进行选通线的放电操作。

[0081] 具有这种构造的根据本发明的第一实施方式的 LCD 的优点在于逐帧交替驱动为单个液晶面板提供的该对选通驱动单元,以避免向选通驱动单元的各选通驱动器的放电晶体管和充电晶体管连续提供累积应力电压。

[0082] 因此,可以避免放电晶体管和充电晶体管的特性劣化,选通线被迅速放电,从而提高了可靠性。

[0083] 现在将参照图 14 到图 19 对根据本发明的第二实施方式的 LCD 的驱动电路进行说明。

[0084] 图 14 示出了作为根据本发明的第二实施方式的 LCD 的驱动电路的选通驱动电路。参照图 14,根据本发明的第二实施方式的 LCD 的驱动电路包括与时钟信号 CLK1 ~ CLK4

同步顺序驱动以向液晶面板的选通线输出选通信号 VGOUT[1] ~ VGOUT[N] 的选通驱动器 GD21 ~ GD2n, 并且在放电间隔中通过选通驱动器 GD21 ~ GD2n 的充电晶体管和放电晶体管对选通信号进行放电。

[0085] 图 15 是示出根据本发明的第二实施方式的 LCD 的驱动电路中的选通驱动器 GD21 ~ GD2n 的详细电路图。参照图 15, 选通驱动器包括: RS 触发器 FF1, 其根据置位信号和复位信号向两个输出端 Q 和 QB 输出相反的逻辑信号; 或 (OR) 门 OR1, 其对从 RS 触发器 FF1 的反向输出端 QB 输出的信号和下一级的选通信号 G[N+1] 进行“或”(OR) 运算; 充电晶体管 T_{PU} , 其在充电间隔根据从 RS 触发器 FF1 的输出端 (Q) 输出的信号和时钟信号来向液晶面板的对应选通线输出选通信号 G[N], 并且通过在放电间隔保持导通状态来对选通信号 G[N] 进行放电; 以及放电晶体管 T_{PD} , 其由“或”门 OR1 的输出信号导通, 以在放电间隔对选通信号 G[N] 进行放电。

[0086] 现在将参照图 16 到图 20 对根据本发明的第二实施方式的 LCD 的驱动电路的驱动进行详细说明。

[0087] 参照图 14, 在利用移位寄存器与时钟信号 CLK1 ~ CLK4 同步进行驱动的同时向液晶面板的相应选通线输出选通信号 VGOUT[1] ~ VGOUT[N] 的选通驱动器 GD21 ~ GD2n 被实施为: 在放电间隔通过选通驱动器 GD21 ~ GD2n 的所有充电晶体管和放电晶体管对选通信号进行放电, 由此进行迅速放电。

[0088] 为了简洁起见, 图 15 只示出了选通驱动器 GD21 ~ GD2n 中的一个, 现在将参照图 18 对其操作进行说明。

[0089] 首先, 在间隔 t1, 以高电平向 RS 触发器 FF21 的置位端 (S) 输入前级选通信号 G[N-1], 因此向输出端 (Q) 输出中间电平的电压 VM, 并且相应地, 大尺寸的充电晶体管 T_U 导通。然而, 因为仍然以低电平输入时钟信号 ($CLK = CLK[1]$), 所以将选通信号 G[N] 输出为低电平电压 VGL。通过从电源电压中减去输入端晶体管的阈值电压得到中间电平的电压 $VM(V_{DD} - V_{TH})$ 。

[0090] 此时, 以低电平向 RS 触发器 FF21 的复位端 (R) 输入复位信号 RESET, 因此向反向输出端 QB 输出低电平信号, 并且以低电平输出下一级的选通信号 G[N+1], 并且相应地, 向“或”门 OR1 的输出端 Gd 输出低电平信号, 并因此, 小尺寸的充电晶体管 T_{PD} 截止。

[0091] 其后, 在间隔 t2, 以高电平输入时钟信号 (CLK)。相应地, 因为充电晶体管 T_{PU} 的栅极与漏极之间的寄生电容 C_{gd} 的耦合现象, 输出端 (Q) 的电压被自举为对中间电平的电压 VM 和时钟信号 CLK 的电压 V_{GH} 进行求和得到的具有更高电平的电压 VH。相应地, 在间隔 t2 从对应选通驱动器以时钟信号 CLK 的电压电平 V_{GH} 输出选通信号 G[N]。

[0092] 其后, 在间隔 t3, 时钟信号 CLK 被降低为低电平电压 V_{GL} , 并且由于寄生电容器 C_{gd} 的耦合现象, 向充电晶体管 T_{PU} 的栅极提供的电压降低并保持在中间电平电压 VM。

[0093] 相应地, 将充电晶体管 T_{PU} 保持在导通状态, 并且相应地, 通过充电晶体管 T_{PU} 将选通信号 G[N] 放电为低电平电压 VGL。

[0094] 同时, 从被提供时钟信号 CLK[2] 的下一级选通驱动器以高电平输出选通信号 G[N+1], 并且相应地, 向“或”门 OR1 的输出端 Gd 输出高电平信号。相应地, 放电晶体管 T_{PD} 导通, 通过该放电晶体管 T_{PD} 进行选通信号 G[N] 的放电操作。

[0095] 因为在放电间隔 t3 通过充电晶体管 T_{PU} 和放电晶体管 T_{PD} 二者同时进行选通信号

G[N] 的放电操作,所以与仅通过一个放电晶体管 T_{PD} 进行放电操作的通常情况相比,可以迅速进行放电操作,因此可以缩短选通信号 G[N] 的下降时间。

[0096] 其后,在间隔 t_4 ,从第二级的选通驱动器以高电平向 RS 触发器 FF1 的复位端 (R) 输入选通信号 G[N+2]。相应地,向 RS 触发器 FF1 的输出端 (Q) 输出低电平信号以截止充电晶体管 T_{PU} 。然而在此情况下,因为高电平信号被连续输出到反向输出端 QB,因此从“或”门 OR1 也连续输出高电平信号。相应地,放电晶体管 T_{PD} 保持在导通状态,以连续进行选通信号 G[N] 的放电操作。

[0097] 图 17 是示出图 15 中选通驱动器的实施的示例的详细电路图。如图 17 所示,选通驱动器包括:具有第一到第七晶体管 T1 ~ T7 的 RS 触发器 FF1;包括第八到第十五晶体管 T8 ~ T15 的“或”门 OR1;以及包括充电晶体管 T_{PU} 和放电晶体管 T_{PD} 的选通信号输出单元 71。

[0098] 在图 15 中的 RS 触发器 FF1 中,当以高电平输入与在前级的选通信号 G[N-1] 对应的启动信号 VST 时,第一晶体管 T1 导通以向输出端 (Q) 输出高电平信号。其后,当以高电平输入复位信号 RESET 时,第三晶体管 T3 导通以经由第三晶体管 T3 使输出端 (Q) 的信号减弱为接地端,因此输出端 (Q) 具有低电平信号。此时,第五晶体管 T5 被从输出端 (Q) 输出的低电平信号截止,因此经由二极管连接类型的第四晶体管 T4 向第六晶体管 T6 的栅极提供高电平信号以使第六晶体管 T6 导通。此时,以低电平输入启动信号 VST 以使第七晶体管 T7 截止。相应地,经由第六晶体管 T6 向反向输出端 QB 输出高电平信号。

[0099] 在“或”门 OR1 中,当 RS 触发器 FF1 的反向输出端 QB 的输出信号使第九晶体管 T9 导通时,或者当以高电平输入下一级的选通信号 G[N+1] 来使第十晶体管 T10 导通时,第十二晶体管 T12 和第十五晶体管 T15 截止。此时,经由二极管连接类型的第十一晶体管向第十三晶体管 T13 的栅极提供高电平信号以使第十三晶体管 T13 导通。相应地,经由第十三晶体管 T13 向输出端 Gd 输入高电平信号。

[0100] 参照图 15 以如上所述方式操作选通信号输出单元 71。即,在充电模式中,充电晶体管 T_{PU} 被 RS 触发器 FF1 的输出端 Q 的信号导通,以向液晶面板的对应选通线输出选通信号 G[N]。在放电模式中,放电晶体管 T_{PD} 被“或”门 OR1 的输出信号导通以经由放电晶体管 T_{PD} 对选通信号 G[N] 进行放电。此时,充电晶体管 T_{PU} 也保持在导通状态,并且通过充电晶体管 T_{PU} 进行放电。

[0101] 图 18 是示出图 15 中选通驱动器的实施的另一个示例的详细电路图。如图 18 所示,选通驱动器包括:具有第一到第五晶体管 T1 ~ T5 的 RS 触发器 FF1;包括第六到第十晶体管 T6 ~ T10 的“或”门 OR1;以及包括充电晶体管 T_{PU} 和放电晶体管 T_{PD} 的选通信号输出单元 71。

[0102] 与图 17 所示的选通驱动器相比,图 18 所示的选通驱动器的区别在于:RS 触发器 FF1 和“或”门 OR1 具有简单结构,因此可以减少功耗。

[0103] 在图 15 的 RS 触发器中,当以高电平输入与选通信号 G[N-1] 对应的启动信号 VST 时,第一晶体管 T1 导通以向输出端 (Q) 输出高电平信号。其后,因为当以高电平输入复位信号 RESET 时,第三晶体管 T3 导通以经由第三晶体管 T3 使输出端 (Q) 的信号减弱为接地端,因此输出端 (Q) 具有低电平。此时,第五晶体管 T5 被从输出端 (Q) 输出的低电平信号截止,经由二极管连接类型的第四晶体管 T4 向反向输出端 QB 输出高电平信号。

[0104] 在“或”门 OR1 中,当以高电平输入 RS 触发器 FF1 的反向输出端 QB 的输出信号以导通第七晶体管 T7 时,或者当以高电平输入下一级的选通信号 G[N+1] 以导通第八晶体管 T8 时,第十晶体管 T10 截止。此时,经由二极管连接类型的第九晶体管 T9 向输出端 Gd 输出高电平信号。

[0105] 选通信号输出单元 71 以参照图 15 到图 17 的上述方式工作。

[0106] 图 19 示出了关于根据本发明的第二实施方式的选通驱动电路的仿真结果的波形。应该注意的是,各输出端 Q 节点、QB 节点和 Gd 节点的电压如图 16 所示,相应地,在放电间隔对选通信号 VGOUT[N] 进行迅速放电。

[0107] 图 20 示出了关于选通驱动器 GD21 ~ GD2n 的输出特性的仿真结果。如图所示,从相关技术的选通驱动器输出的选通信号 G1 和从根据本发明的选通驱动器输出的选通信号 G2 进行比较时,可以注意到下降时间显著缩短。

[0108] 如上所述,在根据本发明第二实施方式的 LCD 的驱动电路中,当在将向选通线输出选通信号之后经由放电晶体管对选通信号进行放电时,也通过充电晶体管进行放电,因此可以对选通线进行迅速放电,因此改善了 可靠性。

[0109] 由于可以在不脱离本发明特征的情况下以多种形式实施本发明,因此应该理解的是,除非另外指出,上述实施方式不限于任何前述细节,而是应该在所附权利要求规定的范围内进行宽泛地解释,因此希望所附权利要求包含落入权利要求的范围和界限内、或等同范围和界限内的所有的修改例和变型例。

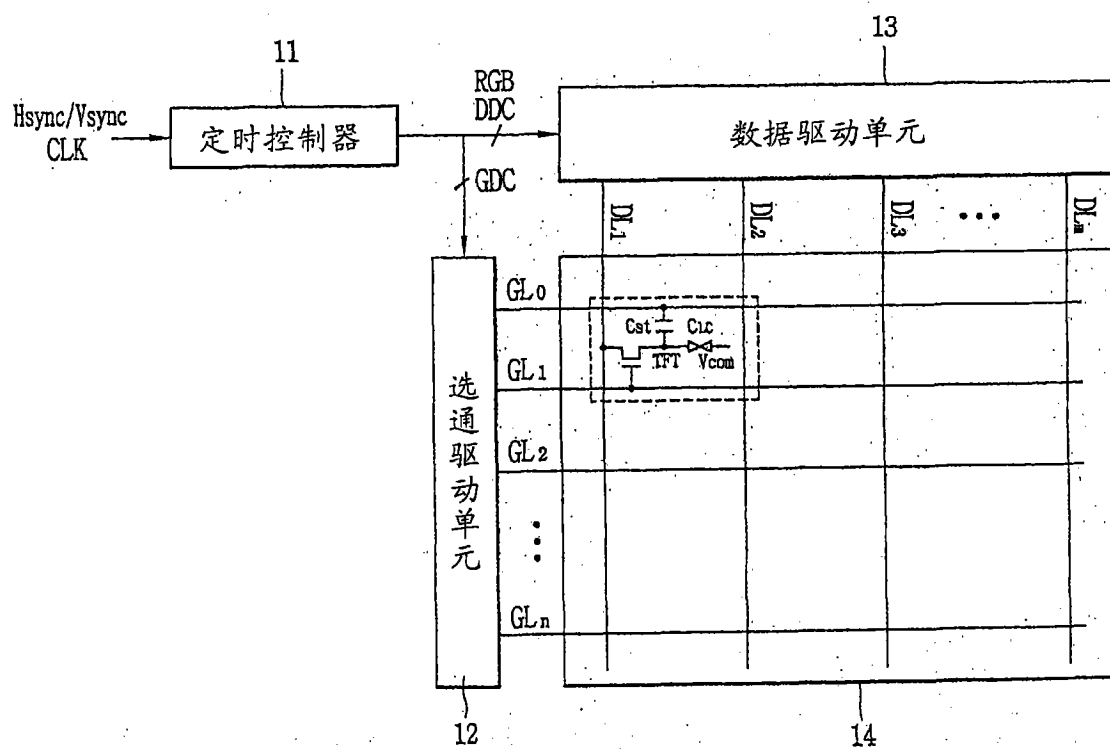


图 1

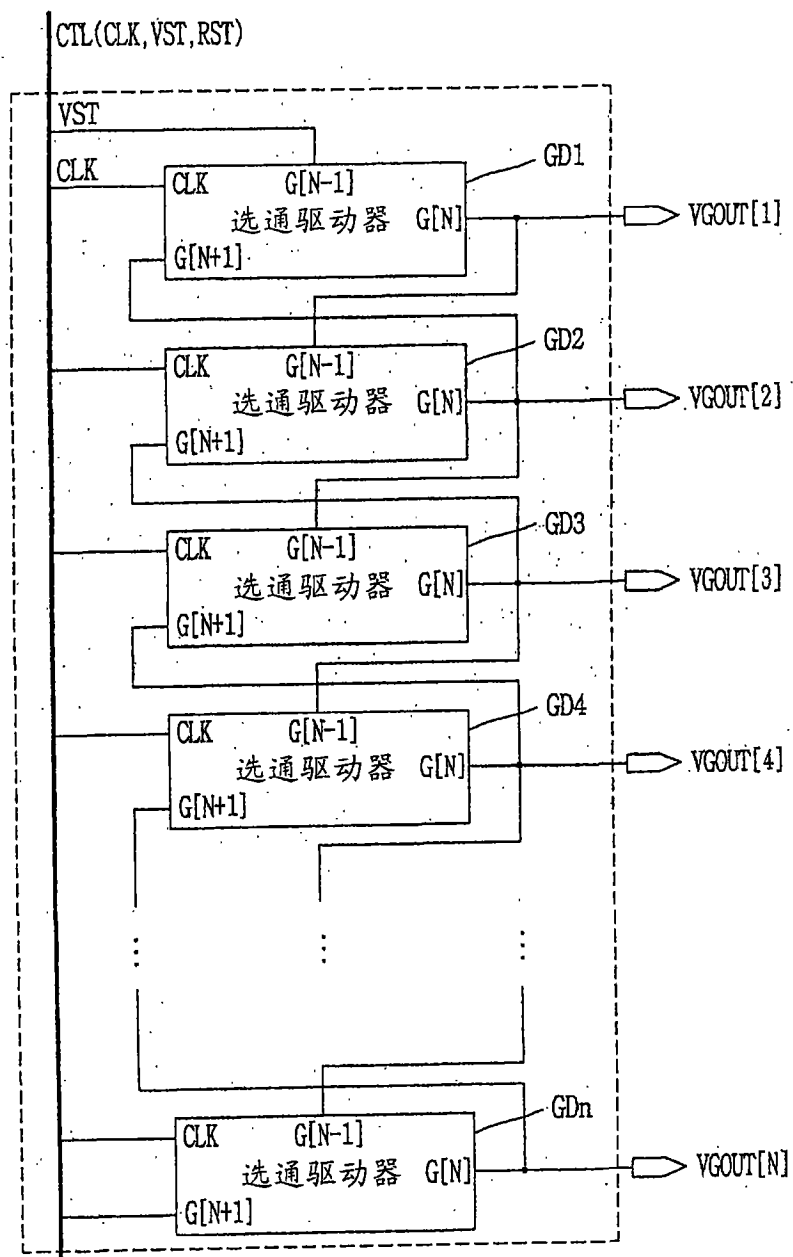


图 2

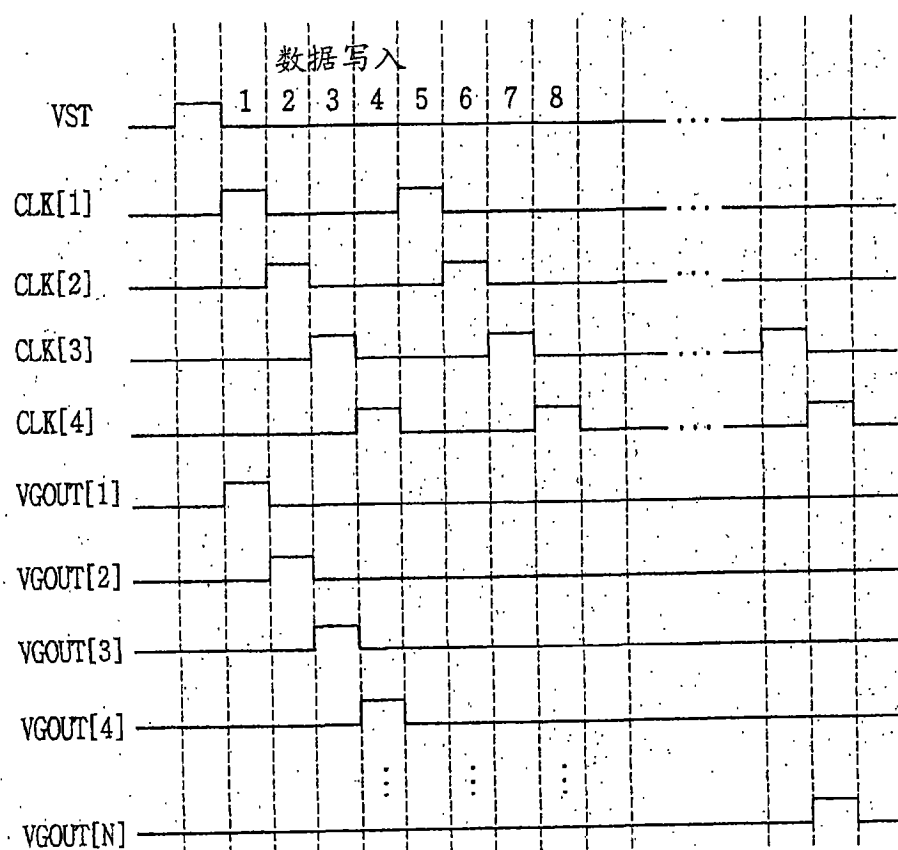


图 3

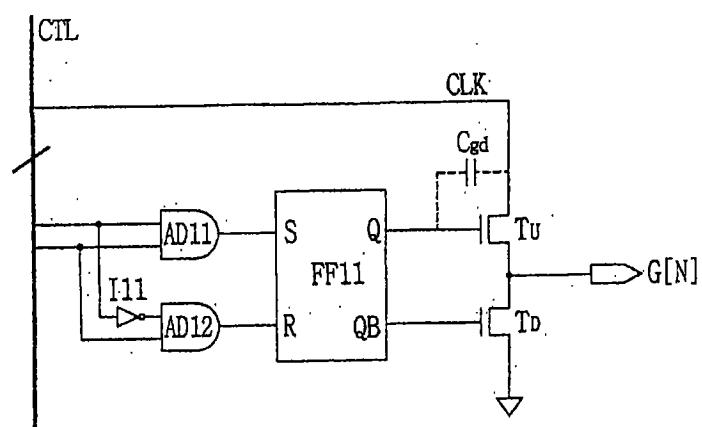


图 4

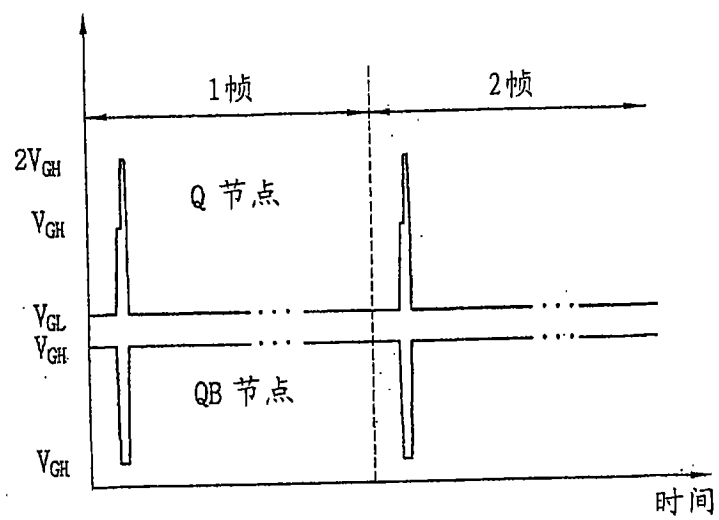


图 5

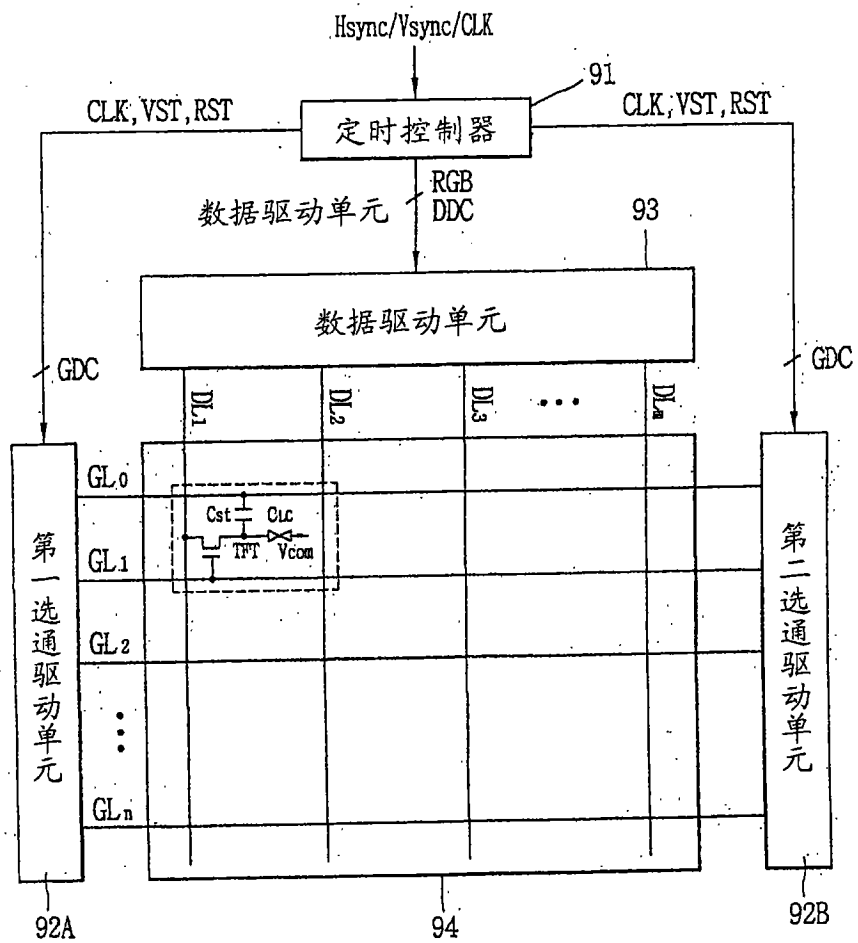


图 6

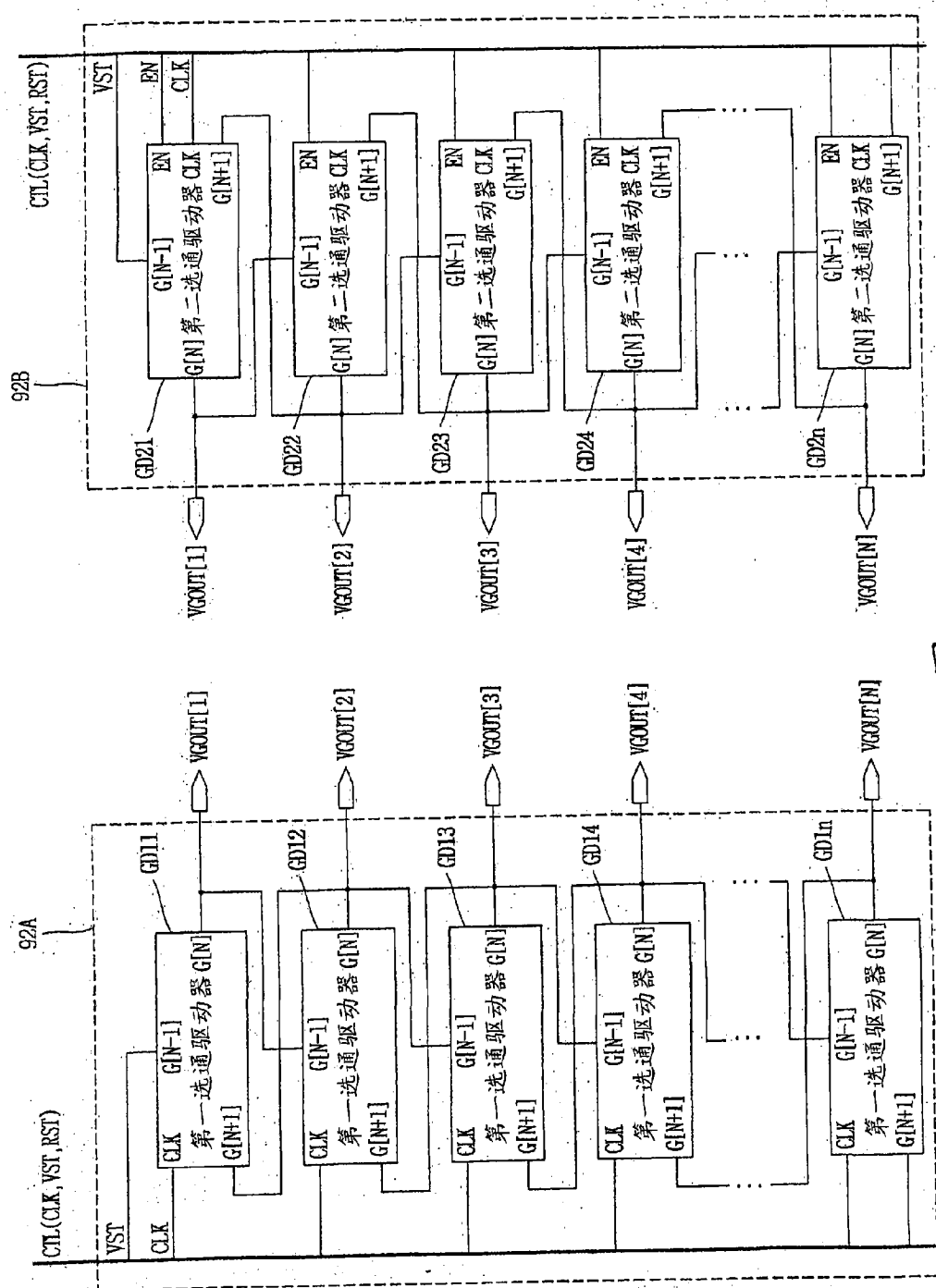


图 7

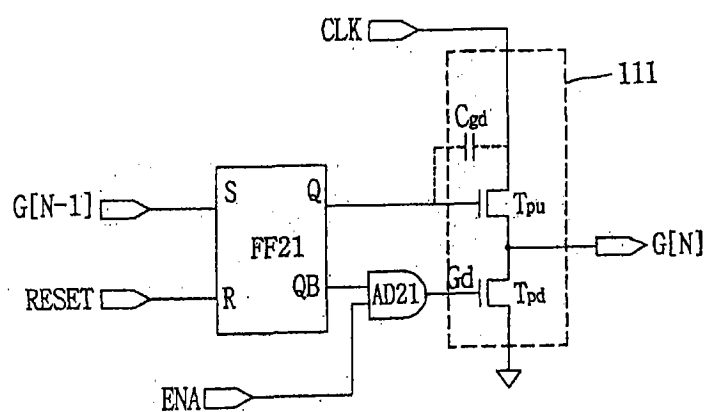


图 8

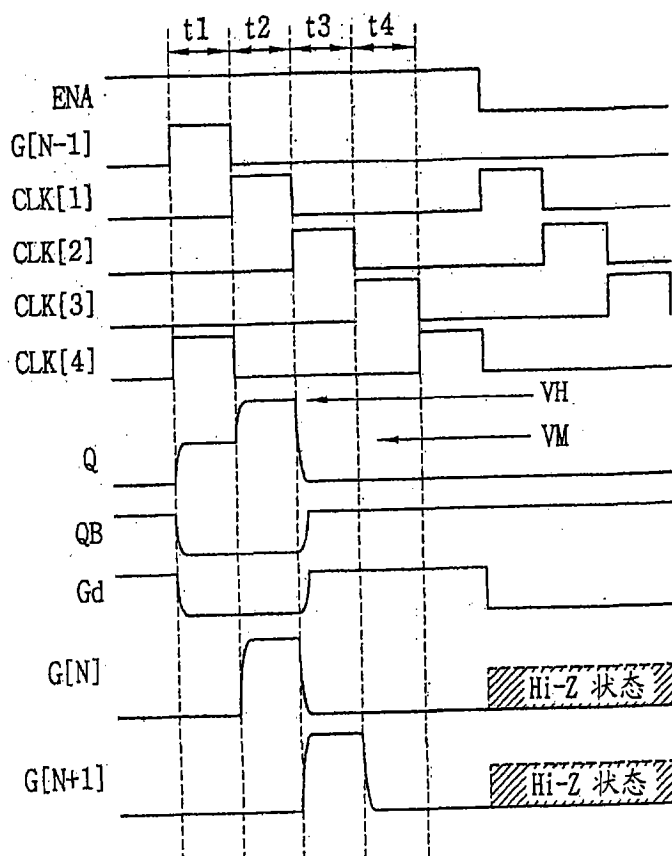


图 9

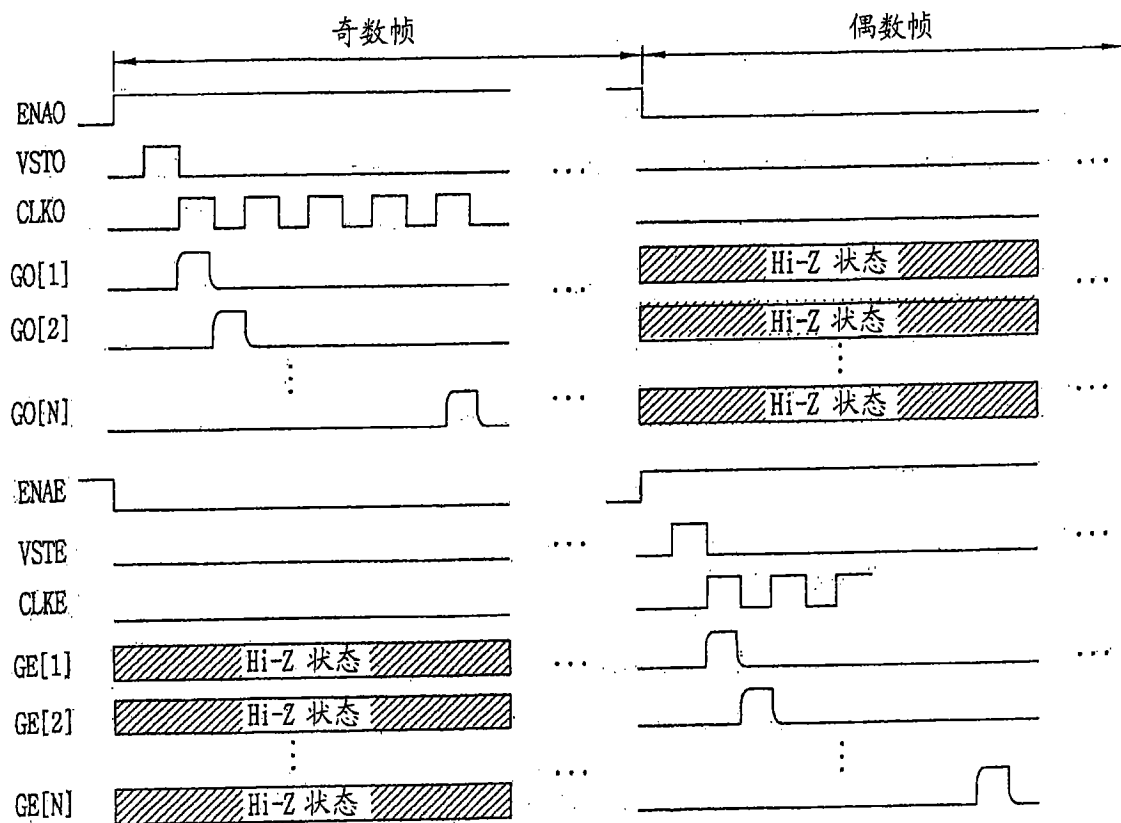


图 10

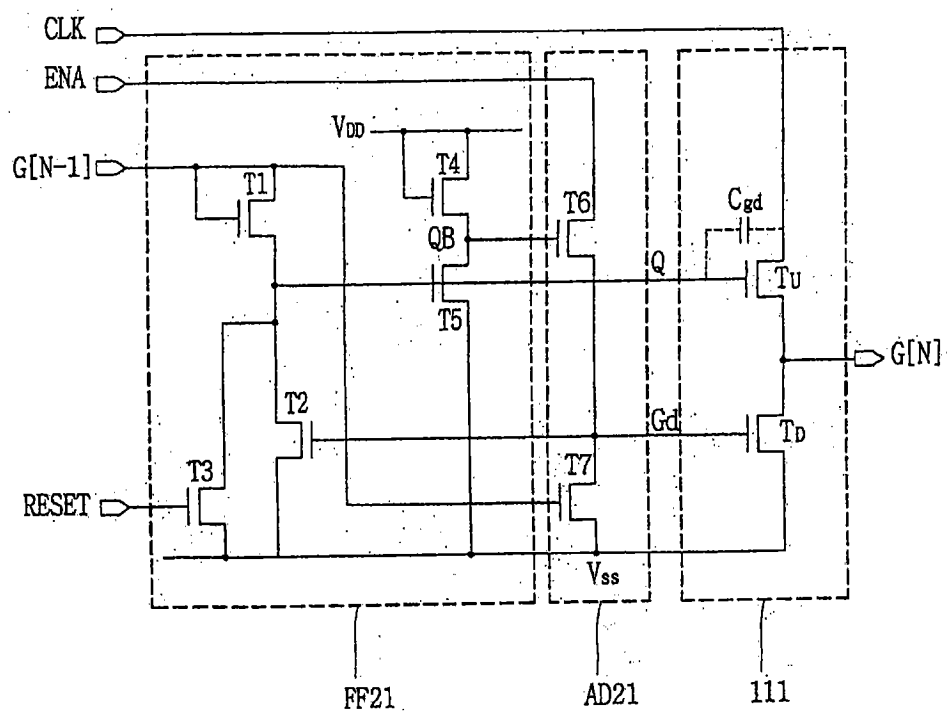


图 11

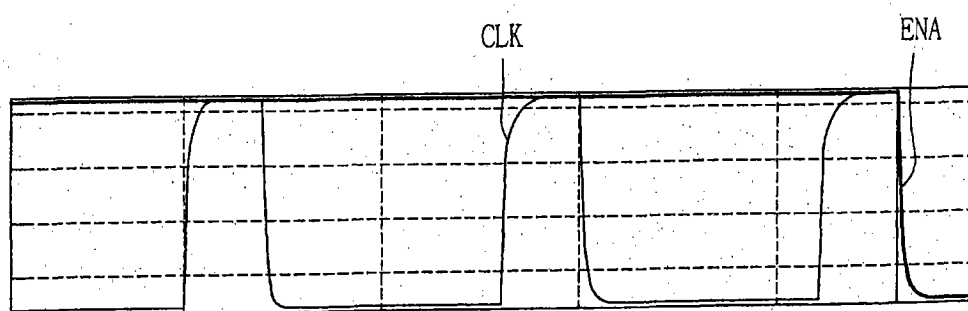


图 12A

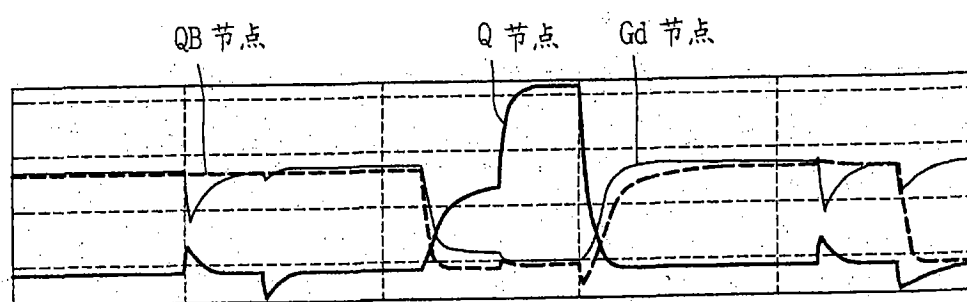


图 12B

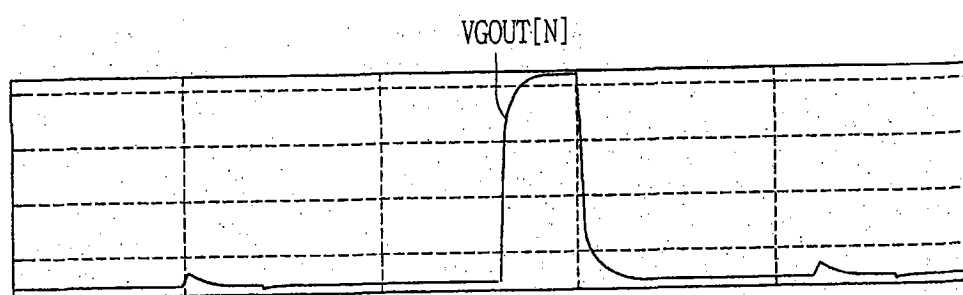


图 12C

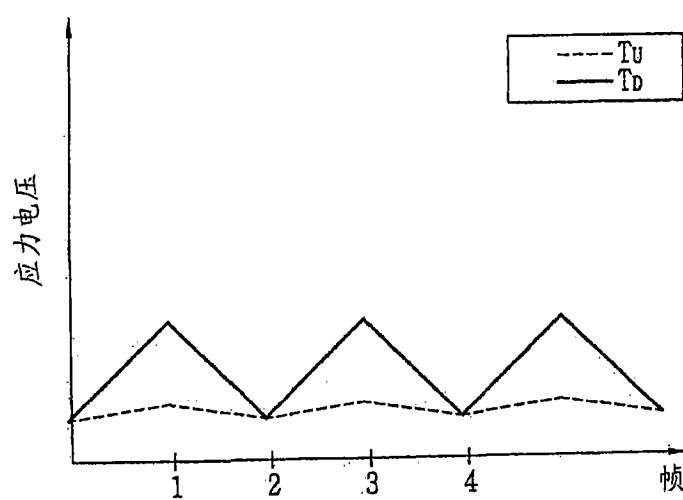


图 13

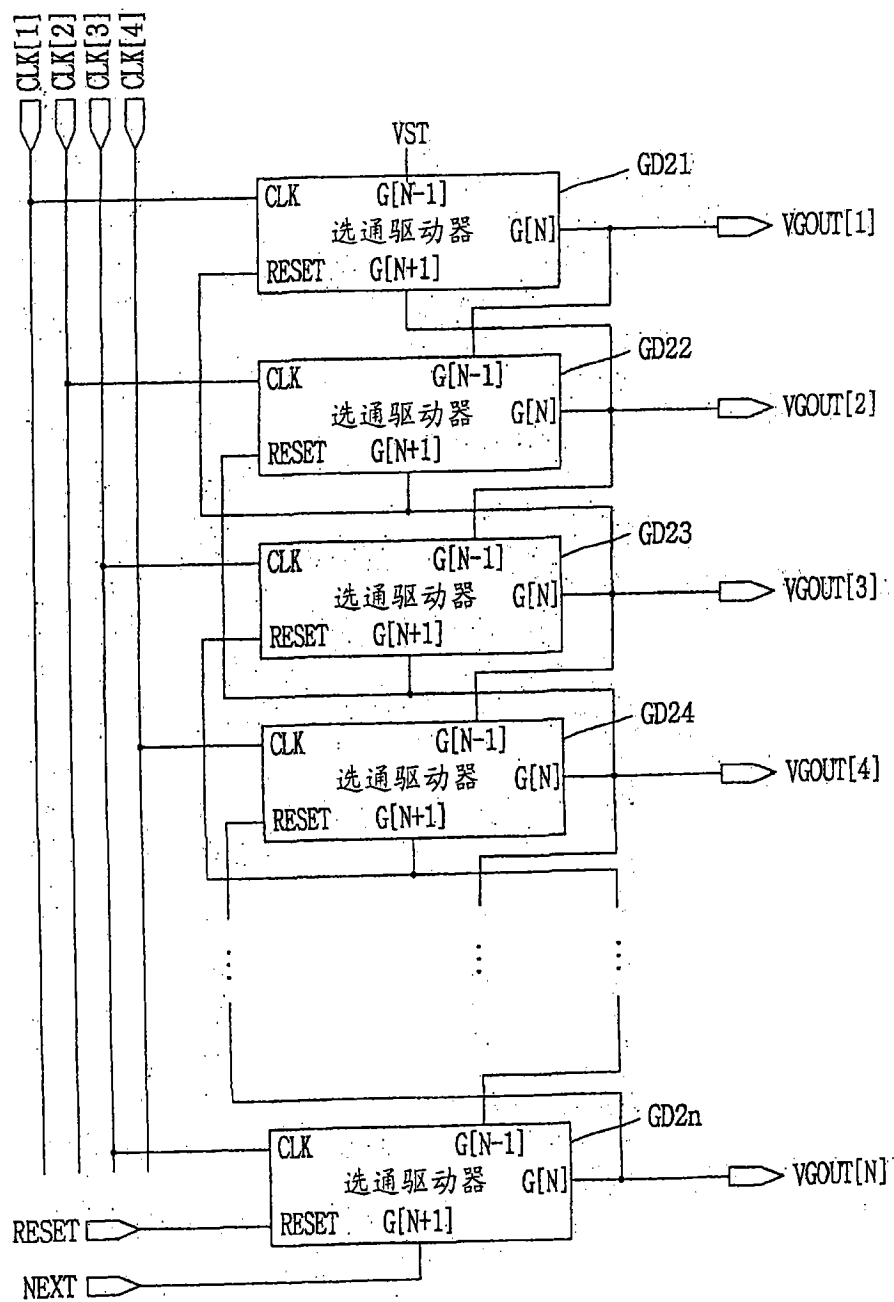


图 14

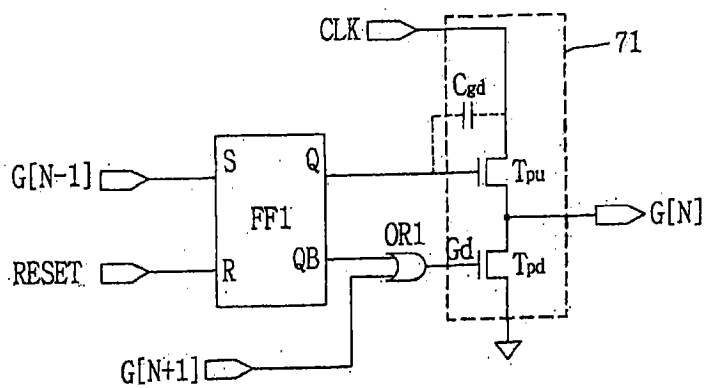


图 15

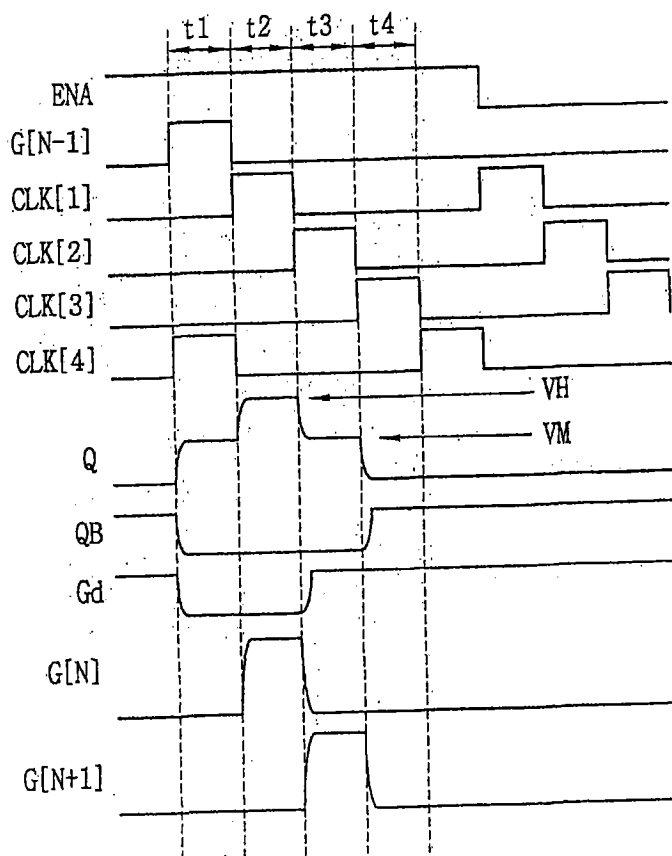


图 16

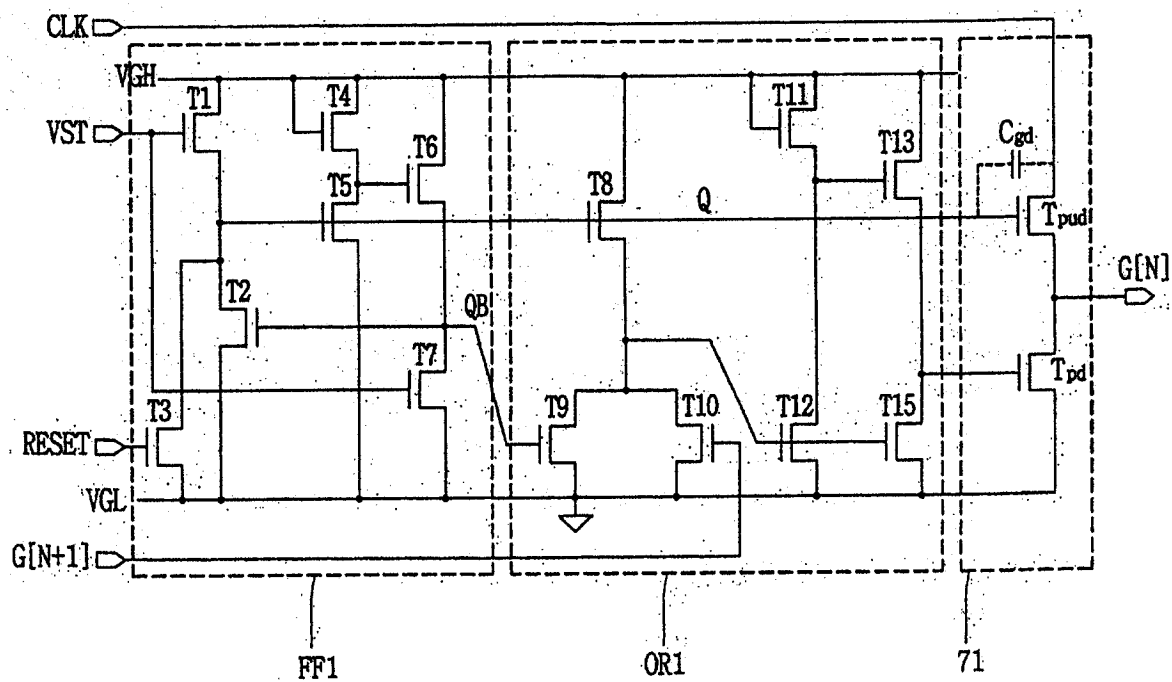


图 17

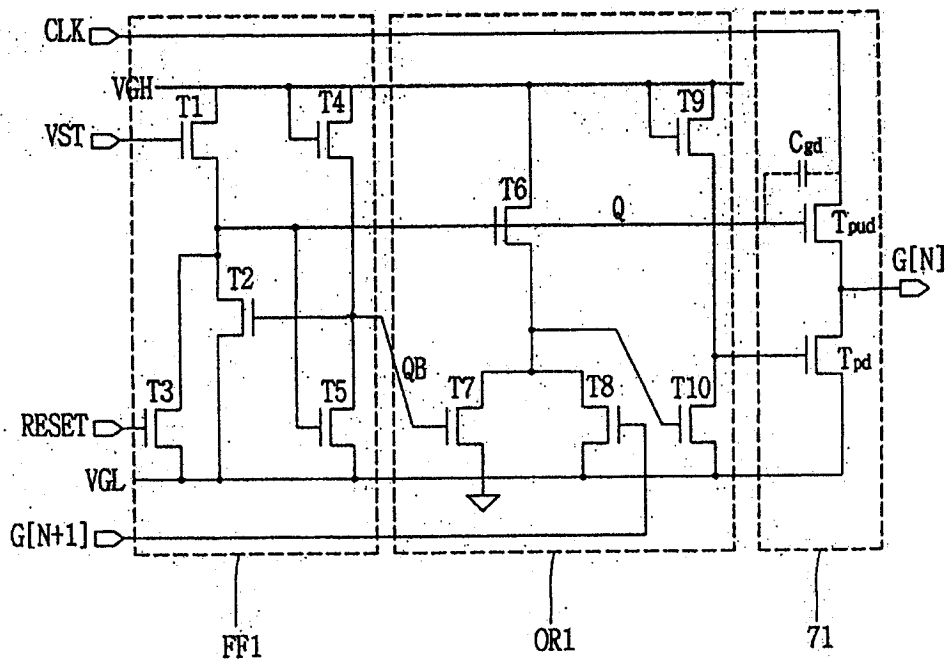


图 18

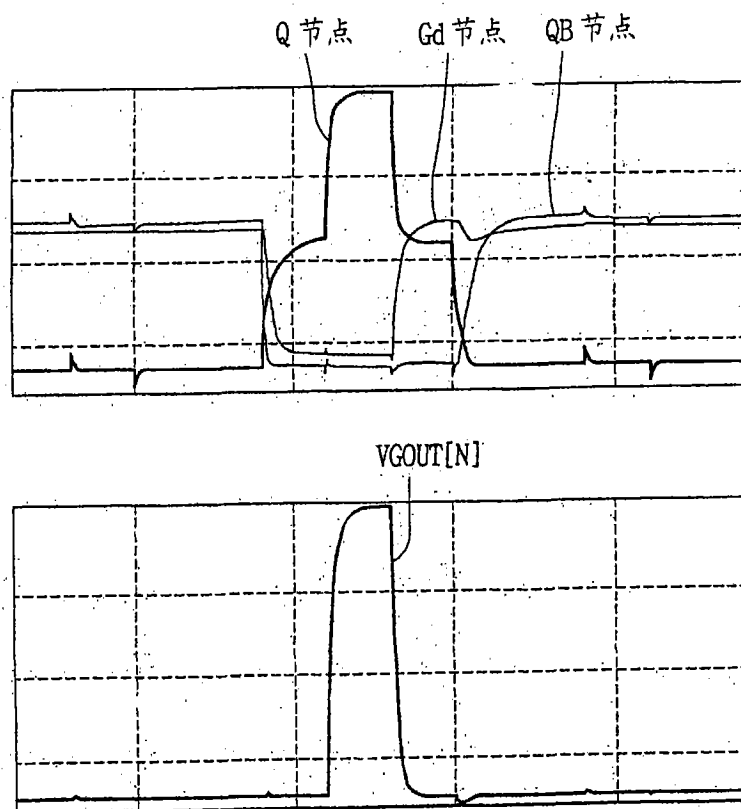


图 19

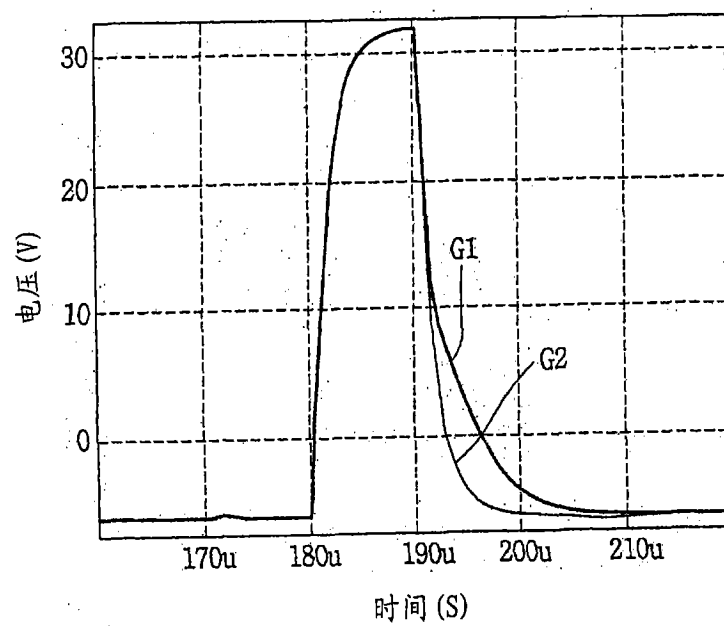


图 20

专利名称(译)	液晶显示器的驱动电路		
公开(公告)号	CN101567172B	公开(公告)日	2012-07-18
申请号	CN200810185934.1	申请日	2008-12-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金珍浩 慎弘緯		
发明人	金珍浩 慎弘緯		
IPC分类号	G09G3/36 H03K19/173 H03K19/20 H03K3/3562		
审查员(译)	罗朋		
优先权	1020080038958 2008-04-25 KR 1020080038957 2008-04-25 KR		
其他公开文献	CN101567172A		
外部链接	Espacenet SIPO		

摘要(译)

液晶显示器的驱动电路包括：定时控制器，其输出选通控制信号和数据控制信号以控制选通驱动单元和数据驱动单元的驱动，并输出数字视频数据；一对选通驱动单元，响应于选通控制信号通过利用至少一帧作为向液晶面板的选通线提供选通信号的周期来交替驱动该对选通驱动单元；以及数据驱动单元，其响应于数据控制信号向液晶面板的数据线提供像素信号。本发明可以避免构成各选通驱动器的晶体管的特性劣化。

