



(12) 发明专利

(10) 授权公告号 CN 101118357 B

(45) 授权公告日 2011.01.19

(21) 申请号 200710138234.2

(56) 对比文件

(22) 申请日 2007.07.31

US 6545653 B1, 2003.04.08, 全文.

(30) 优先权数据

审查员 李明卓

72698/06 2006.08.01 KR

73388/07 2007.07.23 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 崔晋荣 全珍

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

(51) Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

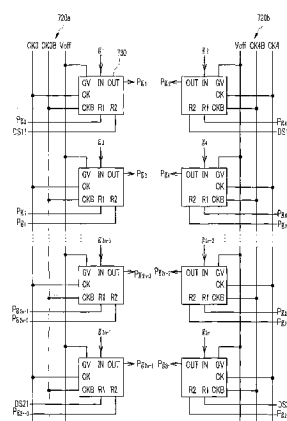
权利要求书 3 页 说明书 15 页 附图 7 页

(54) 发明名称

显示装置

(57) 摘要

在一个实施例中,显示装置包括:用于传送普通栅极信号的多条栅极线;与栅极线交叉,用于传送数据电压的多条数据线;以及平行于栅极线延伸,用于传送存储信号的多条存储电极线。该显示装置还可以包括以矩阵排列的多个像素,每个像素具有连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、以及连接到开关元件和存储电极线的存储电容器。该显示装置还可以包括:用于根据普通栅极信号生成伪栅极信号的多个伪栅极驱动电路;以及,用于根据伪栅极信号生成存储信号的多个存储信号生成电路。



1. 一种显示装置,包括:

多条栅极线,适配为传送具有栅极导通电压和栅极关断电压的多个普通栅极信号;

多条数据线,与所述栅极线交叉,并且适配为传送多个数据电压;

多条存储电极线,基本上与所述栅极线平行,并且适配为传送多个存储信号;

多个像素,以具有多行的矩阵中排列,其中,每个像素包括连接到所述栅极线中的一条和所述数据线中的一条的开关元件、连接到所述开关元件和公共电压的液晶电容器、以及连接到所述开关元件和所述存储电极线中的一条的存储电容器;

多个伪栅极驱动电路,被连接到所述栅极线,并且适配为根据所述普通栅极信号,生成多个伪栅极信号;以及

多个存储信号生成电路,被连接到所述存储电极线,并且适配为根据所述伪栅极信号生成所述存储信号,其中,所述存储信号生成电路中的每一个适配为在相关像素行的所述液晶电容器和所述存储电容器已经被所述数据电压充电之后,将相关的存储信号施加于所述存储电极线中相关的一条,

其中,所述存储信号生成电路中的每一个适配为:如果所述数据电压具有正极性,则使其相关的存储信号的电压从低电平变为高电平,并且,如果所述数据电压具有负极性,则使其相关的存储信号的电压从高电平变为低电平。

2. 如权利要求 1 所述的显示装置,其中,所述伪栅极驱动电路适配为使所述普通栅极信号延迟预定时间,以便生成所述伪栅极信号。

3. 如权利要求 2 所述的显示装置,其中,所述预定时间约为两个水平周期 (2H)。

4. 如权利要求 3 所述的显示装置,其中,所述公共电压为恒定电压。

5. 如权利要求 4 所述的显示装置,还包括一个双向栅极驱动器,连接到所述栅极线,并且适配为生成所述普通栅极信号。

6. 如权利要求 4 所述的显示装置,其中,每个伪栅极驱动电路包括:

输入单元,适配为响应于与所述栅极线中的一条有关的普通栅极信号,提供输出电压;

输出单元,适配为根据所述输出电压的状态,根据第一时钟信号提供所述伪栅极信号中的一个;

稳定单元,被连接到所述输出单元,并且被提供有所述栅极关断电压、第二时钟信号和所述输出电压,其中,所述稳定单元适配为响应于所述第一时钟信号的状态变化,使所述伪栅极信号的状态稳定;以及

复位单元,被连接到所述稳定单元,并且被提供有所述栅极关断电压、与紧接在所述伪栅极驱动电路之后的下一个伪栅极驱动电路相关的下一个伪栅极信号、与紧接在所述伪栅极驱动电路之前的前一个伪栅极驱动电路相关的前一个伪栅极信号、以及输出电压,其中,所述复位单元适配为响应于所述第一时钟信号的状态变化,使所述输出电压的状态稳定,并且,还适配为使所述伪栅极驱动电路的操作复位。

7. 如权利要求 6 所述的显示装置,其中,所述第二时钟信号具有与所述栅极导通电压相同的脉宽,并且,所述第二时钟信号相对于所述第一时钟信号具有约 180 度的相位差。

8. 如权利要求 6 所述的显示装置,其中,所述第一时钟信号和所述第二时钟信号各自具有等于所述栅极导通电压的高电平电压和等于所述栅极关断电压的低电平电压。

9. 如权利要求 6 所述的显示装置,其中,所述普通栅极信号与下一个伪栅极信号或下一个伪栅极信号的栅极导通电压的施加时间之间的差约为两个水平周期 (2H)。

10. 如权利要求 6 所述的显示装置,其中,所述输入单元包括第一开关元件,具有各自连接到所述普通栅极信号的输入端和控制端,以及适配为提供所述输出电压的输出端。

11. 如权利要求 10 所述的显示装置,其中,所述输出单元包括:

第二开关元件,包括连接到所述第一时钟信号的输入端、连接到所述输出电压的控制端以及适配为提供所述伪栅极信号的输出端;以及

第一电容器,连接到所述第二开关元件的控制端和输出端。

12. 如权利要求 10 所述的显示装置,其中,所述稳定单元包括:

第三开关元件,包括连接到所述第二开关元件的输出端的输入端、连接到所述第二时钟信号的控制端、以及连接到所述栅极关断电压的输出端;

第四开关元件,包括连接到所述第二开关元件的输出端的输入端和连接到所述栅极关断电压的输出端;

第二电容器,连接到所述第一时钟信号和所述第四开关元件的控制端;以及

第五开关元件,包括连接到所述第四开关元件的控制端的输入端、连接到所述输出电压的控制端和连接到所述栅极关断电压的输出端。

13. 如权利要求 12 所述的显示装置,其中,所述复位单元包括:

第六开关元件,包括连接到所述输出电压的输入端、连接到所述第四开关元件的控制端的控制端、以及连接到所述栅极关断电压的输出端;

第七开关元件,包括连接到所述输出电压的输入端、连接到下一个伪栅极信号的控制端、以及连接到所述栅极关断电压的输出端;以及

第八开关元件,包括连接到所述输出电压的输入端、连接到前一个伪栅极信号的控制端、以及连接到所述栅极关断电压的输出端。

14. 如权利要求 1 所述的显示装置,其中,所述显示装置被配置为在多个帧中显示图像,其中,每个存储信号生成电路都适配为每帧反转其生成的存储信号的电压电平。

15. 一种方法,用于对具有多个以包括多行的矩阵排列的像素的显示装置进行驱动,其中,每个像素包括:开关元件,连接到多条栅极线中的一条和多条数据线中的一条;液晶电容器,连接到所述开关元件和公共电压;以及存储电容器,连接到所述开关元件和多条存储电极线中的一条,所述方法包括如下步骤:

将第一组数据电压施加于所述数据线;

生成第一个普通栅极信号;

将所述第一个普通栅极信号施加于与第一行像素连接的第一条栅极线;

用所述第一组数据电压对第一行像素的所述液晶电容器和存储电容器进行充电;

根据所述第一个普通栅极信号生成第一个伪栅极信号;

根据所述第一个伪栅极信号生成第一个存储信号;

将所述第一个存储信号施加于与所述第一行像素连接的第一条存储电极线,以便维持第一行像素的存储电容器上的第一个存储信号的电压;

对于第二组数据电压、第二个普通栅极信号、第二个伪栅极信号、与第二行像素连接的第二条栅极线、第二条存储电极线以及第二个存储信号重复上述操作;以及

如果所述数据电压具有正极性,则使所述第一和第二存储信号的电压从低电平变为高电平,并且,如果所述数据电压具有负极性,则使所述第一和第二存储信号的电压从高电平变为低电平。

16. 如权利要求 15 所述的方法,其中,所述生成所述第一个伪栅极信号的步骤包括使所述第一个普通栅极信号延迟预定时间,并且,其中所述生成所述第二个伪栅极信号的步骤包括使所述第二个普通栅极信号延迟预定时间。

17. 如权利要求 16 所述的方法,其中,所述预定时间约为两个水平周期 (2H)。

18. 一种显示装置,包括:

多条栅极线,适配为传送具有栅极导通电压和栅极关断电压的多个普通栅极信号;

多条数据线,与所述栅极线交叉,并且适配为传送多个数据电压;

多条存储电极线,基本上与所述栅极线平行,并且适配为传送多个存储信号;

多个像素,以具有多行的矩阵排列,其中,每个像素包括连接到所述栅极线中的一条和所述数据线中的一条的开关元件、连接到所述开关元件和公共电压的液晶电容器、以及连接到所述开关元件和所述存储电极线中的一条的存储电容器;

装置,用于根据所述普通栅极信号,生成多个伪栅极信号;

装置,用于根据所述伪栅极信号,生成所述存储信号;以及

装置,用于在相关像素行的所述液晶电容器和存储电容器已经被所述数据电压充电之后,将相关的存储信号施加于所述存储电极线中相关的一条,

其中,如果所述数据电压具有正极性,则使其相关的存储信号的电压从低电平变为高电平,并且,如果所述数据电压具有负极性,则使其相关的存储信号的电压从高电平变为低电平。

显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2006 年 8 月 1 日在韩国知识产权局提交的韩国专利申请 No. 10-2006-0072698 的优先权和权益,这里通过引用来包括其全部内容。

技术领域

[0003] 本发明涉及液晶显示器。

背景技术

[0004] 通常,液晶显示器包括两个具有像素电极和公共电极的显示板以及一个位于其间的、具有各向异性电介质的液晶层。像素电极按照矩阵排列,并且连接到开关器件如薄膜晶体管(thin film transistor,TFT),以便顺序地逐行接收数据电压。公共电极位于显示板的整个表面之上,并且施加有公共电压。像素电极、公共电极以及插入其间的液晶层构成了液晶电容器。液晶电容器与连接液晶电容器的开关器件一起构成像素。

[0005] 通过给两个显示板之间的液晶层施加电场,并且通过对电场强度进行控制来调节通过液晶层的光的透射率,可以将液晶显示器用于显示图像。如果长时间给液晶层施加一个方向的电场,则液晶显示器会出现退化。为了防止这种退化,可以按照每帧、每个像素行或每个像素,使数据电压相对于公共电压的极性反转。

[0006] 但是,在行反转的情况下,与可以用于像素反转(即,点反转)的数据电压的范围相比,可以用于图像显示的数据电压的范围很小。因此,如果用于驱动液晶的阈值电压很高,如在垂直取向(vertical alignment,VA)模式的液晶显示器中,则如果驱动液晶需要很高的阈值电压,则用来表示用于显示图像的灰度级的数据电压范围显著减小。因此,不能获得期望的亮度。

[0007] 在液晶显示器当中,在诸如移动电话的中型或小型显示装置的情况下,为了减小功耗,可以进行行反转(例如,以像素行为单位,使数据电压相对于公共电压的极性反转)。但是,由于中型或小型显示装置的分辨率在逐渐提高,因此与这样的装置有关的功耗也在增加。

发明内容

[0008] 按照本发明的实施例,显示装置包括:多条栅极线,适配为传送多个具有栅极导通电压和栅极关断电压的普通栅极信号;多条数据线,与栅极线交叉,并且适配为传送多个数据电压;多条存储电极线,基本上与栅极线平行,并且适配为传送多个存储信号;多个像素,以具有多行的矩阵排列,其中,每个像素包括:开关元件,连接到一条栅极线和一条数据线;液晶电容器,连接到开关元件和公共电压;以及存储电容器,连接到开关元件和一条存储电极线;多个伪栅极驱动电路,被连接到所述栅极线,并且适配为根据所述普通栅极信号,生成多个伪栅极信号;以及多个存储信号生成电路,被连接到所述存储电极线,并且适配为根据所述伪栅极信号生成所述存储信号。存储信号生成电路中的每一个适配为在相关

像素行的所述液晶电容器和所述存储电容器已经被所述数据电压充电之后,将相关的存储信号施加于所述存储电极线中相关的一条。

[0009] 可以使存储信号生成电路中的每一个适配为:如果数据电压具有正极性,则使其相关的存储信号的电压从低电平变为高电平,并且,如果数据电压具有负极性,则使其相关的存储信号的电压从高电平变为低电平。

[0010] 可以使伪栅极驱动电路适配为:将普通栅极信号延迟预定时间,从而生成伪栅极信号。此时,预定时间可以约为两个水平周期(2H)。

[0011] 公共电压可以具有恒定电压。

[0012] 显示装置还可以包括双向栅极驱动器,连接到栅极线,并且适配为生成普通栅极信号。

[0013] 每个伪栅极驱动电路可以包括:输入单元,适配为响应于与栅极线中的一条有关的普通栅极信号,提供输出电压;输出单元,适配为根据输出电压的状态,根据第一时钟信号生成伪栅极信号中的一个;稳定单元,连接到输出单元,并且被提供有栅极关断电压、第二时钟信号和输出电压,其中,稳定单元适配为,响应于第一时钟信号的状态变化,使伪栅极信号的状态稳定;以及,复位单元,连接到稳定单元,并且被提供有栅极关断电压、与紧跟着伪栅极驱动电路的下一个伪栅极驱动电路相关的下一个伪栅极信号、与在伪栅极驱动电路紧前面的前一个伪栅极驱动电路相关的前一个伪栅极信号、以及输出电压,其中,复位单元适配为响应于第一时钟信号的状态变化,使输出电压的状态稳定,并且还适配为使伪栅极驱动电路的操作复位。

[0014] 第二时钟可以具有与栅极导通电压基本上相同的脉宽,并且,第二时钟信号相对于第一时钟信号具有约180度的相位差。

[0015] 第一时钟信号和第二时钟信号中的每一个可以具有基本上等于栅极导通电压的高电平电压和基本上等于栅极关断电压的低电平电压。

[0016] 普通栅极信号与下一个伪栅极信号或下一个伪栅极信号的栅极导通电压的施加时间之间的差约为两个水平周期(2H)。

[0017] 输入单元可以包括第一开关元件,具有连接到普通栅极信号的输入端和控制端,以及适配为提供输出电压的输出端。

[0018] 输出单元可以包括:第二开关元件,具有连接到第一时钟信号的输入端、连接到输出电压的控制端以及适配为提供伪栅极信号的输出端;以及,第一电容器,连接到第二开关元件的控制端和输出端。

[0019] 稳定单元可以包括:第三开关元件,具有连接到第二开关元件的输出端的输入端、连接到第二时钟信号的控制端以及连接到栅极关断电压的输出端;第四开关元件,具有连接到第二开关元件的输出端的输入端和连接到栅极关断电压的输出端;第二电容器,连接到第一时钟信号和第四开关元件的控制端;以及,第五开关元件,具有连接到第四开关元件的控制端的输入端、连接到输出电压的控制端和连接到栅极关断电压的输出端。

[0020] 复位单元可以包括:第六开关元件,具有连接到输出电压的输入端、连接到第四开关元件的控制端以及连接到栅极关断电压的输出端;第七开关元件,具有连接到输出电压的输入端、连接到下一个伪栅极信号的控制端以及连接到栅极关断电压的输出端;以及,第八开关元件,具有连接到输出电压的输入端、连接到前一个伪栅极信号的控制

端以及连接到栅极关断电压的输出端。

[0021] 显示装置可以被配置为在多个帧中显示图像,其中,每个存储信号生成电路都适配为每帧反转其生成的存储信号的电压电平。

[0022] 按照本发明的另一个实施例,提供了一种驱动显示装置的方法。该显示装置可以包括以具有多行的矩阵排列的多个像素,其中,每个像素包括:开关元件,连接到多条栅极线中的一条和多条数据线中的一条;液晶电容器,连接到开关元件和公共电压;以及存储电容器,连接到开关元件和多条存储电极线中的一条。该方法包括如下步骤:将第一组数据电压施加于数据线;生成第一个普通栅极信号;将第一个普通栅极信号施加于与第一行像素连接的第一条栅极线;用第一组数据电压对第一行像素的液晶电容器和存储电容器充电;根据第一个普通栅极信号生成第一个伪栅极信号;根据第一个伪栅极信号生成第一个存储信号;将第一个存储信号施加于与第一行像素连接的第一条存储电极线,以便维持第一行像素的存储电容器上的第一个存储信号的电压;并且,对第二组数据电压、第二个普通栅极信号、第二个伪栅极信号、与第二行像素连接的第二条栅极线、第二条存储电极线以及第二个存储信号重复上述操作。

[0023] 生成第一个伪栅极信号的步骤可以包括使第一个普通栅极信号延迟预定时间,并且,生成第二个伪栅极信号的步骤可以包括使第二个普通栅极信号延迟预定时间。

[0024] 预定时间可以约为两个水平周期(2H)。

[0025] 该方法还可以包括如下步骤:如果数据电压具有正极性,则将第一个和第二个存储信号的电压从低电平变为高电平,并且,如果数据电压具有负极性,则将第一个和第二个存储信号的电压从高电平变为低电平。

[0026] 按照本发明的另一个实施例,显示装置包括:多条栅极线,适配为传送具有栅极导通电压和栅极关断电压的多个普通栅极信号;多条数据线,与栅极线交叉,并且适配为传送多个数据电压;多条存储电极线,基本上与栅极线平行,并且适配为传送多个存储信号;多个像素,以具有多行的矩阵排列,其中,每个像素包括:开关元件,连接到多条栅极线中的一条和多条数据线中的一条;液晶电容器,连接到开关元件和公共电压;以及存储电容器,连接到开关元件和多条存储电极线中的一条;装置,根据普通栅极信号,生成多个伪栅极信号;装置,用于根据伪栅极信号生成存储信号;以及,装置,用于在相关的像素行的液晶电容器和存储电容器已经被数据电压充电之后,将相关的存储信号施加于存储电极线中相关的一条,。

附图说明

[0027] 为了清楚地理解本发明的优点,以下将参照附图,对本发明的各种实施例进行详细描述,其中:

[0028] 图 1 为按照本发明实施例的液晶显示器的框图;

[0029] 图 2 为按照本发明实施例的液晶显示器中的一个像素的等效电路图;

[0030] 图 3 为按照本发明实施例的信号生成电路的电路图;

[0031] 图 4 为按照本发明实施例的,在包括图 3 所示的信号生成电路的液晶显示器中使用的信号的时序图;

[0032] 图 5 为按照本发明实施例的液晶显示器的框图;

- [0033] 图 6 为按照本发明实施例的伪栅极信号生成电路的电路图；
- [0034] 图 7 为按照本发明实施例的伪栅极驱动电路的电路图；并且
- [0035] 图 8 为按照本发明实施例的，在包括图 7 中示出的伪栅极驱动电路的液晶显示器中的使用的信号的时序图。

具体实施方式

- [0036] 以下将参照示出了本发明实施例的附图，更充分地对本发明进行描述。
- [0037] 在附图中，为清楚起见，层、薄膜、板和区域的厚度被夸大。说明书中，自始至终，相同的附图标记表示相同的要素。应该理解，当将如层、薄膜、区域和基板等要素称为在另一个要素“上”时，则它可以直接在其他要素之上，或者，也可以存在居间的要素。相反，当将要素称为“直接在另一个要素之上”时，则不存在居间的要素。
- [0038] 首先，参照图 1 和图 2，对按照本发明实施例的液晶显示器进行详细描述。图 1 为按照本发明实施例的液晶显示器的框图，图 2 为图 1 的液晶显示器中的一个像素的等效电路图。
- [0039] 如图 1 所示，液晶显示器包括液晶 (liquid crystal, LC) 板组件 300、连接到 LC 板组件 300 的栅极驱动器 400、数据驱动器 500、连接到数据驱动器 500 的灰度电压发生器 800、存储信号发生器 700 以及对这些部件进行控制的信号控制器 600。
- [0040] LC 板组件 300 包括多条信号线 G_1 - G_{2n} 、 G_d 、 D_1 - D_m 和 S_1 - S_{2n} 以及多个像素 PX。如图 2 所示，LC 板组件 300 包括相互面对的上板 100 和下板 200 以及介于板 100 和 200 之间的 LC 层 3。
- [0041] 信号线包括多条栅极线 G_1 - G_{2n} 和 G_d 、多条数据线 D_1 - D_m 和多条存储电极线 S_1 - S_{2n} 。
- [0042] 栅极线 G_1 - G_{2n} 和 G_d 包括多条普通栅极线 G_1 - G_{2n} 和用于传送栅极信号（以下也称为“扫描信号”）的附加栅极线 G_d 。存储电极线 S_1 - S_{2n} 与普通栅极线 G_1 - G_{2n} 交替连接，并且存储电极线 S_1 - S_{2n} 传送存储信号。数据线 D_1 - D_m 传送数据电压。
- [0043] 栅极线 G_1 - G_{2n} 和 G_d 以及存储电极线 S_1 - S_{2n} 基本上沿着行的方向并且基本上彼此平行地延伸，而数据线 D_1 - D_m 基本上沿着列的方向并且基本上彼此平行地延伸。如图 1 所示，像素 PX 连接到普通栅极线 G_1 - G_{2n} 和数据线 D_1 - D_m ，并且基本上按照矩阵排列。
- [0044] 参照图 2，每个像素 PX，例如连接到第 i 条普通栅极线 G_i ($i = 1, 2, \dots, 2n$) 和第 j 条数据线 D_j ($j = 1, 2, \dots, m$) 的像素 PX 包括连接到信号线 G_i 和 D_j 的开关元件 Q，以及连接到开关元件 Q 的液晶电容器 Clc 和存储电容器 Cst。
- [0045] 例如，开关元件 Q 可以被实施为三端元件如薄膜晶体管，并且布置在下板 100 之上。开关元件 Q 具有连接到普通栅极线 G_i 的控制端、连接到数据线 D_j 的输入端以及连接到液晶电容器 Clc 和存储电容器 Cst 的输出端。
- [0046] 液晶电容器 Clc 包括作为两端的、布置在下板 100 上的像素电极 191 和布置在上板 200 上的公共电极 270。介于两个电极 191 和 270 之间的 LC 层 3 起 LC 电容器 Clc 的电介质的作用。像素电极 191 被连接到开关元件 Q，而公共电极 270 被布置在上板 200 的整个表面上，并且给公共电极 270 提供公共电压 V_{com} 。公共电压可以包括具有预定幅值的 DC 电压。或者，公共电极 270 可以被布置在下板 100 上，并且，在这种情况下，可以将两个电极 191 和 270 中的至少一个形成线形或条形。

[0047] 存储电容器 Cst 为液晶电容器 Clc 的辅助电容器。存储电容器 Cst 包括像素电极 191 和通过绝缘体覆盖像素电极 191 的存储电极线 S_i 。

[0048] 为了进行彩色显示,每个像素可唯一地呈现一种原色(即,空分),或者,可以轮流呈现原色(即,时分),使得将原色的空间和或时间和被识别为希望的颜色。一组原色的例子包括红色、绿色、蓝色。图 2 示出了空分的例子,其中,每个像素在面对像素电极 191 的上板 200 的区域中包括代表原色之一的滤色器 230。或者,可以将滤色器 230 提供在位于下板 100 上的像素电极 191 之上或之下。

[0049] 将一个或多个偏振器(没有示出)附接于 LC 板组件 300。

[0050] 再次参照图 1,灰度电压发生器 800 可以生成与像素 PX 的透射率有关的全数灰度电压(full number of gray voltage)或有限数灰度电压(limited number of gray voltage)(以下称为“参考灰度电压”)。某些(参考)灰度电压相对于公共电压 Vcom 具有正极性,而另一些(参考)灰度电压相对于公共电压 Vcom 具有负极性。

[0051] 栅极驱动器 400 包括分别布置在液晶板组件 300 两侧,例如左侧和右侧,的第一和第二栅极驱动电路 400a 和 400b。

[0052] 第一栅极驱动电路 400a 被连接到奇数普通栅极线 $G_1, G_3, \dots, G_{2n-1}$ 和附加栅极线 G_d 的端部。第二栅极驱动电路 400b 被连接到偶数普通栅极线 $G_2, G_4, \dots, G_{2n}$ 的端部。或者,可以将第二栅极驱动电路 400b 连接到奇数普通栅极线 $G_1, G_3, \dots, G_{2n-1}$ 和附加栅极线 G_d 的端部,而可以将第一栅极驱动电路 400a 连接到偶数普通栅极线 $G_2, G_4, \dots, G_{2n}$ 的端部。

[0053] 第一和第二栅极驱动电路 400a 和 400b 将栅极导通(gate-on)电压 Von 与栅极关断(gate-off)电压 Voff 合成(synthesize),从而生成施加于栅极线 G_1-G_{2n} 和 G_d 的栅极信号。

[0054] 栅极驱动器 400 与信号线 $G_1-G_{2n}, G_d, D_1-D_m, S_1-S_{2n}$ 和开关元件 Q 一起,集成在液晶板组件 300 中。在一个实施例中,栅极驱动器 400 可以包括至少一个安装在 LC 板组件 300 上或者安装在附接于板组件 300 的带载封装(tape carrier package, TCP)中的柔性印刷电路(flexible printed circuit, FPC)薄膜上的集成电路(IC)芯片。或者,栅极驱动器 400 可以被安装在单独的印刷电路板(没有示出)上。

[0055] 存储信号发生器 700 包括例如布置在液晶板组件 300 两侧,并且与第一和第二栅极驱动电路 400a 和 400b 相邻的第一和第二存储信号生成电路 700a 和 700b。

[0056] 第一存储信号生成电路 700a 被连接到奇数存储电极线 $S_1, S_3, \dots, S_{2n-1}$ 和偶数普通栅极线 $G_2, G_4, \dots, G_{2n}$, 并且施加具有高电平电压和低电平电压的存储信号。

[0057] 第二存储信号生成电路 700b 被连接到偶数存储电极线 $S_2, S_4, \dots, S_{2n}$ 以及奇数普通栅极线 $G_3, \dots, G_{2n-1}$ (除了第一条普通栅极线 G_1 和附加栅极线 G_b 以外), 并且给存储电极线 $S_2, G_4, \dots, S_{2n}$ 施加存储信号。

[0058] 代替给存储信号发生器 700 提供来自连接到栅极驱动器 400 的附加栅极线 G_d 的信号,可以给存储信号发生器 700 提供来自单独的单元如信号控制器 600 或单独的信号发生器(没有示出)的信号。在这种情况下,不必在液晶板组件 300 上形成附加栅极线 G_d 。

[0059] 存储信号发生器 700 与信号线 $G_1-G_{2n}, G_d, D_1-D_m, S_1-S_{2n}$ 和开关元件 Q 一起,集成在液晶板组件 300 中。在一个实施例中,存储信号发生器 700 可以包括至少一个安装在 LC 板组件 300 上或者安装在附接于板组件 300 的带载封装(TCP)中的柔性印刷电路(FPC)薄膜

上的集成电路 (IC) 芯片。或者, 存储信号发生器 700 可以被安装在单独的印刷电路板 (没有示出) 上。

[0060] 数据驱动器 500 连接到板组件 300 的数据线 D_1 - D_m , 并且给数据线 D_1 - D_m 施加从灰度电压中选择的数据电压, 其中, 灰度电压是从灰度电压发生器 800 提供的。但是, 当灰度电压发生器 800 仅生成某些参考灰度电压, 而不是全部灰度电压时, 数据驱动器 500 可以对参考灰度电压进行分压, 从而从参考灰度电压中生成数据电压。

[0061] 信号控制器 600 对栅极驱动器 400、数据驱动器 500 以及存储信号发生器 700 进行控制。

[0062] 在一个实施例中, 驱动器 500、600 和 800 中的每一个可以包括至少一个安装在 LC 板组件 300 上或者安装在附接于板组件 300 的带载封装 (TCP) 中的柔性印刷电路 (FPC) 薄膜上的集成电路 (IC) 芯片。或者, 驱动器 500、600 和 800 中的至少一个可以与信号线 G_1 - G_{2n} 、 G_d 、 D_1 - D_m 、 S_1 - S_{2n} 和开关元件 Q 一起, 集成在液晶板组件 300 中。或者, 所有驱动器 500、600 和 800 可以被集成在单个 IC 芯片中, 但是, 驱动器 500、600 和 800 中的至少一个或在处理单元器件 500、600 和 800 中的至少一个中的至少一个电路元件可以被布置在该单个 IC 芯片之外。

[0063] 下面对液晶显示器的操作进行描述。

[0064] 信号控制器 600 接收来自外部图形控制器 (没有示出) 的输入图像信号 R、G 和 B 以及用于对其显示进行控制的输入控制信号。输入图像信号 R、G 和 B 包含用于像素 PX 的亮度信息, 并且, 该亮度具有预定数目的灰度, 例如 $1024 (= 2^{10})$, $256 (= 2^8)$, 或 $64 (= 2^6)$ 个灰度。输入控制信号的例子为垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK 以及数据使能信号 (dataenable signal) DE。

[0065] 根据输入控制信号以及输入图像信号 R、G 和 B, 信号控制器 600 生成栅极控制信号 CONT1、数据控制信号 CONT2 以及存储控制信号 CONT3, 并且, 对适合于板组件 300 和数据驱动器 500 的操作的图像信号 R、G 和 B 进行处理。信号控制器 600 将栅极控制信号 CONT1 发送到栅极驱动器 400, 将经处理的图像信号 DAT 和数据控制信号 CONT2 发送到数据驱动器 500, 并且将存储控制信号 CONT3 发送到存储信号发生器 700。

[0066] 栅极控制信号 CONT1 包括启动扫描的扫描启动信号 STV1 和 STV2, 以及用于对栅极导通电压 Von 输出时段进行控制的至少一个时钟信号。栅极控制信号 CONT1 还可以包括输出使能信号 OE, 用于对栅极导通电压 Von 的持续时间进行限定。

[0067] 数据控制信号 CONT2 包括: 水平同步开始信号 STH, 用于表示对一行像素 PX 的数据传送的开始; 负载信号 LOAD, 用于给数据线 D_1 到 D_m 施加数据电压; 以及数据时钟信号 HCLK。数据控制信号 CONT2 还可以包括反转信号 RVS, 用于使数据电压的极性 (相对于公共电压 Vcom) 反转。

[0068] 响应于来自信号控制器 600 的数据控制信号 CONT2, 数据驱动器 500 接收用于该行像素 PX 的数字图像信号 DAT 的分组, 将数字图像信号 DAT 转换为从灰度电压中选择的模拟数据电压, 并且将模拟数据电压施加于数据线 D_1 到 D_m 。

[0069] 响应于来自信号控制器 600 的栅极控制信号 CONT1, 栅极驱动器 400 将栅极导通电压 Von 施加于对应的普通栅极线 G_1 - G_{2n} , 例如, 第 i 条普通栅极线 G_i (除了没有连接到开关元件 Q 的附加栅极线 G_d 以外), 由此使连接到普通栅极线的开关元件 Q 导通。然后, 通过激

活的开关晶体管 Q, 将施加于数据线 D_1 - D_m 的数据电压提供给第 i 行像素 PX, 使得对像素 PX 中的液晶电容器 Clc 和存储电容器 Cst 进行充电。

[0070] 施加于像素 PX 的数据电压与公共电压 Vcom 之间的差异被表示为像素 PX 的液晶电容器 Clc 两端的电压, 其称为像素电压。LC 电容器 Clc 中的 LC 分子具有取决于像素电压的幅值的定向 (orientation), 并且, 分子定向确定通过 LC 层 3 的光的偏振。偏振器将光偏振转换为光透射率, 使得像素 PX 具有由数据电压的灰度表示的亮度。

[0071] 随着一个水平周期的过去 (也称为“1H”, 并且等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期), 数据驱动器 500 将数据电压施加于第 (i+1) 行的像素 PX, 然后, 栅极驱动器 400 将施加于第 i 条普通栅极线 G_i 的栅极信号改变为栅极关断电压 Voff, 并且将施加于下一条普通栅极线 G_{i+1} 的栅极信号改变为栅极导通电压 Von。

[0072] 然后, 第 i 行的开关元件 Q 被关断, 使得像素电极 191 处在浮置状态。

[0073] 存储信号发生器 700 根据存储控制信号 CONT3 和施加于第 (i+1) 条栅极线 G_{i+1} 的栅极信号的电压变化, 改变施加于第 i 条存储电极线 S_i 的存储信号的电压电平。由此, 连接到存储电容器 Cst 的一端的像素电极 191 的电压按照连接到存储电容器 Cst 的另一端的存储电极线 S_i 的电压变化而变化。

[0074] 通过对所有像素行重复这样的过程, 液晶显示器显示一帧的图像。

[0075] 当一帧完成之后开始下一帧时, 对施加于数据驱动器 500 的反转信号 RVS 进行控制, 使得数据电压的极性颠倒 (这称为“帧反转”)。此外, 施加于一行的像素 PX 的数据电压的极性基本上相同, 而施加于两个相邻行的像素 PX 的数据电压的极性是颠倒的 (例如, 行反转)。

[0076] 在本发明的、进行帧反转和行反转的实施例中, 施加于一行的像素 PX 的所有数据电压的极性为正或负, 并且以一帧为单位改变。此时, 当通过正极性的数据电压对像素电极 191 进行充电时, 施加于存储电极线 S_1 - S_{2n} 的存储信号从低电平电压变为高电平电压。另一方面, 当通过负极性的数据电压对像素电极 191 进行充电时, 该存储信号从高电平电压变为低电平电压。结果, 在通过正极性的数据电压对像素电极 191 进行充电的情况下, 像素电极 191 的电压增加, 而在通过负极性的数据电压对像素电极 191 进行充电的情况下, 像素电极 191 的电压减小。因此, 像素电极 191 的电压范围比作为数据电压的基础的灰度电压的范围宽, 使得可以增加使用低基础电压 (basicvoltage) 的亮度范围。

[0077] 第一和第二存储信号生成电路 700a 和 700b 可以包括分别连接到存储电极线 S_1 - S_{2n} 的多个信号生成电路 710。以下参照图 3 和图 4, 对信号生成电路 710 的例子进行描述。

[0078] 图 3 为按照本发明实施例的信号生成电路的电路图, 图 4 示出了在包括图 3 所示的信号生成电路的液晶显示器中使用的信号的时序图。

[0079] 参照图 3, 信号生成电路 710 包括输入端 IP 和输出端 OP。在第 i 个信号生成电路中, 输入端 IP 被连接到第 (i+1) 条栅极线 G_{i+1} , 从而给输入端 IP 提供第 (i+1) 个栅极信号 g_{i+1} (以下称为“输入信号”), 输出端 OP 被连接到第 i 条存储电极线 S_i , 以便输出第 i 个存储信号 V_{S_i} 。类似地, 在第 (i+1) 个信号生成电路中, 输入端 IP 被连接到第 (i+2) 条栅极线 G_{i+2} , 从而给输入端 IP 提供作为输入信号的第 (i+2) 个栅极信号 g_{i+2} , 输出端 OP 被连接到第 (i+1) 条存储电极线 S_{i+1} , 以便输出第 (i+1) 个存储信号 $V_{S_{i+1}}$ 。

[0080] 给信号生成电路 710 提供来自信号控制器 600 的存储控制信号 CONT3 的第一、第二和第三时钟信号 CK1、CK1B 和 CK2, 还给信号生成电路 710 提供来自信号控制器 600 或外部装置的高电压 AVDD 以及低电压 AVSS。

[0081] 如图 4 所示, 第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的周期约为 2H, 其占空比约为 50%。第一和第二时钟信号 CK1 和 CK1B 有约 180 度的相位差, 彼此反相。第二时钟信号 CK1B 和第三时钟信号 CK2 基本上同相。此外, 第一、第二和第三时钟信号 CK1、CK1B 和 CK2 以帧为单位反转。

[0082] 第一和第二时钟信号 CK1 和 CK1B 可以有约 15V 的高电平电压 V_{h1} 和约 0V 的低电平电压 V_{l1} 。第三时钟信号 CK2 可以有约 5V 的高电平电压 V_{h2} 和约 0V 的低电平电压 V_{l2} 。高电压 AVDD 约为 5V, 并且大约与第三时钟信号 CK2 的高电平电压 V_{h2} 相等, 低电压 AVSS 约为 0V, 并且大约与第三时钟信号 CK2 的低电平电压 V_{l2} 相等。

[0083] 信号生成电路 710 包括 5 个晶体管 Tr1-Tr5 和两个电容器 C1 和 C2, 每个晶体管都具有控制端、输入端和输出端。

[0084] 晶体管 Tr1 的控制端被连接到输入端 IP, 晶体管 Tr1 的输入端被连接到第三时钟信号 CK2, 并且, 晶体管 Tr1 的输出端被连接到输出端 OP。

[0085] 晶体管 Tr2 和 Tr3 的控制端被连接到输入端 IP, 晶体管 Tr2 和 Tr3 的输入端被分别连接到第一和第二时钟信号 CK1 和 CK1B。

[0086] 晶体管 Tr4 和 Tr5 的控制端被分别连接到晶体管 Tr2 和 Tr3 的输出端, 晶体管 Tr4 和 Tr5 的输入端被分别连接到低电压 AVSS 和高电压 AVDD。

[0087] 电容器 C1 和 C2 被分别连接在晶体管 Tr4 的控制端与低电压 AVSS 之间以及晶体管 Tr5 的控制端与高电压 AVDD 之间。

[0088] 在一个实施例中, 晶体管 Tr1-Tr5 可以为非晶硅晶体管 (amorphous silicon transistor) 或多晶硅薄膜晶体管 (polycrystalline silicon thin film transistor)。

[0089] 以下进一步对信号生成电路的操作进行描述。

[0090] 参照图 4, 施加于两条相邻栅极线的栅极导通电压 V_{on} 重叠一段时间, 如约 1H。结果, 用施加于前一行像素的数据电压给当前行的所有像素 PX 充电约 1H, 然后, 对于剩余的 1H, 用自身的数据电压给当前行的所有像素 PX 充电, 从而正常地显示图像。

[0091] 首先对第 i 个信号生成电路进行描述。

[0092] 当输入信号, 即施加于第 $(i+1)$ 条栅极线 G_{i+1} 上的栅极信号 g_{i+1} , 变为栅极导通电压 V_{on} 时, 第一、第二和第三晶体管 Tr1-Tr3 导通。已经导通的第一晶体管 Tr1 将第三时钟信号 CK2 传送到输出端 OP。结果, 第 i 个存储信号 V_{s_i} 将表现出第三时钟信号 CK2 的低电平电压 V_{l2} 。同时, 已经导通的晶体管 Tr2 将第一时钟信号 CK1 传送到晶体管 Tr4 的控制端, 并且, 已经导通的晶体管 Tr3 将第二时钟信号 CK1B 传送到晶体管 Tr5 的控制端。

[0093] 由于第一和第二时钟信号 CK1 和 CK1B 表现出反转关系, 因此晶体管 Tr4 和 Tr5 相反地操作。即, 当晶体管 Tr4 导通时, 晶体管 Tr5 关断, 反过来, 当晶体管 Tr4 关断时, 晶体管 Tr5 导通。当晶体管 Tr4 导通并且晶体管 Tr5 关断时, 低电压 AVSS 被传送到输出端 OP, 而当晶体管 Tr4 关断并且晶体管 Tr5 导通时, 高电压 AVDD 被传送到输出端 OP。

[0094] 栅极信号 g_{i+1} 表现出栅极导通电压 V_{on} , 时间例如约为 2H。用第一时段 T1 表示时

间约为 1H 的第一半,而时间约为 1H 的第二半被表示为后一时段 T2。

[0095] 对于第一时段 T1,由于第一时钟信号 CK1 维持高电压 V_{h1} ,而第二和第三时钟信号 CK1B 和 CK2 分别维持低电压 V_{l1} 和 V_{l2} ,因此,给由晶体管 Tr1 向其传送第三时钟信号 CK2 的低电压 V_{l2} 的输出端 OP 提供低电压 AVSS。结果,存储信号 V_{s_i} 维持幅值等于低电压 V_{l2} 和低电压 AVSS 的幅值的低电平电压 V_- 。还是在第一时段 T1 期间,第一时钟信号 CK1 的高电平电压 V_{h1} 与低电压 AVSS 之间的电压被充电到电容器 C1,第二时钟信号 CK1B 的低电平电压 V_{l1} 与高电压 AVDD 之间的电压被充电到电容器 C2。

[0096] 对于后一时段 T2,由于第一时钟信号 CK1 维持低电平电压 V_{l1} ,而第二和第三时钟信号 CK1B 和 CK2 分别维持高电平电压 V_{h1} 和 V_{h2} ,因此,与第一时段 T1 相反,晶体管 Tr5 导通,晶体管 Tr4 关断。

[0097] 结果,给输出端 OP 提供通过导通的晶体管 Tr1 传送的第三时钟信号 CK2 的高电平电压 V_{h2} ,使得存储信号 V_{s_i} 的状态从低电平电压 V_- 变为幅值等于高电平电压 V_{h2} 的幅值的高电平电压 V_+ 。此外,给输出端 OP 提供通过导通的晶体管 Tr5 施加的高电压 VADD,其幅值等于高电平电压 V_+ 的幅值。

[0098] 同时,由于充入电容器 C1 中的电压基本上与第一时钟信号 CK1 的低电平电压 V_{l1} 和低电压 VASS 之间的差相同,因此,当第一时钟信号 CK1 的低电平电压 V_{l1} 与低电压 VASS 相等时,电容器 C1 被放电。由于充入电容器 C2 中的电压基本上与第二时钟信号 CK1B 的高电平电压 V_{h1} 和高电压 VADD 之间的差相同,因此,当高电平电压 V_{h1} 与高电压 AVDD 彼此不同时,充入电容器 C2 中的电压不是 0V。如上所述,当第二时钟信号 CK1B 的高电平电压 V_{h1} 约为 15V 并且高电压 AVDD 约为 5V 时,约 10V 的电压被充入电容器 C2。

[0099] 在经过了后一时段 T2 之后,当栅极信号 g_{i+1} 的状态从栅极导通电压 V_{on} 变为栅极关断电压 V_{off} 时,晶体管 Tr1-Tr3 关断。结果,晶体管 Tr1 与输出端 OP 之间的电连接将被隔离。晶体管 Tr4 和 Tr5 的控制端也将被隔离。

[0100] 由于电容器 C1 没有充电,因此晶体管 TR4 仍然处在关断状态。但是,第二时钟信号 CK1B 的高电平电压 V_{h1} 与高电压 AVDD 之间的电压已经被充入电容器 C2。此时,当充电电压大于晶体管 Tr5 的阈值电压时,晶体管 Tr5 保持导通状态。结果,给输出端 OP 提供高电压 AVDD,作为存储信号 V_{s_i} 。因此,存储信号 V_{s_i} 保持高电平电压 V_+ 。

[0101] 接下来,将对第 (i+1) 个信号生成电路的操作进行描述。

[0102] 当给第 (i+1) 个信号生成电路 (没有示出) 施加具有栅极导通电压 V_{on} 的第 (i+2) 个栅极信号 g_{i+2} 时,第 (i+1) 个信号生成电路工作。

[0103] 如图 4 所示,当第 (i+2) 个栅极信号 g_{i+2} 切换到栅极导通电压 V_{on} 时,第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的状态反转,使得第 (i+1) 个栅极信号 g_{i+1} 具有栅极导通电压 V_{on} 。

[0104] 即,第 (i+2) 个栅极信号 g_{i+2} 的第一栅极导通电压时段 T1 的操作与第 (i+1) 个栅极信号 g_{i+1} 的最后一栅极导通时段 T2 的操作相同,使得晶体管 Tr1、Tr3 和 Tr5 导通。因此,给输出端 OP 施加第三时钟信号 CK2 的高电平电压 V_{h2} 与高电压 AVDD。结果,存储信号 $V_{s_{i+1}}$ 将处在高电平电压 V_+ 。

[0105] 但是,第 (i+2) 个栅极信号 g_{i+2} 的最后一栅极导通电压时段 T2 的操作与第 (i+1) 个栅极信号 g_{i+1} 的第一栅极导通时段 T1 的操作相同,使得晶体管 Tr1、Tr2 和 Tr4 导通。因此,

给输出端 OP 施加第三时钟信号 CK2 的低电平电压 V12 和低电压 AVSS, 并且, 存储信号 $V_{S_{i+1}}$ 从高电平电压 V+ 变为低电压 V-。

[0106] 如上所述, 在输入信号保持栅极导通电压 Von 时, 晶体管 Tr1 可以施加第三时钟信号 CK2, 作为存储信号, 并且, 当利用输入信号的栅极关断电压 Voff 使输出端 OP 与晶体管 Tr1 的输出端隔离时, 剩余的晶体管 Tr2-Tr5 可以利用电容器 C1 和 C2, 将存储信号的状态维持到下一帧。即, 晶体管 Tr1 可以将存储信号施加于对应的存储电极线, 并且, 剩余的晶体管 Tr2-Tr5 一律维持存储信号。在一个实施例中, 晶体管 Tr1 的大小比晶体管 Tr2-Tr5 的大小大得多。

[0107] 响应于存储信号 Vs 的电压变化, 像素电极电压 Vp 会增加或减小。此后, 用相同的参考字符表示每个电容器及其电容量。

[0108] 通过下面的等式 1, 得到像素电极电压 Vp :

$$[0109] \quad V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V + -V -)$$

[0110] 在等式 1 中, V_D 为数据电压, C_{lc} 和 C_{st} 分别代表 LC 电容器和存储电容器的电容量, V+ 代表存储信号 Vs 的高电平电压, V- 代表存储信号 Vs 的低电平电压。如等式 1 所示, 通过对数据电压 V_D 加上或减去变化量 Δ 来定义像素电极电压 Vp, 而变化量 Δ 则由分别作为 LC 电容器和存储电容器的电容量 C_{lc} 和 C_{st} 以及存储信号 Vs 的电压变化来定义。

[0111] 因此, 通过将数据电压 V_D 与存储信号 Vs 的电压变化相加, 或者从数据电压 V_D 中减去存储信号 Vs 的电压变化, 当像素已经充有正极性的数据电压时, 像素电极电压 Vp 通过该电压变化而增加, 相反, 当像素已经充有负极性的数据电压时, 像素电极电压 Vp 通过该电压变化而减小。结果, 像素电压的变化由于所增加或所减小的像素电极电压 Vp 而变得宽于灰度电压的范围, 使得代表的亮度的范围也增加。

[0112] 此外, 由于公共电压被固定为恒定电压, 因此, 与交替施加高压或较低电压的情况相比, 减少了功耗。

[0113] 按照本发明的实施例, 在将公共电压固定在预定电压之后, 将存储信号施加于存储电极线。可以在预定时段内改变存储信号的电压电平。结果, 由于像素电极电压的范围被展宽, 所以像素电压的范围也被展宽。由于用于代表灰度的电压的范围被展宽, 因此可以改善图像的质量。

[0114] 在施加具有相同幅值的数据电压的情况下, 与施加恒定存储信号的情况相比, 响应于存储信号电压电平的变化, 可以生成范围更宽的像素电压。因此, 可以减小数据电压的范围, 由此也可以减少功耗。此外, 由于公共电压被固定为恒定电压, 因此可以进一步减少功耗。

[0115] 以下将参照图 5 到图 8, 对按照本发明实施例的液晶显示器进行描述。图 5 为按照本发明实施例的液晶显示器的框图, 图 6 为按照本发明实施例的伪栅极信号生成电路的电路图, 图 7 为按照本发明实施例的伪栅极驱动电路的电路图, 并且, 图 8 为在包括图 7 中示出的伪栅极驱动电路的液晶显示器中的使用的信号的时序图。

[0116] 应该明白, 图 5 所示的液晶显示器与图 1 的液晶显示器具有相似性。因此, 对于图 5 中执行与图 1 中的操作相同操作的要素, 用相同的参考标号表示, 并且以下不必进一步对这些要素进行描述。

[0117] 参照图 5, 本实施例的液晶显示器包括连接到普通栅极线 G_1 - G_{2n} 的栅极驱动器 401、连接到数据线 D_1 - D_m 的数据驱动器 500、连接到存储电极线 S_1 - S_{2n} 的存储信号发生器 701、连接到数据驱动器 500 的灰度电压发生器 800 以及连接到栅极驱动器 401 和数据驱动器 500 的信号控制器 601。

[0118] 但是, 本实施例的栅极驱动器 401 为双向栅极驱动器, 其中, 普通栅极线 G_1 - G_{2n} 的扫描方向根据来自外部装置的选择信号变化。即, 根据选择信号的状态, 栅极驱动器 401 沿着正向, 即从第一条普通栅极线 G_1 到最后条普通栅极线 G_{2n} , 或者, 沿着相反的方向, 即从最后一条普通栅极线 G_{2n} 到第一条普通栅极线 G_1 , 顺序地传送栅极导通电压 V_{on} 。对于栅极驱动器 401 的双向驱动, 液晶显示器还可以包括选择开关 (没有示出), 用于输出其状态依据用户的选择来定义的选择信号, 并且, 信号控制器 601 可以通过栅极控制信号 $CONT1$ 传送选择信号, 从而对栅极驱动器 401 的扫描方向进行控制。

[0119] 参照图 5, 存储信号发生器 701 包括第一和第二存储信号生成电路 701a 和 701b。但是, 与图 1 不同, 第一存储信号生成电路 701a 被连接到偶数存储电极线 S_2 、 S_4 、...、 S_{2n} , 而第二存储信号生成电路 701b 被连接到奇数存储电极线 S_1 、 S_3 、...、 S_{2n-1} 。与图 1 中示出的第一和第二存储信号生成电路 700a 和 700b 相比, 除了与存储电极线 S_1 - S_{2n} 的连接关系以外, 图 5 中示出的第一和第二存储信号生成电路 701a 和 701b 具有基本上相同的结构。但是, 存储电极线 S_1 - S_{2n} 与第一和第二存储信号生成电路 701a 和 701b 之间的连接关系不限于图 5 中示出的特定实施例, 并且, 如果希望, 可以改变。

[0120] 此外, 与图 1 不同, 图 5 中示出的实施例的液晶显示器还包括连接到普通栅极线 G_1 - G_{2n} 和存储信号发生器 701 的伪栅极信号发生器 720。伪栅极信号发生器 720 包括分别连接到第一和第二存储信号生成电路 701a 和 701b 的第一和第二伪栅极信号生成电路 720a 和 720b。

[0121] 第一伪栅极信号生成电路 720a 被连接到奇数普通栅极线 G_1 、 G_3 、...、和 G_{2n-1} 以及第一存储生成电路 701a。第一伪栅极信号生成电路 720a 将具有栅极导通电压 V_{on} 和栅极关断电压 V_{off} 的伪栅极信号发送到第一存储信号生成电路 700a 的输入端 IP。第二伪栅极信号生成电路 720b 被连接到偶数普通栅极线 G_2 、 G_4 、...、和 G_{2n} 以及第二存储生成电路 701b。第二伪栅极信号生成电路 720b 将伪栅极信号发送到第二存储信号生成电路 700b 的输入端 IP。

[0122] 对于第一和第二伪栅极信号生成电路 720a 和 720b 的操作, 信号控制器 601 还生成伪栅极控制信号 $CONT4a$ 和 $CONT4b$ 。伪栅极信号发生器 720 可以被集成在 LC 板组件 300 中。在一个实施例中, 伪栅极信号发生器 720 可以包括至少一个安装在 LC 板组件 300 上或者安装在附接于板组件 300 的带载封装 (TCP) 中的柔性印刷电路 (FPC) 薄膜上的集成电路 (IC) 芯片。或者, 伪栅极信号发生器 720 可以被安装在单独的印刷电路板 (没有示出) 上。

[0123] 如图 6 所示, 给第一和第二伪栅极信号生成电路 720a 和 720b 提供伪栅极控制信号 $CONT4a$ 和 $CONT4b$ 的第四、第五、第六和第七时钟信号 $CK3$ 、 $CK3B$ 、 $CK4$ 、 $CK4B$ 以及栅极关断电压 V_{off} 。即, 给第一伪栅极信号生成电路 720a 提供伪栅极控制信号 $CONT4a$ 的第四和第五时钟信号 $CK3$ 和 $CK3B$, 并且, 给第二伪栅极信号生成电路 720b 提供伪栅极控制信号 $CONT4b$ 的第六和第七时钟信号 $CK4$ 和 $CK4B$ 。第一和第二伪栅极信号生成电路 720a 和 720b 各自包括多个伪栅极驱动电路 730。伪栅极驱动电路 730 被分别连接到第一和第二存储信号生成

电路 701a 和 701b 的信号生成电路 710。

[0124] 参照图 6, 每个伪栅极驱动电路 730 包括输入端 IN、时钟端 CK 和 CKB、复位端 R1 和 R2、栅极电压端 GV 以及输出端 OUT。

[0125] 如上所述, 给第一伪栅极信号生成电路 720a 的伪栅极驱动电路 730 中的每一个提供奇数栅极信号 g_1 、 g_3 、...、和 g_{2n-1} , 并且, 给第二伪栅极信号生成电路 720b 的伪栅极驱动电路 730 中的每一个提供偶数栅极信号 g_2 、 g_4 、...、和 g_{2n} 。

[0126] 例如, 在包括在第一伪栅极信号生成电路 720a 中的第 i (在本例中, i 为奇数) 个伪栅极驱动电路 730 中, 输入端 IN 被连接到第 i 条普通栅极线 G_i , 从而被提供第 i 个栅极信号 g_i ; 复位端 R1 被连接到第 $(i+2)$ 个伪栅极信号生成电路 720a, 从而被提供第 $(i+2)$ 个伪栅极信号 Pg_{i+2} ; 并且, 复位端 R2 被连接到第 $(i-2)$ 个伪栅极信号生成电路 720a, 从而被提供第 $(i-2)$ 个伪栅极信号 Pg_{i-2} 。分别给时钟端 CK 和 CKB 提供第四和第五时钟信号 CK3 和 CK3B, 并且, 将输出端 OUT 连接到存储信号发生器 701 的第 i 个信号生成电路 710 的输入端 IP, 其与第 i 条存储电极线 S_i 相连。与以上描述相同, 在包括在第二伪栅极信号生成电路 720b 中的第 $(i+1)$ 个伪栅极驱动电路 730 中, 输入端 IN 被连接到第 $(i+1)$ 条普通栅极线 G_{i+1} , 从而被提供第 $(i+1)$ 个栅极信号 g_{i+1} , 复位端 R1 被连接到第 $(i+3)$ 个伪栅极信号生成电路 720b, 从而被提供第 $(i+3)$ 个伪栅极信号 Pg_{i+3} , 并且, 复位端 R2 被连接到第 $(i-3)$ 个伪栅极信号生成电路 720b, 从而被提供第 $(i-3)$ 个伪栅极信号 Pg_{i-3} 。分别给时钟端 CK 和 CKB 提供第六和第七时钟信号 CK4 和 CK4B, 并且, 将输出端 OUT 连接到存储信号发生器 701 的第 $(i+1)$ 个信号生成电路 710 的输入端 IP, 其与第 $(i+1)$ 条存储电极线 S_{i+1} 相连。

[0127] 但是, 第一和第二伪栅极信号生成电路 720a 和 720b 的第一个伪栅极驱动电路 730 的复位端 R2 被分别连接到虚假 (dummy) 信号 DS11 和 DS12, 而不是伪栅极信号, 并且, 第一和第二伪栅极信号生成电路 720a 和 720b 的最后一个伪栅极驱动电路 730 的复位端 R1 被分别连接到虚假信号 DS21 和 DS22。虚假信号 DS11、DS12、DS21 和 DS22 可以根据扫描开始信号, 在信号控制器 601 中生成。或者, 可以通过被连接到栅极驱动器 401 的附加栅极线, 由栅极驱动器 401 提供虚假信号 DS11、DS12、DS21 和 DS22。

[0128] 参照图 8, 时钟信号 CK3、CK3B、CK4 和 CK4B 包括高电平电压 V_{h3} 和低电平电压 V_{l3} 。高电平电压 V_{h3} 可以与栅极导通电压 V_{on} 相同, 而低电平电压 V_{l3} 可以与栅极关断电压 V_{off} 相同。此外, 时钟信号 CK3、CK3B、CK4 和 CK4B 的脉宽可以与栅极导通电压 V_{on} 的脉宽基本上相同, 并且, 时钟信号 CK3、CK3B、CK4 和 CK4B 的周期约为 $4H$, 占空比约为 50%。时钟信号 CK3 与 CK3B 彼此的相位差以及时钟信号 CK4 与 CK4B 彼此的相位差约为 180 度, 因此, 时钟信号 CK3 与 CK3B 以及时钟信号 CK4 与 CK4B 彼此彼此反相。时钟信号 CK3 和 CK4 彼此的相位差约为 90° 。

[0129] 参照图 7, 伪栅极驱动电路 730 中的每一个都包括多个晶体管 Q1-Q8 以及两个电容器 C_c 和 C_b , 晶体管 Q1-Q8 中的每一个都包括控制端、输入端和输出端。在图 7 中, 晶体管 Q1-Q8 被表示为 NMOS 晶体管, 但是, 晶体管 Q1-Q8 也可以被实现为 PMOS 晶体管。电容 C_c 和 C_b 可以是制造过程中在栅极端与漏极 / 源极端之间出现的寄生电容。

[0130] 晶体管 Q1 的输入端被连接到时钟端 CK, 晶体管 Q1 的输出端被连接到输出端 OUT。

[0131] 晶体管 Q2 的输入和控制端被连接到输入端 IN, 晶体管 Q2 的输出端通过节点 n1 连接到晶体管 Q1 的控制端。

[0132] 晶体管 Q3 的输入端通过节点 n1 连接到晶体管 Q2 的输出端,晶体管 Q3 的控制端 4 被连接到复位端 R1,并且,晶体管 Q3 的输出端被连接到栅极电压端 GV。

[0133] 晶体管 Q4 的输入端通过节点 n1 连接到晶体管 Q2 的输出端,晶体管 Q4 的输出端被连接到栅极关断电压 Voff。

[0134] 晶体管 Q5 的输入端被连接到晶体管 Q1 的输出端,晶体管 Q5 的控制端被连接到晶体管 Q4 的控制端,并且,晶体管 Q5 的输出端被连接到栅极关断电压 Voff。

[0135] 晶体管 Q6 的输入端被连接到晶体管 Q1 的输出端,晶体管 Q6 的控制端被连接到时钟端 CKB,并且,晶体管 Q6 的输出端被连接到栅极电压端 GV。

[0136] 晶体管 Q7 的输入端通过节点 n2 连接到晶体管 Q4 和 Q5 的控制端,晶体管 Q7 的控制端通过节点 n1 连接到晶体管 Q2 的输出端,并且,晶体管 Q7 的输出端被连接到栅极电压端 GV。

[0137] 晶体管 Q8 的输入端通过节点 n1 连接到晶体管 Q2 的输出端,晶体管 Q8 的控制端被连接到复位端 R2,并且,晶体管 Q8 的输出端被连接到栅极电压端 GV。

[0138] 电容器 Cc 被连接到第三时钟信号 CK2 和节点 n2,并且,电容器 Cb 被连接到节点 n1 和输出端 OUT。

[0139] 现在将对最初当依据选择信号的状态定义的、栅极驱动器 401 的扫描方向为正向时,伪栅极驱动电路 730 的操作进行描述。假设最初由栅极导通电压 Von 或栅极关断电压 Voff 使晶体管 Q1-Q8 导通或关断。

[0140] 首先,对第 i 个伪栅极驱动器电路 730 的操作进行描述。当第四时钟信号 CK3 从高电平电压 Vh2 变为低电平电压 V13,并且,第五时钟信号 CK3B 和施加于输入端 IN 的栅极信号 g_i 的电压电平从栅极关断电压 Voff 变为栅极导通电压 Von 时,晶体管 Q2 和 Q6 导通。因此,栅极导通电压 Von 通过晶体管 Q2 传送到节点 n1,由此使晶体管 Q4 和 Q5 关断。此时,由于第 (i+2) 个伪栅极信号 Pg_{i+2} 的电压电平为栅极关断电压 Voff,因此晶体管 Q3 维持关断状态。同时,输出端 OUT 通过两个导通的晶体管 Q1 和 Q6,将栅极关断电压 Voff 输出到第 i 个信号生成电路 710 的输入端 IP,作为第 i 个伪栅极信号 Pg_i 。

[0141] 此时,电容器 Cb 充有与栅极导通电压 Von 和栅极关断电压 Voff 之间的差相对应的电压。节点 n2 的状态通过第四时钟信号 CK3 的低电平电压 V13 来维持低电平电压。

[0142] 接着,当第 i 个栅极信号 g_i 和第五时钟信号 CK3B 的电压电平分别变为栅极关断电压 Voff 和低电平电压 V13,并且第四时钟信号 CK3 从低电平电压 V13 转换为高电平电压 Vh3 时,晶体管 Q2 和 Q6 关断。此时,由于伪栅极信号 Pg_{i+2} 维持低电平,因此晶体管 Q3 也维持关断状态。由于晶体管 Q2 被关断,因而节点 n1 与第 i 个栅极信号 g_i 断开连接,并且进入浮置状态。因此,晶体管 Q1 和 Q7 维持导通状态以便将栅极关断电压 Voff 施加于节点 n2,由此,晶体管 Q4 和 Q5 中的每一个都维持关断状态。由于晶体管 Q5 和 Q6 都进入关断状态,因此传输到输出端 OUT 的栅极关断电压 Voff 被断开。由于晶体管 Q1 维持导通状态,因此只有作为时钟信号 CK3 的高电平电压 Vh3 的栅极导通电压 Von 被传输到输出端 OUT,并且被输出。此时,由于电容器 Cb 维持恒定电压,因此当输出端 OUT 的电压增加到栅极导通电压 Von 时,处在浮置状态中的节点 n1 的电压表现出在电压方面对应增加。

[0143] 电容器 Cc 充有对应于第四时钟信号 CK3 的栅极导通电压 Von 与作为节点 n2 的电压的栅极关断电压 Voff 之间的差的电压。因此,节点 n2 维持低电压,使得晶体管 Q5 维持

关断状态。因此,维持向输出端 OUT 输出稳定的栅极导通电压 V_{on} 。

[0144] 当第四时钟信号 CK3 转换到低电平电压 V13,并且第五时钟信号 CK3B 和伪栅极信号 Pg_{i+2} 分别转换到高电平电压 $Vh3$ 和栅极导通电压时,晶体管 Q3 和 Q6 导通。此时,由于栅极信号 g_i 维持栅极关断电压 V_{off} ,因此晶体管 Q2 维持关断状态。由于晶体管 Q3 导通,因而栅极关断电压 V_{off} 被传输到节点 n1,由此使晶体管 Q1 和 Q7 关断。

[0145] 当晶体管 Q7 关断时,节点 n2 进入浮置状态。此时,由于电容器 C_c 维持恒定电压,因此当第四时钟信号 CK3 转换到低电平电压 V13 时,节点 n2 的电压下降到栅极关断电压 V_{off} 以下。但是,如果节点 n2 的电压下降到栅极关断电压 V_{off} 以下,则晶体管 Q7 再次导通,从而将栅极关断电压 V_{off} 传输到节点 n2。因此,在最终的平衡状态中,节点 n2 的电压几乎与栅极关断电压 V_{off} 相同。随后,晶体管 Q4 和 Q5 持续维持关断状态。

[0146] 同时,由于晶体管 Q1 关断而晶体管 Q6 导通,因此栅极关断电压 V_{off} 被传输到输出端 OUT,并且使电容器 C_b 放电。

[0147] 此后,只有第四和第五时钟信号 CK3 和 CK3B 重复高电平电压 $Vh3$ 和低电平电压 V13。但是,第四时钟信号 CK3 的电平变化使晶体管 Q5 周期性地导通和关断,第五时钟信号 CK3B 的电平变化使晶体管 Q6 周期性地导通和关断。因此,由于将栅极关断电压 V_{off} 连续施加于输出端 OUT,因而无论第四时钟信号 CK3 变化为何,输出端 OUT 的电压电平一律维持栅极关断电压 V_{off} 。此外,当第四时钟信号 CK3 为高电平电压 $Vh3$ 时,晶体管 Q6 导通,由此给节点 n1 提供栅极关断电压 V_{off} 。因此,节点 n1 的状态一律为栅极关断电压 V_{off} 。

[0148] 在这种情况下,给连接到晶体管 Q8 的控制端的复位端 R2 提供栅极关断电压 V_{off} 的、前一个栅极信号 g_{i-2} ,由此维持关断状态。

[0149] 如图 8 所示,在第 i 个伪栅极驱动电路 730 中,施加于输入端 IN 的普通栅极信号 g_i 的栅极导通电压 V_{on} 的施加时间 (application time) 以及来自输出端 OUT 的伪栅极信号 Pg_i 的栅极导通电压 V_{on} 的施加时间有约 2H 的差。因此,伪栅极信号 Pg_i 基本上与第 $(i+2)$ 个栅极信号 g_{i+2} 相同,并且,来自第 $(i+1)$ 个伪栅极驱动电路 730 的伪栅极信号 Pg_{i+1} 基本上与第 $(i+3)$ 个栅极信号 g_{i+3} 相同。

[0150] 但是,当依据选择信号的状态定义的扫描方向为相反的方向时,如上所述,通过晶体管 Q1、Q2 和 Q4-Q7 以及电容器 C_c 和 C_b 的操作,第 i 个伪栅极驱动电路 730 生成第 i 个伪栅极信号 Pg_i ,由此通过输出端 OUT,将第 i 个伪栅极信号 Pg_i 输出到第 i 个信号生成电路 710。但是,与正向的情况不同,被施加伪栅极信号 Pg_{i-2} 的晶体管 Q8 取代了被施加伪栅极信号 Pg_{i+2} 的晶体管 Q3 的功能。

[0151] 如上所述,本实施例的 LCD 还包括生成基本上等同于栅极信号的伪栅极信号的伪栅极信号发生器,而不是图 1 所示的,被直接连接的存储信号发生器 700 与栅极线 G_2-G_{2d} 和 G_d 。有利之处在于,在本实施例中,在没有单独的选择电路如复用器的情况下,伪栅极信号发生器可以被用于提供双向栅极驱动。本实施例也可以提供参照图 1 到图 4 的实施例的优点。

[0152] 即,当栅极驱动器被实现为具有单独的、用于对前一个和后一个栅极信号中的一个进行选择的选择电路(例如复用器)的双向栅极驱动器时,选择电路会引起制造困难。但是,上述的伪栅极信号发生器可以与信号线 G_1-G_n 、 D_1-D_m 和 S_1-S_n 一起集成在 LC 板组件 301 中,并且,由此直接生成作为存储信号发生器的输入信号施加的伪栅极信号。因此,可以利

用双向栅极驱动器将存储信号发生器实现在 LCD 中。

[0153] 有利之处在于,利用大小比栅极驱动器的晶体管的大小小的晶体管制造伪栅极信号发生器,使得 LCD 的冗余度不受大的影响。

[0154] 在上述实施例中,栅极驱动器 400 和 401 以及存储信号发生器 700 和 701 被分别布置在 LC 板组件 300 和 301 的两侧。但是,应该明白,按照本发明的实施例不限于此。在这点上,可以使用可以将栅极驱动器和存储信号发生器交替布置在 LC 板组件 300 和 301 的一侧的方案。在这种情况下,连接到存储信号发生器的伪栅极信号发生器的数量可以是一个。

[0155] 按照本发明的实施例,两个相邻的栅极导通电压重叠预定时段,但是,也可以在两个相邻的栅极导通电压不重叠的情况下使用存储信号发生器。在这种情况下,伪栅极信号发生器可以对第四和第五脉冲信号以及第六和第七脉冲信号的脉宽进行控制,从而生成施加于存储信号发生器的伪栅极信号。

[0156] 按照本发明的另一个实施例,在将公共电压固定为预定电压之后,电平在预定时段内变化的存储信号被施加于存储电极线。由此,由于像素电极电压的范围被展宽,因此像素电压的范围也被展宽。由于用于代表灰度的电压的范围被展宽,因此可以提高图像质量。

[0157] 此外,在施加具有相同幅值的数据电压的情况下,与实施施加恒定的存储信号的实现方式相比,可以生成宽范围的像素电压。结果,可以减少功耗。另外,由于可以将公共电压固定为恒定值,因而可以进一步减少功耗。

[0158] 有利之处在于,可以在没有单独的选择电路的情况下,实现具有双向栅极驱动器和存储信号发生器的 LCD。

[0159] 尽管已经结合当前被认为是实际的示例实施例,对本发明进行了描述,但是,本领域的一般技术人员应该理解,本发明不限于所公开的实施例,与此相反,本发明意图在于覆盖包括在所附权利要求的精神和范围内的各种修改和等效布置。

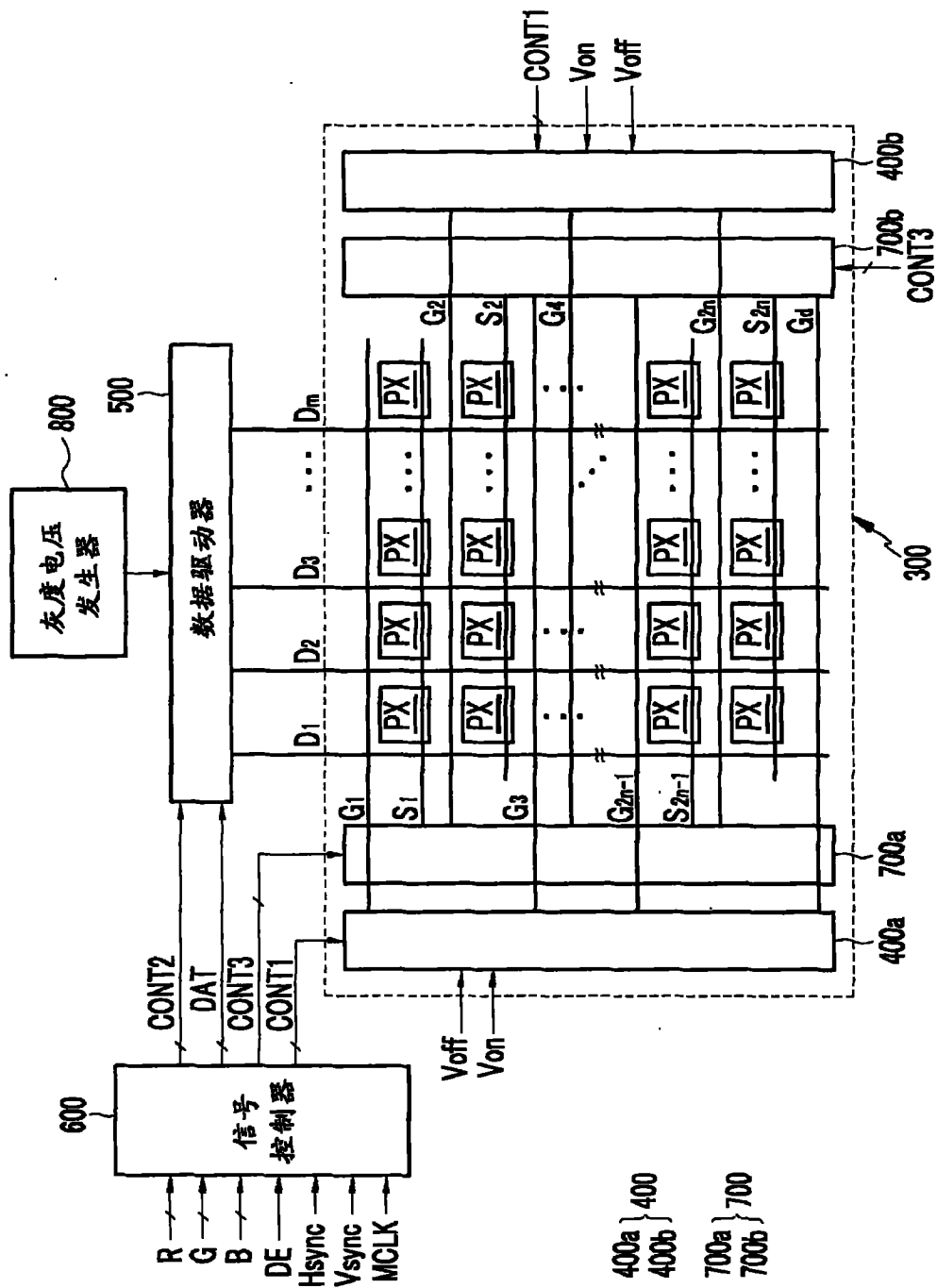


图 1

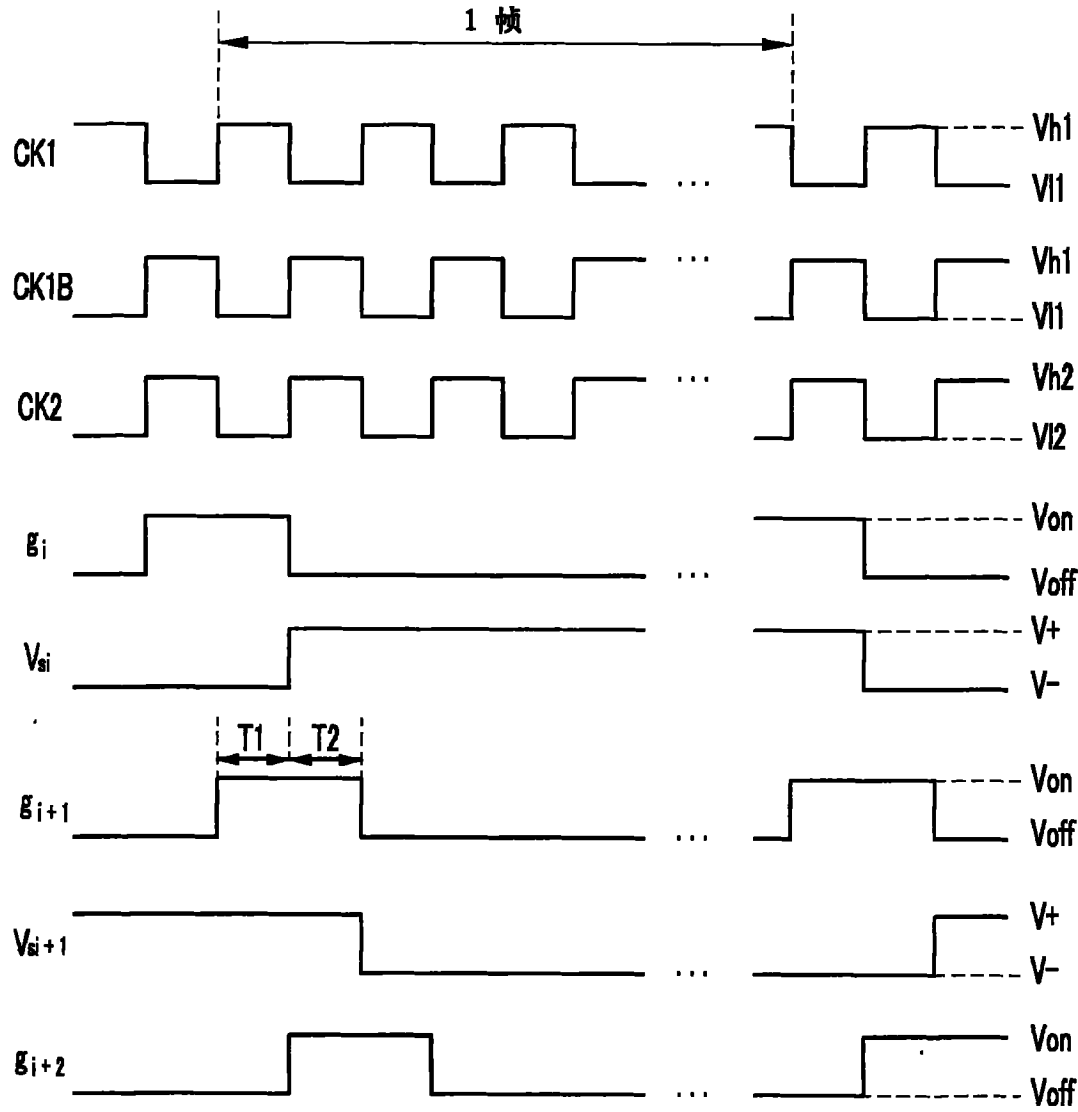


图 4

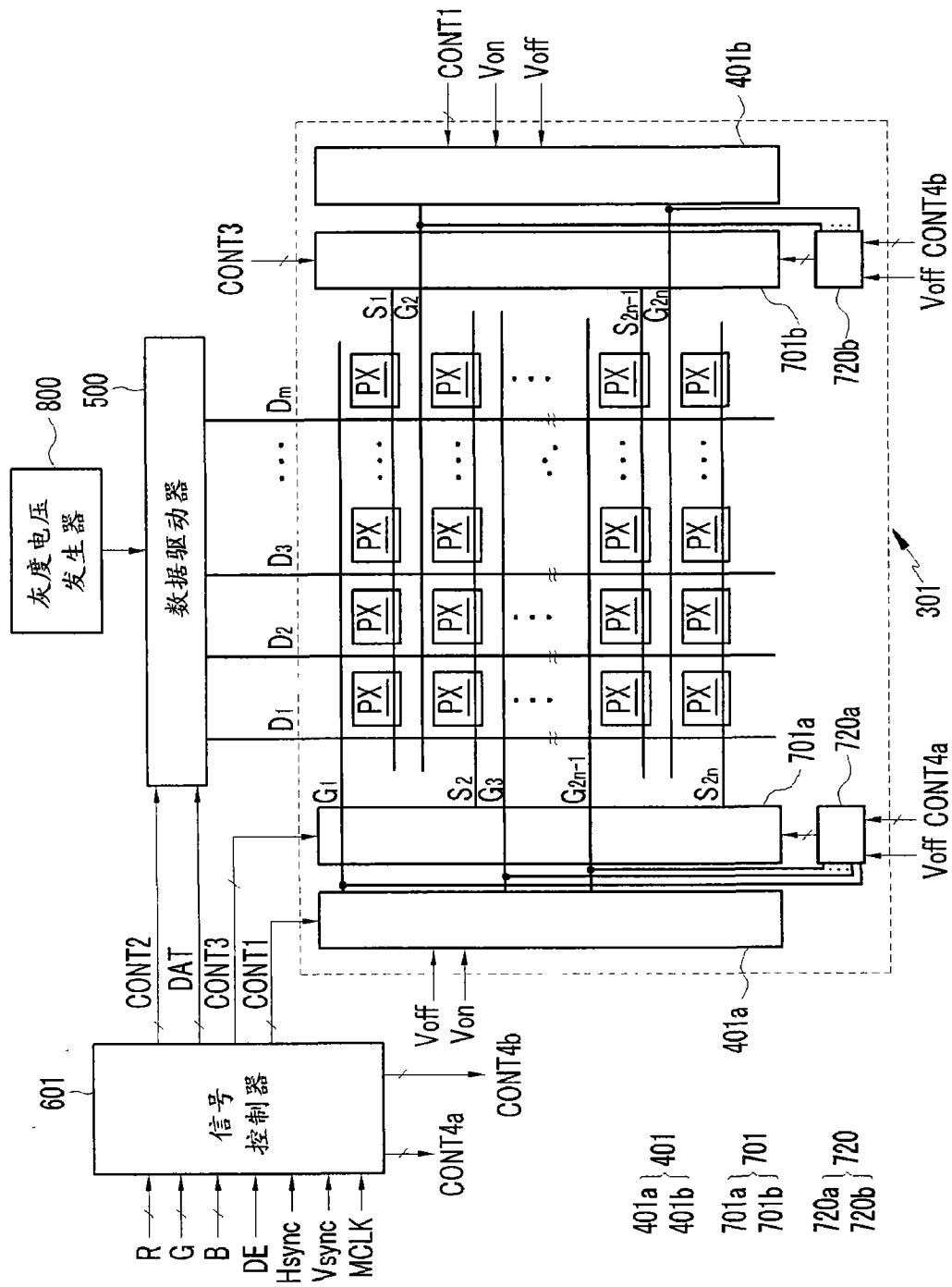


图 5

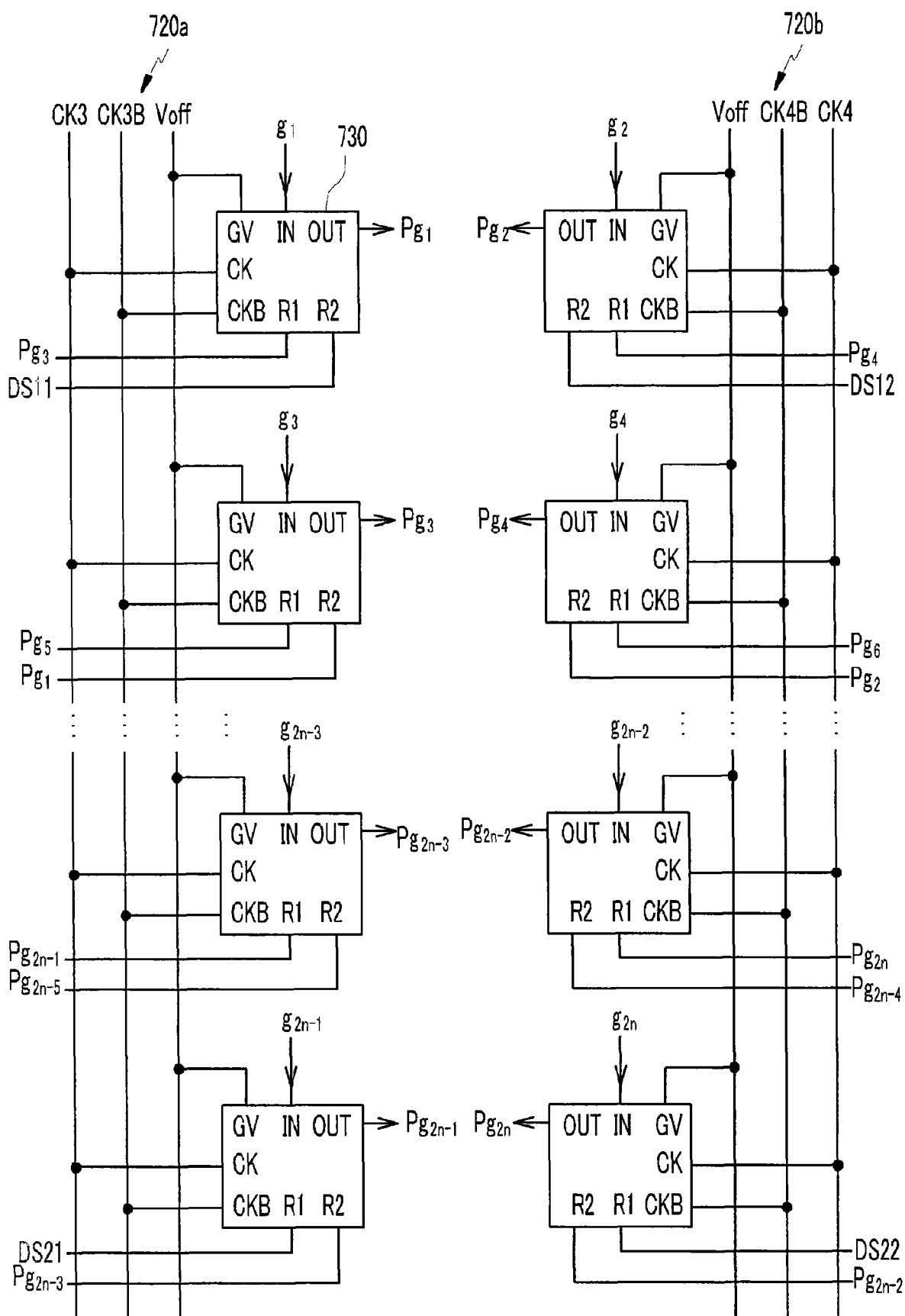


图 6

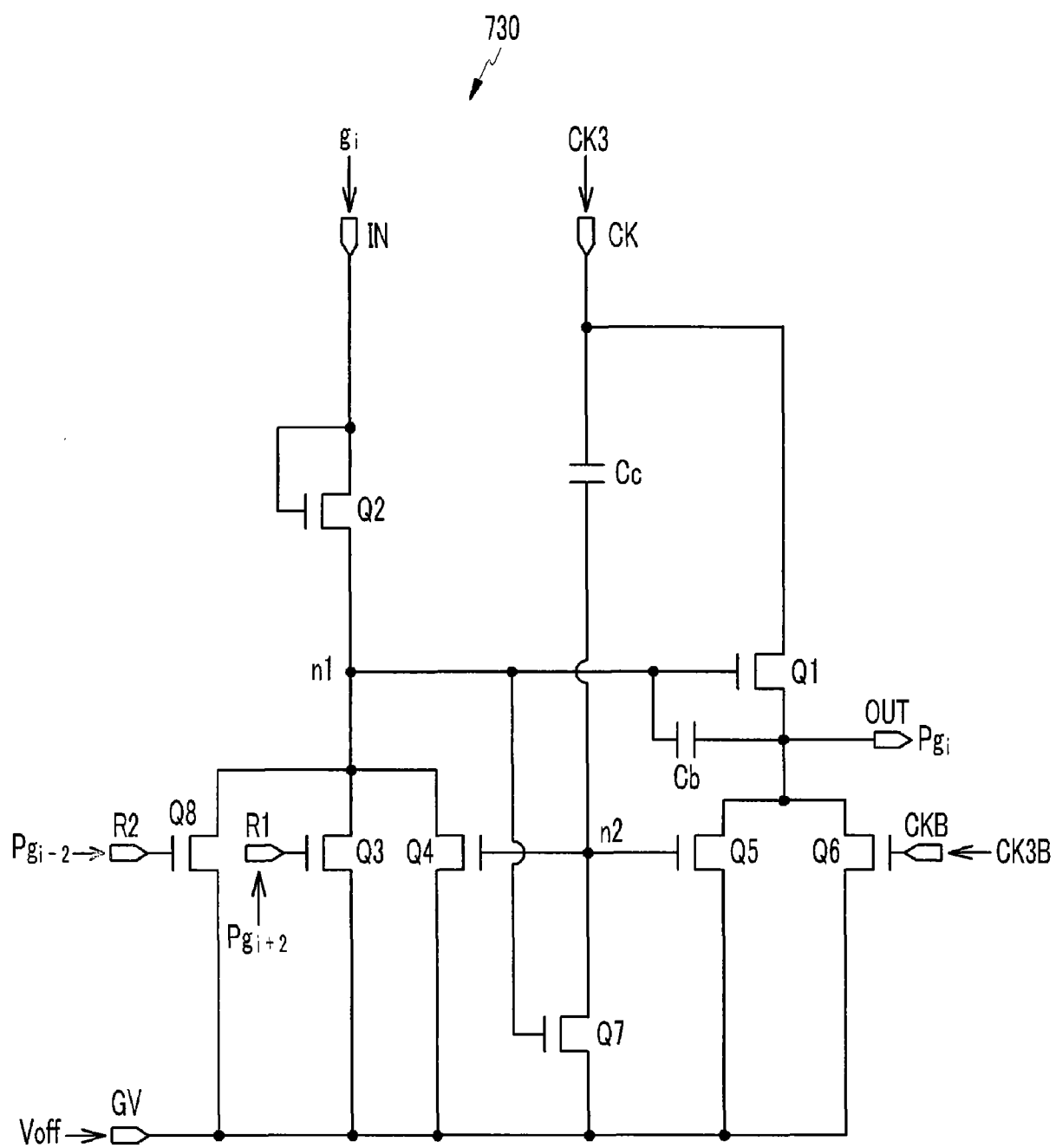


图 7

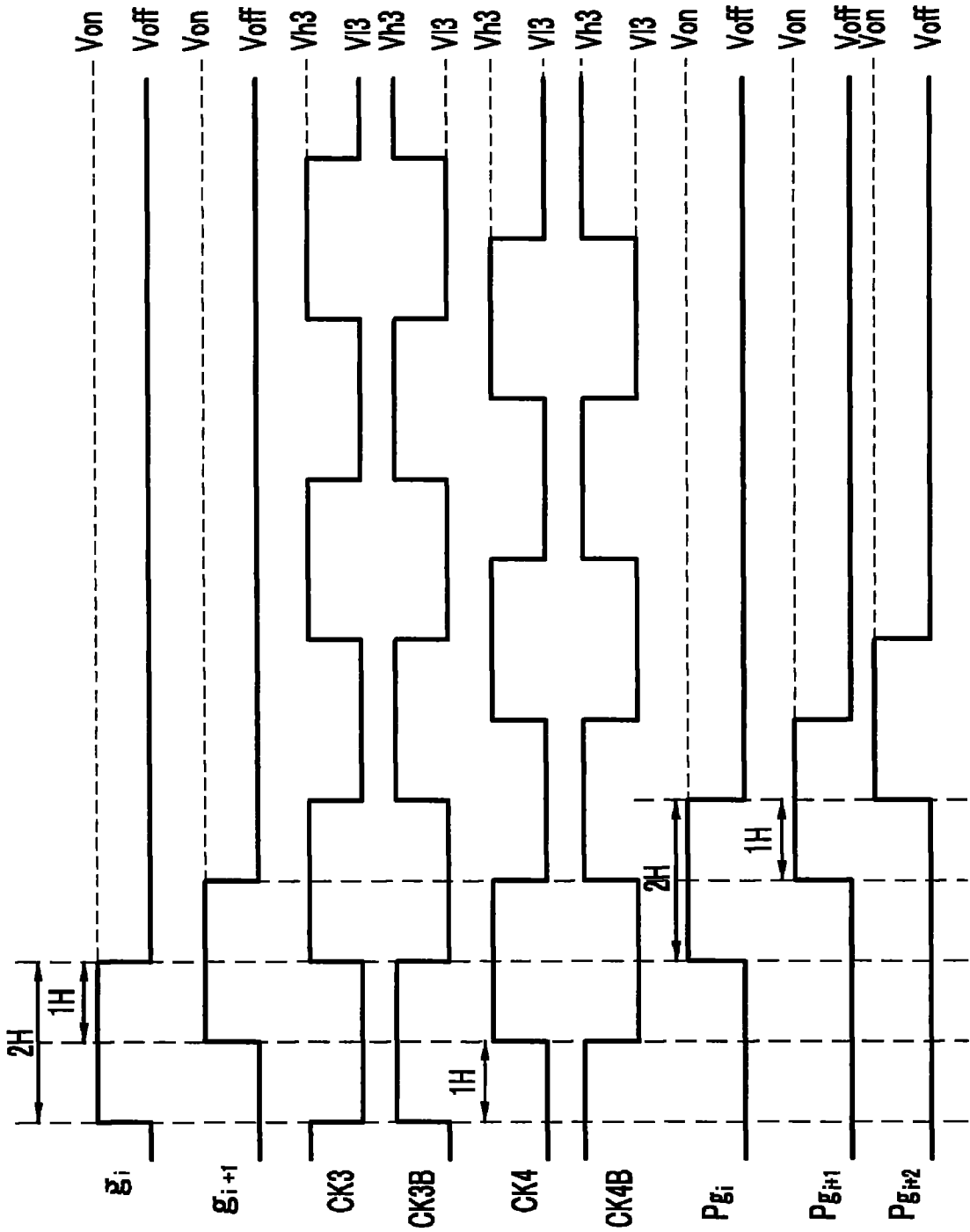


图 8

专利名称(译)	显示装置		
公开(公告)号	CN101118357B	公开(公告)日	2011-01-19
申请号	CN200710138234.2	申请日	2007-07-31
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔晋荣 全珍		
发明人	崔晋荣 全珍		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3659 G09G2330/021 G09G3/3677		
代理人(译)	邵亚丽		
优先权	1020060072698 2006-08-01 KR 1020070073388 2007-07-23 KR		
其他公开文献	CN101118357A		
外部链接	Espacenet SIPO		

摘要(译)

在一个实施例中，显示装置包括：用于传送普通栅极信号的多条栅极线；与栅极线交叉，用于传送数据电压的多条数据线；以及平行于栅极线延伸，用于传送存储信号的多条存储电极线。该显示装置还可以包括以矩阵排列的多个像素，每个像素具有连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、以及连接到开关元件和存储电极线的存储电容器。该显示装置还可以包括：用于根据普通栅极信号生成伪栅极信号的多个伪栅极驱动电路；以及，用于根据伪栅极信号生成存储信号的多个存储信号生成电路。

