



[12] 发明专利说明书

专利号 ZL 02150418.0

[45] 授权公告日 2008 年 1 月 9 日

[11] 授权公告号 CN 100361185C

[22] 申请日 2002.11.8 [21] 申请号 02150418.0
 [30] 优先权
 [32] 2001.11.10 [33] KR [31] P2001-0069945
 [32] 2002.7.16 [33] KR [31] P2002-0041769
 [73] 专利权人 LG. 飞利浦 LCD 株式会社
 地址 韩国首尔
 [72] 发明人 安承国
 [56] 参考文献
 US6256005B1 2001.7.3
 GB2325329A 1998.11.18
 GB2322958A 1998.9.9
 US5856816A 1999.1.5
 CN1281155A 2001.1.24
 CN1276590A 2000.12.13
 审查员 史永良

[74] 专利代理机构 北京律诚同业知识产权代理有限公司
 代理人 徐金国 陈红

权利要求书 7 页 说明书 30 页 附图 23 页

[54] 发明名称

对液晶显示器进行数据驱动的装置和方法

[57] 摘要

本发明公开了一种用于对液晶显示器进行数据驱动的装置和方法，其中：对数据线进行时间分割，以减少数据驱动器集成电路的数量，同时改善画面的显示质量。更具体来说，该装置包括：基于时间分割原理提供输入像素数据的第一多路复用器阵列；将经过时间分割的像素数据转换成像素电压信号的数/模转换器阵列；以及向经时间分割的数据线提供像素电压信号的多路分配器阵列，其中所述数/模转换器阵列包括多个交替布置的正数/模转换器和负数/模转换器，并且其中在将像素数据转换成像素电压信号之前对该像素数据进行交换或者重排。



1. 一种液晶显示器的数据驱动装置，其包括：

第一多路复用器阵列，它基于时间分割原理提供输入象素数据；

数/模转换器阵列，将经过时间分割的象素数据转换成象素电压信号；以及

多路分配器阵列，对数据线进行时间分割、并向经时间分割后的数据线提供象素电压信号，

其中，所述数/模转换器阵列包括多个交替布置的正数/模转换器和负数/模转换器，

其中，在将象素数据转换成象素电压信号之前对该象素数据进行交换或者重排。

2. 根据权利要求1所述的数据驱动装置，其还包括：

移位寄存器阵列，它可顺序地产生采样信号；

锁存器阵列，它响应该采样信号顺序地锁存象素数据，然后向多路复用器阵列同时输出该经过锁存的象素数据；以及

缓存器阵列，它缓存象素电压信号，并将其提供给多路分配器阵列。

3. 根据权利要求1所述的数据驱动装置，其中，第一多路复用器阵列至少包括 n 个第一多路复用器，它对输入象素数据进行时间分割，于是输入象素数据至少包括 n 个时间分割的象素数据，其中 n 是整数。

4. 根据权利要求3所述的数据驱动装置，其中，数/模转换器阵列将 n 个经过时间分割的象素数据转换成象素电压信号。

5. 根据权利要求4所述的数据驱动装置，其中，多路分配器阵列至少包括 n 个多路分配器，它对多条数据线进行时间分割，于是数据线至少包括 n 根经时间分割的数据线来提供象素电压信号。

6. 根据权利要求4所述的数据驱动装置，其中，数/模转换器阵列包括：至少 $n+1$ 个正、负数/模转换器，它们将至少 n 个经过时间分割的象素数据转换成象素电压信号。

7. 根据权利要求6所述的数据驱动装置，还包括：

第二多路复用器阵列，它响应极性控制信号确定至少 n 个经时间分割的象素数据的路径，将这些象素数据输入到至少 $n+1$ 个正、负数/模转换器中的 n

个正、负数/模转换器中；

第三多路复用器，它响应极性控制信号确定至少 n 个像素电压信号的路径，将这些像素电压信号输入到多路分配器阵列中。

8. 根据权利要求 7 所述的数据驱动装置，其中，第二多路复用器阵列至少包括 $n-1$ 个用于选择至少两个第一多路复用器的任意一个输出的第二多路复用器。

9. 根据权利要求 7 所述的数据驱动装置，其中，第三多路复用器阵列至少包括 n 个用于选择至少两个数/模转换器的任意一个输出的第三多路复用器，其中第一多路复用器的每个输出都被分成至少两个第二多路复用器的每一个输入，而数/模转换器的每个输出都被分成至少两个第三多路复用器的每一个输入。

10. 根据权利要求 3 所述的数据驱动装置，其中，至少 n 个第一多路复用器中的奇数多路复用器响应第一选择控制信号对奇数的像素数据进行时间分割，并输出经过时间分割的奇数像素数据，偶数多路复用器响应第二选择控制信号对偶数的像素数据进行时间分割，并输出经过时间分割的偶数像素数据。

11. 根据权利要求 10 所述的数据驱动装置，其中，至少 n 个多路分配器中的奇数多路分配器响应第一选择控制信号对奇数的数据线进行时间分割，并驱动经过时间分割的奇数数据线，而偶数多路分配器响应第二选择控制信号对偶数的数据线进行时间分割，并驱动经过时间分割的偶数数据线。

12. 根据权利要求 11 所述的数据驱动装置，其中，第一和第二选择控制信号的逻辑态彼此相反，每个逻辑态对于每 $1/2$ 水平周期都是反向的。

13. 根据权利要求 5 所述的数据驱动装置，其中，极性控制信号的逻辑态对于每个水平周期都是反向的。

14. 根据权利要求 10 所述的数据驱动装置，其中，第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号，交替地改变经时间分割的像素数据和像素电压信号的提供次序。

15. 根据权利要求 14 所述的数据驱动装置，其中，第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号，将时间分割的像素数据和像素电压信号的提供次序至少改变一个帧单位。

16. 根据权利要求 14 所述的数据驱动装置，其中，第一多路复用器阵列

和多路分配器阵列响应第一选择控制信号和第二选择控制信号,将时间分割的像素数据和像素电压信号的提供次序至少改变一个线单位。

17. 根据权利要求 14 所述的数据驱动装置,其中,第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号,将时间分割的像素数据和像素电压信号的提供次序至少改变一个线单位和一个帧单位。

18. 根据权利要求 6 所述的数据驱动装置,还包括:

数据寄存器,它对象素数据进行重排,并将其输出到第一多路复用器阵列中;以及

第二多路复用器阵列,它响应极性控制信号,确定从数/模转换器阵列中输出至少 n 个像素电压信号的路径,并将这些像素电压信号发送给多路分配器阵列。

19. 根据权利要求 18 所述的数据驱动装置,其中,数据寄存器将像素数据中的第 $4k-2$ 个像素数据与第 $4k-3$ 个像素数据互换,并重新排列交换后的像素数据,其中 k 是正整数。

20. 根据权利要求 18 所述的数据驱动装置,其中,在第一水平周期中,数据寄存器向第一多路复用器阵列输出经过重排的像素数据,在第二水平周期中其将重排的像素数据延迟两个信道,并将其输出给第一多路复用器阵列,其中第一水平周期和第二水平周期彼此交替。

21. 根据权利要求 20 所述的数据驱动装置,其中,第二多路复用器阵列至少包括 n 个第二多路复用器,它们可选择正、负数/模转换器的至少两个输出中的一个,而正、负数/模转换器的每个输出都被分作至少两个第二多路复用器的输入。

22. 根据权利要求 20 所述的数据驱动装置,其中,至少 n 个第一多路复用器中的奇数多路复用器响应选择控制信号,对奇数的像素数据进行时间分割,并输出经过时间分割的奇数像素数据,而偶数多路复用器对偶数的像素数据进行时间分割,并输出经过时间分割的偶数像素数据。

23. 根据权利要求 22 所述的数据驱动装置,其中,至少 n 个第一多路分配器中的奇数多路分配器响应选择控制信号,对奇数的数据线进行时间分割,以驱动经过时间分割的奇数数据线,而偶数多路分配器对偶数的数据线进行时间分割,以驱动经过时间分割的偶数数据线。

24. 根据权利要求 23 所述的数据驱动装置, 其中, 选择控制信号的逻辑态至少对于每 1/2 水平周期都是相反的。

25. 根据权利要求 18 所述的数据驱动装置, 其中, 极性控制信号的逻辑态对于每个水平周期都是反向的。

26. 根据权利要求 22 所述的数据驱动装置, 其中, 第一多路复用器阵列和多路分配器阵列响应选择控制信号交替地改变经过时间分割的像素数据和像素电压信号的提供次序。

27. 根据权利要求 26 所述的数据驱动装置, 其中, 第一多路复用器阵列和多路分配器阵列响应选择控制信号, 将经时间分割的像素数据和像素电压信号的提供次序改变至少一个帧单位。

28. 根据权利要求 26 所述的数据驱动装置, 其中, 第一多路复用器阵列和多路分配器阵列响应选择控制信号, 将经过时间分割的像素数据和像素电压信号的提供次序改变至少一个线单位。

29. 根据权利要求 26 所述的数据驱动装置, 其中, 第一多路复用器阵列和多路分配器阵列响应选择控制信号, 将经过时间分割的像素数据和像素电压信号的提供次序改变至少一个线单位和一个帧单位。

30. 根据权利要求 1 所述的数据驱动装置, 其中, 数/模转换器阵列响应极性控制信号, 将相邻像素数据转换成极性彼此相反的像素电压信号。

31. 一种在液晶显示器中驱动数据的方法, 包括:

对输入的像素数据进行时间分割, 以提供经过时间分割的像素数据;

将这些像素数据转换成像素电压信号; 以及

对数据线进行时间分割, 以驱动经过时间分割的数据线, 同时提供像素电压信号,

其中, 使用多个交替布置的正数/模转换器和负数/模转换器将所述像素数据转换成像素电压信号,

其中, 在将像素数据转换成像素电压信号之前对该像素数据进行交换或者重排。

32. 根据权利要求 31 所述的方法, 还包括:

顺次产生采样信号;

在对象素数据进行时间分割之前, 响应采样信号顺次锁存该输入的像素数

据，同时提供经过锁存的像素数据；以及
在对数据线进行时间分割之前，缓存像素电压信号。

33. 根据权利要求 31 所述的方法，其中，将像素数据转换成像素电压信号是将每个像素数据转换成极性与相邻像素数据的极性不同的每个像素电压信号。

34. 根据权利要求 31 所述的方法，还包括：

在将像素数据转换成像素电压信号之前，响应极性控制信号确定将经过时间分割的像素数据输入到交替布置的正、负数/模转换器中的输入路径；以及在将像素数据转换成像素电压信号之后，响应极性控制信号确定像素电压信号的输出路径，以确定像素电压信号的极性。

35. 根据权利要求 34 所述的方法，其中，极性控制信号的逻辑态至少对于每个水平周期都是反向的。

36. 根据权利要求 31 所述的方法，其中，对像素数据进行时间分割包括：至少 n 个多路复用器中的奇数多路复用器响应第一选择控制信号，对奇数的像素数据进行时间分割，而偶数多路复用器响应第二选择控制信号，对偶数的像素数据进行时间分割，其中 n 是整数。

37. 根据权利要求 36 所述的方法，其中，对栅线进行时间分割包括：至少 n 个多路分配器中的奇数多路分配器响应第一选择控制信号，对奇数的数据线进行时间分割，而偶数多路分配器响应第二选择控制信号，对偶数的数据线进行时间分割。

38. 根据权利要求 37 所述的方法，其中，第一和第二选择控制信号的逻辑态彼此相反，其中每个逻辑态至少对于 $1/2$ 水平周期是反向的。

39. 根据权利要求 36 所述的方法，其中，在对像素数据进行时间分割时，经过时间分割的像素数据的提供次序是交替变化的，在对栅线进行时间分割时，像素电压信号的提供次序是交替变化的。

40. 根据权利要求 39 所述的方法，其中，响应第一选择控制信号和第二选择控制信号，使经过时间分割的像素数据和像素电压信号的提供次序交替改变至少一个帧单位。

41. 根据权利要求 39 所述的方法，其中，响应第一选择控制信号和第二选择控制信号，使经过时间分割的像素数据和像素电压信号的提供次序交替改

变至少一个线单位。

42. 根据权利要求 39 所述的方法, 其中, 响应第一选择控制信号和第二选择控制信号, 使经过时间分割的像素数据和像素电压信号的提供次序交替改变至少一个线单位和一个帧单位。

43. 根据权利要求 31 所述的方法, 还包括:

在对象素数据进行时间分割之前, 对输入的像素数据进行重排; 以及在将像素数据转换成像素电压信号之后, 响应极性控制信号确定像素电压信号的输出路径, 从而确定像素电压信号的极性。

44. 根据权利要求 43 所述的方法, 其中, 对输入数据进行重排包括: 将输入像素数据中的第 $4k-3$ 个像素数据与第 $4k-2$ 个像素数据互换, 其中 k 是正整数。

45. 根据权利要求 44 所述的方法, 其中, 对于第一水平周期, 输出重排后的输入数据, 对于第二水平周期, 将它们延迟 2 个信道, 第一水平周期与第二水平周期彼此交替。

46. 根据权利要求 43 所述的方法, 其中, 对象素数据进行时间分割包括: 至少 n 个多路复用器中的奇数多路复用器响应选择控制信号, 对奇数的像素数据进行时间分割, 而偶数多路复用器对偶数的像素数据进行时间分割, 其中 n 是整数。

47. 根据权利要求 46 所述的方法, 其中, 对数据线进行时间分割包括: 至少 n 个多路分配器中的奇数多路分配器响应选择控制信号, 对奇数的数据线进行时间分割, 以驱动经过时间分割的奇数数据线, 而偶数的多路分配器对偶数的数据线进行时间分割, 以驱动经过时间分割的偶数数据线。

48. 根据权利要求 47 所述的方法, 其中, 选择控制信号的逻辑态至少对于每个 $1/2$ 水平周期是反向的。

49. 根据权利要求 47 所述的方法, 其中, 在对象素数据进行时间分割时, 经过时间分割的像素数据的提供次序是交替变化的, 在对栅线进行时间分割并驱动时, 像素电压信号的提供次序是交替变化的。

50. 根据权利要求 49 所述的方法, 其中, 响应选择控制信号, 使经过时间分割的像素数据和像素电压信号的提供次序交替改变至少一个帧单位。

51. 根据权利要求 49 所述的方法, 其中, 响应选择控制信号, 使经过时

间分割的像素数据和像素电压信号的提供次序改变至少一个线单位。

52. 根据权利要求 49 所述的方法, 其中, 响应选择控制信号, 使经过时间分割的像素数据和像素电压信号的提供次序改变至少一个线单位和一个帧单位。

对液晶显示器进行数据驱动的装置和方法

该申请要求 2001 年 11 月 10 日提交的韩国专利申请第 P2001-069945 号和 2002 年 7 月 16 日提交的专利申请第 P2002-041769 号的优先权,该两件专利申请在本申请中引作参考。

技术领域

本发明涉及一种液晶显示器,具体涉及对液晶显示器进行数据驱动的装置和方法。尽管本发明适合于广泛的应用范围,但它特别适合基于时间分割原理来减少用于驱动数据线的数据驱动器集成电路的数量。

背景技术

一般而言,液晶显示器(LCD)利用电场控制液晶的透光率来显示图像。为此,LCD包括具有按有源矩阵型式排列的液晶元件的液晶显示板和驱动液晶显示板的驱动电路。

如图1所示,依照现有技术的LCD包括:通过数据载带包(data TCP)6与液晶显示板2相连的数据驱动IC4,通过栅TCP10与液晶显示板2相连的栅驱动IC8。

具体而言,液晶显示板2包括在栅线与数据线的交叉点处形成的薄膜晶体管TFT、以及与TFT相连的液晶元件。TFT的栅电极与一根作为垂直导线的栅线相连,而源电极与一根作为水平导线的数据线相连。该TFT响应栅线的扫描信号,从数据线向液晶元件供应像素电压信号。液晶元件包括与TFT的漏极相连的像素电极和面向像素电极的公共电极,在上述两电极之间夹有液晶。该液晶元件响应提供给像素电极的像素电压信号,驱动液晶,从而控制液晶的透光率。

每个栅驱动IC8都安装在栅TCP10上。安装在栅TCP10上的栅驱动IC8通过栅TCP10与液晶显示板2的相应栅焊盘电连接。每个水平周期1H,栅驱动IC8都顺序地驱动液晶显示板2的栅线。

每个数据驱动 IC4 都安装在数据 TCP6 上。安装在数据 TCP6 上的数据驱动 IC4 通过数据 TCP6 与液晶显示板 2 的相应数据极板电连接。每个水平周期 1H，数据驱动 IC4 都会将数字像素数据转换成模拟像素电压信号，并将其提供给液晶显示板 2 的数据线。

为此，如图 2 所示，每个数据驱动 IC4 都包括：用于提供连续采样信号的移位寄存器 12；响应采样信号而锁存并输出像素数据 VD 的第一和第二锁存器阵列 16 和 18；设置在第一和第二锁存器阵列 16 和 18 之间的第一多路复用器 MUX 阵列 15；将来自第二锁存器阵列 18 的像素数据转换成像素电压信号的数/模转换器（DAC）阵列 20；对来自 DAC 阵列 20 的像素电压信号进行缓存，并将其输出缓存器阵列 26；以及用于选择缓存器阵列 26 的输出路径的第二多路复用器阵列 30。另外，数据控制 IC4 还包括对接来自计时控制器（未示出）的像素数据（R、G 和 B）的数据寄存器 34 和用于提供 DAC 阵列 30 中所需的正、负伽马电压的伽马电压部件 36。

具有上述结构的每个数据驱动 IC4 都具有可驱动 n 根数据线的 n 个信道（例如 384 或 480 信道）的数据输出。图 2 仅示出了数据驱动 IC4 的 n 个信道中的 6 个信道 DL1 到 DL6。

数据寄存器 34 接收来自计时控制器的像素数据，并将该像素数据提供给第一锁存器阵列 16。具体地说，为了降低传输频率，计时控制器将像素信号分成偶数的像素数据 RGB 偶和奇数的像素数据 RGB 奇，并通过每条传输线将这些分好的像素数据提供给数据寄存器 34。数据寄存器 34 借助每条传输线向第一锁存器阵列 16 输出已输入的偶数、奇数像素数据 RGB 偶和 RGB 奇。其中，每一个偶数像素数据 RGB 偶和奇数像素数据 RGB 奇都包括红（R）、绿（G）、和兰（B）像素数据。

对于每个灰度级，伽马电压部件 36 还对来自伽马参考电压发生器（未示出）的多个伽马参考电压进行分割，然后输出分割后的电压。

移位寄存器阵列 12 产生多个连续的采样信号，并将这些采样信号提供给第一锁存器阵列 16。为此，移位寄存器阵列 12 由 $n/6$ 个移位寄存器 14 构成。图 2 中，位于第一级的移位寄存器 14 响应源采样时钟信号 SSC，对来自计时控制器源启动脉冲 SSP 进行移位，然后将经过移位的源启动信号作为采样信号输出。与此同时，移位寄存器 14 将该采样信号作为进位信号提供给下一级的

移位寄存器 14。如图 3A 和 3B 所示，对于每个水平周期 1H，都提供源启动脉冲 SSP，对于每一个源采样时钟信号 SSC，该源启动脉冲 SSP 都会发生移位，然后作为采用信号输出。

第一锁存器阵列 16 响应来自移位寄存器阵列 12 的采样信号，通过某一单元从数据寄存器 34 采集并锁存像素数据 RGB 偶和 RGB 奇。第一锁存器阵列 16 由 n 个可锁存 n 个像素数据 R、G 和 B 的第一锁存器 13 组成，每个锁存器的容量对应于像素数据 R、G 和 B 的位数（即 3 位或 6 位）。对于每个采样信号，该第一锁存器阵列都采集并锁存偶数像素数据 RGB 偶和奇数像素数据 RGB 奇（即每次 6 个像素数据），然后同时输出锁存后的数据。

第一多路复用器阵列 15 响应来自计时控制器的极性控制信号 POL，确定从第一锁存器阵列 16 提供像素数据 R、G 和 B 的路径。为此，第一多路复用器阵列 15 包括 $(n-1)$ 个第一多路复用器 17。每个第一多路复用器 17 响应极性信号 POL，接收两相邻的第一锁存器 13 的输出信号，并输出这些信号。其中，除第一和最后一个第一锁存器 13 之外的其余第一锁存器 13 的输出通常输入到两相邻的第一多路复用器 17 中。第一和最后一个第一多路复用器 17 的输出一般输入到第二锁存器阵列 18 和第一多路复用器 17 中。实际上，具有上述结构的第一多路复用器阵列 15 响应极性控制信号 POL，允许来自每个第一锁存器 13 的像素数据 R、G 和 B 前进至第二锁存器阵列 18 中，或者在向前行至第二锁存器阵列 18 的同时朝右侧偏移了一个位置。如图 3A 和 3B 所示，极性控制信号 POL 的极性对于每个水平周期 1H 来说都是相反的。结果，第一多路复用器阵列 15 响应极性控制信号 POL，允许来自第一锁存器阵列 16 的每个像素数据 R、G 和 B 通过第二锁存器阵列 18 输出到 DAC 阵列 20 的正 (P) DAC22 或负 (N) DAC24 中，从而能控制像素数据 R、G 和 B 的极性。

第二锁存器阵列 18 响应来自计时控制器的源输出起动信号 SOE，同时锁存通过第一多路复用器阵列 15 从第一锁存器阵列 16 输入的像素数据 R、G 和 B，然后输出这些经过锁存的像素数据。具体说，考虑到从第一锁存器阵列 16 输入的像素数据 R、G 和 B 向右侧偏移，因此第二锁存器阵列 18 包括 $(n+1)$ 个第二锁存器 19。如图 3A 和 3B 所示，对于每个水平周期 1H 都产生源输出起动信号 SOE。在源输出起动信号 SOE 的上升沿，第二锁存器阵列 18 同时地锁存输入像素数据 R、G 和 B，并在 SOE 的下降沿同时地输出经锁存的像素数据。

DAC 阵列 20 借助来自伽马电压部件 36 的正、负伽马电压 GH 和 GL，将来自第二锁存器阵列 18 的像素数据 R、G 和 B 转换成像素电压信号，然后输出这些像素电压信号。为此，DAC 阵列 20 包括 $(n+1)$ 个 PDAC22 和 $(n+1)$ 个 NDAC24，它们交替排列，且相互平行。PDAC22 利用正伽马电压 GH 将来自第二锁存器阵列 18 的像素数据 R、G 和 B 转换成正像素电压信号。另一方面，NDAC24 利用负伽马电压 GL 将来自第二锁存器阵列 18 的像素数据 R、G 和 B 转换成负像素电压信号。 $(n+1)$ 个缓存器 28 中的每一个都包含在缓存器阵列 26 中，其缓存并输出来自 DAC 阵列 20 中每一个 PDAC22 和 NDAC24 的像素电压。

第二多路复用器阵列 30 响应来自计时控制器的极性控制信号 POL，确定来自缓存器阵列 26 的每个像素电压信号的路径。为此，第二多路复用器阵列 30 包括 n 个第二多路复用器 32。每个第二多路复用器 32 都响应极性控制信号 POL，选择两相邻缓存器 28 的任意一个输出，并向对应的数据线 DL 输出该选定信号。其间，除第一和最后一个缓存器 28 之外的其余缓存器 28 的输出一般都输入到两相邻的第二多路复用器中。实际上，具有上述结构的第二多路复用器阵列 30 响应极性控制信号 POL，允许来自除最后一个缓存器 28 之外的缓存器 28 的像素电压信号按照一对一关系输出到数据线 DL1 到 DL6 中。另外，第二多路复用器阵列 30 响应极性控制信号 POL，允许来自除最后一个缓存器 28 之外的缓存器 28 的像素电压信号在按照一对一关系输出到数据线 DL1 到 DL6 中的同时，还朝左侧偏移一个位置。如图 3A 和 3B 所示，对于每个水平周期 1H 来说，极性控制信号 POL 的极性都是相反的，这与第一多路复用器阵列 15 的情况类似。如上所述，第二多路复用器阵列 30 连同第一多路复用器阵列 15 一起响应极性控制信号 POL，确定提供给数据线 DL1 到 DL6 的像素电压信号的极性。结果，通过第二多路复用器阵列 30 提供给每根数据线 DL1 到 DL6 的像素电压信号的极性与相邻像素电压信号的极性相反。换句话说，如图 3A 和 3B 所示，向诸如 DL1、DL3 和 DL5 等奇数数据线 DL 奇输出的像素电压信号的极性与向诸如 DL2、DL4 和 DL6 等偶数数据线 DL 偶输出的像素电压信号的极性相反。对于每个要顺次驱动栅线 GL1、GL2 和 GL3.....的水平周期 1H 来说，奇数数据线 DL 奇的极性与偶数数据线 DL 偶的极性相反，对于每一帧而言，它们的极性也相反。

如上所述，每个现有技术的数据驱动 IC4 都需要 $(n+1)$ 个 DAC 和 $(n+1)$

个缓存器来驱动 n 根数据线。于是现有技术数据驱动 IC4 的缺点在于，机构复杂且制造成本较高。

发明内容

于是，本发明涉及一种对液晶显示器进行数据控制的装置和方法，它基本上避免了由于现有技术的局限和缺点导致的一个或多个问题。

本发明的另一方案是提供一种对液晶显示器进行数据驱动的装置和方法，其中，基于时间分割原理驱动数据线，从而能减少数据驱动 IC 数量，同时又改善图像的显示质量。

本发明的再一方案是提供一种对液晶显示器进行数据驱动的装置和方法，它适合补偿当基于时间分割原理驱动数据线时由象素电压充电时间差引起的象素电压充电量差异。

现在通过下文的描述阐述本发明的其它特征和优点，由这些描述将在某种程度上使其更好地理解发明，或可通过实践本发明来理解上述内容。通过说明书的描述及其权利要求和所附的附图中具体指出的结构，可以实现本发明的目的并获得其它优点。

为了实现这些和其它优点，依照本发明的目的，正如其中所包含和大概描述的，液晶显示器的数据驱动装置包括：基于时间分割原理提供输入象素数据的第一多路复用器阵列，将时间分割后的象素数据转换成象素电压信号的数/模转换器阵列，以及对数据线进行时间分割、并向经过时间分割的数据线提供象素电压信号的多路分配器阵列，其中所述数/模转换器阵列包括多个交替布置的正数/模转换器和负数/模转换器，并且其中在将象素数据转换成象素电压信号之前对该象素数据进行交换或者重排。

数据驱动装置还包括移位寄存器阵列、锁存器阵列和缓存器阵列，所述移位寄存器阵列可连续产生采样信号，锁存器阵列响应该采样信号顺序地锁存象素数据，以便同时地向多路复用器阵列输出经过锁存的象素数据，缓存器阵列缓存象素电压信号，并将其提供给多路分配器阵列。

其中，第一多路复用器阵列至少包括 n 个第一多路复用器，它对输入的象素数据进行时间分割，因此输入象素数据至少包括 n 个经时间分割的象素数据（其中 n 是整数）。数/模转换器阵列将 n 个经时间分割的象素数据转换成象素电压信号。多路分配器阵列至少包括 n 个多路分配器，其对多条数据线进行

时间分割，于是数据线至少包括 n 条经时间分割的数据线来提供像素电压信号。

其中，数/模转换器阵列至少包括 $(n+1)$ 个正、负数/模转换器，它们将至少 n 个经时间分割的像素数据转换成像素电压信号。

数据驱动装置还包括第二多路复用器阵列和第三多路复用器阵列，所述第二多路复用器阵列可响应极性控制信号，确定至少 n 个经时间分割的像素数据的路径，将这些像素数据输入到至少 $(n+1)$ 个正、负数/模转换器中的 n 个正、负数/模转换器中，第三多路复用器响应极性控制信号，确定至少 n 个像素电压信号的路径，将这些像素电压信号输入到多路分配器阵列中。

在数据驱动装置中，第二多路复用器阵列至少包括 $(n-1)$ 个用于选择至少两个第一多路复用器的任意一个输出的第二多路复用器。第三多路复用器阵列至少包括 n 个用于选择至少两个数/模转换器的任意一个输出的第三多路复用器，其中第一多路复用器的每一个输出都被分成为至少两个第二多路复用器的每个输入，而数/模转换器的每个输出都被分成至少两个第三多路复用器的每个输入。

其中，至少 n 个第一多路复用器中的奇数多路复用器响应第一选择控制信号对奇数的像素数据进行时间分割，并输出经时间分割的奇数像素数据，而偶数多路复用器响应第二选择控制信号对偶数的像素数据进行时间分割，并输出经时间分割的偶数像素数据。

其中，至少 n 个多路分配器中的奇数多路分配器响应第一选择控制信号对奇数的数据线进行时间分割，并驱动经时间分割的奇数数据线，而偶数多路分配器响应第二选择控制信号对偶数的数据线进行时间分割，并驱动经时间分割的偶数数据线。

其中，第一和第二选择控制信号的逻辑态彼此相反，对于每个 $1/2$ 水平周期来说，每个逻辑态也都是相反的。

在数据驱动装置中，每个水平周期的极性控制信号的逻辑态都相反。

在数据驱动装置中，第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号，交替地改变经时间分割的像素数据和像素电压信号的提供次序。

在数据驱动装置中，第一多路复用器阵列和多路分配器阵列响应第一选择

控制信号和第二选择控制信号,将经时间分割的像素数据和像素电压信号的提供次序改变一个或多个帧单位。

其中,第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号,将经时间分割的像素数据和像素电压信号的提供次序改变一个或多个线单位。

其中,第一多路复用器阵列和多路分配器阵列响应第一选择控制信号和第二选择控制信号,将经过时间分割的像素数据和像素电压信号的提供次序改变一个或多个线单位和帧单位。

数据驱动装置还包括数据寄存器和第二多路复用器阵列,所述数据寄存器重新排列像素数据,并将其输出到第一多路复用器阵列中,第二多路复用器阵列响应极性控制信号,确定从数/模转换器阵列输出的至少 n 个像素电压信号的路径,并将其发送给多路分配器阵列。

其中,数据寄存器将像素数据中的第 $(4k-3)$ 个像素数据与第 $(4k-2)$ 个像素数据 (k 是正整数) 互换,并重新排列交换后的像素数据。

其中,数据寄存器在第一水平周期中向第一多路复用器阵列输出经过重排的像素数据,在第二水平周期中将重排后的像素数据延迟两个信道,将其输出到第一多路复用器阵列中,其中第一水平周期和第二水平周期彼此交替。

其中,第二多路复用器阵列至少包括 n 个第二多路复用器,它们选择正、负数/模转换器的至少两个输出中的一个,将正、负数/模转换器的每个输出分成为至少两个第二多路复用器的输入。

其中,至少 n 个第一多路复用器中的奇数多路复用器响应选择控制信号对奇数的像素数据进行时间分割,并输出经过时间分割的奇数像素数据,而偶数多路复用器对偶数的像素数据进行时间分割,并输出经过时间分割的偶数像素数据。

其中,至少 n 个第一多路分配器中的奇数多路分配器响应选择控制信号对奇数的数据线进行时间分割,以驱动经过时间分割的奇数数据线,而偶数多路分配器对偶数的数据线进行时间分割,以驱动经过时间分割的偶数数据线。

其中,选择控制信号的逻辑态至少对于每 $1/2$ 水平周期而言是反向的。

其中,每个水平周期的极性控制信号的极性是相反的。

其中,第一多路复用器阵列和多路分配器阵列响应选择控制信号,交替地

改变经时间分割的像素数据和像素电压信号的提供次序。

其中，第一多路复用器阵列和多路分配器阵列响应选择控制信号，将经时间分割的像素数据和像素电压信号的提供次序改变至少一个帧单位。

其中，第一多路复用器阵列和多路分配器阵列响应选择控制信号，将经过时间分割的像素数据和像素电压信号的提供次序改变至少一个线单位。

其中，第一多路复用器阵列和多路分配器阵列响应选择控制信号，将经过时间分割的像素数据和像素电压信号的提供次序至少改变一个线单位和一个帧单位。

其中，数/模转换器响应极性控制信号，将相邻的像素数据转换成极性彼此相反的像素数据信号。

在本发明的另一方案中，驱动液晶显示器中的数据的方法包括：对输入的像素数据进行时间分割，以提供经过时间分割的像素数据，将这些像素数据转换成像素电压信号，对数据线进行时间分割，以驱动经过时间分割的数据线，并提供像素电压信号，其中使用多个交替布置的正数/模转换器和负数/模转换器将所述像素数据转换成像素电压信号，并且其中在将像素数据转换成像素电压信号之前对该像素数据进行交换或者重排。

该方法还包括：连续产生采样信号，在对输入的像素数据进行时间分割之前响应采样信号顺次锁存该像素数据，以提供经过锁存的像素数据，在对数据线进行时间分割之前缓存像素电压信号。

在该方法中，将像素数据转换成像素电压信号是将每个像素数据转换成每个像素电压信号，同时相邻像素数据的极性是不同的。

该方法还包括：在将像素数据转换成像素电压信号之前，响应极性控制信号，确定将经时间分割的像素数据输入到交替布置的正、负数/模转换器中的输入路径，在将像素数据转换成像素电压信号之后，响应极性控制信号确定像素电压信号的输出路径，以确定像素电压信号的极性。

该方法中，极性控制信号的逻辑态至少对于每个水平周期而言是相反的。

该方法中，对像素数据进行时间分割包括：至少 n 个多路复用器中的奇数多路复用器响应第一选择控制信号对奇数的像素数据进行时间分割，而偶数多路复用器响应第二选择控制信号对偶数的像素数据进行时间分割。

该方法中，对栅线进行时间分割包括：至少 n 个多路分配器中的奇数多路

分配器响应第一选择控制信号对奇数的数据线进行时间分割,而偶数多路分配器响应第二选择控制信号对偶数的数据线进行时间分割。

该方法中,第一和第二选择控制信号的逻辑态彼此相反,其中每个逻辑态对于每 1/2 水平周期来说是相反的。

该方法中,在对象素数据进行时间分割时,时间分割象素数据的提供次序是交替变化的,在对栅线进行时间分割时,象素电压信号的提供次序是交替变化的。

该方法中,响应第一选择控制信号和第二选择控制信号,使时间分割后的象素数据和象素电压信号的提供次序交替地改变一个或多个帧单位。

该方法中,响应第一选择控制信号和第二选择控制信号,使时间分割后的象素数据和象素电压信号的提供次序交替地改变一个或多个线单位。

该方法中,响应第一选择控制信号和第二选择控制信号,使时间分割后的象素数据和象素电压信号的提供次序交替地改变一个或多个线单位和帧单位。

该方法还包括:在对象素数据进行时间分割之前,对输入的象素数据进行重排,在象素数据转换成象素电压信号之后,响应极性控制信号确定象素电压信号的输出路径,以确定象素电压信号的极性。

该方法中,对输入数据进行重排包括对输入象素数据中的第 $(4k-3)$ 个象素数据与第 $(4k-2)$ 个象素数据进行互换。

该方法中,对于第一水平周期,输出重排后的输入数据,对于第二水平周期,将输入数据延迟 2 个信道,第一水平周期与第二水平周期彼此交替。

该方法中,对象素数据进行时间分割包括:至少 n 个多路复用器中的奇数多路复用器响应选择控制信号对奇数的象素数据进行时间分割,而偶数多路复用器对偶数的象素数据进行时间分割。

该方法中,对数据线进行时间分割包括:至少 n 个多路分配器中的奇数多路分配器响应选择控制信号对奇数的数据线进行时间分割,以驱动经过时间分割的奇数数据线,而偶数的多路分配器对偶数的数据线进行时间分割,以驱动经过时间分割的偶数数据线。

该方法中,选择控制信号的逻辑态至少对于每个 1/2 水平周期来说反向。

该方法中,当对象素数据进行时间分割时,响应选择控制信号使时间分割象素数据的供应次序交替变化,而在对象素数据进行时间分割并驱动时,响应

选择控制信号使像素电压信号的提供次序交替变化。

该方法中，响应选择控制信号使经时间分割的像素数据和像素电压信号的提供次序交替改变至少一个帧单位。

该方法中，响应选择控制信号使经时间分割的像素数据和像素电压信号的提供次序改变一个或多个线单位。

该方法中，响应选择控制信号使经时间分割的像素数据和像素电压信号的提供次序改变一个或多个帧单位和线单位。

要理解的是，前面的大概描述和下面的详细描述都是示范性和说明性的，其试图提供对权利要求所述的本发明的还说明。

附图说明

将附图包括进来以提供对本发明的还理解，附图是构成该申请的一部分，用以说明本发明的实施例，与说明书一起用于解释本发明的原理。

附图中：

图 1 是现有技术中液晶显示器的结构示意图；

图 2 是图 1 的数据驱动集成电路的详尽方框图；

图 3A 和 3B 是图 2 数据驱动 IC 的奇数和偶数帧的驱动波形图；

图 4 是依照本发明实施例的表示液晶显示器的数据驱动 IC 的结构的详尽方框图；

图 5A 和 5B 是图 4 数据驱动 IC 的奇数和偶数帧的驱动波形图；

图 6 是当极性控制信号 POL 处于低电位时，图 4 的数据驱动 IC 的数据流程图；

图 7 是当极性控制信号 POL 处于高电位时，图 4 的数据驱动 IC 的数据流程图；

图 8 是依照本发明另一实施例表示数据驱动 IC 的结构的详尽方框图；

图 9A 和 9B 是图 8 的数据寄存器的驱动波形图；

图 10A 和 10B 是图 8 的数据驱动 IC 的奇数和偶数帧的驱动波形图；

图 11 是当极性控制信号 POL 处于低电位时，图 8 的数据驱动 IC 中的数据流程图；

图 12 是当极性控制信号 POL 处于高电位时，图 8 的数据驱动 IC 中的数据流程图；

图 13 是表示采用了图 4 和 8 的数据驱动 IC 的液晶显示器的结构示意图；
图 14A 和 14B 是当以点反向模式驱动的数据线被时间分割时，通过改变每帧的充电次序来驱动数据线的信号的波形图；
图 15A 和 15B 是当以点反向模式驱动的数据线被时间分割时、通过改变每线的充电次序来驱动数据线的信号的波形图；
图 16A 和 16B 是当以点反向模式驱动的数据线被时间分割时、通过改变每线和每帧的充电次序来驱动数据线的信号的波形图；

具体实施方式

现在将参见附图所示的实施例详细描述本发明。所有附图中使用相同的参考数字表示相同或类似部件。

参照图 4 到 16B，本发明的实施例说明如下。

图 4 中是依照本发明实施例的液晶显示器数据驱动 IC 的结构详尽方框图，而图 5A 和 5B 是图 4 的数据驱动 IC 的奇数和偶数帧的驱动波形图。

如图 4 所示，数据驱动 IC 包括：移位寄存器 42，用于提供连续的采样信号；第一和第二锁存器阵列 46 和 50，用于响应采样信号锁存并输出像素数据 R、G 和 B；第一多路复用器阵列 54，用于对来自第二锁存器阵列 50 的像素数据 R、G 和 B 进行时间分割，并输出经时间分割的像素数据；第二多路复用器阵列 58，用于控制来自第一多路复用器阵列 54 的像素数据 R、G 和 B 的路径；数/模转换器（DAC）阵列 62，用于将来自第二多路复用器阵列 58 的像素数据 R、G 和 B 转换成像素电压信号；缓存器阵列 68，用于缓存并输出来自 DAC 阵列 62 的像素电压信号；第三多路复用器阵列 80，用于控制缓存器阵列 68 的输出路径；以及多路分配器阵列 84，用于对来自第三多路复用器阵列 80 的像素电压信号进行时间分割，并将其输出到数据线 DL1 到 DL2n 中。另外，如图 4 所示，数据驱动 IC 包括：用于对接来自计时控制器（未示出）的像素数据 R、G 和 B 的数据寄存器 88，和用于提供 DAC 阵列 62 中所需的正、负伽玛电压的伽玛电压部件 90。

具有上述结构的每个数据驱动 IC 都利用第一多路复用器阵列 54 和多路分配器阵列 84 对 DAC 阵列 62 进行时间分割驱动，从而利用 (n+1) 个 DAC64 和 66 以及 (n+1) 个缓存器 70 驱动 2n 根数据线，数据线的数目是前面所述现有

技术中数据线数目的两倍。该数据驱动 IC 具有 $2n$ 个信道的数据输出以驱动 $2n$ 根数据线。然而，图 4 仅示出了例如当 n 是 6 时数据驱动 IC 的 $2n$ 个信道的 12 个信道 DL1 到 DL12。

数据寄存器 88 对接来自计时控制器的像素数据，将这些像素数据提供给第一锁存器阵列 46。具体而言，为了降低传输频率，计时控制器将像素数据分成偶数的像素数据 RGB 偶和奇数的像素数据 RGB 奇，并通过每根传输线将这些分好的像素数据提供给数据寄存器 88。数据寄存器 88 借助每根传输线将输入的偶数和奇数像素数据 RGB 偶和 RGB 奇输出给第一锁存器阵列 46。其中，偶数像素数据 RGB 偶和奇数像素数据 RGB 奇中的每一个都包括红 (R)、绿 (G) 和兰 (B) 像素数据。

对于每个灰度级，伽玛电压部件 90 都对来自伽玛参考电压发生器（未示出）的伽玛参考电压进行还分割，输出分割后的伽玛参考电压。

移位寄存器阵列 42 产生连续的采样信号，并将这些信号提供给第一锁存器阵列 46。为此，移位寄存器阵列 42 由 $2n/6$ （其中 $n=6$ ）个移位寄存器 44 组成。位于图 4 中所示第一级的移位寄存器 44 响应源采样时钟信号 SSC，使来自计时控制器的源启动脉冲 SSP 发生移位，并将移位后的源启动脉冲作为采样信号输出。与此同时，移位寄存器 44 将移位后的源启动脉冲作为进位信号 CAR 提供给下一级的移位寄存器 44。如图 5A 和 5B 所示，对于每个水平周期，都要提供源启动脉冲 SSP，对于每一个源采样时钟信号 SSC，源启动脉冲 SSP 都发生移位，以作为采样信号输出。

第一锁存器阵列 46 响应来自移位寄存器 42 的采样信号，通过某一单元采集并锁存来自数据寄存器 88 的像素数据 RGB 偶和 RGB 奇。第一锁存器阵列 46 由 $2n$ 个可锁存 $2n$ 个（其中例如 $n=6$ ）像素数据 R、G 和 B 的第一锁存器 48 构成，每个锁存器的容量与像素数据 R、G 和 B 的位数（即，3 位或 6 位）相对应。该第一锁存器阵列 46 对应于每个采集信号采集并锁存偶数像素数据 RGB 偶和奇数像素数据 RGB 奇（即每次 6 个像素数据），然后同时地输出锁存数据。

第二锁存器阵列 50 响应来自计时控制器的源输出起动信号 SOE，同时地锁存来自第一锁存器阵列 46 的像素数据 R、G 和 B，然后输出这些锁存数据。与第一锁存器阵列 46 类似，第二锁存器阵列 50 包括 $2n$ （其中例如 $n=6$ ）个第二锁存器 52。如图 5A 和 5B 所示，对于每个水平周期都会产生源输出起动

信号 SOE。

对于每 $H/2$ 周期，第一多路复用器阵列 54 响应来自计时控制器的第一和第二选择控制信号 θ_1 和 θ_2 ，对来自第二锁存器阵列 50 的 $2n$ （其中例如 $n=6$ ）个像素数据进行 n 份时间分割。为此，第一多路复用器阵列 54 由 n 个第一多路复用器 56 组成，每个多路复用器选择第二锁存器阵列 50 中两个第二锁存器 52 的任意一个输出。换句话说，对于每个 $1/2$ 周期，每个第一多路复用器 56 都对两个第二锁存器 52 的输出进行时间分割，以提供经过时间分割的输出。具体而言，对于点反向（dot inversion）驱动来说，奇数的第一多路复用器 56 响应第一选择控制信号 θ_1 选择两个奇数第二锁存器 52 的任意一个输出，同时偶数的第一多路复用器 56 响应第二选择控制信号 θ_2 选择两个偶数第二锁存器 52 的任意一个输出。

例如，第一个第一多路复用器 56 响应第一选择控制信号 θ_1 ，在一个水平周期的前半周期选择并输出来自第一个第二锁存器 52 的第一像素数据，在后半周期选择并输出来自第三个第二锁存器 52 的第三像素数据。第二个第一多路复用器 56 响应第二选择控制信号 θ_2 ，在一个水平周期的前半周期选择并输出来自第二个第二锁存器 52 的第二像素数据，并在后半周期选择并输出来自第四个第二锁存器 52 的第四像素数据。如图 5A 和 5B 所示，第一选择控制信号 θ_1 和第二选择控制信号 θ_2 的极性彼此相反，它们对于每个水平周期也是反向的。

第二多路复用器阵列 58 响应极性控制信号 POL，确定由第一多路复用器阵列 54 提供像素数据 R、G 和 B 的路径。为此，第二多路复用器阵列 58 包括 $(n-1)$ 个第二多路复用器 60。每个第二多路复用器 60 响应极性控制信号 POL，接收两相邻的第一多路复用器 56 的输出信号，以选择性地输出所接收的信号。其中，除第一和最后一个第一多路复用器 56 之外的其余第一多路复用器 56 的输出一般都输入到两相邻的第二多路复用器 60 中。第一和最后一个第一多路复用器 56 的输出一般输入到 PDAC66 和第二多路复用器 60 中。实际上，具有上述结构的第二多路复用器阵列 58 响应极性控制信号 POL，允许从每个第一多路复用器 56 接收到的像素数据 R、G 和 B 行进至 DAC 阵列 62 中，或在行进至 DAC 阵列 62 的同时朝右侧偏移一个位置。如图 5A 和 5B 所示，对于点反向驱动的每个水平周期来说，极性控制信号 POL 的极性都是相反的。结果，第

二多路复用器阵列 58 响应极性控制信号 POL，允许来自第一多路复用器阵列 54 的每个像素数据 R、G 和 B 输出到 DAC 阵列 62 中交替布置的 PDAC64 和 NDAC66 中，从而控制像素数据 R、G 和 B 的极性。

例如，在第一水平周期内，从第一多路复用器 56 顺次输出的第一和第三像素数据直接提供给 PDAC661，其不经过第二多路复用器 60，而从第二个第一多路复用器 56 顺次输出的第二和第四像素数据要通过第一个第二多路复用器 60 才能提供给 NDAC1 64。接着，在第二个水平周期内，第一和第三像素数据通过第一个第二多路复用器 60 提供给 NDAC1 64，而第二和第四像素数据通过第二个第二多路复用器 60 提供给 PDAC1 66。

DAC 阵列 62 借助从伽玛电压部件 90 收到的正、负伽玛电压 GH 和 GL，将来自第二多路复用器阵列 58 的像素数据 R、G 和 B 转换成像素电压信号，然后输出像素电压信号。为此，DAC 阵列 62 包括 $(n+1)$ 个 PDAC 66 和 $(n+1)$ 个 NDAC 64，对于点反向驱动而言，它们交替排列且彼此平行。PDAC 66 利用正伽玛电压 GH 将来自第二多路复用器阵列 58 的像素数据 R、G 和 B 转换成正的像素电压信号。另一方面，NDAC 64 利用负伽玛电压 GL 将来自第二多路复用器阵列 58 的像素数据 R、G 和 B 转换成负的像素电压信号。该 PDAC 66 和 PDAC 64 将每个 $1/2$ 水平周期输入的数字像素数据转换成模拟像素电压信号。

例如，如图 5A 和 5B 所示，在第一水平周期中，PDAC1 66 将经过时间分割输入的奇数像素数据 $(1, 1)$ 和 $(1, 3)$ 转换成像素电压信号，然后输出该经过转换的数据。与此同时，如图 8 和 9 所示，NDAC 也在第一水平周期中将以时间分割方式输入的偶数像素数据 $(1, 2)$ 和 $(1, 4)$ 转换成像素电压信号，然后输出该经过转换的数据。然后，在第二个水平周期中，NDAC64 将以时间分割方式输入的奇数像素数据 $(2, 1)$ 和 $(2, 3)$ 转换成像素电压信号，然后输出转换数据。与此同时，PDAC 也在第一水平周期中将经过时间分割输入的偶数像素数据 $(2, 2)$ 和 $(2, 4)$ 转换成像素电压信号，然后将它们输出。对于每 $1/2$ 个水平周期而言，通过该 DAC 阵列 62 可 n 个 n 个地对 $2n$ 个像素数据进行时间分割，从而将其转换成像素电压信号，然后输出。

缓存器阵列 68 中包含的 $(n+1)$ 个缓存器 70 每个都缓存并输出来自 DAC 阵列 62 中的每个 PDAC 66 和 NDAC 64 的像素电压信号。

第三多路复用器阵列 80 响应来自计时控制器的极性控制信号 POL，确定

来自缓存器阵列 68 的每个像素电压信号的路径。为此，第三多路复用器阵列 80 包括 n （其中例如 $n=6$ ）个第三多路复用器 82。每个第三多路复用器 82 都响应极性控制信号 POL 选择两相邻缓存器 70 的任意一个输出。其中，除第一个和最后一个缓存器 70 之外的其余缓存器 70 的输出一般都输入到两相邻的第三多路复用器 82 中。事实上，具有上述结构的第三多路复用器阵列 82 响应极性控制信号 POL，允许来自除最后一个缓存器 70 之外的缓存器 70 的像素电压信号以对应的一对一关系输出。另外，第三多路复用器阵列 82 响应极性控制信号 POL，允许来自除第一缓存器 70 之外的其余缓存器 70 的像素电压信号以相应一对一的关系输出到多路分配器 86 中。对于点反向驱动而言，如图 5A 和 5B 所示，极性控制信号 POL 的极性对于每个水平周期都是相反的，这与第二多路复用器阵列 58 的情况类似。正如上面所述，第三多路复用器阵列 80 连同第二多路复用器阵列 58 一起响应极性控制信号 POL，确定极性控制信号的极性。结果，从第三多路复用器阵列 80 输出的像素电压信号的极性与相邻像素电压信号的极性相反，它们对于每个水平周期而言又都是反向的。

多路分配器阵列 84 响应来自计时控制器的第一和第二选择控制信号 θ_1 和 θ_2 ，选择性地将来自第三多路复用器阵列 80 的像素电压信号提供给 $2n$ 条数据线。为此，多路分配器阵列 84 由 n 个多路分配器 86 组成，每个多路分配器都对来自每个第三多路复用器 82 的像素电压信号进行时间分割，然后将经过时间分割的信号提供给两条数据线。具体而言，奇数的多路分配器 86 响应第一选择控制信号 θ_1 ，对奇数的第三多路复用器 82 的输出信号进行时间分割，然后将经过时间分割的信号提供给两条奇数数据线。偶数多路分配器 86 响应第二选择控制信号 θ_2 ，对两个偶数第三多路复用器 82 的输出进行时间分割，然后将它们提供给两根偶数数据线。如图 5A 和 5B 所示，第一和第二选择控制信号 θ_1 和 θ_2 的极性彼此相反，并且对于每个水平周期而言它们也是反向的，这与提供给第一多路复用器阵列 54 的信号情况类似。

例如，如图 5A 和 5B 所示，对于每个 $1/2$ 周期，第一多路分配器 86 响应第一选择控制信号 θ_1 ，选择性地将第一个第三多路复用器 82 的输出提供给第一和第三数据线 DL1 和 DL3。如图 5A 和 5B 所示，对于每个 $1/2$ 周期，第二多路分配器 86 响应第二选择控制信号 θ_2 ，选择性地将第二个第三多路复用器 82 的输出提供给第二和第四数据线 DL2 和 DL4。

具体来说,当启动第一栅线 GL1 时,第一 DEMUX86 响应第一选择控制信号 θ_1 ,在第一水平周期的前半周期将像素电压信号 (1, 1) 提供给第一数据线 D1,在后半周期将像素电压信号 (1, 3) 提供给第三数据线 D3。与此同时,第二 DEMUX86 响应第二选择控制信号 θ_2 ,在第一水平周期的前半周期将像素电压信号 (1, 2) 提供给第二数据线 D2,在后半周期将像素电压信号 (1, 4) 提供给第四数据线 D4。另外,第一 DEMUX86 在第二水平周期 H2 和第三水平周期 H3 的每一前半周期将每个像素电压信号 (2, 1) 和 (3, 1) 提供给第一数据线 DL1,而在每一后半周期将每个像素电压信号 (2, 3,) (3, 3) 提供给第三数据线 DL3。与此同时,第二 DEMUX86 在第二水平周期 H2 和第三水平周期 H3 的每一前半周期将每个像素电压信号 (2, 2) 和 (3, 2) 提供给第二数据线 DL2,而在每一后半周期将每个像素电压信号 (2, 4,) (3, 4) 提供给第四数据线 DL4。

如图 5A 和 5B 所示,通过具有上述结构的数据驱动 IC,向诸如 DL1 和 DL3 等奇数数据线输出的像素电压信号的极性与向诸如 DL2 和 DL4 等偶数数据线输出的像素电压信号的极性相反。另外,奇数数据线 DL1、DL3...的极性和偶数数据线 DL2、DL4...的极性相反,它们对应于顺次驱动栅线 GL1、GL2、GL3...的每个水平周期的每一帧。

图 6 和 7 表示依照图 4 所示数据驱动 IC 内由极性控制信号 POL 决定的像素数据路径。如图 6 所示,当极性控制信号处于低电位(或高电位)时,第二多路复用器阵列 58 允许从第一和第二锁存器阵列 46 和 50 以及第一多路复用器阵列 54 输出的 6 个像素数据输入到除 PDAC4 66 之外的其余 PDAC1 66 到 NDAC3 64 中,从而将输入的像素数据转换成像素电压信号。该情况下,将第一个第一多路复用器 56 的输出提供给 PDAC1 66,于是它被转换成像素电压信号。第三多路复用器阵列 80 将通过缓存器阵列 68 从其余的 PDAC1 66 到 NDAC3 64 输入的像素电压信号以相应一对一的关系提供给多路分配器 86。每个多路分配器 86 将从每个第三多路复用器 82 输入的像素电压信号提供给 12 条数据线 DL1 到 DL12。

另外,如图 7 所示,当极性控制信号 POL 处于高电位(或低电位)时,第二多路复用器阵列 58 使从第一和第二锁存器阵列 46 和 50 以及第一多路复用器阵列 54 输出的 6 个像素数据向右移位,并将移位后的像素数据提供给除

PDAC1 66 之外的其余 NDAC1 64 到 PDAC3 66, 从而将提供的移位像素数据转换成像素电压信号。该情况下, 将最后一个第一多路复用器 56 的输出提供给 PDAC4 66, 于是该输出被转换成像素电压信号。第三多路复用器阵列 82 使通过缓存器阵列 68 从 NDAC1 64 到 PDAC4 66 提供的像素电压信号向左偏移, 于是将移位后的像素电压信号按相应的一对一关系提供给多路分配器 86。每个多路分配器 86 选择性地将从每个第三多路复用器 82 输入的像素电压信号提供给 12 根数据线 DL1 到 DL12。

如上所述, 依照本发明的数据驱动 IC 对 DAC 阵列实施时间分割驱动, 从而能利用 $(n+1)$ 个 DAC 驱动 $2n$ 个信道的数据线。换句话说, 每个包括 $(n+1)$ 个 DAC 的数据驱动 IC 能驱动 $2n$ 根数据线, 由此将 DAC 的数量减到 $1/2$ 。

图 8 是依照本发明另一实施例的液晶显示器数据驱动 IC 的结构详尽方框图。图 10A 和 10B 是图 8 所示数据驱动 IC 的奇数和偶数帧的驱动波形图。而图 9A 和 9B 是图 8 所示数据寄存器在第 $(m-1)$ 个水平周期和第 m 个水平周期中的驱动波形图。

如图 8 所示, 数据驱动 IC 包括: 移位寄存器 102, 用于提供连续的采样信号; 第一和第二锁存器阵列 106 和 110, 用于响应采样信号锁存并输出像素数据 R、G 和 B; 第一多路复用器阵列 114, 用于对来自第二锁存器阵列 110 的像素数据 R、G 和 B 进行时间分割, 并输出经时间分割的像素数据; 数/模转换器 (DAC) 阵列 122, 用于将来自第一多路复用器阵列 114 的像素数据 R、G 和 B 转换成像素电压信号; 缓存器阵列, 用于缓存并输出来自 DAC 阵列 122 的像素电压信号; 第二多路复用器阵列 140, 用于控制缓存器阵列 128 的输出路径; 以及多路分配器阵列 144, 用于对来自第二多路复用器阵列 140 的像素电压信号进行时间分割, 向数据线 DL1 到 DL $2n$ 输出该经过时间分割的信号。

另外, 图 8 所示的数据驱动 IC 还包括: 数据寄存器 148, 用于重新排列并输出来自计时控制器 (未示出) 的像素数据 R、G 和 B; 以及伽玛电压部件 150, 用于提供 DAC 阵列 122 中所需的正、负伽玛电压。

具有上述结构的每个数据驱动 IC 都利用第一多路复用器阵列 114 和多路分配器阵列 144 对 DAC 阵列 122 实施时间分割驱动, 从而利用 $(n+2)$ 个 DAC 124 和 126 以及缓存器 130 驱动 $2n$ 根数据线, 该数据线数目是现有技术中数据线数目的两倍。该数据驱动 IC 具有 $2n$ 个信道的数据输出来驱动 $2n$ 根数据

线。然而，例如当 n 为 6 时，图 8 仅示出了数据驱动 IC 的 $2n$ 个信道中的 12 个信道 DL1 到 DL12。

伽玛电压部件 150 还按照灰度级对从伽玛参考电压发生器（未示出）输入的多个伽玛参考电压进行分割，然后将其输出。

对于点反向驱动而言，数据寄存器 148 对来自计时控制器的像素数据进行重排，将重排后的像素数据提供给第一锁存器阵列 106。数据寄存器 148 通过第一到第六输入总线 IB1 到 IB6，从计时控制器同时接收奇数像素数据 OR、OG 和 OB 以及偶数像素数据 ER、EG 和 EB。接着，数据寄存器 148 对输入的奇数像素数据 OR、OG 和 OB 以及偶数像素数据 ER、EG 和 EB 进行重排，并通过第一到第六输出总线 OB1 到 OB6 输出重排后的像素数据。

更具体来说，如图 9A 和 9B 所示，数据寄存器 148 分别通过第一到第六输入总线 IB1 到 IB6 接收六个像素数据 OR、OG、OB、ER、EG 和 EB。该情况下，数据寄存器 148 对应于基于源启动脉冲 SSP 的移位时钟信号 SSC 的每个周期接收六个像素数据 OR、OG、OB、ER、EG 和 EB。

如图 9A 所示，数据寄存器 148 在第 $(m-1)$ 个水平周期中交替输出一条水平线部分的像素数据中的第 $(4k-2)$ 个（其中 k 是正数）和第 $(4k-1)$ 个数据。例如，如图 9 所示，将要输出的第二个数据与第三个数据互换，第六个数据与第七个数据互换，第十个数据与第十一个数据互换。这是为了向每个第一 MUX 116 输入要被转换成极性相同的像素电压信号的每一对象素数据。通过这种方式，由于对从数据寄存器 148 输入的像素数据 OR、OG、OB、ER、EG 和 EB 进行了重排并将其输出，因此能取消依照极性控制信号 POL 确定第一 MUX 阵列 114 与 DAC 阵列 122 之间的像素数据路径的 MUX 阵列。

此外，如图 9B 所示，在第 m 个水平周期内，数据寄存器 148 将一条水平线部分的像素数据中的第 $(4k-2)$ 个（其中 k 为正数）数据与第 $(4k-2)$ 个数据互换，并为了使它们的极性反转而将它们延迟两个信道，即，使它们发生移位，然后通过输出总线 OB1 到 OB6 输出。例如，数据寄存器 148 将第一像素数据移到第三输出总线 OB3 中，将被交换的第三像素数据移到第四输出总线 OB4，将被交换的第二像素数据移到第五输出总线 OB5，将第四像素数据移到第六输出总线 OB6，然后输出移位后的像素数据。接着，在下一时钟内，将第五像素数据移到第一输出总线 OB1，将被交换的第七像素数据移到第二输出总线 OB2，

并将被交换的像素数据移到第三输出总线 OB3，然后将它们输出。

与输入的像素数据 OR、OG、OB、ER、EG 和 EB 相比，通过这种方式在数据寄存器 148 上得到重排输出的像素数据 OR0、OGO、OBO、ERO、EGO 和 EBO 被延迟了特定时间，从而能保障重排时间，然后它们被输出。换句话说，它们延迟了约 $2/3$ 个时钟后输出。

移位寄存器阵列 102 产生连续采样信号，并将它们提供给第一锁存器阵列 106。为此，移位寄存器阵列 102 由 $2n/6$ 个（其中例如 $n=6$ ）移位寄存器 104 组成。位于图 8 第一级的移位寄存器 104 响应源采样时钟信号 SSC，对来自计时控制器的源启动脉冲 SSP 进行移位，将移位后的源启动脉冲作为采样信号输出，与此同时将其作为进位信号 CAR 提供给下一级的移位寄存器 104。如图 10A 和 10B 所示，对于每个水平周期都提供源启动脉冲 SSP，该脉冲 SSP 对于每个源采样时钟信号 SSC 发生移位，然后被作为采样信号输出。

第一锁存器阵列 106 响应来自移位寄存器阵列 102 的采样信号，采集一组从数据寄存器 148 通过第一到第六输出总线 OB1 到 OB6 输入的六个像素数据，并对采集的像素数据进行锁存。第一锁存器阵列 106 由能锁存 $2n$ （其中 $n=6$ ）个像素数据 R、G 和 B 的 $2n$ 个第一锁存器 48 组成，每个锁存器的容量对应于像素数据 R、G 和 B 的位数（即 6 位或 8 位）。此外，如图 9B 所示，第一锁存器阵列 106 包括两个通过移过 2 个信道进行输入的第一锁存器（未示出）。

例如，第 $(m-1)$ 个水平周期内，在第 1 个第一锁存器 108 到第 12 个第一锁存器 108 中对在数据寄存器 148 中经过重排的顺序为 1、3、2、4、5、7、6、8、9、11、10、12 的像素数据进行锁存。接着，在第 m 个水平周期中，将在数据寄存器 148 中经过重排的像素数据偏移两个信道，于是会向第一锁存器 108 和第二锁存器 108 输入空白数据，将偏移了两个信道的像素数据按照 1、3、2、4、5、7、6、8、9、11 的顺序锁存到第三锁存器 108 到第十二锁存器 108 中。其中，将第十和第十二像素数据锁存在两个锁存器（未示出）中。

第二锁存器阵列 110 响应来自计时控制器的源输出启动信号 SOE，同时地锁存来自第一锁存器阵列 106 的像素数据 R、G 和 B，然后输出经锁存的像素数据。第二锁存器阵列 110 与第一锁存器阵列 106 类似，其包括 $2n$ （其中例如 $n=6$ ）个第二锁存器 112。如图 10A 和 10B 所示，对于每一个水平周期都产生源输出启动信号 SOE。

对于每 $H/2$ 周期, 第一多路复用器阵列 114 响应来自计时控制器的选择控制信号 θ_1 和 θ_2 , 对来自第二锁存器阵列 110 的 $2n$ (其中例如 $n=6$) 个像素数据进行 n 份时间分割, 输出这些经过时间分割的像素数据。

为此, 第一多路复用器阵列 114 由 n 个第一多路复用器 116 组成。此外, 考虑到像素要偏移两个信道, 因此第一多路复用器阵列 114 要富余一个以上的第一多路复用器 (未示出)。每个第一多路复用器 116 选择并输出第二锁存器阵列 110 中的两个第二锁存器 112 的任一输出。换句话说, 对于每个 $1/2$ 周期, 每个第一多路复用器 116 都对两个第二锁存器 112 的输出进行时间分割, 以提供经过时间分割的输出。

更具体来说, 对于点反向驱动, 奇数的第一多路复用器 116 响应选择控制信号 θ_1 , 选择两个奇数第二锁存器 112 的任意一个输出信号, 将选定信号输出到 DAC 阵列 122 的 PDAC 124 中, 同时偶数的第一多路复用器 116 响应选择控制信号 θ_1 , 选择两个偶数第二锁存器 112 的任意一个输出信号, 将选定信号输出到 DAC 阵列 122 的 NDAC 126 中。

例如, 第一个第一多路复用器 116 响应选择控制信号 θ_1 , 在第 $(m-1)$ 个水平周期的前半周期中从第一个第二锁存器 112 中选择第一像素数据, 在后半周期内从第三个第二锁存器 112 选择第三个像素数据, 将它们输出到 PCAC1 124 中。第二个第一多路复用器 116 响应选择控制信号 θ_1 , 在前半周期中从第三个第二锁存器 112 中选择并输出第二像素数据, 在后半周期中从第四个第二锁存器 112 选择并输出第四像素数据, 将这些像素数据输出到 NADAC1 126 中。

然后, 第二个第一多路复用器 116 响应选择控制信号 θ_1 , 在第 m 个水平周期的前半周期中从第三个第二锁存器 112 选择第一个像素数据, 在后半周期中从第四个第二锁存器 112 中选择第三个像素数据, 以致将选定的像素数据输出到 NFAC1 126 中。第四个第一多路复用器 116 响应选择控制信号 θ_1 , 在前半周期内从第五个第二锁存器 112 中选择第二个像素数据, 在后半周期内从第六个第二锁存器 112 选择第四像素数据, 以便将选定的像素数据输出到 NDAC1 126 中。其中, 如图 10A 和 10B 所示, 选择控制信号 θ_1 的极性对于每个 $1/2$ 水平周期都是相反的。

DAC 阵列 122 借助于来自伽马电压部件 150 的正、负伽马电压 GL 和 GH,

将来自第一多路复用器阵列 114 的像素数据转换像素电压信号,输出该像素电压信号。为此, DAC 阵列 122 包括 $(n+1)$ 个 PDAC 124 和 $(n+1)$ 个 NDAC 126, 对于点反向驱动而言, 这些 DAC 交替布置, 且彼此平行。PDAC124 利用正伽马电压 GH 将来自第一多路复用器阵列 114 的像素数据转换成正的像素电压信号。另一方面, NDAC 126 利用负伽马电压 GL 将来自第一多路复用器阵列 114 的像素数据 R、G 和 B 转换成负的像素电压信号。对于每个 $1/2$ 水平周期, 该 PDAC124 和 NDAC 126 执行将输入的数字像素数据转换成模拟像素电压信号的操作。

例如, 如图 10A 和 10B 所示, PDAC1 124 将第一水平周期内经过时间分割后输入的奇数像素数据 [1, 1] 和 [1, 3] 转换成像素电压信号, 并输出这些经过转换的像素数据。与此同时, 如图 10A 和 10B 所示, NDAC126 也将第一水平周期内经过时间分割后输入的偶数像素数据 [1, 2] 和 [1, 4] 转换成像素电压信号, 然后输出经过转换的像素数据。然后, 在第二水平周期中, NDAC126 将按时间分割方式输入的偶数像素数据 [2, 1] 和 [2, 3] 转换成像素电压信号。与此同时, PDAC124 将第二水平周期内经时间分割后输入的偶数像素数据 [2, 2] 和 [2, 4] 转换成像素电压信号, 输出经过转换的像素数据。对于每个 $1/2$ 水平周期而言, 通过该 DAC 阵列 122, 以 n 个 n 个的方式对要转换成像素电压信号的 $2n$ 个像素数据进行时间分割, 然后将它们输出。

缓存器阵列 128 中包含的 $(n+1)$ 个缓存器 130 的每一个都缓存并输出来自 DAC 阵列 122 的每个 PDAC 124 和 NDAC126 的像素电压信号。

第二多路复用器阵列 140 响应来自计时控制器的极性控制信号 POL, 确定来自缓存器阵列 128 的每个像素电压信号的路径。为此, 第二多路复用器阵列 140 包括 n (其中, 例如 $n=6$) 个多路复用器 142。每个多路复用器 142 响应极性控制信号 POL, 选择并输出两相邻缓存器 130 的任意一个输出。其中, 除第一和最后一个缓存器 130 之外的其余缓存器 130 的输出一般输入到两相邻的多路复用器 142 中。事实上, 具有上述结构的多路复用器阵列 142 响应极性控制信号, 允许来自除最后一个缓存器 130 之外的缓存器 130 的像素电压信号以相应的一对一关系输出。

另外, 第二多路复用器阵列 142 响应极性控制信号 POL, 允许来自除第一缓存器 130 之外的其余缓存器 130 的像素电压信号以相应的一对一关系输出到多路分配器 146 中。

对于点反向驱动而言，每个水平周期的极性控制信号 POL 的极性是相反的。如上所述，第二多路复用器阵列 140 响应极性控制信号 POL 确定像素电压信号的极性。结果，从第二多路复用器阵列 140 输出的像素电压信号的极性与相邻像素电压信号的极性相反，所述像素电压信号的极性对于每个水平周期是相反的。

多路分配器阵列 144 响应来自计时控制器的选择控制信号 θ_1 ，选择性地将来自第二多路复用器阵列 140 的像素电压信号提供给 $2n$ （其中例如 $n=6$ ）根数据线。为此，多路分配器阵列 144 由 n 个多路分配器 146 组成，每个多路分配器都对来自每个第二多路复用器 142 的像素电压信号进行时间分割，并将其提供给两根数据线。

例如，如图 10A 和 10B 所示，对于每个 $1/2$ 水平周期，第一个多路复用器 146 响应选择控制信号 θ_1 ，选择性地将第一个多路复用器 142 的输出提供给第一和第三数据线 DL1 和 DL3。如图 10A 和 10B 所示，对于每个 $1/2$ 水平周期，第二个多路复用器 146 响应选择控制信号 θ_1 ，选择性地将第二个多路复用器 142 的输出提供给第二和第四数据线 DL2 和 DL4。

具体而言，当启动第一栅线 GL1 时，第一 DEMUX 146 响应选择控制信号 θ_1 ，在第一水平周期的前半周期内将像素电压信号 [1, 1] 提供给第一数据线 D1，在后半周期内将像素电压信号 [1, 3] 提供给第三数据线 D3。与此同时，第二 DEMUX 146 响应选择控制信号 θ_1 ，在第二水平周期的前半周期内将像素电压信号 [1, 2] 提供给第二数据线 D2，在后半周期内将像素电压信号 [1, 4] 提供给第四数据线 D4。接着，第一 DEMUX 146 在第二水平周期 H2 和第三水平周期 H3 的每个前半周期内将每个像素电压信号 [2, 1] 和 [3, 1] 提供给第一数据线 DL1，在每个后半周期内将每个像素电压信号 [2, 3] 和 [3, 3] 提供给第三数据线 DL3。与此同时，第二 DEMUX 146 在第二水平周期 H2 和第三水平周期 H3 的每个前半周期内将每个像素电压信号 [2, 2] 和 [3, 2] 提供给第二数据线 DL2，在每个后半周期内将每个像素电压信号 [2, 4] 和 [3, 4] 提供给第四数据线 DL4。

如图 10A 和 10B 所示，通过具有上述结构的数据驱动 IC，向诸如 DL1 和 DL3 等奇数数据线输出的像素电压信号的极性与向诸如 DL2 和 DL4 等偶数数据线输出的像素电压信号的极性相反。另外，奇数数据线 DL1, DL3... 的极性与

偶数数据线 DL2、DL4...的极性相反，且它们对应于顺序地驱动栅线 GL1、GL2、GL3...的每个水平周期的每一帧。

图 11 和 12 表示图 8 所示数据驱动 IC 内由极性控制信号 POL 决定的像素数据路径。

对于第 $(m-1)$ 个水平周期，在第一和第二锁存器阵列 106 和 110 中锁存顺序为 1, 3, 2, 4, 5, 7, 6, 8, 9, 11, 10, 12 的像素数据。如图 11 所示，在极性控制信号 POL 处于低电位（或高电位）的情况下，即对于第 $(m-1)$ 个水平周期，第一 MUX 阵列 114 在前半周期内选择从第二锁存器阵列 110 输出的像素数据中的 1, 2, 5, 6, 9, 10 像素数据，在后半周期中选择其中的 3, 4, 7, 8, 11, 12 像素数据，将选定的像素数据分别提供给 PDAC 124 到 NDAC126，以便将这些选定的像素数据转换成像素电压信号。第二 MUX 阵列 142 使通过缓存器阵列 128 分别从 PDAC1 124 到 NDAC3 126 提供的像素电压信号与 DEMUX 146 一一对应，并将这些像素电压信号提供给 DEMUX 146。每个 DEMUX 146 选择性地将来自每个第二 MUX 142 的输入像素电压信号提供给 12 根数据线 DL1 到 DL12。

对于第 m 个水平周期，在第一和第二锁存器阵列 106 和 110 中将顺序为 1, 3, 2, 4, 5, 7, 6, 8, 9, 11, 10, 12 的像素数据偏移两个信道，并对其进行锁存。该情况下，会将作为无效像素数据的空白数据（未示出）提供给位于前一级的一对第一锁存器 108 和一对第二锁存器 112。如图 12 所示，当极性控制信号 POL 处于高电位（或低电位）时，即对于第 m 个水平周期，除第一 MUX 116 之外的其余 MUX 116 在前半周期选择从第二锁存器阵列 110 中输出的像素数据中的 1, 2, 5, 6, 9, 10 像素数据，在后半周期内从中选择 3, 4, 7, 8, 11, 12 像素数据，将它们分别提供给 NADAC1 126 到 PDAV4 124，以便将这些选定像素数据转换成像素电压信号。第二 MUX 阵列 142 将通过缓存器阵列 128 分别从 NDAC1 126 到 PDAC4 124 提供的像素电压信号向左偏移一个信道，从而使其与 DEMUX 146 一一对应，并将其提供 DEMUX 146。每个 DEMUX 146 选择性地将来自每个 MUX 142 的输入像素电压信号提供给 12 根数据线 DL1 到 DL12。

如上所述，依照本发明的数据驱动 IC 对 DAC 阵列进行时间分割驱动，由此能利用 $(n+1)$ 个 DAC 驱动 $2n$ 个信道数据线。换句话说，包括 $(n+1)$ 个 DAC

的每个数据驱动 IC 可驱动 $2n$ 根数据线，从而将 DAC 的数量降至 $1/2$ 。

图 13 示意性地表示采用了图 4 和 8 的数据驱动 IC 的液晶显示器的结构。参照图 13，液晶显示器包括：通过数据 TCP 76 与液晶显示板 72 相连的数据驱动 IC 74，通过栅 TCP80 与液晶显示板 72 相连的栅驱动 IC 78。每个数据驱动 IC 74 安装在每一个数据 TCP 76 上，其通过数据 TCP 76 与在液晶显示板 72 的上部设置的每个数据极板 (data pad) 相连。每个栅驱动 IC 78 安装在每一个栅 TCP 80 上，其通过栅 TCP 80 与在液晶显示板 72 的一侧设置的每个控制极板电连接。

对于每个水平周期，栅驱动 IC 78 一根线接一根线地连续驱动液晶显示板 72 的栅线。对于每个 $1/2$ 水平周期 ($H/2$)，数据驱动 IC 74 将数字像素数据信号转换成模拟像素电压信号，基于时间分割原理将转换后的信号提供给液晶显示板 72 的数据线。于是，为了驱动 $8n$ 根数据线，传统 LCD 需要 8 个数据驱动 IC，每个 IC 驱动 n 根数据线，而依照本发明的 LCD 仅需要 4 个数据驱动 IC 就可实现对 $2n$ 根数据线的时分割驱动。

其间，当基于时间分割原理驱动数据线时，在水平周期的前半周期内提供的像素电压充电量与后半周期内提供的像素电压充电量之间会存在差异。这是因为由于前半周期与后半周期内提供的像素电压之间的充电时间差而导致的充电时间差异。换句话说，前半周期内提供的像素电压在大约一个水平周期的时间内充入对应液晶元件，而后半周期内提供的像素电压仅在大约 $1/2$ 水平周期 $H/2$ 的时间内充入对应液晶元件。因为由于该充电时间差导致液晶元件间的像素电压充电量不同，所以发生了闪烁现象。

为了克服该问题，可将像素电压的充电次序变成规定因子，例如线、场或帧等，以补偿像素电压充电量间的差异。例如，在当前帧的一个水平周期的前半周期内向特定元件提供像素电压、从而使像素电压的充电达到一个水平周期时，在下一帧的后半周期内提供该像素电压，从而使充电达 $1/2$ 水平周期 $H/2$ 。对于每一帧来说，像素电压充电次序的变化可以补偿由于充电时间差导致的像素电压充电量差异。另外，每线或每几线的像素电压充电次序变化也可以补偿像素电压充电量差。另外，如果为每线和帧或每几线和帧改变像素电压的充电次序，可以补偿像素电压充电量的差异。

图 14A 和 14B 表示在改变每帧的像素电压充电次序的同时、基于时间分割

原理驱动数据线的驱动波形。具体来说，图 14A 表示借助图 4 和 8 中所示的数据驱动装置驱动奇数帧的第一到第四数据线 DL1 到 DL4 的信号波形图，而图 14B 表示偶数帧的信号波形图。

在涉及奇数帧的图 14A 中，对于作为第一水平周期 H1 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 1] 和 [1, 2]。借助于极性控制信号（未示出），将像素数据 [1, 1] 转换成要提供给第一数据线 DL1 的正像素电压信号。借助极性控制信号（未示出），将像素数据 [1, 2] 转换成要提供给第二数据线 DL2 的负像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 3] 和 [1, 4]。借助于极性控制信号（未示出），将像素数据 [1, 3] 转换成要提供给第三数据线 DL3 的正像素电压信号。借助极性控制信号（未示出），将像素数据 [1, 4] 转换成要提供给第四数据线 DL4 的负像素电压信号。

类似地，对于作为第二水平周期 H2 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 1] 和 [2, 2]。借助于极性控制信号（未示出），将像素数据 [2, 1] 转换成要提供给第一数据线 DL1 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 2] 转换成要提供给第一数据线 DL1 的正像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 3] 和 [2, 4]。借助于极性控制信号（未示出），将像素数据 [2, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。

如上所述，在奇数帧位置，依照本发明的数据驱动装置基于时间分割原理、在点反向模式下驱动数据线。

在涉及偶数帧的图 13B 中，对于作为第一水平周期 H1 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 3] 和 [1, 4]。借助于极性控制信号（未示出），将像素数据 [1, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [1, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 1] 和 [1, 2]。借助于极性控制信号（未示出），将像素数据 [1, 1] 转换成要提供给第一数据线 DL1

的负像素电压信号。借助极性控制信号（未示出），将像素数据[1, 2]转换成要提供给第二数据线 DL2 的正像素电压信号。

类似地，对于作为第二水平周期 H2 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据[2, 3]和[2, 4]。借助于极性控制信号（未示出），将像素数据[2, 3]转换成要提供给第三数据线 DL3 的正像素电压信号。借助极性控制信号（未示出），将像素数据[2, 4]转换成要提供给第四数据线 DL4 的负像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据[2, 1]和[2, 2]。借助于极性控制信号（未示出），将像素数据[2, 1]转换成要提供给第一数据线 DL1 的正像素电压信号。借助极性控制信号（未示出），将像素数据[2, 2]转换成要提供给第二数据线 DL2 的负像素电压信号。

如上所述，在偶数帧位置，依照本发明的数据驱动装置基于时间分割原理、在点反向模式下驱动数据线。

此外，在偶数帧位置，该数据驱动装置在相对于奇数帧改变像素电压的充电次序的同时驱动数据线。于是，在偶数帧处就可以补偿由于时间分割驱动决定的充电时间差导致在奇数帧处产生的像素电压充电量差异。结果就避免了一旦对数据线实施时间分割驱动，由于像素电压充电量差异引起的闪烁现象。

图 15A 和 15B 表示在改变每线和每帧的像素电压充电次序的同时基于时间分割原理驱动数据线的驱动波形。具体而言，图 15A 表示在奇数帧处借助于图 4 和 8 的数据驱动装置驱动第一到第四数据线 DL1 到 DL4 的信号波形，而图 15B 表示偶数帧处的信号波形。

在涉及奇数帧的图 15A 中，对于作为第一水平周期 H1 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据[1, 1]和像素数据[1, 2]。借助于极性控制信号（未示出），将像素数据[1, 1]转换成要提供给第一数据线 DL1 的正像素电压信号。借助极性控制信号（未示出），将像素数据[1, 2]转换成要提供给第二数据线 DL2 的负像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据[1, 3]和[1, 4]。借助于极性控制信号（未示出），将像素数据[1, 3]转换成要提供给第三数据线 DL3 的正像素电压信号。借助极性控制信号（未示出），将像素数据[1, 4]转换成要提供给第四数据线 DL4 的负像素电压信号。

对于作为第二水平周期 H2 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 3] 和 [2, 4]，这与第一水平周期 H1 的情况不同。借助于极性控制信号（未示出），将像素数据 [2, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 1] 和 [2, 2]。借助于极性控制信号（未示出），将像素数据 [2, 1] 转换成要提供给第一数据线 DL1 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 2] 转换成要提供给第二数据线 DL2 的正像素电压信号。

如上所述，在奇数帧位置，依照本发明的数据驱动装置基于时间分割原理、在点反向模式下驱动数据线。另外，本发明的数据驱动装置在改变每线的像素电压充电次序的同时驱动数据线。

在涉及偶数帧的图 15B 中，对于作为第一水平周期 H1 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 3] 和 [1, 4]。借助于极性控制信号（未示出），将像素数据 [1, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [1, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [1, 1] 和 [1, 2]。借助于极性控制信号（未示出），将像素数据 [1, 1] 转换成要提供给第一数据线 DL1 的负像素电压信号。借助极性控制信号（未示出），将像素数据 [1, 2] 转换成要提供给第二数据线 DL2 的正像素电压信号。

对于作为第二水平周期 H2 的前半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 1] 和 [2, 2]，这与第一水平周期 H1 的情况不同。借助于极性控制信号（未示出），将像素数据 [2, 1] 转换成要提供给第一数据线 DL1 的正像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 2] 转换成要提供给第二数据线 DL2 的负像素电压信号。接着，对于其后半周期的 H/2 周期，分别通过选择控制信号 θ_1 和 θ_2 选择像素数据 [2, 3] 和 [2, 4]。借助于极性控制信号（未示出），将像素数据 [2, 3] 转换成要提供给第三数据线 DL3 的正像素电压信号。借助极性控制信号（未示出），将像素数据 [2, 4] 转换成要提供给第四数据线 DL4 的负像素电压信号。

如上所述,在偶数帧位置,依照本发明的数据驱动装置基于时间分割原理、在点反向模式下驱动数据线。

此外,该数据驱动装置在改变每线的像素电压充电次序的同时驱动数据线,并在偶数帧位置相对于奇数帧改变像素电压充电次序的同时驱动数据线。于是就可以补偿由时间分割驱动决定的充电时间差导致的像素电压充电量差异。可以选择的是,即使在改变了每几根线(例如每两根线)和每帧的像素电压充电次序时,也能补偿像素电压的充电量差异。结果,这避免了一旦对数据线实施时间分割驱动由于像素电压充电量差异引起的闪烁现象。

图16A和16B表示在改变每线和每帧的像素电压充电次序的同时在列反向模式下基于时间分割原理驱动数据线的驱动波形。具体来说,图16A表示在奇数帧处借助于图4和8的数据驱动装置驱动第一到第四数据线DL1到DL4的信号波形,而图16B表示偶数帧处的信号波形。

在涉及奇数帧的图15A中,对于作为第一水平周期H1的前半周期的H/2周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据[1,1]和像素数据[1,2]。借助于极性控制信号(未示出),将像素数据[1,1]转换成要提供给第一数据线DL1的正像素电压信号。借助极性控制信号(未示出),将像素数据[1,2]转换成要提供给第二数据线DL2的负像素电压信号。接着,对于其后半周期的H/2周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据[1,3]和[1,4]。借助于极性控制信号(未示出),将像素数据[1,3]转换成要提供给第三数据线DL3的正像素电压信号。借助极性控制信号(未示出),将像素数据[1,4]转换成要提供给第四数据线DL4的负像素电压信号。

对于作为第二水平周期H2的前半周期的H/2周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据[2,3]和[2,4],这与第一水平周期H1的情况不同。借助于极性控制信号(未示出),将像素数据[2,3]转换成要提供给第三数据线DL3的正像素电压信号。借助极性控制信号(未示出),将像素数据[2,4]转换成要提供给第四数据线DL4的负像素电压信号。接着,对于其后半周期的H/2周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据[2,1]和[2,2]。借助于极性控制信号(未示出),将像素数据[2,1]转换成要提供给第一数据线DL1的正像素电压信号。借助极性控制信号(未示出),将像素数据[2,2]转换成要提供给第二数据线DL2的负像素电压信号。

如上所述,在奇数帧位置,依照本发明的数据驱动装置基于时间分割原理、在列反向模式下驱动数据线。另外,本发明的数据驱动装置在改变每线的像素电压充电次序的同时驱动数据线。

在涉及偶数帧的图 16B 中,对于作为第一水平周期 H1 的前半周期的 H/2 周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据 [1, 3] 和 [1, 4]。借助于极性控制信号(未示出),将像素数据 [1, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号(未示出),将像素数据 [1, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。接着,对于其后半周期的 H/2 周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据 [1, 1] 和 [1, 2]。借助于极性控制信号(未示出),将像素数据 [1, 1] 转换成要提供给第一数据线 DL1 的负像素电压信号。借助极性控制信号(未示出),将像素数据 [1, 2] 转换成要提供给第二数据线 DL2 的正像素电压信号。

对于作为第二水平周期 H2 的前半周期的 H/2 周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据 [2, 1] 和 [2, 2], 这与第一水平周期 H1 的情况不同。借助于极性控制信号(未示出),将像素数据 [2, 1] 转换成要提供给第一数据线 DL1 的负像素电压信号。借助极性控制信号(未示出),将像素数据 [2, 2] 转换成要提供给第二数据线 DL2 的正像素电压信号。接着,对于其后半周期的 H/2 周期,分别通过选择控制信号 $\theta 1$ 和 $\theta 2$ 选择像素数据 [2, 3] 和 [2, 4]。借助于极性控制信号(未示出),将像素数据 [2, 3] 转换成要提供给第三数据线 DL3 的负像素电压信号。借助极性控制信号(未示出),将像素数据 [2, 4] 转换成要提供给第四数据线 DL4 的正像素电压信号。

如上所述,在偶数帧位置,依照本发明的数据驱动装置基于时间分割原理、在列反向模式下驱动数据线。

此外,该数据驱动装置在改变每线的像素电压充电次序的同时驱动数据线,并相对于奇数帧改变像素电压充电次序的同时在偶数帧位置驱动数据线。于是就可以补偿由时间分割驱动决定的充电时间差导致的像素电压充电量差异。可以选择的是,即使在改变了每几线(例如每两线)和每帧的像素电压充电次序时,也能补偿像素电压的充电量差异。结果,这避免了一旦对数据线实施时间分割驱动、由于像素电压充电量差异引起的闪烁现象。

如上所述,依照本发明,基于时间分割原理来驱动 DAC 部件,于是能利用

(n+1) 个 DAC 驱动至少 $2n$ 根数据线。因此，与现有技术相比，其能将数据驱动 IC 的数量降到 $1/2$ ，从而降低了制造成本。

另外，依照本发明，在改变每线、每帧、或每几线和几帧的像素电压充电次序的同时基于时间分割原理驱动数据线。于是就可以补偿由时间分割驱动决定的充电时间差导致的像素电压充电量差异，由此就可以避免产生闪烁现象。

对本领域普通技术人员来说，可在不脱离本发明的精神和范围的情况下，在本发明的对液晶显示器进行数据驱动的装置和方法中可作出各种改进和变化。这意味着，如果改进和变化落在本发明所附的权利要求要求保护的范围及其等效范围内，则本发明涵盖了这些改进和变化。

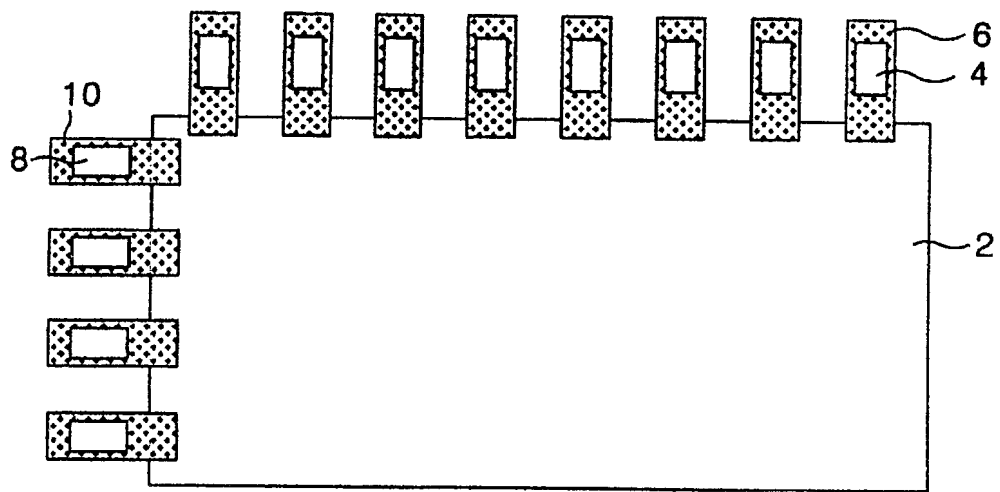


图 1

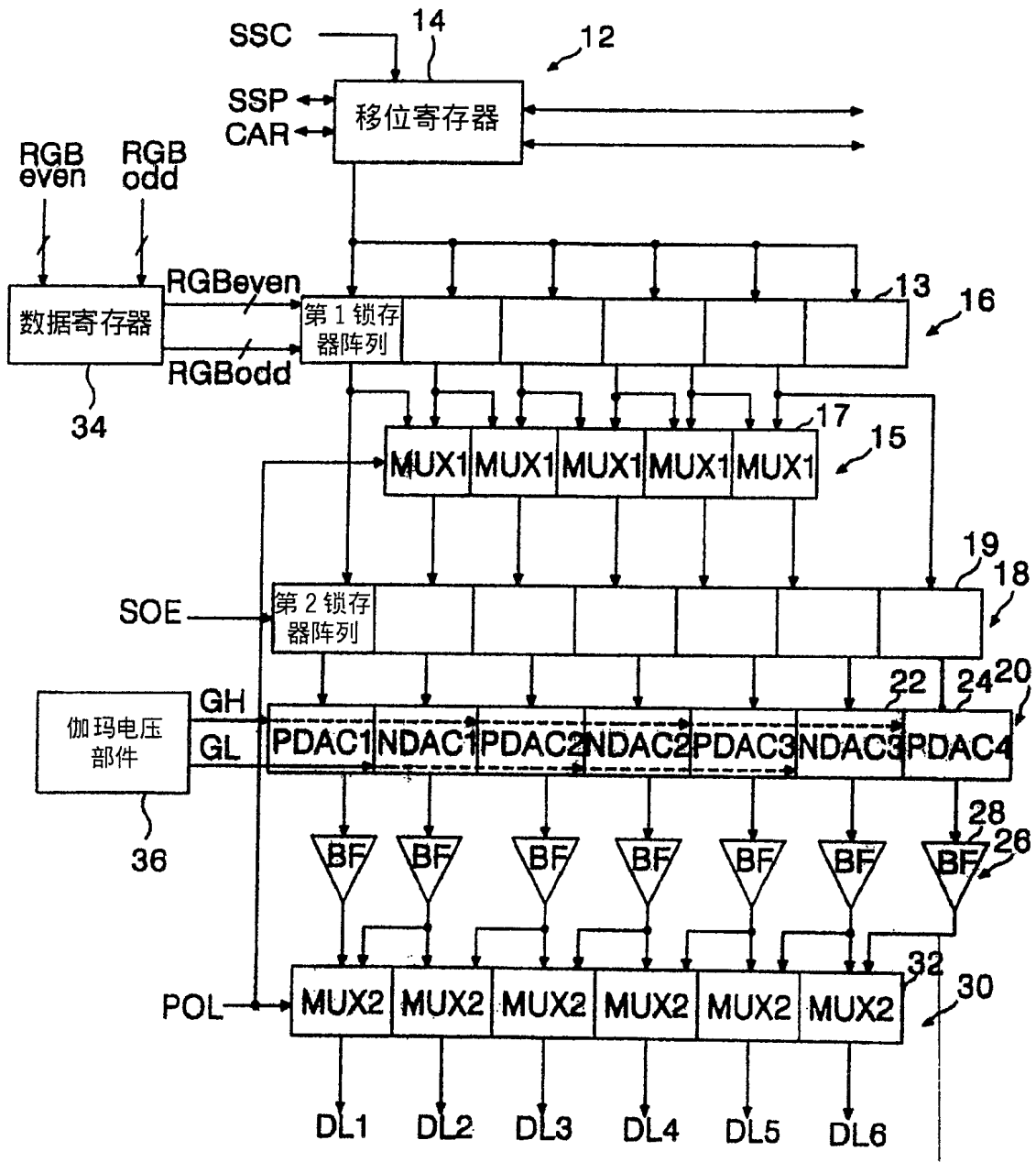


图 2

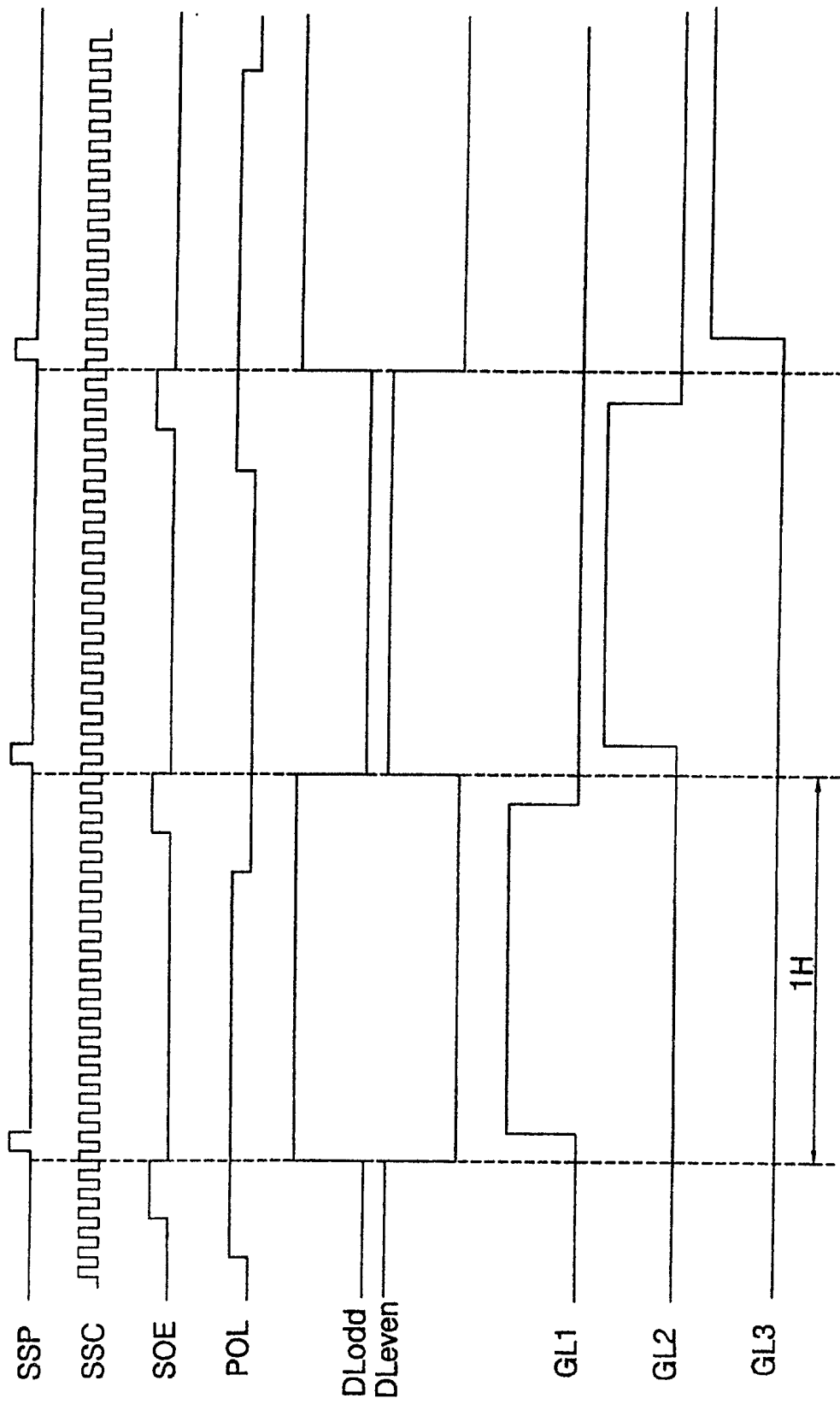


图 3A

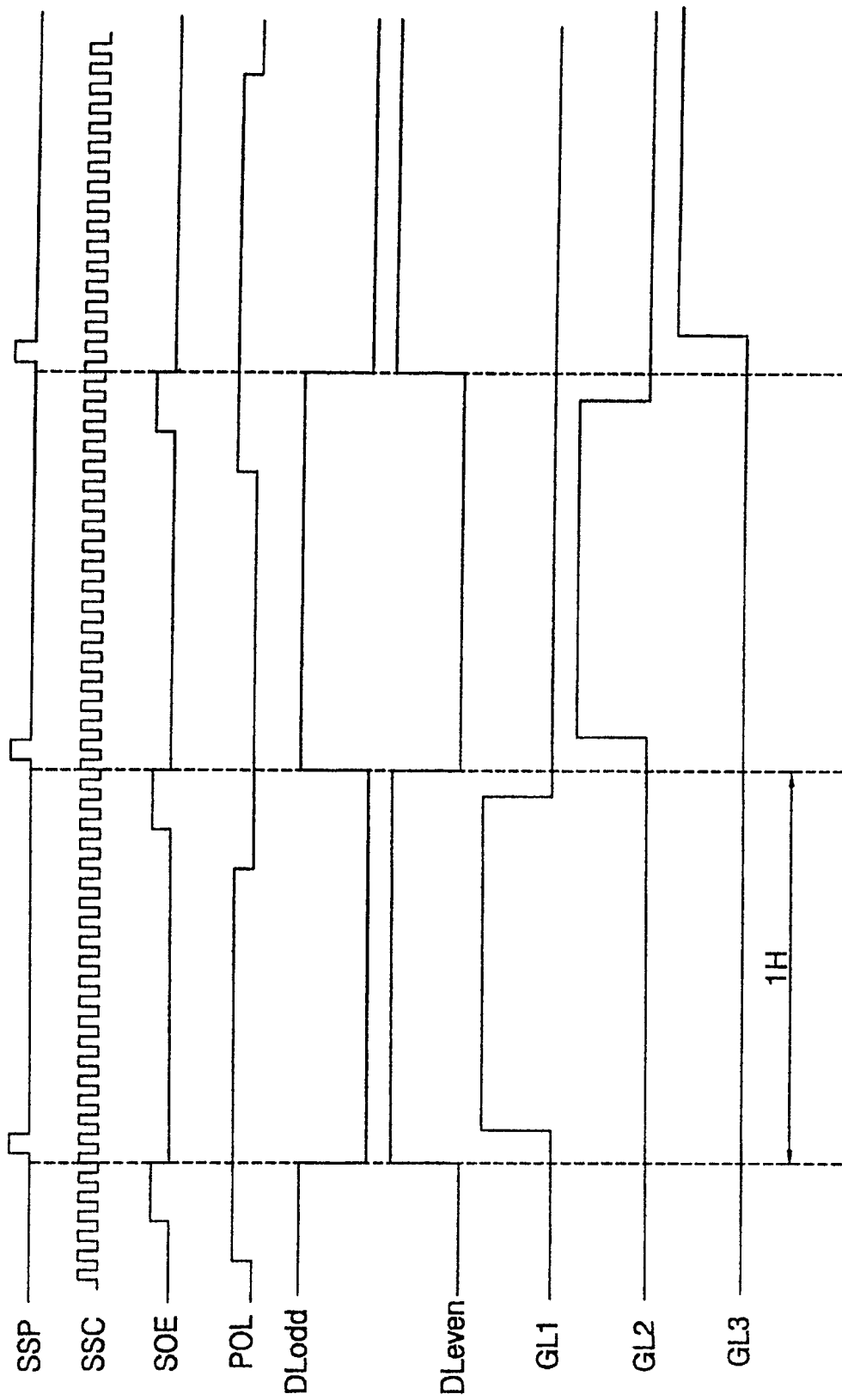


图 3B

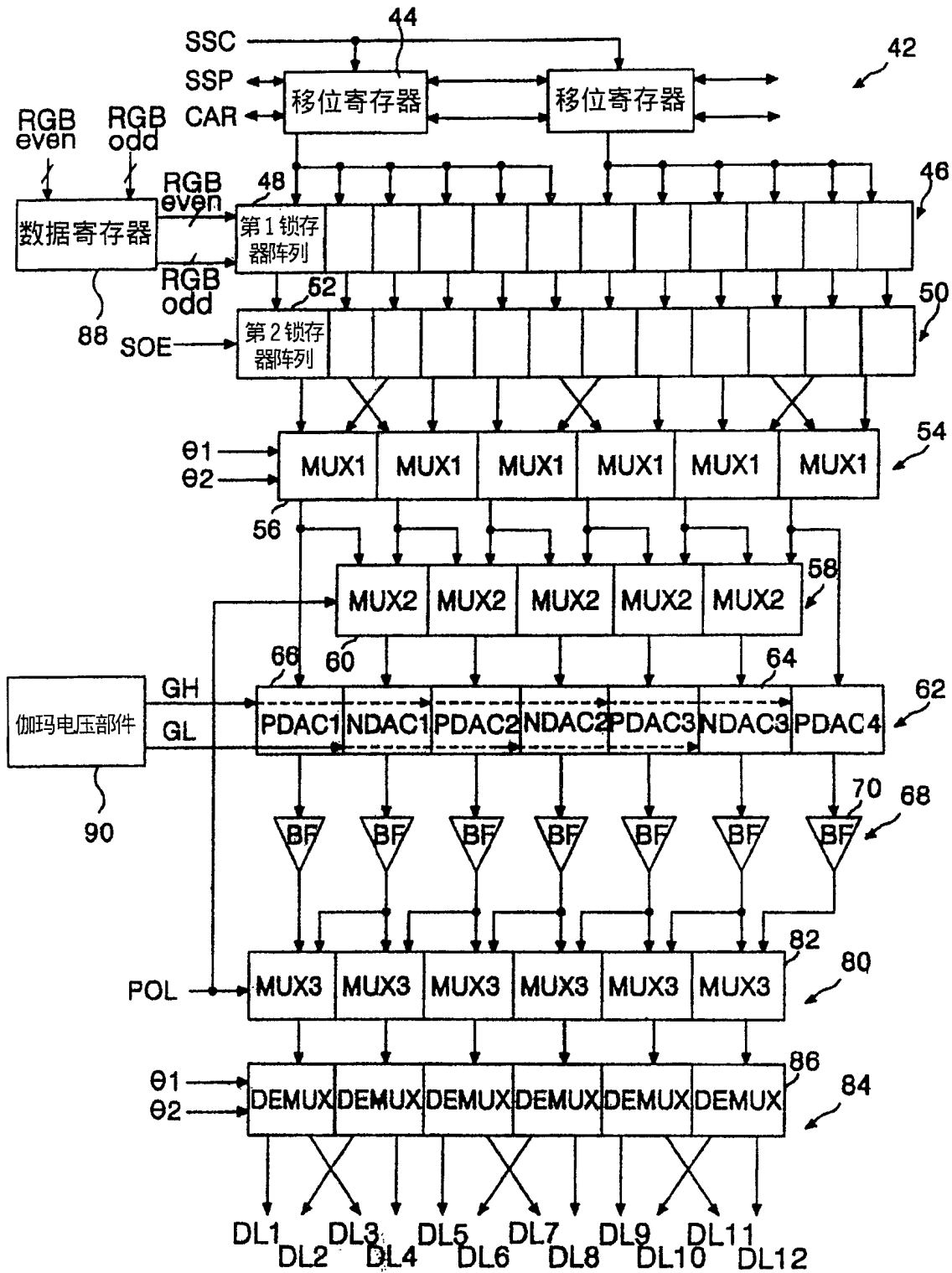


图 4

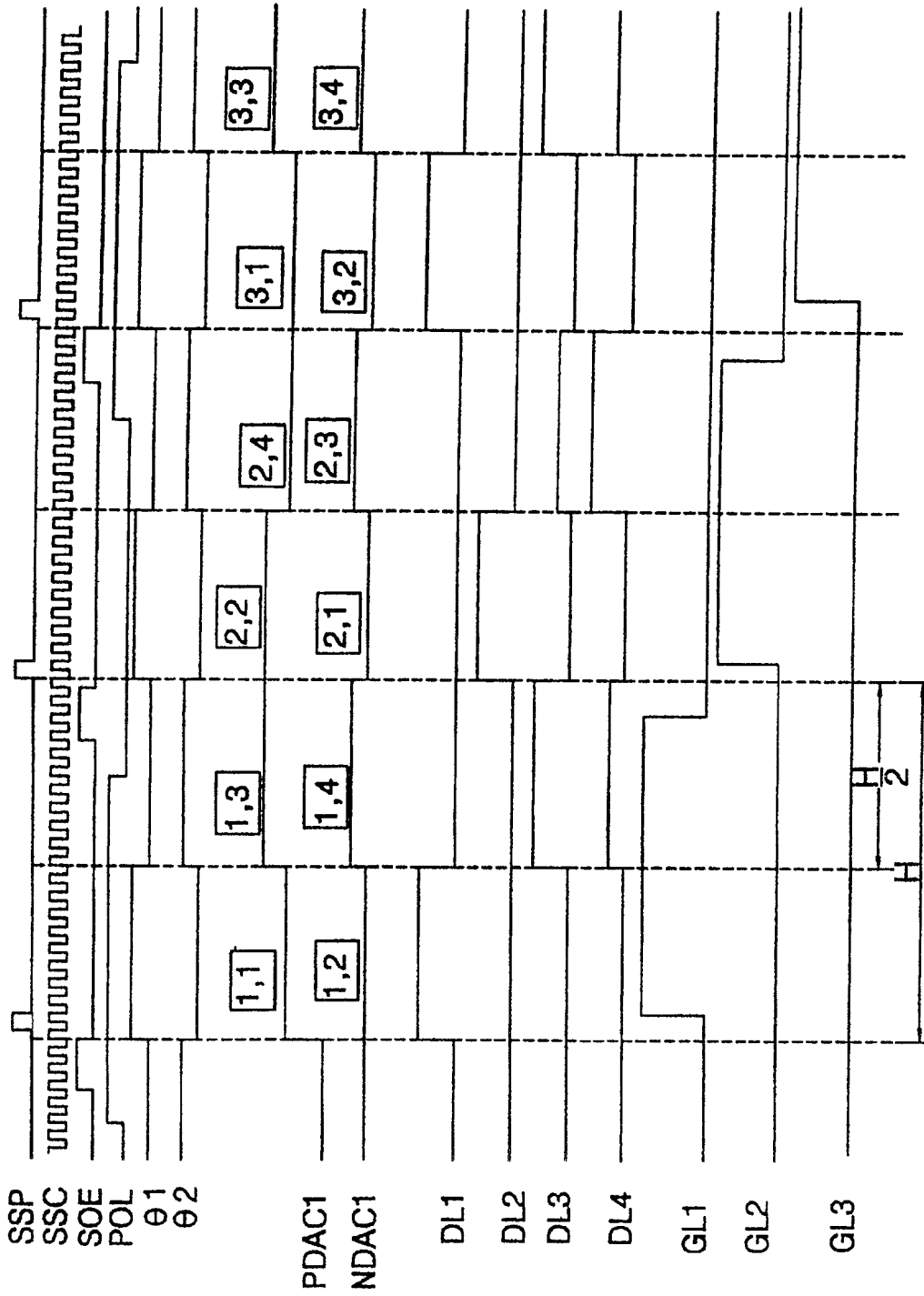


图 5A

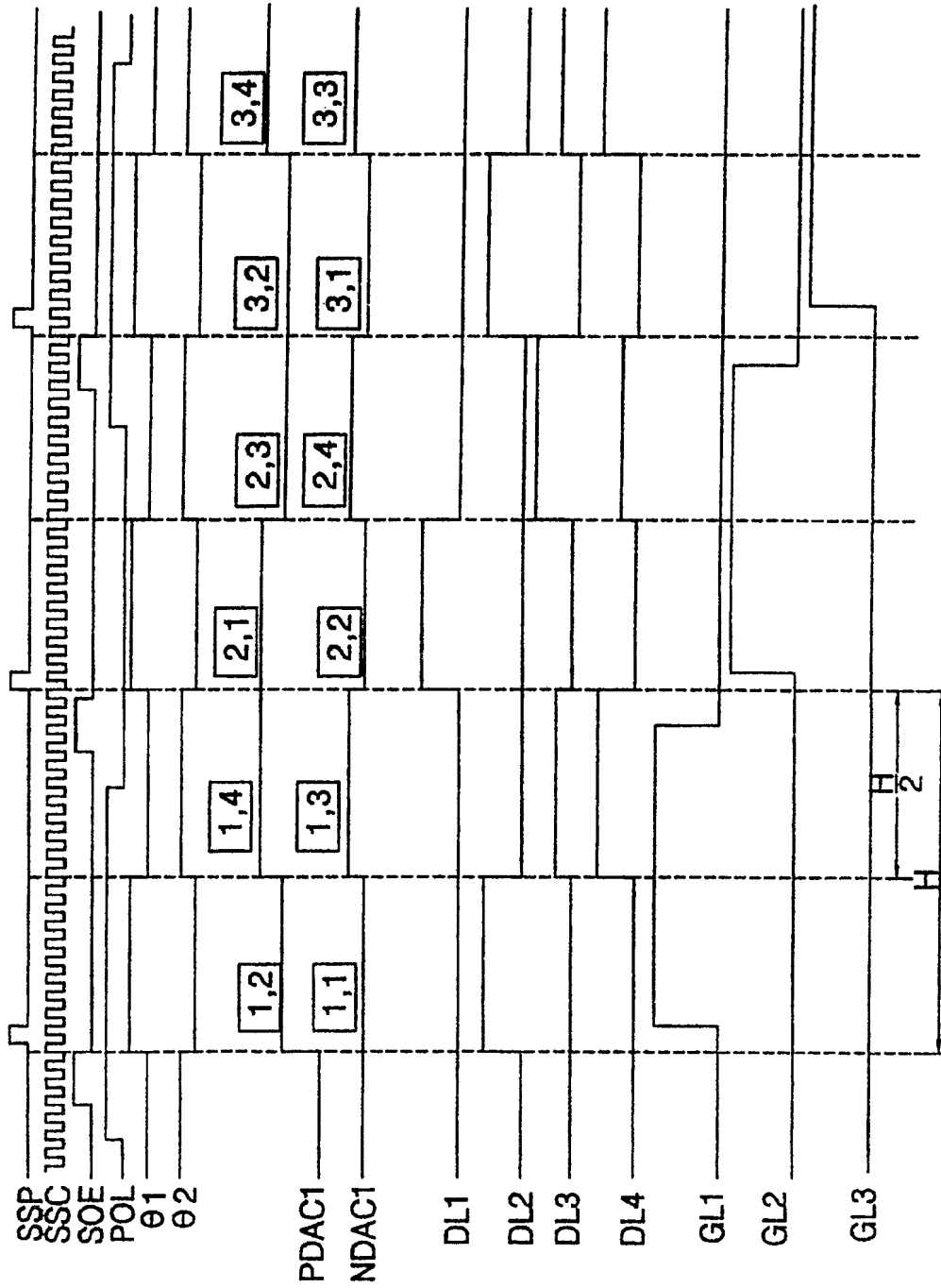


图 5B

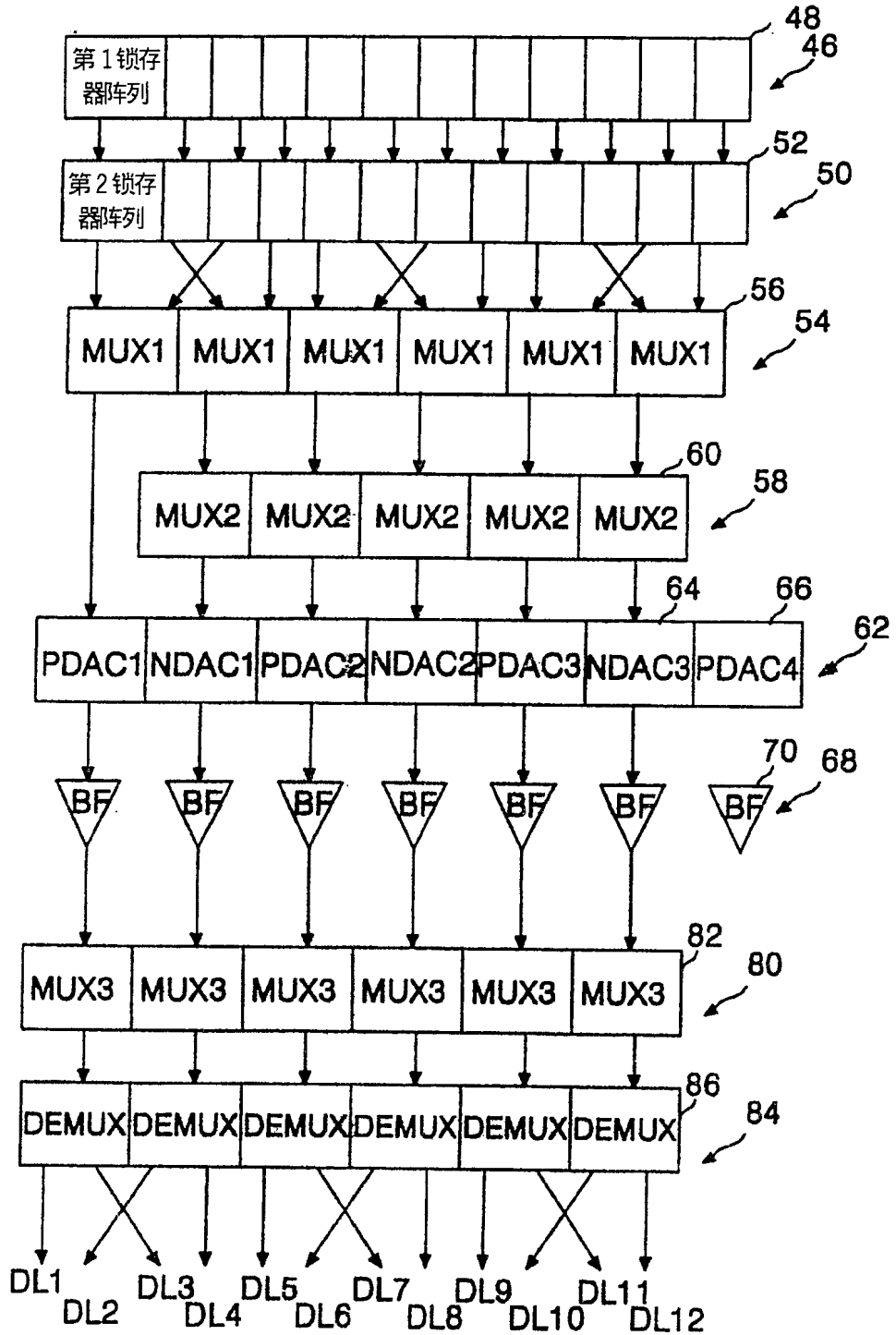


图 6

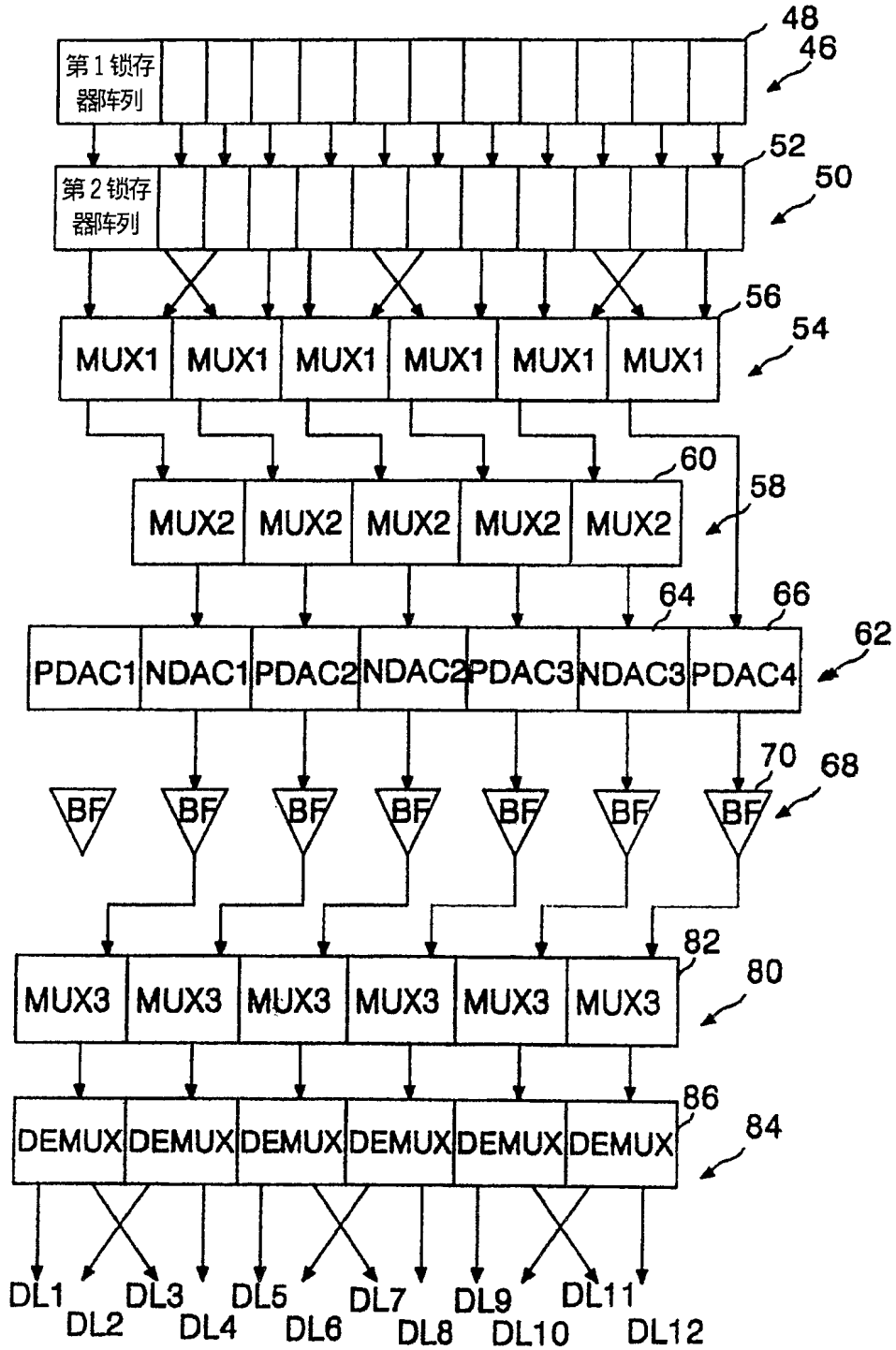


图 7

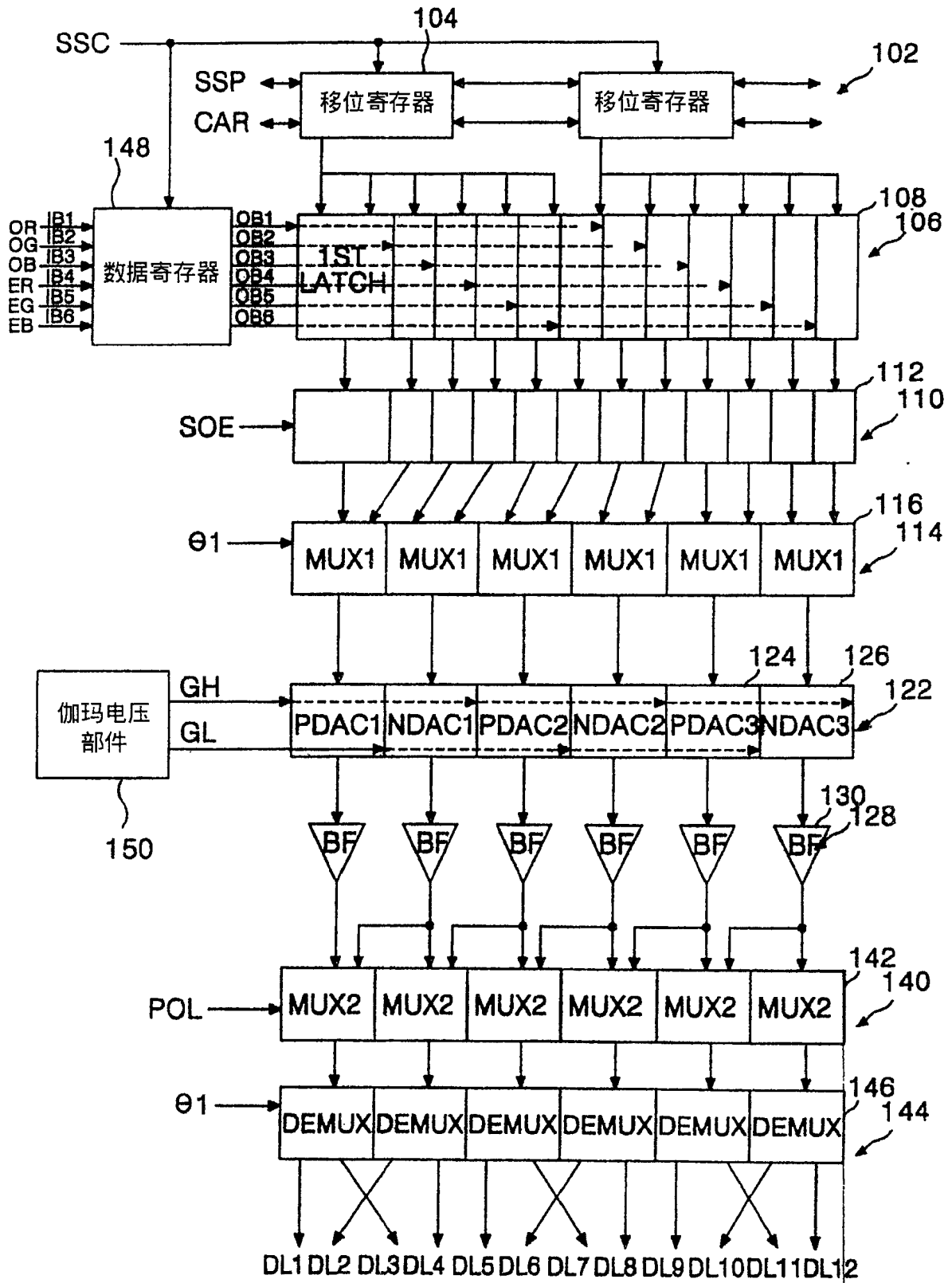


图 8

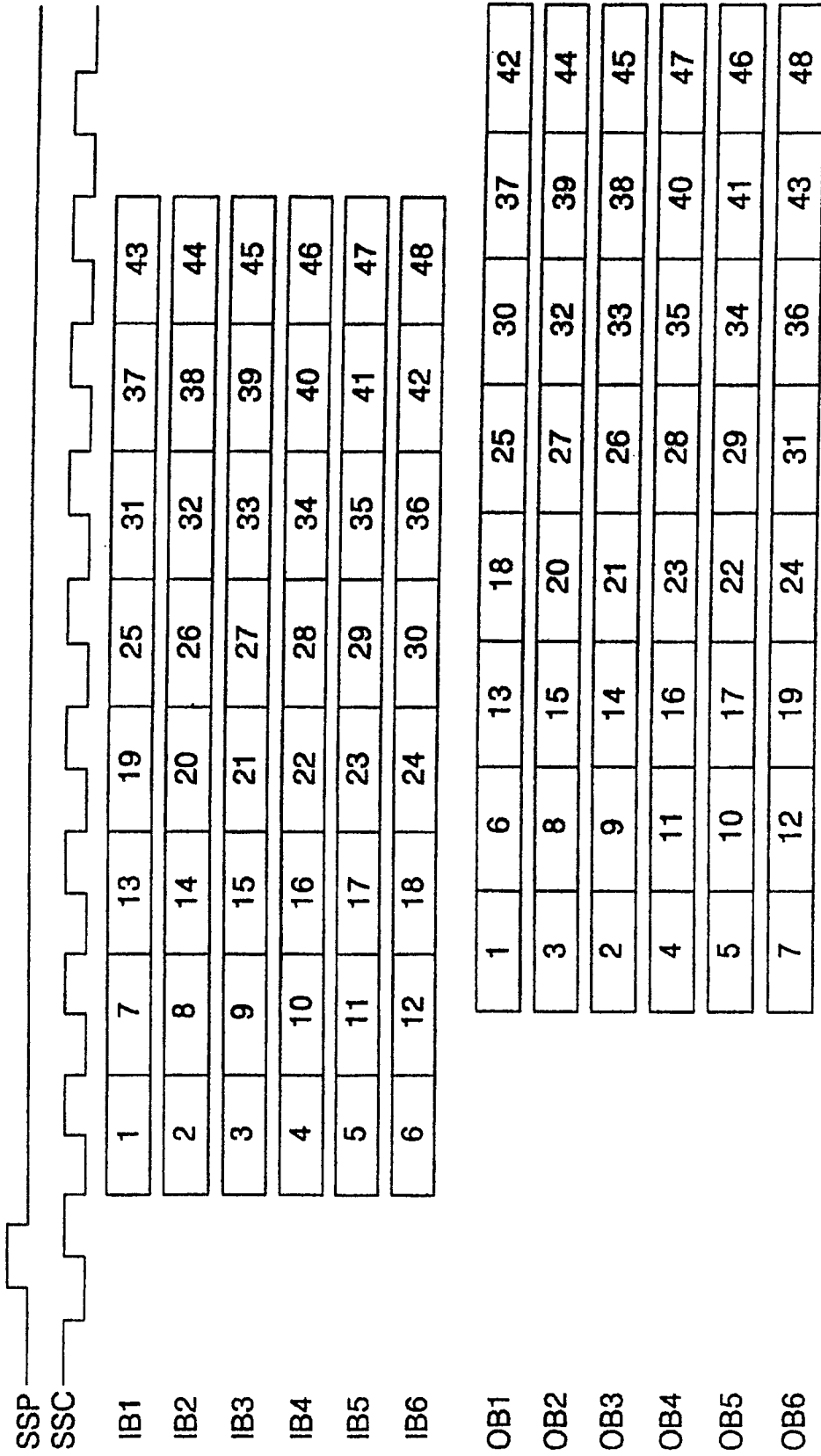


图 9A

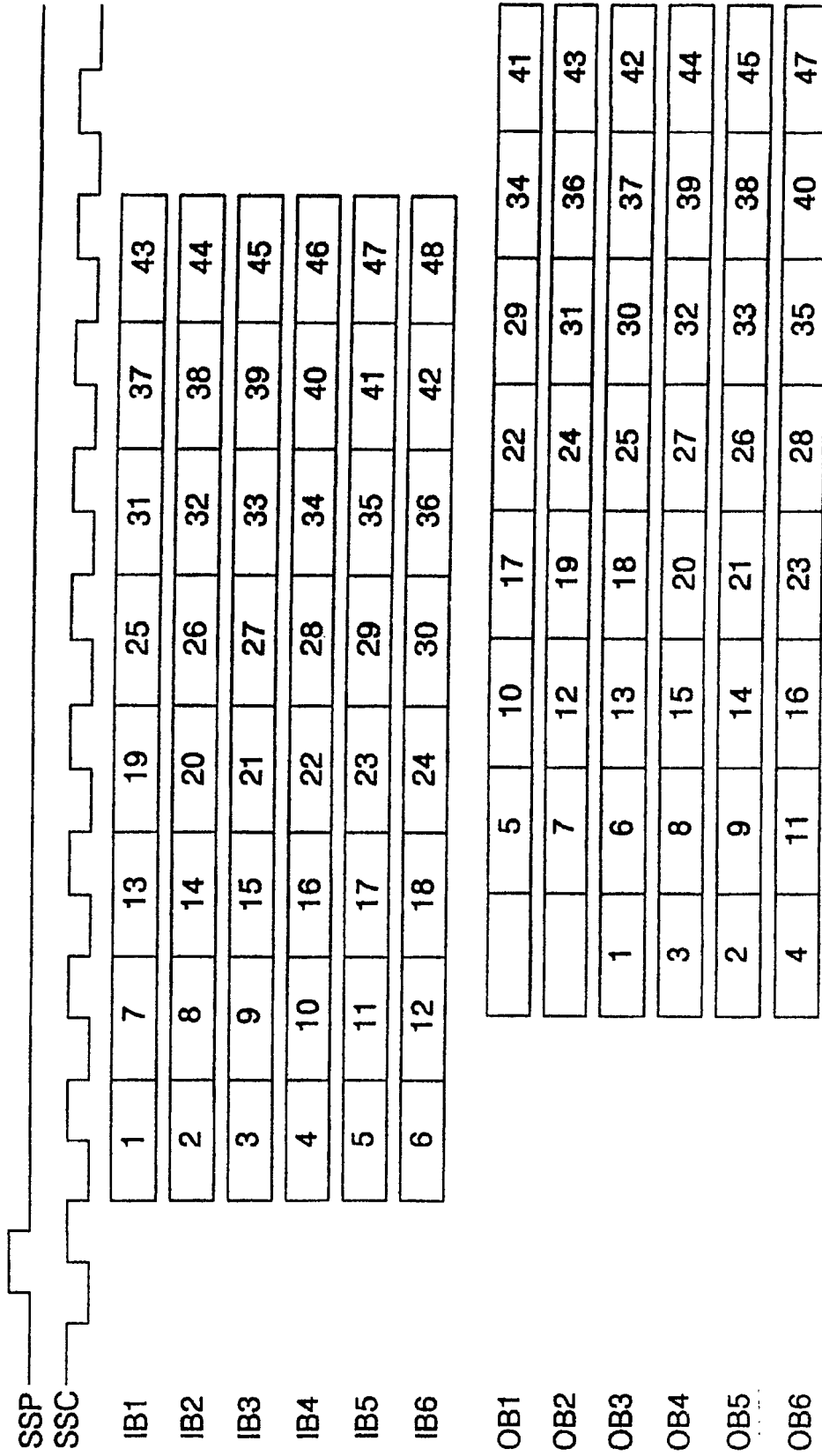


图 9B

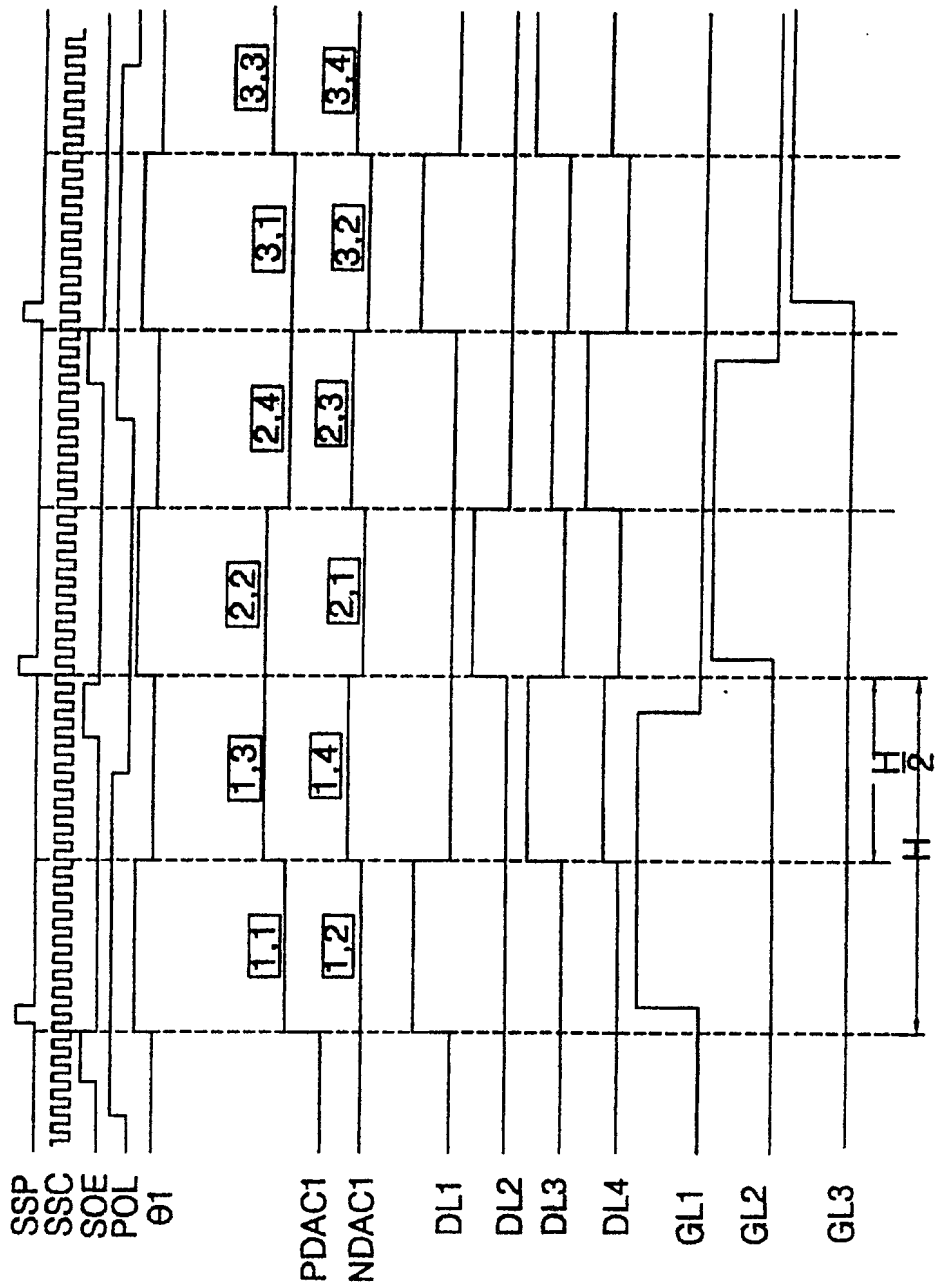


图 10A

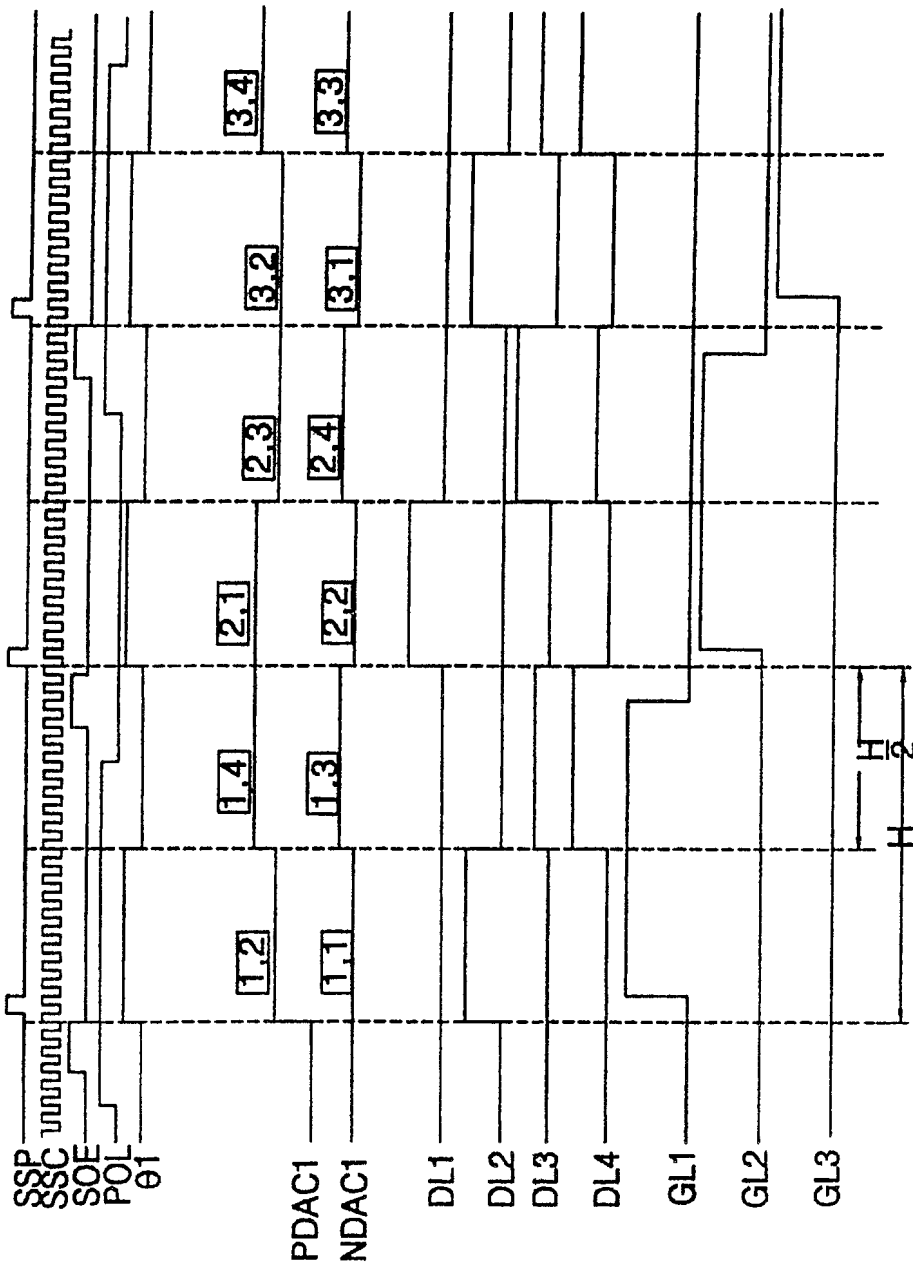


图 10B

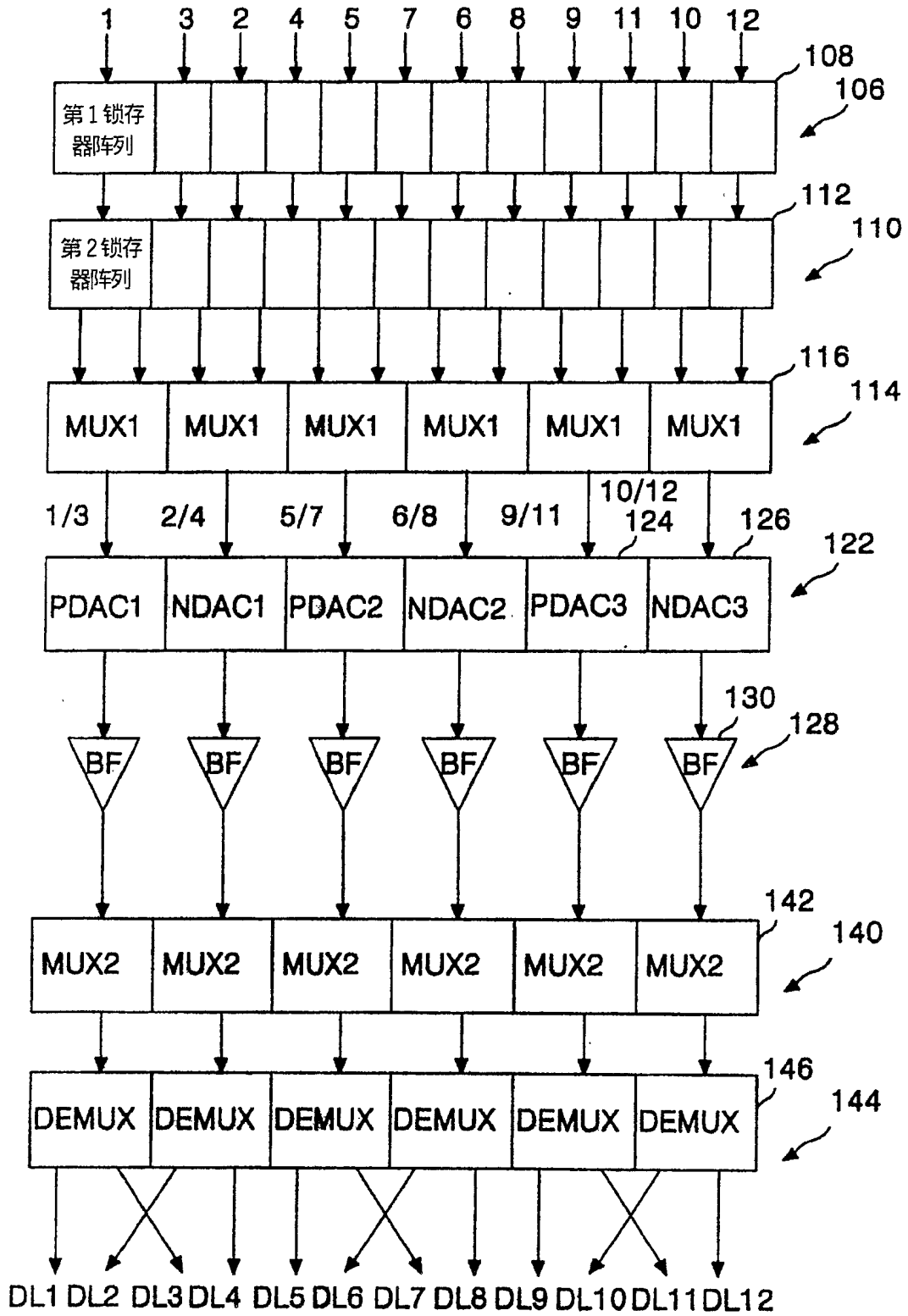


图 11

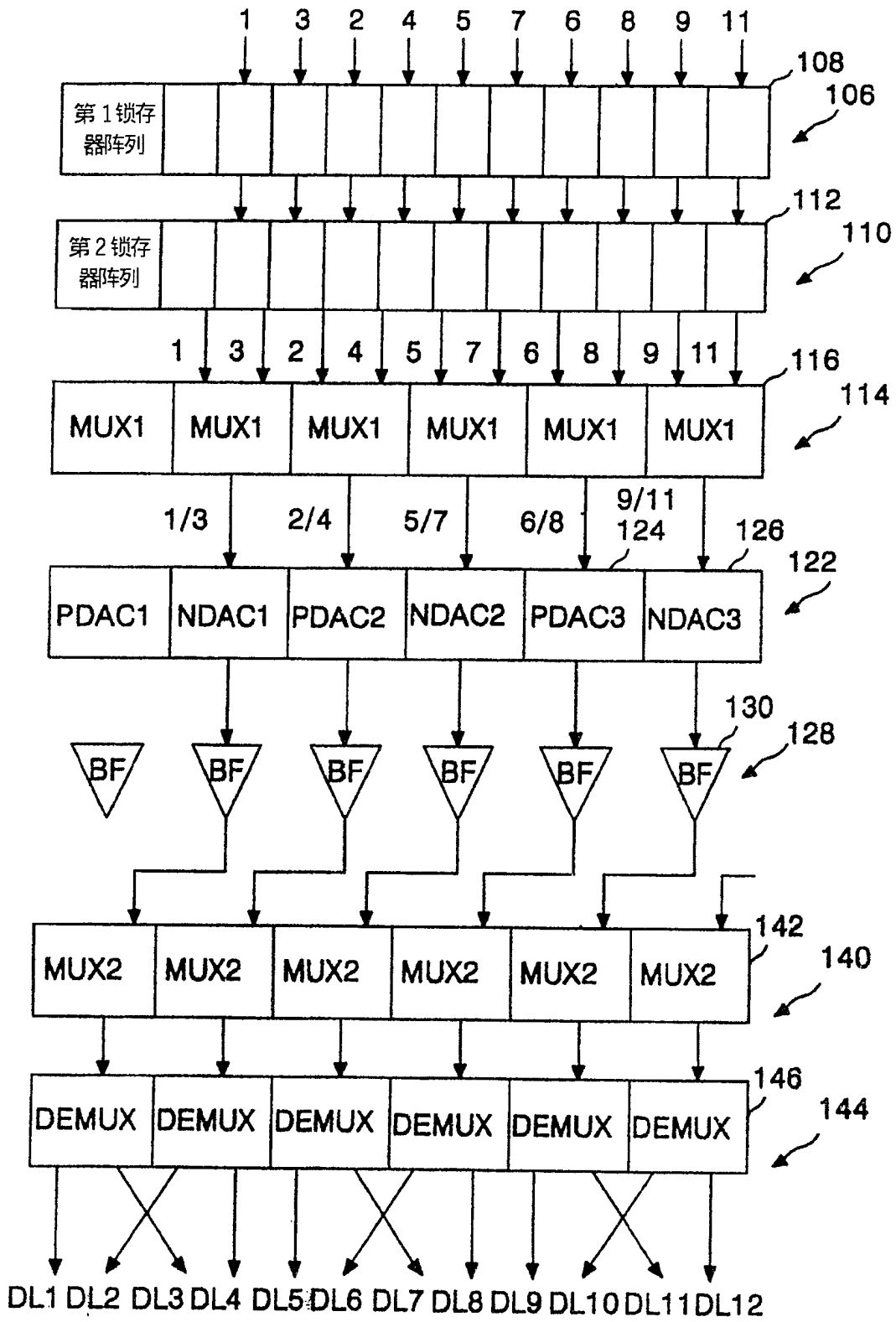


图 12

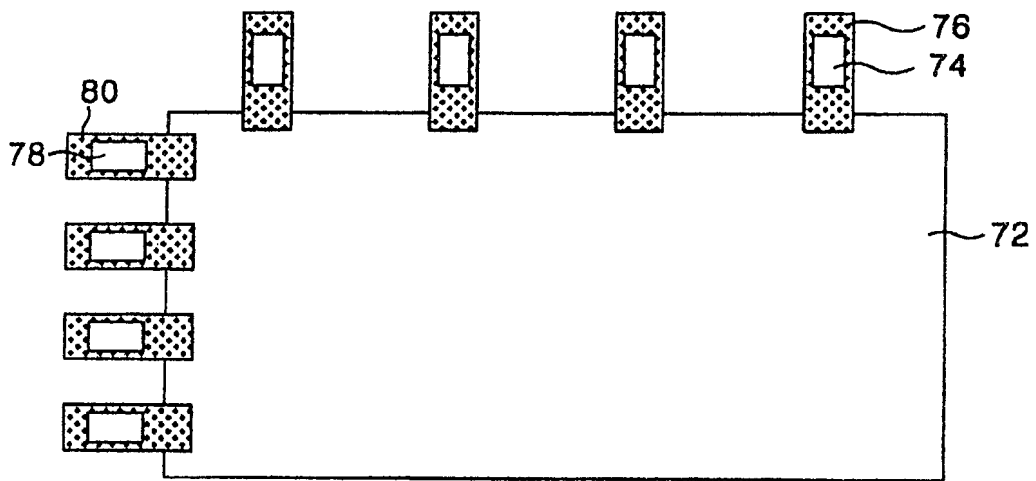


图 13

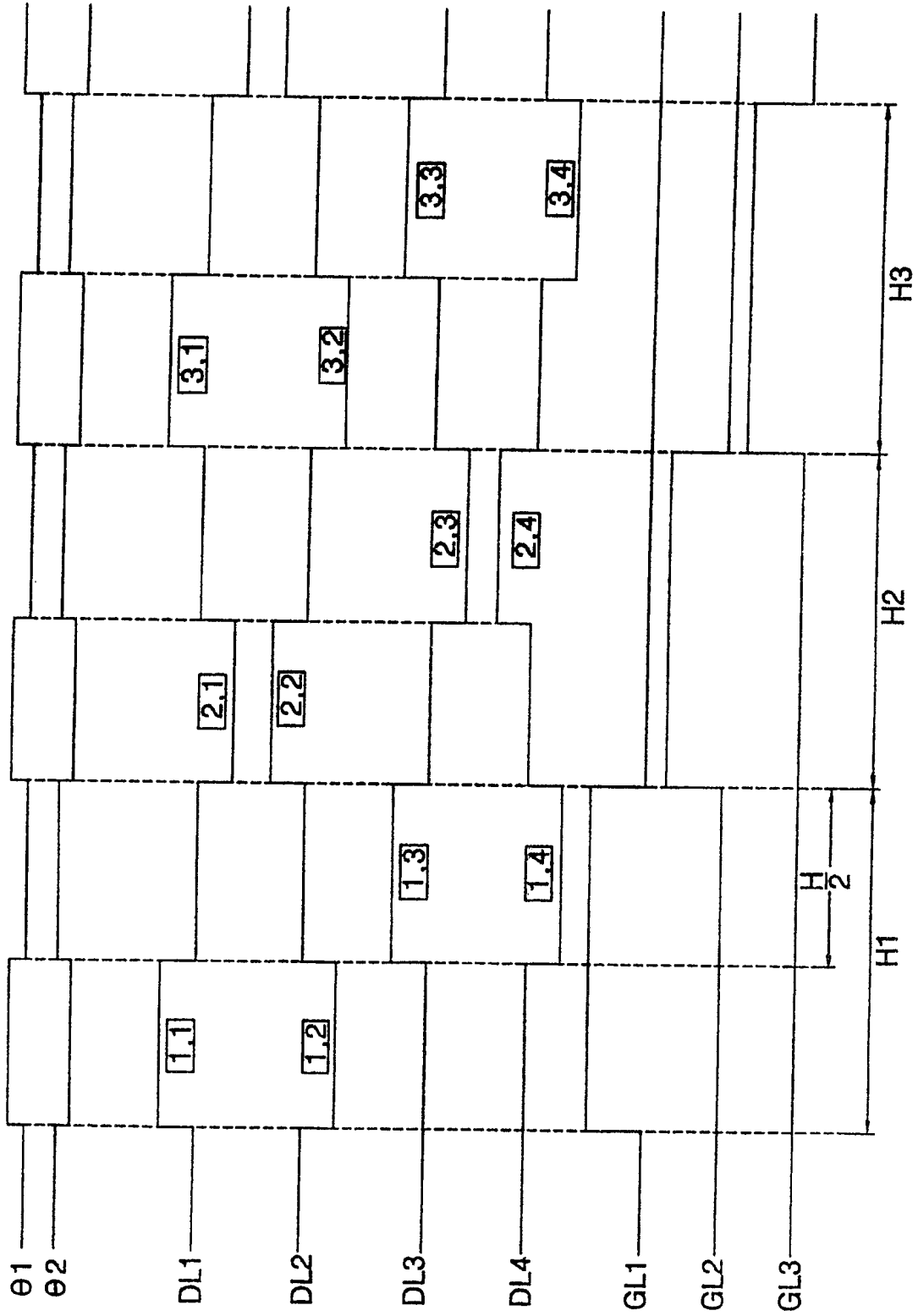


图 14A

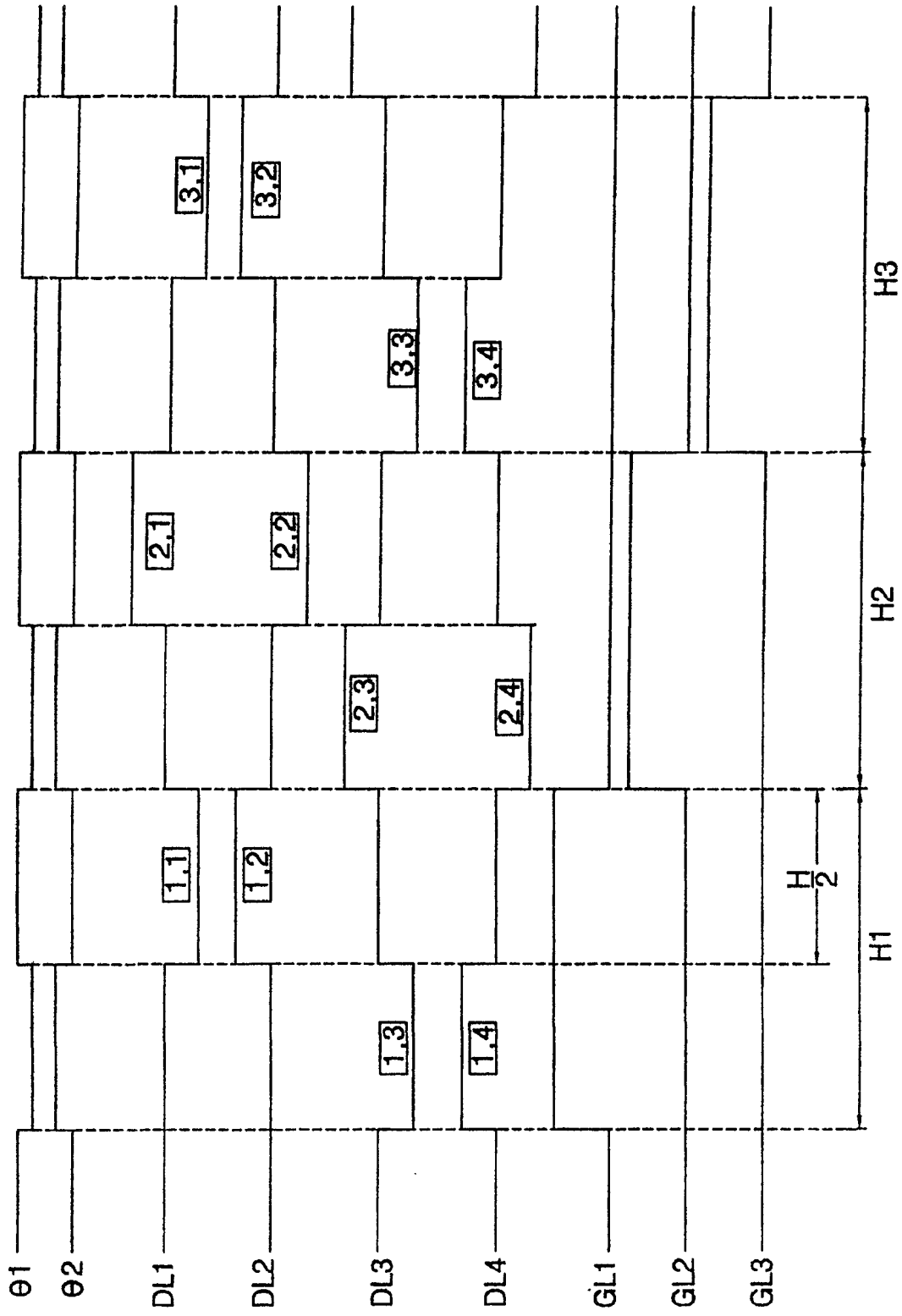


图 14B

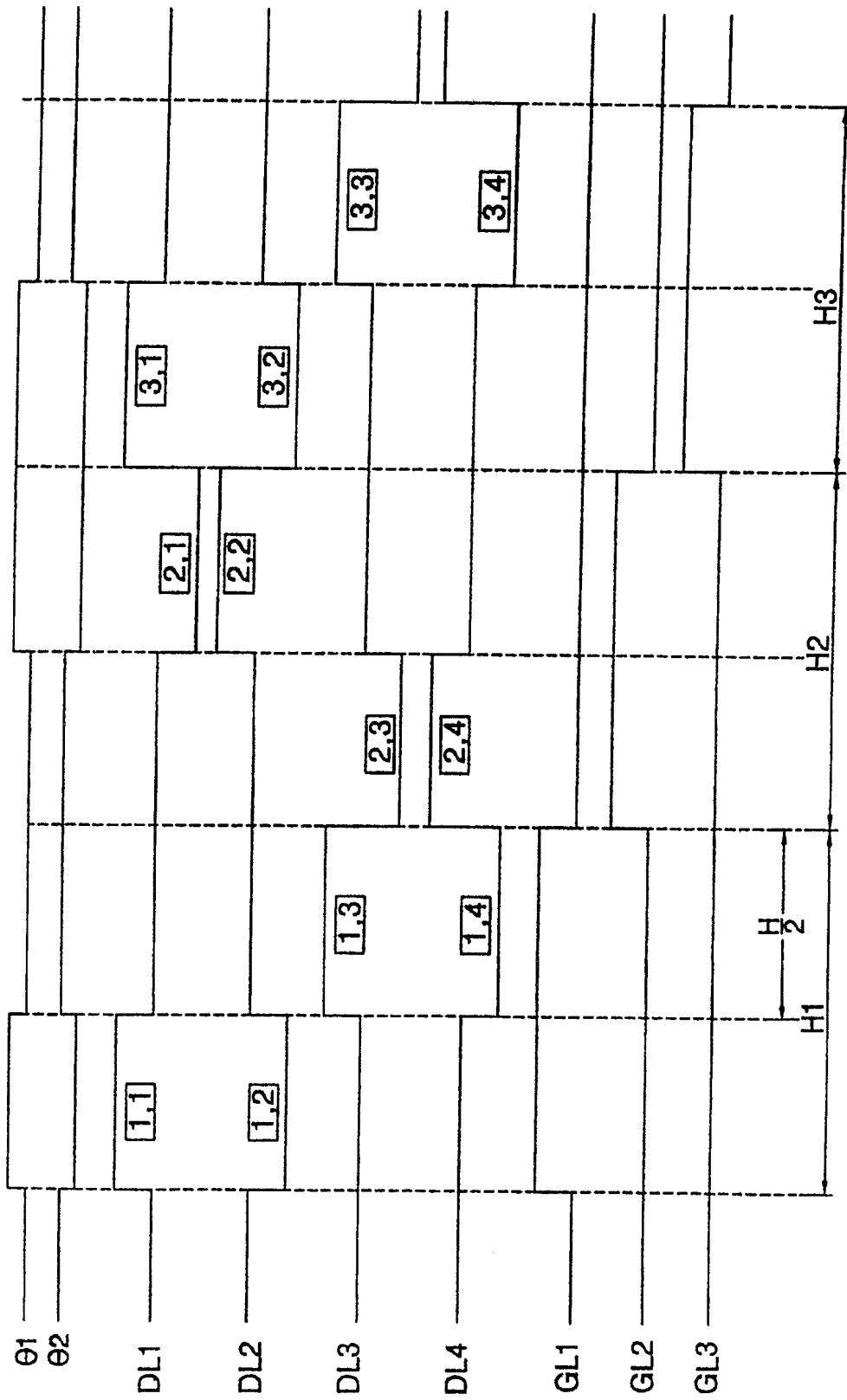


图 15A

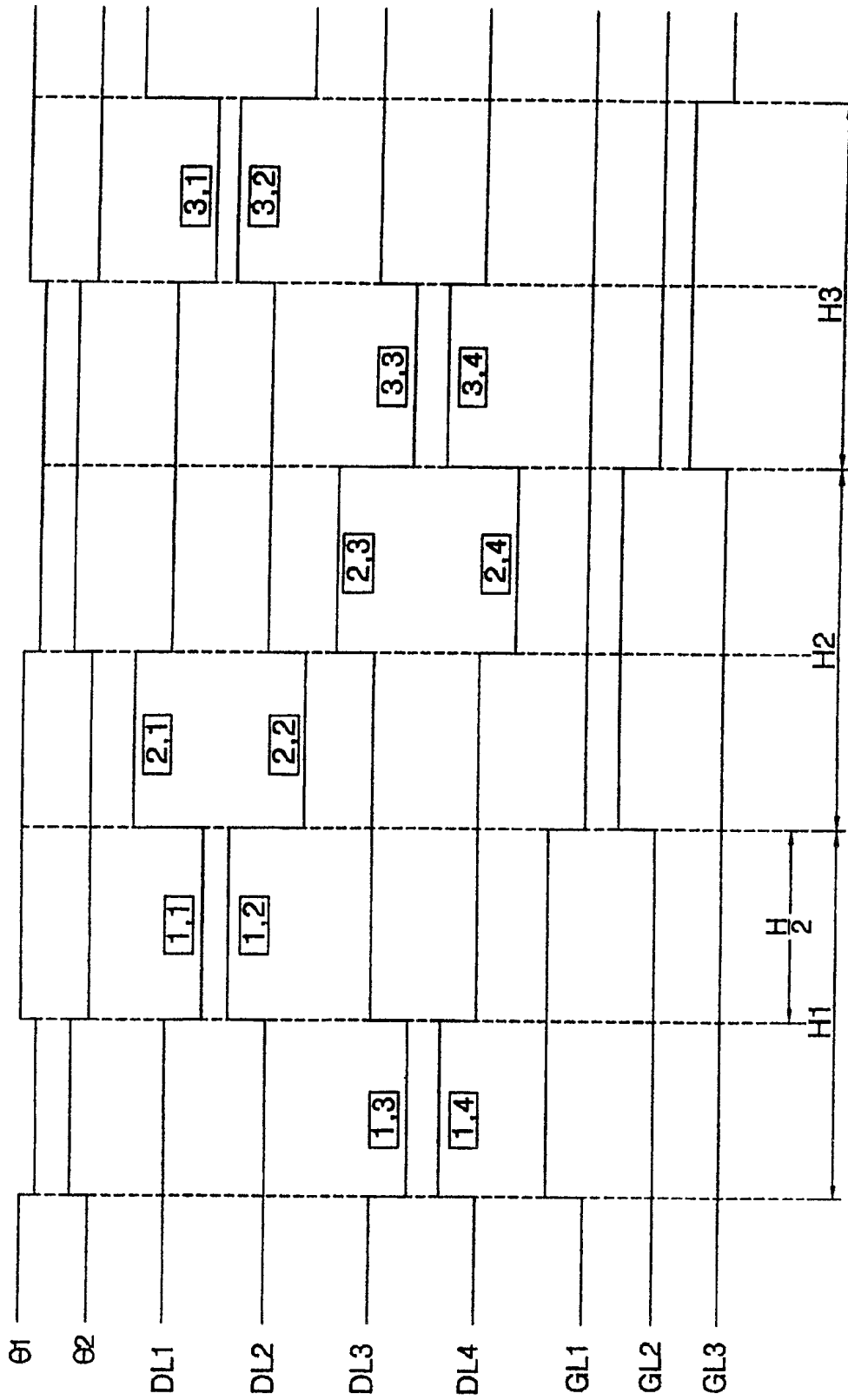


图 15B

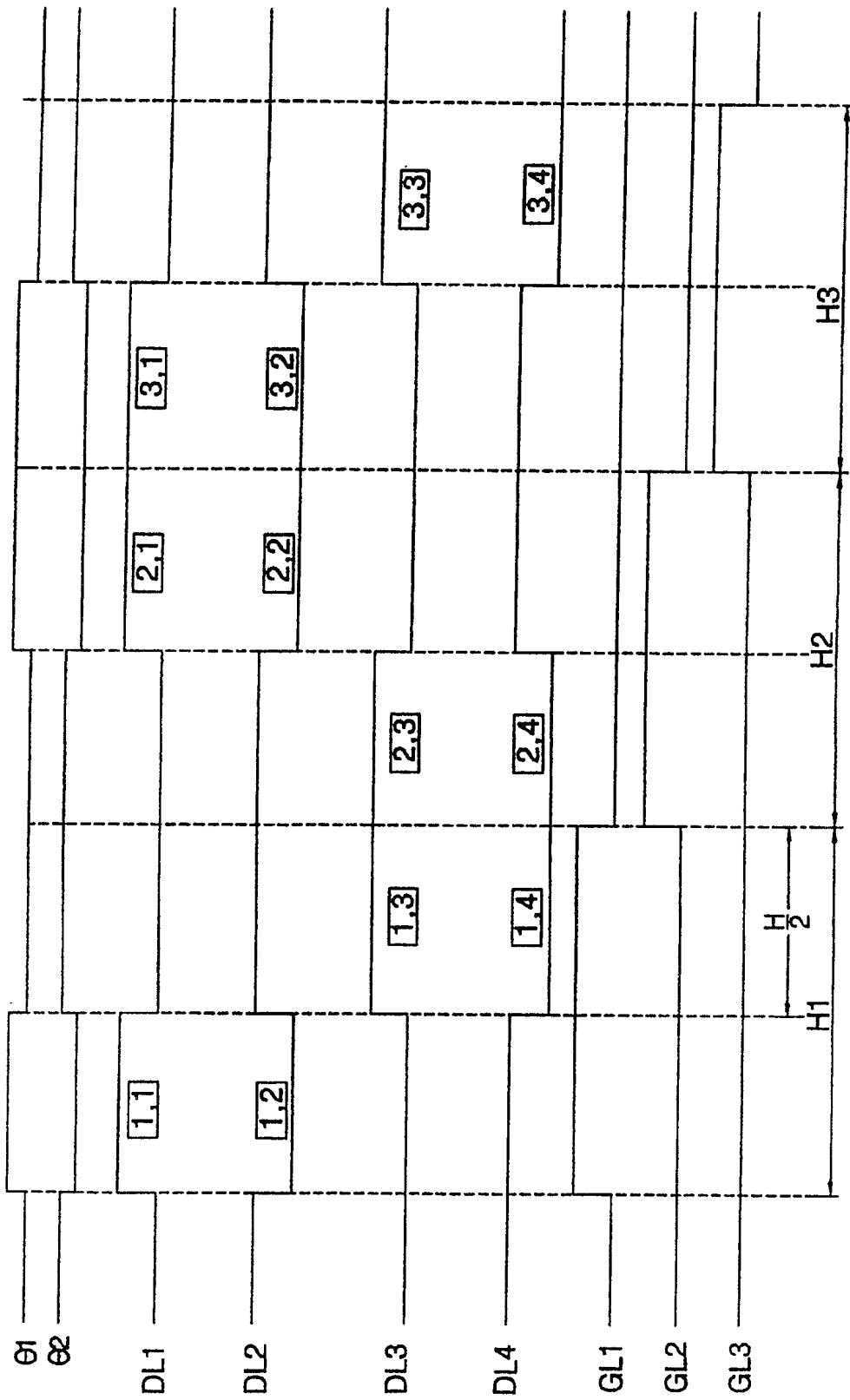


图 16A

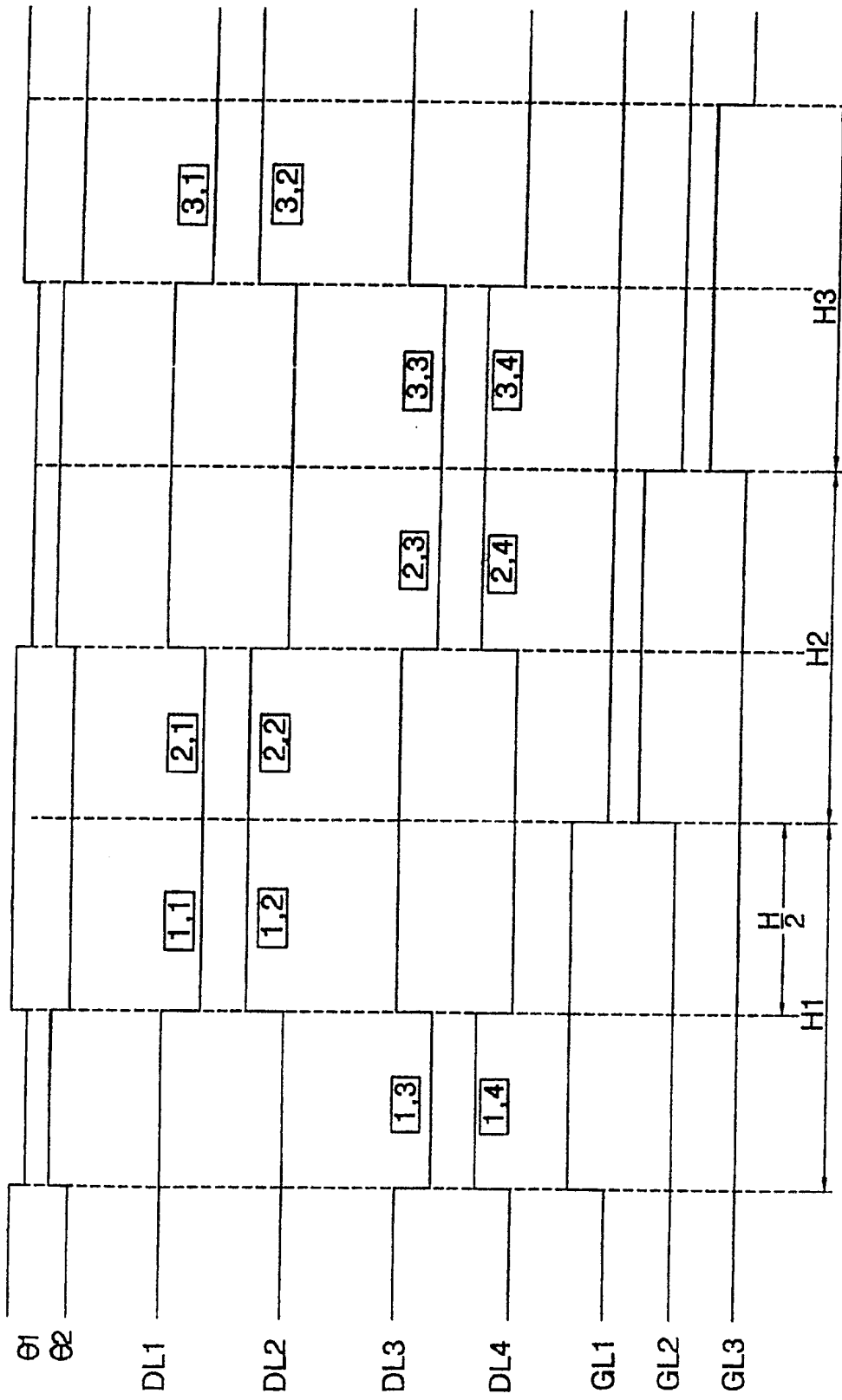


图 16B

专利名称(译)	对液晶显示器进行数据驱动的装置和方法		
公开(公告)号	CN100361185C	公开(公告)日	2008-01-09
申请号	CN02150418.0	申请日	2002-11-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	安承国		
发明人	安承国		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2310/027 G09G2310/0294 G09G3/3614 G09G2310/0297 G09G3/3688		
代理人(译)	徐金国 陈红		
审查员(译)	史永良		
优先权	1020010069945 2001-11-10 KR 1020020041769 2002-07-16 KR		
其他公开文献	CN1417771A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种用于对液晶显示器进行数据驱动的装置和方法，其中：对数据线进行时间分割，以减少数据驱动器集成电路的数量，同时改善画面的显示质量。更具体来说，该装置包括：基于时间分割原理提供输入像素数据的第一多路复用器阵列；将经过时间分割的像素数据转换成像素电压信号的数/模转换器阵列；以及向经时间分割的数据线提供像素电压信号的多路分配器阵列，其中所述数/模转换器阵列包括多个交替布置的正数/模转换器和负数/模转换器，并且其中在将像素数据转换成像素电压信号之前对该像素数据进行交换或者重排。

