



(12) 发明专利

(10) 授权公告号 CN 102419501 B

(45) 授权公告日 2014. 09. 24

(21) 申请号 201110409291. 6

(22) 申请日 2009. 12. 17

(30) 优先权数据

2008-321652 2008. 12. 17 JP

(62) 分案原申请数据

200910261056. 1 2009. 12. 17

(73) 专利权人 株式会社日本显示器西

地址 日本爱知县

(72) 发明人 寺西康幸 仲岛义晴

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

代理人 李晓冬

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G09G 3/20 (2006. 01)

(56) 对比文件

JP 特开平 9-243995 A, 1997. 09. 19,

US 2002/0067327 A1, 2002. 06. 06,

JP 特开 2003-108081 A, 2003. 04. 11,

CN 101276110 A, 2008. 10. 01,

审查员 郭栋

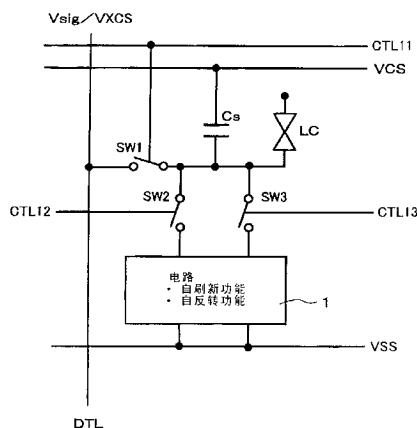
权利要求书2页 说明书16页 附图30页

(54) 发明名称

液晶显示面板和电子设备

(57) 摘要

本发明公开一种液晶显示面板和电子设备。液晶显示面板具有像素电路,所述像素电路包括:电容性元件,电容性元件保存表示灰阶电平的像素电位并且通过信号线被提供到每个像素;第一开关元件和第二开关元件,第一开关元件和第二开关元件被串联连接在电容性元件和信号线之间;复原电路,复原电路被连接到第一开关元件和第二开关元件之间的端子,并且进行操作以通过第一开关元件从电容性元件读出像素电位,对所读出的像素电位进行逻辑反转和进行复原,并且通过第一开关元件将经逻辑反转并复原的像素电位重写入电容性元件。



1. 一种液晶显示面板,所述液晶显示面板具有像素电路,所述像素电路包括:

电容性元件,所述电容性元件保存表示灰阶电平的像素电位并且通过信号线被提供到每个像素;

第一开关元件和第二开关元件,所述第一开关元件和所述第二开关元件被串联连接在所述电容性元件和所述信号线之间;

复原电路,所述复原电路被连接到所述第一开关元件和所述第二开关元件之间的端子,并且包括至少第三开关元件、第四开关元件和第一反转电路,

所述第三开关元件具有的第一端子被连接到所述第一开关元件的第一端子,并且所述第三开关元件具有的第二端子被连接到所述第一反转电路的输入端子,所述第三开关元件在第一操作时段期间被控制为断开并且在读出时段期间被控制为导通,在所述第一操作时段期间,像素电位从所述信号线被写入所述电容性元件,在所述读出时段期间,存储在所述电容性元件中的像素电位被读出,所述读出时段是第二操作时段的一部分,在所述第二操作时段期间,像素电位从所述电容性元件的读出、所读出的像素电位的反转和放大以及经逻辑反转和复原的像素电位向所述电容性元件的重写入被顺序执行;

所述第四开关元件具有的第一端子被连接到所述第一开关元件的所述第一端子,并且所述第四开关元件具有的第二端子被连接到所述第一反转电路的输出端子,所述第四开关元件在所述第一操作时段期间被控制为断开并且在写入时段期间被控制为导通,在所述写入时段期间,像素电位被写入所述电容性元件,所述写入时段是所述第二操作时段的另一部分;并且

所述复原电路进行操作以通过所述第三开关元件从所述电容性元件读出像素电位,对所读出的像素电位进行逻辑反转和进行复原,并且通过所述第四开关元件将经逻辑反转并复原的像素电位重写入所述电容性元件。

2. 根据权利要求1所述的液晶显示面板,其中:

所述第一开关元件在第一操作时段期间被控制为导通,并且在第二操作时段期间被控制为断开。

3. 根据权利要求1所述的液晶显示面板,其中,对每一个像素提供一个所述像素电路。

4. 根据权利要求1所述的液晶显示面板,其中,对每多个像素提供一个所述像素电路。

5. 根据权利要求1所述的液晶显示面板,其中,对每多个不同颜色的像素提供一个所述像素电路。

6. 根据权利要求1所述的液晶显示面板,其中,所述像素电路具有第二反转电路,该第二反转电路具有的输入端子被连接到所述第一反转电路的输出端子并且该第二反转电路具有的输出端被连接到所述第一反转电路的输入端子。

7. 一种电子设备,包括:液晶显示面板;系统控制部件,该系统控制部件控制整个所述电子设备;以及输入操作部件,所述输入操作部件对所述系统控制部件执行输入操作,所述液晶显示面板包括像素电路,所述像素电路包括:

电容性元件,所述电容性元件保存表示灰阶电平的像素电位并且通过信号线被提供到每个像素;

第一开关元件和第二开关元件,所述第一开关元件和所述第二开关元件被串联连接在所述电容性元件和所述信号线之间;

复原电路,所述复原电路被连接到所述第一开关元件和所述第二开关元件之间的端子,并且包括至少第三开关元件、第四开关元件和第一反转电路,

所述第三开关元件具有的第一端子被连接到所述第一开关元件的第一端子,并且所述第三开关元件具有的第二端子被连接到所述第一反转电路的输入端子,所述第三开关元件在第一操作时段期间被控制为断开并且在读出时段期间被控制为导通,在所述第一操作时段期间,像素电位从所述信号线被写入所述电容性元件,在所述读出时段期间,存储在所述电容性元件中的像素电位被读出,所述读出时段是第二操作时段的一部分,在所述第二操作时段期间,像素电位从所述电容性元件的读出、所读出的像素电位的反转和放大以及经逻辑反转和复原的像素电位向所述电容性元件的重写入被顺序执行;

所述第四开关元件具有的第一端子被连接到所述第一开关元件的所述第一端子,并且所述第四开关元件具有的第二端子被连接到所述第一反转电路的输出端子,所述第四开关元件在所述第一操作时段期间被控制为断开并且在写入时段期间被控制为导通,在所述写入时段期间,像素电位被写入所述电容性元件,所述写入时段是所述第二操作时段的另一部分;并且

所述复原电路进行操作以通过所述第三开关元件从所述电容性元件读出像素电位,对所读出的像素电位进行逻辑反转和进行复原,并且通过所述第四开关元件将经逻辑反转并复原的像素电位重写入所述电容性元件。

## 液晶显示面板和电子设备

[0001] 本申请是于 2009 年 12 月 17 日提交的申请号为“200910261056.1”并且发明名称为“液晶显示面板和电子设备”的专利申请的分案申请。

### 技术领域

[0002] 本发明涉及具有既适宜模拟显示模式又适宜存储器显示模式的像素结构的液晶显示面板。本发明还涉及安装有此液晶显示面板的电子设备。

### 背景技术

[0003] 近来,某些液晶显示面板既适宜模拟显示模式 (analog display mode) 中的显示又适宜存储器显示模式 (memory display mode) 中的显示 (例如,参见日本专利申请未实审公开 No. H09-243995)。模拟显示模式是指其中像素灰阶 (gray-scale) 可以利用最小显示单位 (在说明书中称为“子像素”) 中的多个灰阶来模拟表达的显示模式。存储器显示模式是指其中像素灰阶可以利用基于存储在存储器中的二进制信息 (H 电平或 L 电平) 的黑白两个灰阶来表达的显示模式。

[0004] 在存储器显示模式中,写入灰阶电位的操作不必要以帧周期来执行。因此,与模拟显示模式相比,在存储器显示模式中可以减少功耗。

### 发明内容

[0005] 图 1 和图 2 分别示出既适宜模拟显示模式又适宜存储器显示模式的液晶显示面板的像素电路示例。图 1 和图 2 的像素电路分别示出 SRAM 用于子像素内的存储器的情况。图 1 示出当针对一个子像素设置一个 SRAM 时的像素电路示例。图 2 示出针对三个子像素设置一个 SRAM 时的像素电路示例。

[0006] 在图 1 中,LC 示出与子像素对应的液晶。然而,在图 2 中,为了绘图的便利而示出为省略了 LC。

[0007] 在图 1 中,Cs 是保存灰阶电位的保持电容 (holding capacitance)。在图 2 中,三个保持电容被示出为 Cs (B)、Cs (G) 和 Cs (R)。括号中的 B 示出用于与蓝色对应的子像素的保持电容。括号中的 G 示出用于与绿色对应的子像素的保持电容。括号中的 R 示出用于与红色对应的子像素的保持电容。

[0008] 薄膜晶体管 N1、N1 (B)、N1 (G) 和 N1 (R) 中的每个是在向相应的保持电容 Cs 写入灰阶电位的时段期间被控制为导通并且在其他时段期间被控制为断开的有源元件。控制线 CTL1、CTL1 (B)、CTL1 (G) 和 CTL1 (R) 分别用于薄膜晶体管 N1、N1 (B)、N1 (G) 和 N1 (R)。在图 2 中,薄膜晶体管 N1、N1 (B)、N1 (G) 和 N1 (R) 的导通时段是按照时间顺序布置的。

[0009] 在图 1 中,薄膜晶体管 N2 是当向相应的一个子像素写入灰阶电位的时段期间被控制为导通的有源元件。在图 2 中,薄膜晶体管 N2 是在向相应的三个子像素写入灰阶电位的时段期间被控制为导通的有源元件。在图 2 中,最后向与蓝色对应的子像素写入灰阶电位。

[0010] 薄膜晶体管 N3 是当在模拟显示模式中写入灰阶电位时或者当在存储器显示模式

中写入与对向电极的电位不同的电位 VXCS 时被控制为导通的有源元件。SRAM(P1、P2、N6 和 N7) 的保持电位用于这样的控制。在本电路示例的情况中,当晶体管 N3 被导通时,晶体管 N4 被断开,并且当晶体管 N3 被断开时,晶体管 N4 被导通。

[0011] 薄膜晶体管 N4 是当在存储器显示模式中向保持电容写入与对向电极的电位相同的电位时被控制为导通的有源元件。

[0012] 薄膜晶体管 N5 是当向 SRAM(P1、P2、N6 和 N7) 写入控制电位时被控制为导通的有源元件。控制线 CTL2 用于控制薄膜晶体管 N5。薄膜晶体管 N5 被控制为导通或者断开,以使得当在模拟显示模式中写入灰阶电位时或者当在存储器显示模式中写入与对向电极的电位不同的电位 VXCS 时薄膜晶体管 N3 被控制为导通。

[0013] 在图 1 和图 2 中的像素电路仍存在一些困难。其中一个困难是形成 SRAM 需要大面积的事实。特别指出,当针对一个子像素布置一个 SRAM 时,透过开口率被降低。

[0014] 另外,当液晶显示面板要求高显示分辨率时,将在一个子像素内设置一个 SRAM 在技术上存在困难。这导致当采用图 1 或图 2 的电路配置时分辨率受到限制。

[0015] 希望提供一种能够避免透过开口率降低并实现高分辨率的具有存储器显示模式的液晶显示面板和电子设备。

[0016] 根据本发明的一个实施例的液晶显示面板包括:电容性元件,保存表示灰阶电平的像素电位并且设置在每个像素中;第一开关元件,具有第一端子和第二端子,第一端子连接到电容性元件的一个电极并且连接到液晶元件的驱动电极,第二端子连接到信号线,第一开关元件在从信号线向电容性元件写入像素电位的第一操作时段期间被控制为导通,并且在顺序执行从电容性元件读出像素电位、对读出的像素电位进线反转和放大并且将经过反转和放大的像素电位重新写入电容性元件的第二操作时段期间被控制为断开;第二开关元件,具有连接到第一开关元件的第一端子的第一端子,第二开关元件在所述第一操作时段期间被控制为断开,并且在读出存储于电容性元件的像素电位的读出时段期间被控制为导通,所述读出时段是所述第二操作时段的一部分;第三开关元件,具有连接到第一开关元件的第一端子的第一端子,第三开关元件在所述第一操作时段期间被控制为断开,并且在向电容性元件写入像素电位的写时段期间被控制为导通,所述写时段是所述第二操作时段的另一部分;以及电路,在所述读出时段期间通过第二开关元件将从电容性元件读出的像素电位的逻辑电平进行复原,并且然后在写时段期间通过第三开关元件将具有复原后的逻辑电平的逻辑反转的输出写入电容性元件。

[0017] 根据本发明的一个实施例的电子设备包括上面描述的液晶显示面板。

[0018] 在根据本发明的实施例的液晶显示面板和电子设备中,第二开关元件和第三开关元件在第一操作时段期间被控制为断开,并且在第一开关元件被控制为导通时的定时处,信号线的像素电位被写入电容性元件。另一方面,在第二操作时段期间,第一开关元件被控制为断开,并且在此状态中,第二开关元件被控制为导通并且第三开关元件被控制为断开。从而,由电容性元件保存的像素电位被所述电路读出,并且读出的像素电位的逻辑电平被复原。也就是说,执行了自刷新功能。然后,第二开关元件被控制为断开,并且第三开关元件被控制为导通。从而,具有复原后的逻辑电平的经过逻辑反转的输出被所述电路通过第三开关元件写入电容性元件。也就是说,执行了自反转功能。

[0019] 根据本发明的实施例的液晶显示面板和电子设备,在每个像素中的电容性元件被

用作 DRAM, 并且刷新操作在所述电路中完成。因此, 能够避免透过开口率的降低并实现高分辨率。此外, 在刷新操作期间, 不必要对具有大负载容量的信号线进行充电或放电。因此, 能够降低与刷新操作相关联的功耗。

[0020] 本发明的其它和进一步的目的、特征以及优点将从下面的描述表现得更全面。

#### 附图说明

- [0021] 图 1 是示出液晶显示面板的像素结构示例的示图；
- [0022] 图 2 是示出液晶显示面板的像素结构示例的示图；
- [0023] 图 3 是示出根据本发明一个实施例的液晶显示面板的像素结构示例的示图；
- [0024] 图 4 是示出液晶显示面板的外观的示例的示图；
- [0025] 图 5 是示出液晶显示面板的截面结构示例的示图；
- [0026] 图 6 是示出液晶显示面板的系统配置示例的示图；
- [0027] 图 7 是示出子像素的布置示例的示图；
- [0028] 图 8 是示出根据第一实施例的像素电路的配置示例的示图；
- [0029] 图 9 是示出模拟显示模式中的驱动操作示例的示图；
- [0030] 图 10 是示出模拟显示模式中的像素电路内的连接状态的示图；
- [0031] 图 11 是示出在存储器显示模式中的总的驱动操作示例的示图；
- [0032] 图 12 是示出在存储器显示模式中的详细驱动操作示例的示图；
- [0033] 图 13 是示出当从保持电容读出灰阶电位时像素电路内的连接状态的示图；
- [0034] 图 14 是示出在闭锁操作期间像素电路内的连接状态的示图；
- [0035] 图 15 是示出在过渡时段中像素电路内的连接状态的示图；
- [0036] 图 16 是示出当逻辑中经反转的灰阶电位被写入保持电容时像素电路内的连接状态的示图；
- [0037] 图 17 是示出根据第二实施例的像素电路的配置示例的示图；
- [0038] 图 18 是示出在模拟显示模式中的驱动操作示例的示图；
- [0039] 图 19 是示出在存储器显示模式中的总的驱动操作示例的示图；
- [0040] 图 20 是示出在存储器显示模式中的详细驱动操作示例的示图；
- [0041] 图 21 是示出根据第三实施例的像素电路的配置示例的示图；
- [0042] 图 22 是示出在模拟显示模式中的驱动操作示例的示图；
- [0043] 图 23 是示出在存储器显示模式中的总的驱动操作示例的示图；
- [0044] 图 24 是示出像素电路的另一配置示例的示图；
- [0045] 图 25 是示出在存储器显示模式中的详细驱动操作示例的示图；
- [0046] 图 26 是示出电子设备的功能配置示例的示图；
- [0047] 图 27 是示出电子设备的产品的示例的示图；
- [0048] 图 28A 和图 28B 是示出电子设备的产品的示例的示图；
- [0049] 图 29 是示出电子设备的产品的示例的示图；
- [0050] 图 30A 和图 30B 是示出电子设备的产品的示例的示图；
- [0051] 图 31 是示出电子设备的产品的示例的示图。

## 具体实施方式

[0052] 下面将参考附图详细描述本发明的实施例。

[0053] 根据本发明的一个实施例的液晶显示面板采用了一种像素电路,该像素电路利用保存灰阶电位的电容性元件作为 DRAM,并且包括下面的元件 (1) 到 (5),如图 3 中所示。

[0054] (1) 电容性元件 Cs,保存表示灰阶电平的像素电位,并且设置在每个像素中。

[0055] (2) 第一开关 SW1,具有第一端子和第二端子,第一端子连接到电容性元件的一个电极并且连接到液晶元件的驱动电极,第二端子连接到信号线。第一开关在从信号线向电容性元件写入像素电位的第一操作时段期间被控制为导通,在顺序执行从电容性元件读出像素电位、对读出的像素电位进线反转和放大并且将经过反转和放大的像素电位重新写入电容性元件的第二操作时段期间被控制为断开。

[0056] (3) 第二开关 SW2,具有连接到第一开关的第一端子的第一端子。第二开关在第一操作时段期间被控制为断开,并且在读出存储于电容性元件的像素电位的读出时段期间被控制为导通。读出时段是第二操作时段的一部分。

[0057] (4) 第三开关 SW3,具有连接到第一开关元件的第一端子的第一端子。第三开关在第一操作时段期间被控制为断开,并且在向电容性元件写入像素电位的写时段期间被控制为导通。写时段是第二操作时段的另一部分。

[0058] (5) 电路 1,对在读出时段期间通过第二开关从电容性元件读出的像素电位的逻辑电平进行复原,并且然后在写时段期间通过第三开关将具有经复原的逻辑电平的逻辑反转的输出写入电容性元件。

[0059] 下面,将参考图 4 到图 31 描述本发明的实施例。将按照下面的顺序给出描述。

[0060] (A) 液晶显示面板的基本结构

[0061] (B) 第一实施例:每个子像素有一个电路 1

[0062] (B-1) 系统配置示例

[0063] (B-2) 像素电路的配置

[0064] (B-3) 驱动操作示例

[0065] (B-4) 结论

[0066] (C) 第二实施例:每三个子像素有一个电路 1

[0067] (C-1) 像素电路的配置

[0068] (C-2) 驱动操作示例

[0069] (C-3) 结论

[0070] (D) 第三实施例:每六个子像素有一个电路 1

[0071] (D-1) 像素电路的配置

[0072] (D-2) 驱动操作示例

[0073] (D-3) 结论

[0074] (E) 其它实施例

[0075] 应当意识到本发明不限于这些实施例。

[0076] (A) 液晶显示面板的基本结构

[0077] (A-1) 外部结构

[0078] 首先,描述液晶显示面板的外观的一个示例。如此处所使用的,术语“液晶显示面

板”不仅涉及像素阵列部件和驱动电路是利用相同的处理而形成的面板模块,而且涉及配置为集成电路的驱动电路被安装在设有像素阵列部件的面板上的面板模块。此处的集成电路相当于“半导体设备”。

[0079] 图 4 示出液晶显示面板的外观的示例。液晶显示面板 11 具有如下结构,其中支持基板 13 与对向基板 15 附接。

[0080] 支持基板 13 包括玻璃、塑料或者其它透过性材料。对向基板 15 也包括玻璃、塑料或者其它透过性材料。对向基板 15 是在与支持基板 13 之间以密封材料密封支持基板 13 的表面的构件。

[0081] 另外, FPC(柔性印刷电路)7 设在液晶显示面板 11 上,用于按照需要输入外部信号或者驱动功率。

[0082] (A-2) 截面结构

[0083] 图 5 示出液晶显示面板的截面结构示例。图 5 的液晶显示面板 11 包括两个玻璃基板,即 13 和 15,以及以被基板夹在中间的方式被包围的液晶层 19。偏光板 21 设置在每个基板的外表面上,并且配向膜 23 设置在每个基板的内表面上。配向膜 23 用于将液晶层 19 的液晶分子排列在一定方向中。通常使用聚酰亚胺膜作为膜 23。

[0084] 像素电极 25 和对向电极 27 形成在玻璃基板 15 上,电极 25 和 27 分别由透明导电膜形成。在图 5 中,像素电极 25 具有如下的结构,其中形成为梳状的 5 个电极分枝 25A 的两端经由连接而被连接。

[0085] 相反,相对于电极分枝 25A,电极 27 以覆盖整个像素区域的方式形成在下层侧(玻璃基板 15 侧)上。此电极结构在电极分枝 25A 和对向电极 27 之间包括抛物线状电场。也就是说,电极分枝 25A 的顶部区域也可受到电场的影响。因此,整个像素区域的液晶都可被定向到所希望的方位方向。

[0086] (B) 第一实施例

[0087] (B-1) 系统配置示例

[0088] 首先,对具有根据本发明的像素结构的液晶显示面板 31 的系统配置进行描述。

[0089] 图 6 示出液晶显示面板模块 31 的系统配置示例。模块 31 具有如下的配置,其中,像素阵列部件 33、信号线驱动部件 35、控制线驱动部件 37 和驱动定时生成部件 39 被布置在下玻璃基板(对应于图 5 中的玻璃基板 15)上。在本实施例中,像素阵列部件 33 的驱动电路被形成一个或多个半导体集成电路,并且被安装在玻璃基板上。

[0090] 像素阵列部件 33 具有矩阵结构,其中白色单元(每个单元构成一个显示像素)以 M 行 N 列被布置。如在此所使用的,术语“行”是指由图中布置在 X 轴方向的  $3 \times N$  个子像素 41 构成的像素行。术语“列”是指由图中布置在 Y 轴方向由 M 个子像素 41 构成的像素行。注意 M 的值和 N 的值分别根据在垂直方向的显示分辨率和水平方向的显示分辨率来确定。

[0091] 图 7 示出构成白色单元的子像素 41 的布置示例。图 7 的示例是当白色单元由与三原色对应的子像素 41 构成时的布置示例。注意,白色单元的构成不限于此。

[0092] 信号线驱动部件 35 是电路驱动信号线 DTL。在本实施例中,信号线 DTL 在图中的 Y 轴方向延伸连线。例如,在模拟显示模式中,信号线驱动部件 35 进行操作以使得根据像素灰阶的可选灰阶电位(模拟电位  $V_{sig}$ )被施加到相应的信号线 DTL。例如,即使在存储器显示模式中,当要被存储到子像素 41 中的灰阶电位的逻辑电平改变时,部件 35 也进行操作以

使得必要的像素灰阶施加到相应的信号线 DTL。

[0093] 控制线驱动部件 37 是电路驱动控制线 CTL21 到 25。在本示例中,控制线 CTL21 到 25 在图中的 X 方向延伸连线。例如,在模拟显示模式中,部件 37 控制将施加到信号线 DTL 的灰阶电位写入子像素 41 的操作。例如,在存储器显示模式中,部件 37 控制重写操作以及对在子像素 41 中存储的灰阶电位的刷新操作。

[0094] 驱动定时生成部件 39 是向信号线驱动部件 35 和控制线驱动部件 37 提供驱动脉冲的电路设备。

[0095] (B-2) 像素电路的配置

[0096] 图 8 示出与根据本实施例的子像素 41 相应的像素电路的配置示例。图 8 示出作为当具有自刷新功能和自反转功能的电路 1(图 3)与子像素 41 一一对应地设置时的电路配置示例的电路配置。

[0097] 以下,描述构成像素电路的每个元件。

[0098] 在图 8 中,LC 示出与子像素 41 对应的液晶。

[0099] 在图 8 中,“Cs”示出保存灰阶电位的保持电容。在本实施例中,保持电容 Cs 在存储器显示模式中被用作 DRAM。

[0100] 薄膜晶体管 N11 是在向保持电容 Cs 写入灰阶电位期间被控制为导通并且在其它时段期间被控制为断开的有源元件。控制线 CTL21 用于控制薄膜晶体管 N11。晶体管 N11 的一个主电极连接到连接像素电极的配线,并且另一电极通过配线连接到薄膜晶体管 N12 的一个主电极。

[0101] 薄膜晶体管 N12 是当从信号线 DTL 写入灰阶电位时被控制为导通的有源元件。控制线 CTL22 用于控制薄膜晶体管 N12。薄膜晶体管 N12 对应于图 3 中的第一开关 SW1。晶体管 N12 的一个主电极连接到信号线 DTL,其另一电极通过配线连接到薄膜晶体管 N11 的一个主电极。

[0102] 薄膜晶体管 N13 是当从信号线向保持电容写像素电位时被控制为断开的有源元件。晶体管 N13 仅在执行存储器显示模式的内部刷新操作期间紧在每个帧结束之前的一定时段被控制为导通。在薄膜晶体管 N13 被控制为导通的时段期间,由用作 DRAM 的保持电容保存的灰阶电位被电路 1(图 3)读出。控制线 CTL23 用于薄膜晶体管 N13。薄膜晶体管 N13 对应于图 3 中的第二开关 SW2。

[0103] 薄膜晶体管 N14 也是当从信号线向保持电容写入像素电位时被控制为断开的有源元件。晶体管 N14 仅在执行存储器显示模式的内部刷新操作期间紧在每个帧开始之后的一定时段被控制为导通。在薄膜晶体管 N14 被控制为导通的时段期间,已经在电路 1(图 3)内的逻辑中被反转的灰阶电位被写入保持电容 Cs。控制线 CTL24 用于控制薄膜晶体管 N14。薄膜晶体管 N14 对应于图 3 中的第三开关 SW3。

[0104] 薄膜晶体管 P11、P12、N15、N16 和 N17 构成图 3 中的电路 1。

[0105] 薄膜晶体管 P11 和 N15 构成一个反转电路(放大器电路)。另外,薄膜晶体管 P12 和 N16 构成一个反转电路(放大器电路)。反转电路的驱动功率包括高电平功率 VDD 和低电平功率 VSS。

[0106] 包括薄膜晶体管 P11 和 N15 的反转电路的输入侧连接到薄膜晶体管 N13 的一个主电极。该反转电路可以在薄膜晶体管 N13 导通时输入保持电容 Cs 的灰阶电位。

[0107] 包括薄膜晶体管 P12 和 N16 的反转电路的输入侧连接到薄膜晶体管 N14 的一个主电极。该反转电路可以在晶体管 N14 导通时将逻辑中经反转的灰阶电位写入保持电容 Cs。

[0108] 包括薄膜晶体管 P11 和 N15 的反转电路的输出侧连接到包括薄膜晶体管 P12 和 N16 的反转电路的输入侧。包括薄膜晶体管 P12 和 N16 的反转电路的输出侧通过薄膜晶体管 N17 连接到包括薄膜晶体管 P11 和 N15 的反转电路的输入侧。薄膜晶体管 N17 控制电路 1(图 3)的操作。控制线 CTL25 用于控制薄膜晶体管 N17。

[0109] 例如,当薄膜晶体管 N17 为导通时,这两个反转电路作为闭锁电路进行操作。当反转电路作为闭锁电路进行操作时,自刷新功能被使能。也就是说,复原逻辑电平的操作被执行,以使得具有 VDD 到 VSS 的逻辑幅度。从保持电容读出的灰阶电位的经反转的输出被提供在包括薄膜晶体管 P11 和 N15 的反转电路的输出侧上。

[0110] 另外,例如,当薄膜晶体管 N17 为断开时,两个反转电路作为独立的放大器电路进行操作。

[0111] (B-3) 驱动操作示例

[0112] 以下,针对各个显示模式描述构成子像素 41 的像素电路的驱动操作示例。

[0113] (1) 模拟显示模式

[0114] 图 9 示出在模拟显示模式中控制线驱动部件 37 对某个扫描线的特定控制操作。在图 9 中,(A) 示出施加到信号线 DTL 的灰阶电位的波形。在本实施例中,施加在像素电极和对向电极之间的电压的极性在一个水平时段周期(1H 周期)上被反转。也就是说,线反转驱动被执行。因此,在(A)中,施加到信号线 DTL 的灰阶电位的波形被绘制为使得电位电平在 1H 周期上被反转。施加到信号线 DTL 的灰阶电位的高电平电位为 VDD1,其低电平电位为 VSS。虽然(A)示出了最大幅度的情况的示例,但是实际上依赖于像素灰阶而使用 VDD1 和 VSS 之间的电位电平。

[0115] 在图 9 中,(B) 示出控制线 CTL21 和 CTL22 中每个的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。如图中所示,仅在从信号线 DTL 写入灰阶电位时,驱动电位才被控制为高电平电位 VDD2。

[0116] (C) 示出控制线 CTL23 和 CTL24 中每个的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式中,控制线 CTL23 和 CTL24 被连续地控制在低电平电位 VSS2。

[0117] (D) 示出控制线 CTL25 的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式中,控制线 CTL25 被连续地控制在高电平电位 VDD2。

[0118] 图 10 示出在模拟显示模式中从信号线 DTL 写入灰阶电位时像素电路内的连接状态。灰阶电位的写入路径由箭头示出。

[0119] 在此情况中,仅仅对应于第一开关 SW1 的薄膜晶体管 N12 被控制为导通,如图 10 所示。相反,在此整个时段中,对应于第二开关 SW2 的薄膜晶体管 N13 和对应于第三开关 SW3 的薄膜晶体管 N14 都被控制为断开。也就是说,像素电路的包括保持电容 Cs 和像素电极的一部分被很好地与电路 1(图 3)隔离开。

[0120] 电路 1 中的薄膜晶体管 N17 被连续地控制为导通,并且因此连续地作为闭锁电路进行操作。

[0121] (2) 存储器显示模式

[0122] 存储器显示模式包括从信号线 DTL 向保持电容 Cs 写入灰阶电位的操作,以及对存储在子像素内的保持电容 Cs 中的灰阶电位进行刷新的操作。例如,当显示内容被改变时,执行从信号线 DTL 向保持电容 Cs 写入灰阶电位的操作。当从信号线 DTL 向保持电容 Cs 写入灰阶电位时,像素电路的操作与在模拟显示模式中相同。因此,省略了对此操作的描述。

[0123] 图 11 示出在对存储在子像素内的保持电容 Cs 中的灰阶电位进行刷新的情况中控制线驱动部件 37 的控制操作的内容。图 11 示出帧中的驱动操作关系。

[0124] 在图 11 中,(A) 示出控制线 CTL21 的驱动波形。(B) 示出控制线 CTL23 和 CTL24 中的每个的驱动波形。在一帧周期中,这两个控制线被施加脉冲方式的高电平电位。(C) 示出控制线 CTL25 的驱动波形。在一帧周期中,控制线 CTL25 被施加脉冲方式的低电平电位。

[0125] 在图 11 中,(D) 示出对向电极电位 VCS 的驱动波形。如图中所示,在一帧周期中,高电平电位和低电平电位被交替输出。

[0126] (E) 示出要被写入保持电容 Cs 的灰阶电位 (PIX) 的改变的波形。如图中所示,灰阶电位 (PIX) 交替改变,以在存储器显示模式中保持子像素 41 的发光状态。

[0127] 在存储器显示模式中,控制线 CTL22 被连续地控制为低电平电位。

[0128] 接着,将详细描述一个帧内的驱动操作。

[0129] 图 12 示出在存储器显示模式中控制线驱动部件 37 对某扫描线的控制操作的内容。图 12 以放大的方式示出图 11 的帧之间的边界部分。在图 12 中,在前的帧被示出为帧 N,在后的帧被示出为帧 N+1。

[0130] 在图 12 中,(A) 示出控制线 CTL21 的驱动波形。如图中所示,控制线 CTL21 在从紧在帧 N 结束之前的点到紧在帧 N+1 开始之后的点的一定时段被控制为高电平电位 VDD2。

[0131] (B) 示出控制线 CTL23 的驱动波形。如图中所示,控制线 CTL23 仅在紧在各帧结束之前的一定时段被控制为高电平电位 VDD2。

[0132] (C) 示出控制线 CTL24 的驱动波形。如图中所示,控制线 CTL24 仅在紧在各帧开始之后的一定时段被控制为高电平电位 VDD2。

[0133] (D) 示出控制线 CTL25 的驱动波形。如图中所示,控制线 CTL25 基本被控制为高电平电位 VDD2,但是紧在从保持电容 Cs 向电路 1 (图 3) 读灰阶电位开始之前被控制为低电平电位 VSS2。

[0134] 然后,当一定时间过去之后,控制线 CTL25 被再次控制为高电平电位 VDD2。在帧 N 结束之前,这样高电平电位 VDD2 的施加被执行一定时段。在施加高电平电位 VDD2 期间,电路 1 (图 3) 的闭锁功能被使能,并且从保持电容读出的灰阶电位 (PIX) 被返回到初始电位。也就是说,执行了自刷新操作。照此方式,在不用对信号线 DTL 进行充电或放电的情况下执行了自刷新操作。

[0135] 当自刷新操作结束时,控制线 CTL25 被再次控制为低电平电位 VSS2,并且在从下一帧的开始过去一定时段之前一直保持这样的电位状态。然后,在从用作第三开关 SW3 的薄膜晶体管 N14 的导通控制开始过去一定时间之后,控制线 CTL25 被再次控制为导通,并且保持这样的电位状态。

[0136] 在图 12 中,(E) 示出对向电极电位 VCS 的改变的波形。如图中所示,电位电平随着帧周期被反转。

[0137] 图 13 示出当在存储器显示模式中从保持电容 Cs 读灰阶电位 (PIX) 时像素电路内

的状态。

[0138] 此时,薄膜晶体管 N11 和薄膜晶体管 N13(第二开关 SW2)被控制为导通。因此,用作 DRAM 的保持电容 Cs 所保存的灰阶电位被包括薄膜晶体管 P11 和薄膜晶体管 N15 的反转电路通过该反转电路的输入端读出。

[0139] 当在此状态中薄膜晶体管 N17 被控制为导通时,电路 1(图 3)作为闭锁电路进行操作,如图 14 所示,并且从保持电容 Cs 读出的灰阶电位的逻辑幅度被复原。

[0140] 然后,薄膜晶体管 N17 被控制为断开,并且然后薄膜晶体管 N13 也被控制为断开。此状态是如图 15 中所示的连接状态。因此,在帧 N 的时段期间,逻辑上经反转的灰阶电位被提供到薄膜晶体管 P12 和 N16 中的每个的输入侧,同时复原了从保持电容 Cs 读出的灰阶电位的逻辑幅度。

[0141] 然后,薄膜晶体管 N14 首先被控制为导通,并且然后薄膜晶体管 N17 被控制为导通。此状态如图 16 中所示的连接状态。这样,灰阶电位被新写入保持电容 Cs,在帧 N 的灰阶电位被刷新之后,此灰阶电位逻辑上被反转。

[0142] 在存储器显示模式的时段期间重复上述操作。

[0143] (B-4) 结论

[0144] 根据本实施例的像素结构被使用,以使得能够实现既适宜模拟显示模式又适宜存储器显示模式的液晶显示面板。

[0145] 另外,因为在存储器显示模式中保持电容被用作 DRAM,所以电容面积可以较小,并且因此可以将开口率设计得较高。

[0146] 而且,在根据本实施例的像素结构的情况中,在存储器显示模式中,子像素 41 基本不必要连接到信号线 DTL。也就是说,即使信号线 DTL 没有被充电或者放电,被允许用作 DRAM 的保持电容的灰阶电位也可以被刷新。这又使得能够降低存储器显示模式中的功耗。

[0147] (C) 第二实施例

[0148] 接着,描述第二实施例。在本实施例中,对针对构成白色单元的三个子像素 41 设置一个电路 1(图 3)的情况进行描述。

[0149] (C-1) 像素电路的配置

[0150] 图 17 示出与根据本实施例的子像素 41 相应的像素电路的配置示例。在图 17 中,以相同的标号或符号来标记与图 8 对应的部分。在图 17 中,也省略示出 LC,以便绘制如图 2 中那样。

[0151] 图 17 与图 8 的不同在于薄膜晶体管 N11 是针对构成白色单元的三个子像素 41 而准备的。也就是说,准备了三个薄膜晶体管 N11(B)、N11(G) 和 N11(R)。括号中的“B”表示用于与蓝色对应的子像素的薄膜晶体管。括号中的 G 表示用于与绿色对应的子像素的薄膜晶体管。括号中的 R 表示用于与红色对应的子像素的薄膜晶体管。

[0152] 因此,保持电容 Cs(B) 示出与蓝色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(G) 示出与绿色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(R) 示出与红色显示对应的子像素 41 的保持电容 Cs。

[0153] 控制线 CTL21(B) 用于控制薄膜晶体管 N11(B)。控制线 CTL21(G) 用于控制薄膜晶体管 N11(G)。控制线 CTL21(R) 用于控制薄膜晶体管 N11(R)。

[0154] (C-2) 驱动操作示例

[0155] 下面,将针对各个显示模式描述根据本实施例的像素电路的驱动操作示例。

[0156] (1) 模拟显示模式

[0157] 图 18 示出在模拟显示模式中控制线驱动部件 37 对于某个扫描线的控制操作的内容。在图 18 中, (A) 示出施加到信号线 DTL 的灰阶电位的波形。在本实施例中,施加在像素电极和对向电极之间的电压的极性在一个水平时段周期(1H 周期)上被反转。也就是说,线反转驱动被执行。因此,在(A)中,施加到信号线 DTL 的灰阶电位的波形被绘制为使得电位电平在 1H 周期上被反转。施加到信号线 DTL 的灰阶电位的高电平电位为 VDD1,其低电平电位为 VSS。虽然(A)示出了最大幅度的情况的示例,但是实际上依赖于像素灰阶使用在 VDD1 和 VSS 之间的电位电平。

[0158] 在图 18 中, (B) 示出控制线 CTL22 的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。如图中所示,仅在从信号线 DTL 写入灰阶电位时,驱动电位才被控制为高电平电位 VDD2。

[0159] (C1) 到 (C3) 分别示出控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 的驱动波形。如图中所示,控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 按照 R、G 和 B 的顺序被顺序控制为高电平电位 VDD2。各个控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 处于高电平电位 VDD2 的时段被设定为彼此不重叠。在控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 的每个处于高电平电位 VDD2 期间,相应的信号电位  $V_{sig}$  被施加到信号线 DTL。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。

[0160] 在图 18 中, (D) 示出控制线 CTL23 和 CTL24 中每个的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式的情况中,控制线 CTL23 和 CTL24 被连续地控制在低电平电位 VSS2。

[0161] (E) 示出控制线 CTL25 的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式中,控制线 CTL25 被连续地控制在高电平电位 VDD2。

[0162] (2) 存储器显示模式

[0163] 存储器显示模式包括从信号线 DTL 向保持电容  $C_s$  写入灰阶电位的操作,以及对存储在子像素内的保持电容  $C_s$  中的灰阶电位进行刷新的操作。例如,当显示内容被改变时,执行从信号线 DTL 向保持电容  $C_s$  写入灰阶电位的操作。当从信号线 DTL 向保持电容  $C_s$  写入灰阶电位时,像素电路执行与在模拟显示模式中的操作相同的操作。因此,省略了对此操作的描述。

[0164] 图 19 示出在对存储在子像素内的保持电容  $C_s$  中的灰阶电位进行刷新的情况中控制线驱动部件 37 的控制操作的内容。图 19 示出帧中的驱动操作关系。

[0165] 在图 19 中, (A1) 到 (A3) 分别示出控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 的驱动波形。在本实施例中,在三帧的周期中,控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 被施加脉冲方式的高电平电位。

[0166] 在图 19 中, (B) 示出控制线 CTL23 和 CTL24 中的每个的驱动波形。在一帧周期中,这两个控制线被施加脉冲方式的高电平电位。(C) 示出控制线 CTL25 的驱动波形。在一帧周期中,控制线 CTL25 被施加脉冲方式的低电平电位。

[0167] 在图 19 中, (D) 示出对向电极电位 VCS 的驱动波形。如图中所示,在一帧周期中,高电平电位和低电平电位被交替输出。

[0168] (E1) 到 (E3) 分别示出要被写入保持电容  $C_s$  的灰阶电位 (PIXR、PIXG 和 PIXB) 的改变的波形。在图中, 由虚线示出的波形是对向电极电位 VCS 的驱动波形。由实线示出的波形是在每个子像素 41 中存储的灰阶电位的波形。

[0169] 如在图中所示, 灰阶电位随着对向电极电位的改变而改变, 并且对向电极电位 VCS 和由保持电容  $C_s$  保存的灰阶电位 (PIXR、PIXG 和 PIXB) 之间的电位关系在三帧的周期中改变。也就是说, 在三帧的周期中, 执行针对每种颜色的自刷新 / 自反转操作。注意, 从在前的自刷新 / 自反转操作到在后的自刷新 / 自反转操作, 保持子像素 41 内的电位关系。因此, 在本实施例中, 即使刷新率是三帧的周期, 保持电容  $C_s$  也具有足以保持一定灰阶电位的电容。在存储器显示模式中, 控制线 CTL22 被连续地控制为低电平电位。

[0170] 接着, 将详细描述一个帧内的驱动操作。

[0171] 图 20 示出在存储器显示模式中控制线驱动部件 37 对某扫描线的控制操作的内容。图 20 以放大的方式示出图 19 的帧之间的边界部分。在图 20 中, 在前的帧被示出为帧 N, 在后的帧被示出为帧 N+1。

[0172] 在图 20 中, (A) 示出控制线 CTL21 (R)、CTL21 (G) 和 CTL21 (B) 中每个的驱动波形。也就是说, (A) 示出在图 19 的 (A1) 到 (A3) 中的每个脉冲输出的时间点处的操作。以下, 对控制线 CTL21 (R) 做出描述。

[0173] 如在图中所示, 控制线 CTL21 (R) 在从紧在帧 N 结束之前的点到紧在帧 N+1 开始之后的点的一定时段被控制为高电平电位 VDD2。

[0174] (B) 示出控制线 CTL23 的驱动波形。如在图中所示, 控制线 CTL23 仅在紧在各帧结束之前的一定时段被控制为高电平电位 VDD2。

[0175] (C) 示出控制线 CTL24 的驱动波形。如在图中所示, 控制线 CTL24 仅在紧在各帧开始之后的一定时段被控制为高电平电位 VDD2。

[0176] (D) 示出控制线 CTL25 的驱动波形。如在图中所示, 控制线 CTL25 基本被控制为高电平电位 VDD2, 但是紧在从保持电容  $C_s$  向电路 1 (图 3) 读灰阶电位开始之前被控制为低电平电位 VSS2。

[0177] 然后, 当一定时间过去之后, 控制线 CTL25 被再次控制为高电平电位 VDD2。在帧 N 结束之前, 这样高电平电位 VDD2 的施加被执行一定时段。在施加高电平电位 VDD2 期间, 电路 1 (图 3) 的闭锁功能被使能, 并且从保持电容读出的灰阶电位 (PIX) 被返回到初始电位。也就是说, 执行了自刷新操作。照此方式, 在不用对信号线 DTL 进行充电或放电的情况下执行了自刷新操作。

[0178] 当自刷新操作结束时, 控制线 CTL25 被再次控制为低电平电位 VSS2, 并且在从下一帧的开始过去一定时段之前一直保持这样的电位状态。然后, 在从用作第三开关 SW3 的薄膜晶体管 N14 的导通控制开始过去一定时间之后, 控制线 CTL25 被再次控制为导通, 并且保持这样的电位状态。

[0179] 在图 20 中, (E) 示出对向电极电位 VCS 的改变的波形。如图中所示, 电位电平随着帧周期被反转。

[0180] 在针对与红色显示对应的子像素 41、与绿色显示对应的子像素 41 和与蓝色显示对应的子像素 41 的帧中顺序执行上述操作。

[0181] (C-3) 结论

[0182] 在本实施例中,也能够实现既适宜模拟显示模式又适宜存储器显示模式的液晶显示面板。

[0183] 另外,在本实施例中,单个电路 1(图 3)可以被顺序用于三个子像素 41。也就是说,在一个白色单元内形成的多个电路 1(图 3)可以从三个减少为一个。结果,一个像素区域内构成白色单元的多个元件可以被减少。此外,当构成液晶显示面板的多个元件被减少了时,产率可以相应地提高。

[0184] (D) 第三实施例

[0185] 接着,描述第三实施例。在本实施例中,对针对构成两个白色单元的六个子像素 41 设置一个电路 1(图 3)的情况进行描述。

[0186] (D-1) 像素电路的配置

[0187] 图 21 示出与根据第三实施例的子像素 41 相应的像素电路的配置示例。在图 21 中,以相同的标号或符号来标记与图 17 对应的部分。在图 21 中,也省略示出 LC,以便绘制如图 2 或图 17 中的情况那样。

[0188] 图 21 与图 2 和图 17 的不同在于薄膜晶体管 N11 是针对构成两个白色单元的六个子像素 41 而准备的。也就是说,准备了六个薄膜晶体管 N11(B1)、N11(G1)、N11(R1)、N11(B2)、N11(G2) 和 N11(R2)。

[0189] 在图 21 中,括号中的“B”也表示用于与蓝色对应的子像素的薄膜晶体管。括号中的 G 表示用于与绿色对应的子像素的薄膜晶体管。括号中的 R 表示用于与红色对应的子像素的薄膜晶体管。

[0190] 括号中的“1”表示用于构成第一白色单元的子像素的薄膜晶体管,并且括号中的“2”表示用于构成第二白色单元的子像素的薄膜晶体管。

[0191] 因此,保持电容 Cs(B1) 示出与构成第一白色单元的蓝色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(G1) 示出与构成第一白色单元的绿色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(R1) 示出与构成第一白色单元的红色显示对应的子像素 41 的保持电容 Cs。

[0192] 保持电容 Cs(B2) 示出与构成第二白色单元的蓝色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(G2) 示出与构成第二白色单元的绿色显示对应的子像素 41 的保持电容 Cs。类似地,保持电容 Cs(R2) 示出与构成第二白色单元的红色显示对应的子像素 41 的保持电容 Cs。

[0193] 控制线 CTL21(B1) 用于控制薄膜晶体管 N11(B1)。控制线 CTL21(G1) 用于控制薄膜晶体管 N11(G1)。控制线 CTL21(R1) 用于控制薄膜晶体管 N11(R1)。

[0194] 控制线 CTL21(B2) 用于控制薄膜晶体管 N11(B2)。控制线 CTL21(G2) 用于控制薄膜晶体管 N11(G2)。控制线 CTL21(R2) 用于控制薄膜晶体管 N11(R2)。

[0195] (D-2) 驱动操作示例

[0196] 下面,将针对各个显示模式描述根据本实施例的像素电路的驱动操作示例。

[0197] (1) 模拟显示模式

[0198] 图 22 示出在模拟显示模式控制线驱动部件 37 对于某个扫面线的控制操作的内容。在图 22 中,(A) 示出施加到信号线 DTL 的灰阶电位的波形。在本实施例中,施加在像素电极和对向电极之间的电压的极性也在一个水平时段周期(1H 周期)上被反转。也就是

说,线反转驱动被执行。因此,在(A)中,施加到信号线 DTL 的灰阶电位的波形被绘制为使得电位电平在 1H 周期上被反转。施加到信号线 DTL 的灰阶电位的高电平电位为 VDD1,其低电平电位为 VSS。虽然(A)示出了最大幅度的情况的示例,但是实际上依赖于像素灰阶使用在 VDD1 和 VSS 之间的电位电平。

[0199] 在图 22 中,(B) 示出控制线 CTL22 的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。如图中所示,仅在从信号线 DTL 写入灰阶电位时,驱动电位才被控制为高电平电位 VDD2。

[0200] (C1) 到 (C6) 分别示出控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 的驱动波形。省略示出控制线 CTL21 (B1)、CTL21 (R2) 和 CTL21 (G2)。

[0201] 如图中所示,控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 按照 R1、G1、B1、R2、G2 和 B2 的顺序被顺序控制为高电平电位 VDD2。各个控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 处于高电平电位 VDD2 的时段被设定为彼此不重叠。在控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 的每个处于高电平电位 VDD2 期间,相应的信号电位 Vsig 被施加到信号线 DTL。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。

[0202] 在图 22 中,(D) 示出控制线 CTL23 和 CTL24 中每个的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式中,控制线 CTL23 和 CTL24 被连续地控制在低电平电位 VSS2。

[0203] (E) 示出控制线 CTL25 的驱动波形。驱动幅度的高电平电位为 VDD2,其低电平电位为 VSS2。然而,在模拟显示模式中,控制线 CTL25 被连续地控制在高电平电位 VDD2。

[0204] (2) 存储器显示模式

[0205] 存储器显示模式包括从信号线 DTL 向保持电容 Cs 写入灰阶电位的操作,以及对存储在子像素内的保持电容 Cs 中的灰阶电位进行刷新的操作。例如,当显示内容被改变时,执行从信号线 DTL 向保持电容 Cs 写入灰阶电位的操作。当从信号线 DTL 向保持电容 Cs 写入灰阶电位时,像素电路的操作与在模拟显示模式中相同。因此,省略了对此操作的描述。

[0206] 图 23 示出在对存储在子像素内的保持电容 Cs 中的灰阶电位进行刷新的情况中控制线驱动部件 37 的控制操作的内容。图 23 示出帧中的驱动操作关系。

[0207] 在图 23 中,(A1) 到 (A6) 分别示出控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 的驱动波形。在本实施例中,在六帧的周期中,控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 被施加脉冲方式的高电平电位。

[0208] 在图 23 中,(B) 示出控制线 CTL23 和 CTL24 中的每个的驱动波形。在一帧周期中,这两个控制线被施加脉冲方式的高电平电位。(C) 示出控制线 CTL25 的驱动波形。在一帧周期中,控制线 CTL25 被施加脉冲方式的低电平电位。

[0209] 在图 23 中,(D) 示出对向电极电位 VCS 的驱动波形。如图中所示,在一帧周期中,高电平电位和低电平电位被交替输出。

[0210] (E1) 到 (E6) 分别示出要被写入保持电容 Cs 的灰阶电位 (PIXR1、PIXG1、PIXB1、PIXR2、PIXG2 和 PIXB2) 的改变的波形。在图中,由虚线示出的波形是对向电极电位 VCS 的

驱动波形。由实线示出的波形是在每个子像素 41 中存储的灰阶电位的波形。

[0211] 如在图中所示,灰阶电位随着对向电极电位的改变而改变,并且对向电极电位 VCS 和由保持电容 Cs 保持的灰阶电位 (PIXR1、PIXG1、PIXB 1、PIXR2、PIXG2 和 PIXB2) 之间的电位关系在六帧的周期中改变。也就是说,在六帧的周期中,执行针对每种颜色的自刷新 / 自反转操作。注意,从在前的自刷新 / 自反转操作到在后的自刷新 / 自反转操作,保持子像素 41 内的电位关系。因此,在本实施例中,即使刷新率是六帧的周期,保持电容 Cs 也具有足以保持一定灰阶电位的电容。在存储器显示模式中,控制线 CTL22 被连续控制为低电平电位。

[0212] 在此情况中,一个帧内的详细的驱动操作也与在所描述的两个实施例中的每个都相同。具体地,执行类似图 20 的驱动操作的驱动操作。此驱动操作与图 20 的驱动操作的不同仅在于驱动波形类似于图 20 的 A 的控制线 CTL21 (R1)、CTL21 (G1)、CTL21 (B1)、CTL21 (R2)、CTL21 (G2) 和 CTL21 (B2) 相应的驱动操作。

[0213] (D-3) 结论

[0214] 在本实施例中,也能够实现既适宜模拟显示模式又适宜存储器显示模式的液晶显示面板。

[0215] 另外,在本实施例中,单个电路 1 (图 3) 可以被顺序用于六个子像素 41。也就是说,在两个白色单元内形成的多个电路 1 (图 3) 可以从六个减少为一个。结果,一个像素区域内构成两个白色单元的多个元件可以被减少。此外,当构成液晶显示面板的多个元件被减少了时,产率可以相应地提高。

[0216] (E) 其他实施例

[0217] (E-1) 另一像素配置示例

[0218] 在上述实施例中,已经针对如图 8 所示的像素结构被用作基本配置的情况进行了描述。也就是说,对薄膜晶体管 N17 被设置在彼此连接两个反转电路的输入 / 输出端的路径中的一个路径中并且通过薄膜晶体管 N17 的导通 / 断开控制来控制电路 1 的闭锁操作的情况进行了描述。

[0219] 然而,驱动操作也可以通过图 24 中所示的像素电路来实现。

[0220] 在图 24 中,LC 示出与子像素 41 对应的液晶。

[0221] 在图 24 中,Cs 示出保存灰阶电位的保持电容。在本实施例中,保持电容 Cs 在存储器显示模式中被用作 DRAM。

[0222] 薄膜晶体管 N11 是在向保持电容 Cs 写入灰阶电位期间被控制为导通并且在其它时段期间被控制为断开的有源元件。控制线 CTL21 用于控制薄膜晶体管 N11。晶体管 N11 的一个主电极连接到连接像素电极的配线,并且另一电极通过配线连接到薄膜晶体管 N12 的一个主电极。

[0223] 薄膜晶体管 N12 是当从信号线 DTL 写入灰阶电位时被控制为导通的有源元件。控制线 CTL22 用于控制薄膜晶体管 N12。薄膜晶体管 N12 对应于图 3 中的第一开关 SW1。晶体管 N12 的一个主电极连接到信号线 DTL,其另一电极通过配线连接到薄膜晶体管 N11 的一个主电极。

[0224] 薄膜晶体管 N13 是当从信号线向保持电容写入像素电位时被控制为断开的有源元件。晶体管 N13 仅在执行存储器显示模式的内部刷新操作期间紧在每个帧结束之前的一

定时段被控制为导通。在薄膜晶体管 N13 被控制为导通的时段期间,由用作 DRAM 的保持电容保存的灰阶电位被电路 1(图 3)读出。控制线 CTL23 用于薄膜晶体管 N13。薄膜晶体管 N13 对应于图 3 中的第二开关 SW2。

[0225] 薄膜晶体管 N14 也是当从信号线向保持电容写入像素电位时被控制为断开的有源元件。晶体管 N14 仅在执行存储器显示模式的内部刷新操作期间紧在每个帧开始之后的一定时段被控制为导通。在薄膜晶体管 N14 被控制为导通的时段期间,已经在电路 1(图 3)内的逻辑中被反转的灰阶电位被写入保持电容 Cs。控制线 CTL24 用于控制薄膜晶体管 N14。薄膜晶体管 N14 对应于图 3 中的第三开关 SW3。

[0226] 薄膜晶体管 P11 和 N15 以及电容 C 构成图 3 中的电路 1。

[0227] 薄膜晶体管 P11 和 N15 构成一个反转电路(放大器电路)。包括薄膜晶体管 P11 和 N15 的反转电路的输入侧连接到薄膜晶体管 N13 的一个主电极。该反转电路可以在晶体管 N13 导通时输入保持电容 Cs 的灰阶电位。保持电容 Cs 的灰阶电位被存储在电容 C 中。虽然在图 24 中明确设置了电容 C,但是可以使用配线电容。

[0228] 包括薄膜晶体管 P11 和 N15 的反转电路的输出侧连接到薄膜晶体管 N14 的一个主电极。

[0229] 在此电路配置中,单个反转电路被用于实现刷新功能和逻辑反转功能。在此电路配置中,在图 8 中使用的三个薄膜晶体管 P12、N16 和 N17 可以去除。电路面积可以相应地减小。

[0230] 在图 24 中所示出的像素结构中,当从信号线向电容性元件写入像素电位时,薄膜晶体管 N13 和 N14 也被控制为断开。

[0231] 当执行存储器显示模式的内部刷新模式时,可以如图 25 所示那样执行驱动控制。

[0232] 图 25 示出当存储器显示模式的内部刷新操作被执行时控制线驱动部件 37 对某扫描线的控制操作的内容。

[0233] 在图 25 中,在前的帧被示出为帧 N,在后的帧被示出为帧 N+1。

[0234] 在图 25 中,(A) 示出控制线 CTL21 的驱动波形。如图中所示,控制线 CTL21 在从紧在帧 N 结束之前的点到紧在帧 N+1 开始之后的点的一定时段被控制为高电平电位 VDD2。

[0235] (B) 示出控制线 CTL23 的驱动波形。如图中所示,控制线 CTL23 仅在紧在各帧结束之前的一定时段被控制为高电平电位 VDD2。在施加高电平电位 VDD2 期间,从保持电容 Cs 读出的灰阶电位 (PIX) 被存储到电路 1(图 3)的电容 C。

[0236] 灰阶电位 (PIX) 的反转输出被提供在反转电路的输出端处,并且此时灰阶电位逻辑上被反转。而且,灰阶电位的输出幅度被改变成高电平电位 VDD 或低电平电位 VSS。也就是说,执行自刷新操作和自反转操作。再次,在没有对信号线 DTL 进行充电或者放电的情况下,自刷新操作被执行。

[0237] 在图 25 中,(C) 示出控制线 CTL24 的驱动波形。如图中所示,控制线 CTL24 仅在紧在各帧开始之后的一定时段被控制为高电平电位 VDD2。在施加高电平电位 VDD2 期间,反转电路的输出端被电连接到保持电容,以使得逻辑中经反转的灰阶电位 (PIX) 被写入保持电容。

[0238] (D) 示出对向电极电位 VCS 的改变的波形。如图中所示,在帧中电位电平被反转。

[0239] (E-2) 产品示例(电子设备)

[0240] 所描述的施加驱动电压的技术不仅被配置为液晶面板的形式,而且还配置为液晶面板被安装在各个电子设备上的产品的形式。以下,示出液晶面板被安装在电子设备上的示例。

[0241] 图 26 示出电子设备 51 的概念上的配置示例。电子设备 51 包括利用了施加驱动电压的技术的液晶面板 53、系统控制部件 55 以及操作输入部件 57。在系统控制部件 55 中执行的处理的内容依赖于电子设备 51 的产品形式而不同。操作输入部件 57 是接收对系统控制部件 55 的操作输入的设备。例如,开关、按钮或者其它机械接口,或者图形界面被用于操作输入部件 57。

[0242] 电子设备 51 不限于特定领域的设备,只要该设备具有显示在该设备内生成的或者从外部输入的图片或者视频图像的功能即可。

[0243] 图 27 示出当另一电子设备是电视接收机的外观的示例。包括正面面板 63、滤光玻璃 65 等的显示屏 67 被设置在电视接收机 61 的外壳的正面。

[0244] 此种类型的电子设备 51 例如可以是数码相机。图 28A 和 28B 分别示出数码相机 71 的外观的示例。图 28A 示出相机 71 的正面侧(对象侧)的外部示例,图 28B 示出相机 71 的背面侧(摄像者侧)的外部示例。数码相机 71 包括保护壳 73、成像透镜部件 75、显示屏 77、控制开关 79 和快门按钮 81。

[0245] 此外,此种类型的电子设备 51 例如可以是摄像机。图 29 示出摄像机 91 的外观的示例。

[0246] 摄像机 91 包括形成主体 93 的正面的对象的图像的成像透镜 95、摄像开始/停止开关 97 和显示屏 99。

[0247] 此外,此种类型的电子设备 51 例如可以是移动终端设备。图 30A 和图 30B 示出作为移动终端设备的移动电话 101 的外观的示例。在图 30A 和 30B 中示出的移动电话 101 是折叠式的。图 30A 示出外壳打开时的移动电话的外部示例,图 30B 示出外壳闭合时的移动电话的外部示例。

[0248] 移动电话 101 包括上外壳 103、下外壳 105、连接(在本示例中为合页)107、显示屏 109。辅助显示屏 111、画面灯 113 和成像透镜 115。

[0249] 此外,此种类型的电子设备 51 例如可以是电脑。图 31 示出笔记本电脑 121 的外观的示例。

[0250] 笔记本电脑 121 包括下外壳 123、上外壳 125、键盘 127 和显示屏 129。

[0251] 另外,此种类型的电子设备 51 还可以是音频播放器、游戏机、电子书、电子词典等。

[0252] (E-3) 其它

[0253] 在本发明的主旨的范围内可以想到上面描述的实施例的多种修改或变更。而且,本实施例各种修改和应用被认为是基于本说明书的描述创建的,或者可以想到它们的组合。

[0254] 因此,本领域技术人员应当明白,依赖于设计需求和其它因素可以出现各种修改、组合、子组合和替代,只要它们在所附权利要求或其等同物的范围内即可。

[0255] 本申请包含于 2008 年 12 月 17 日向日本专利局提交的日本优先专利申请 JP 2008-321652 所公开的主题有关的主题,该申请全部内容通过引用而被结合于此。

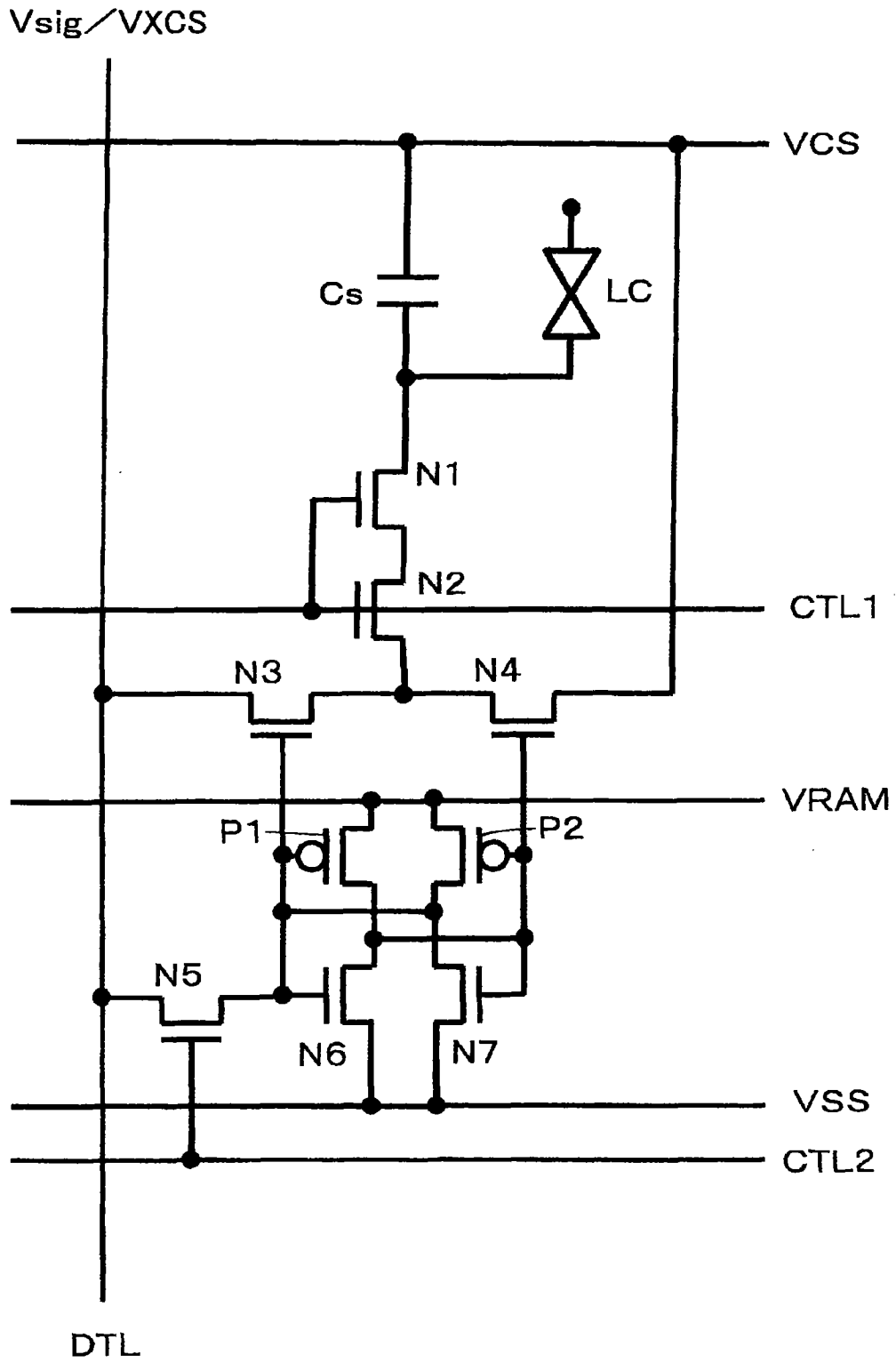


图 1

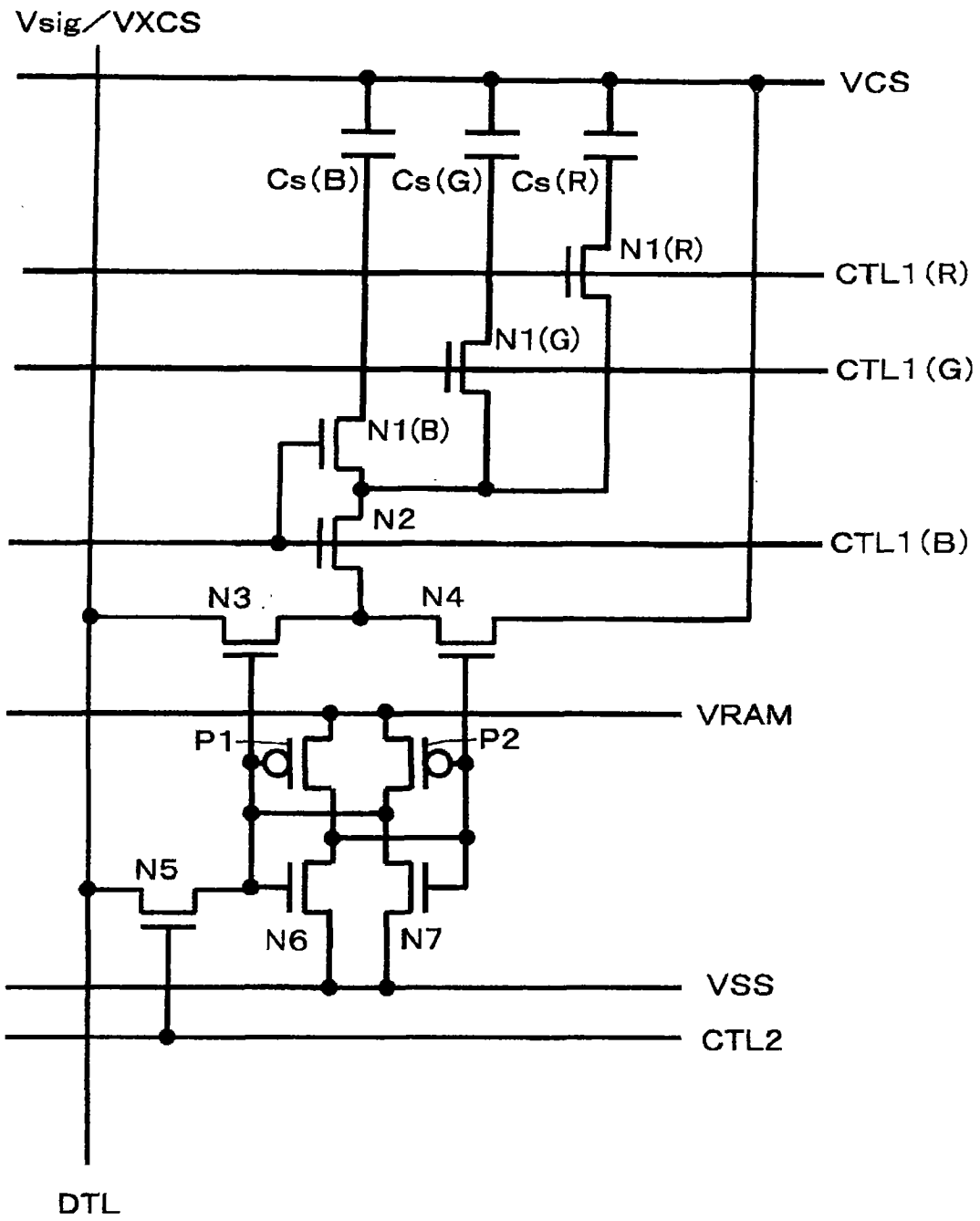


图 2

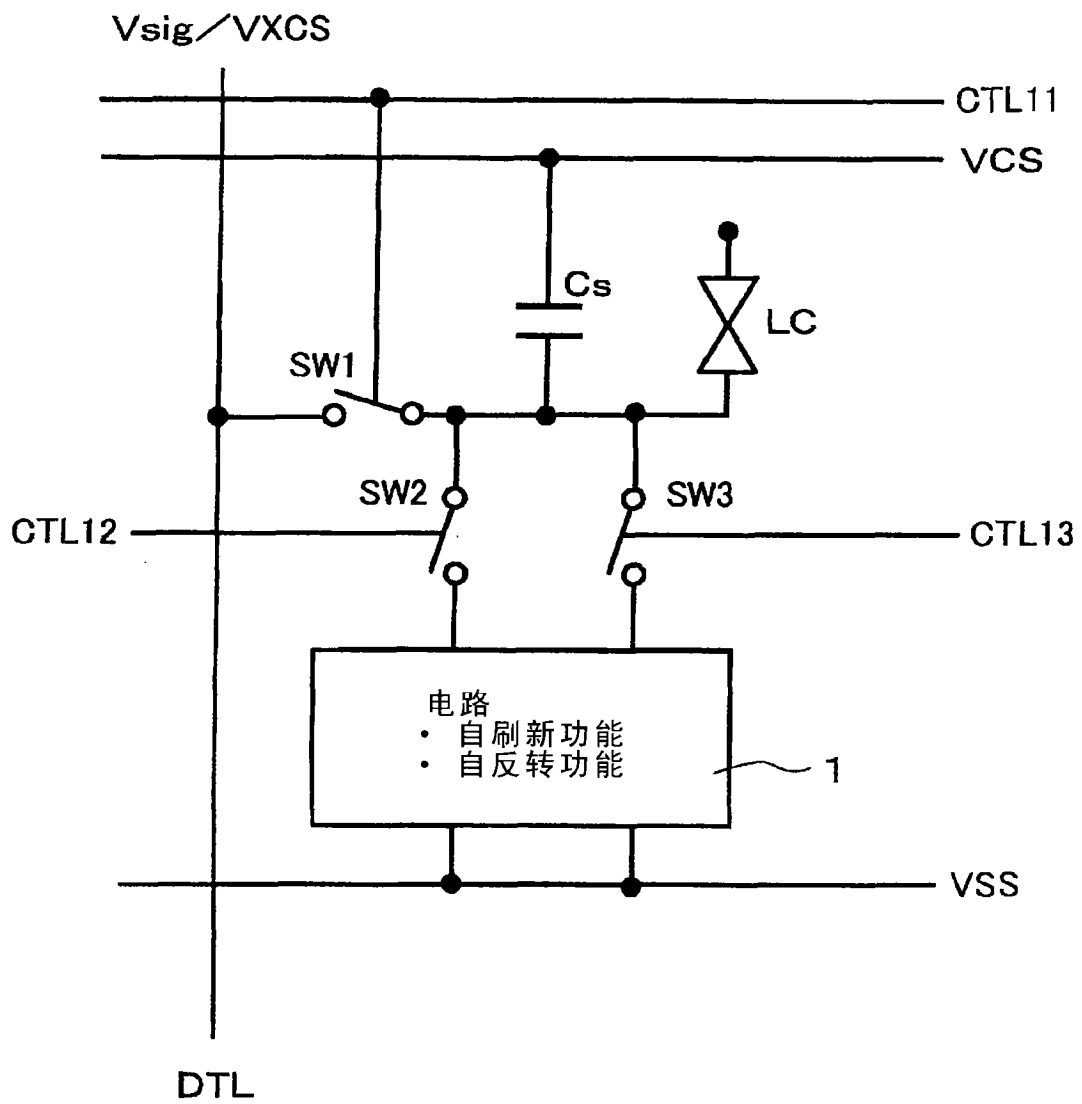
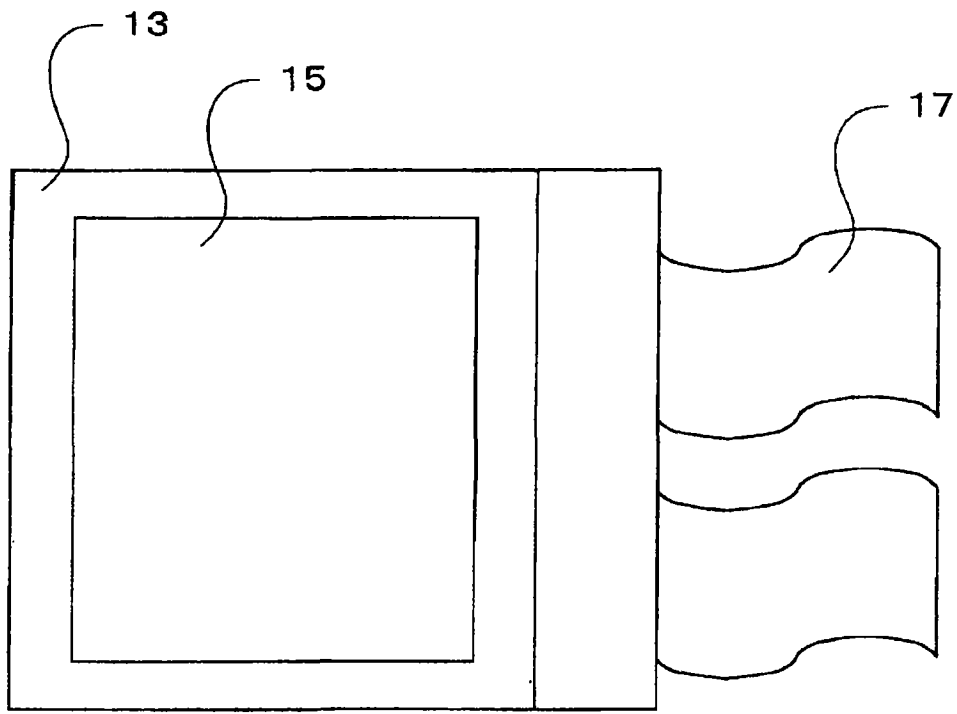


图 3



11

图 4

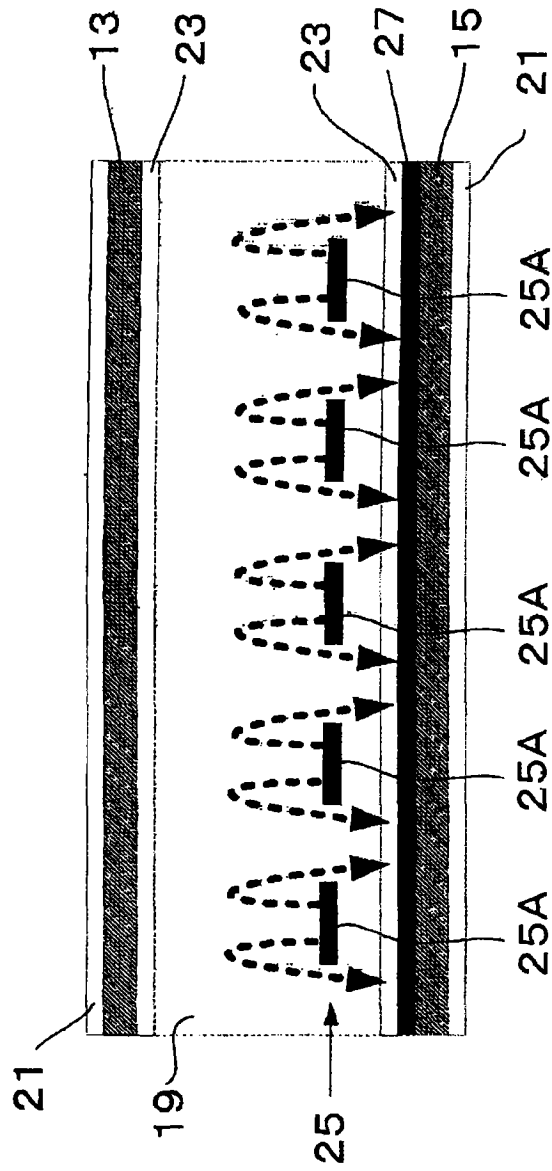


图 5



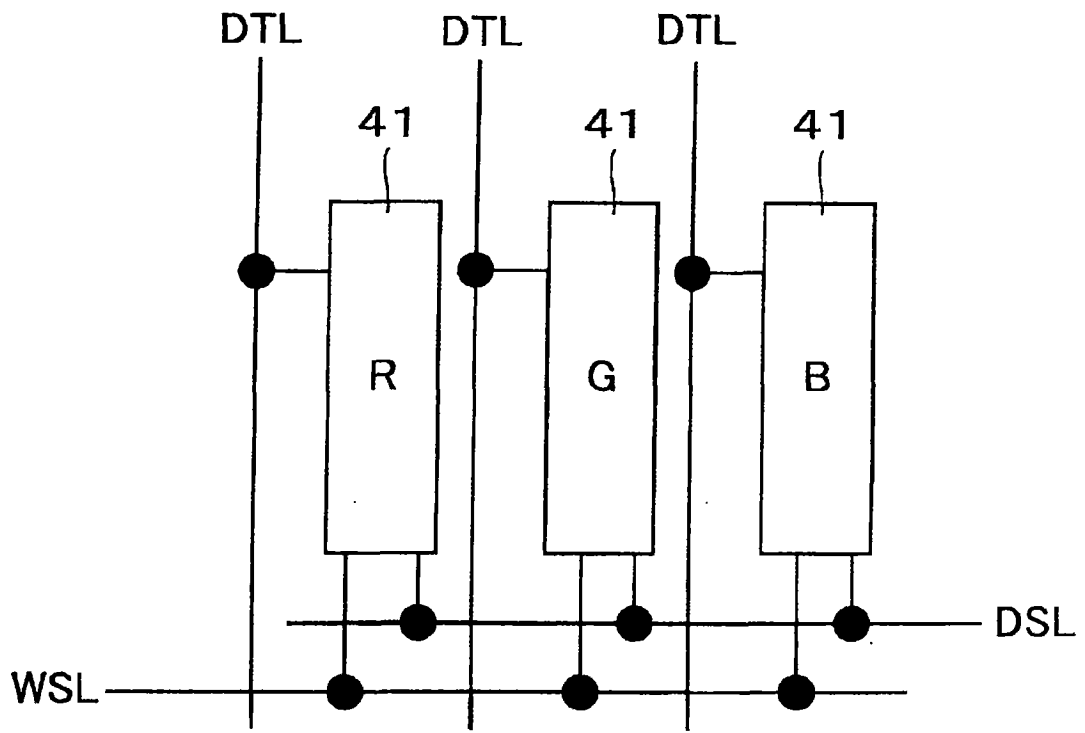


图 7



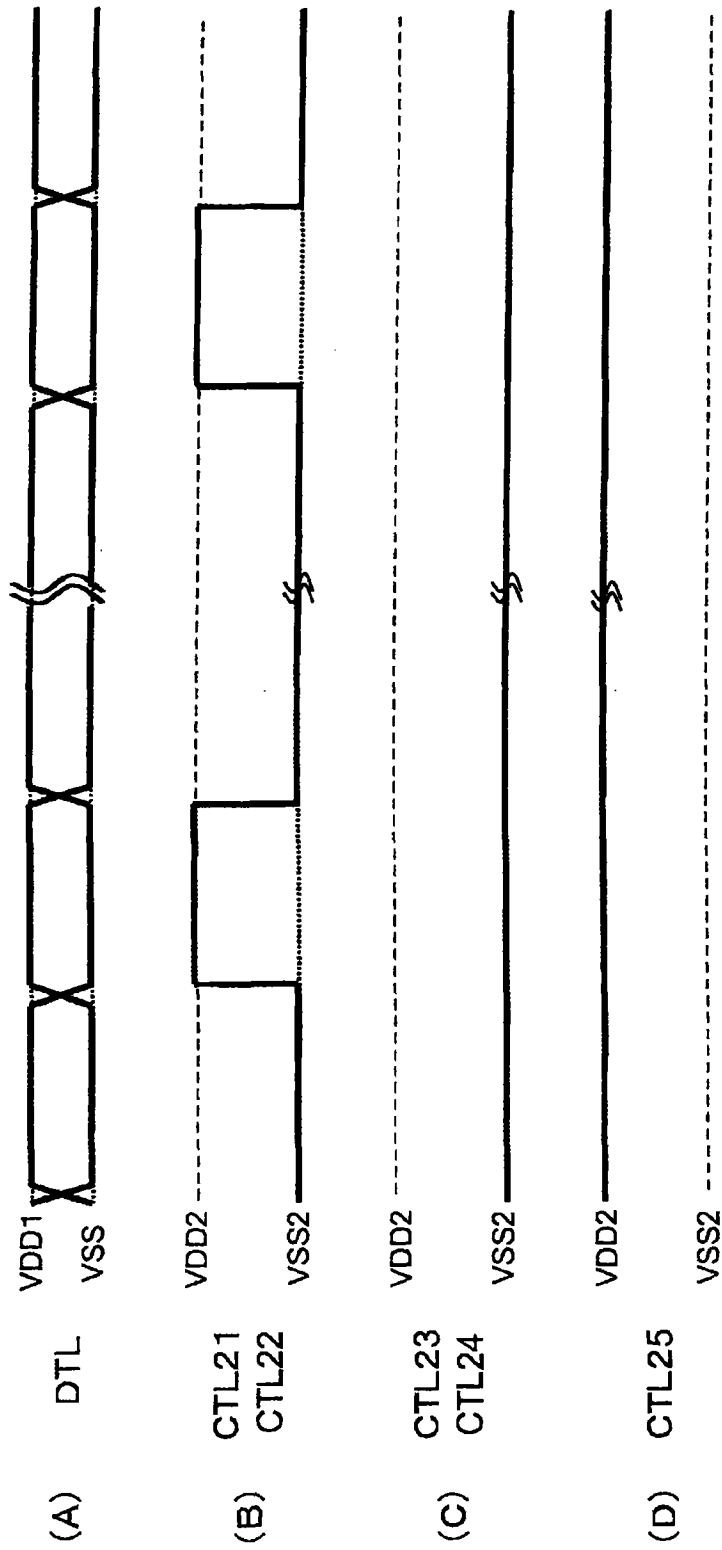


图 9

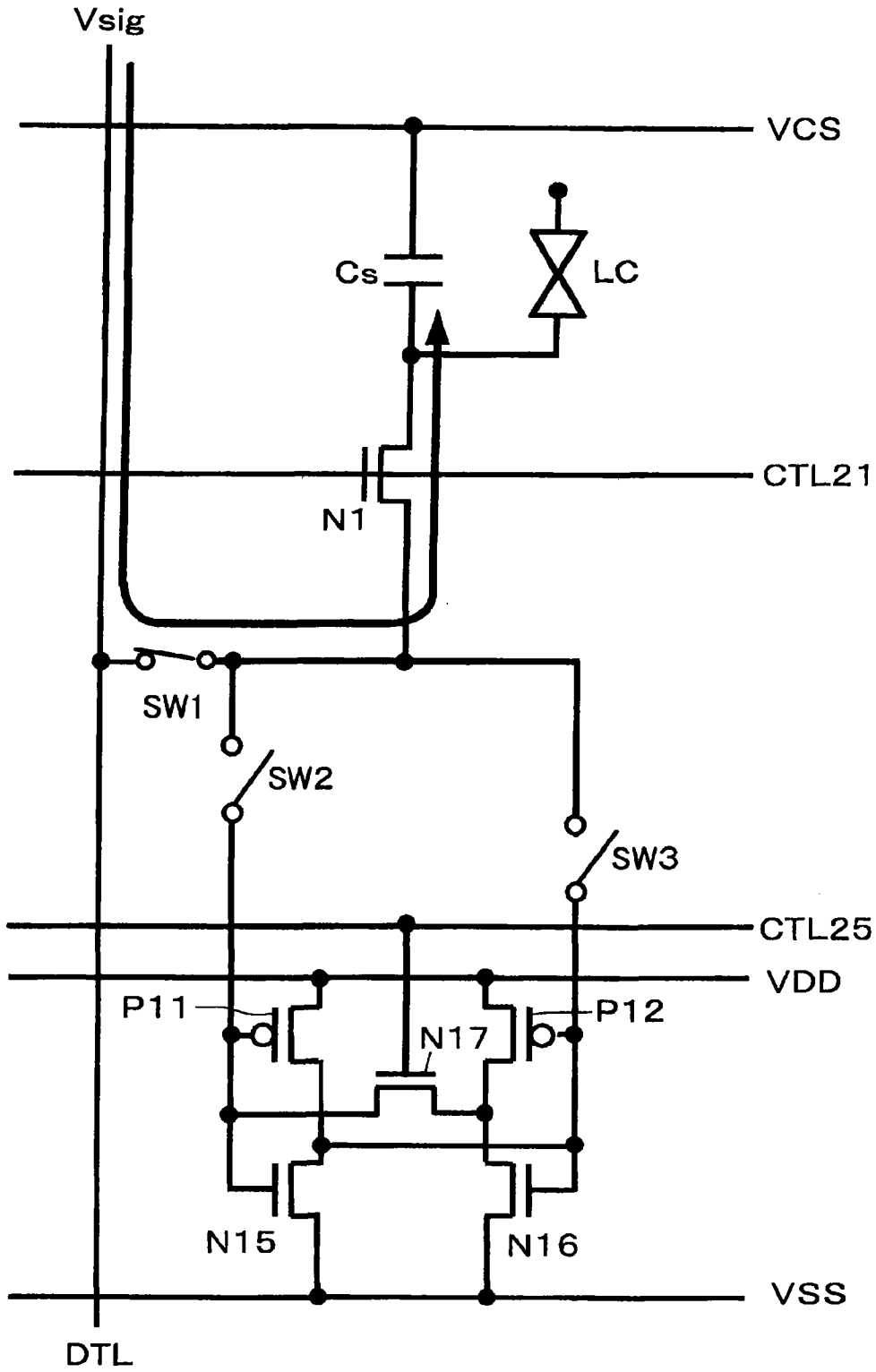


图 10

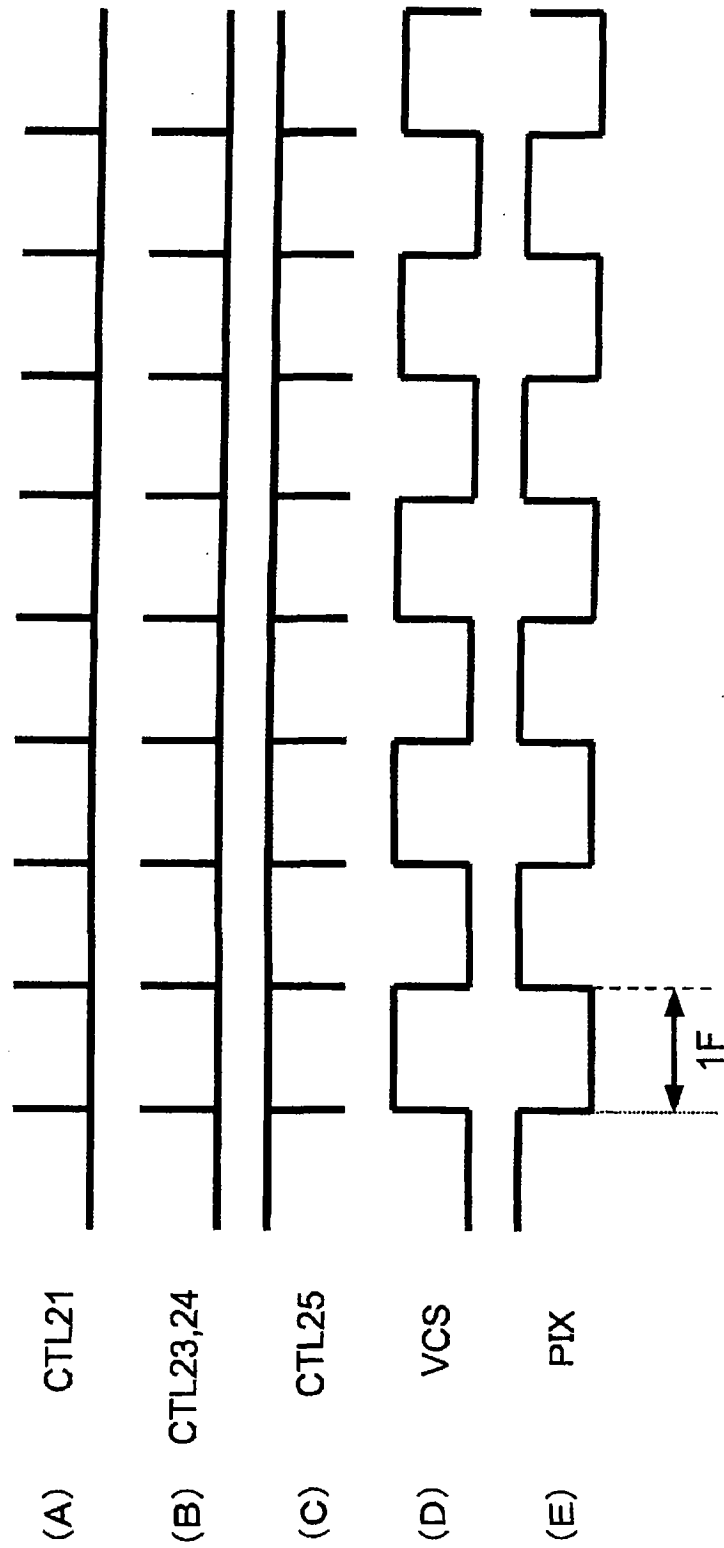


图 11

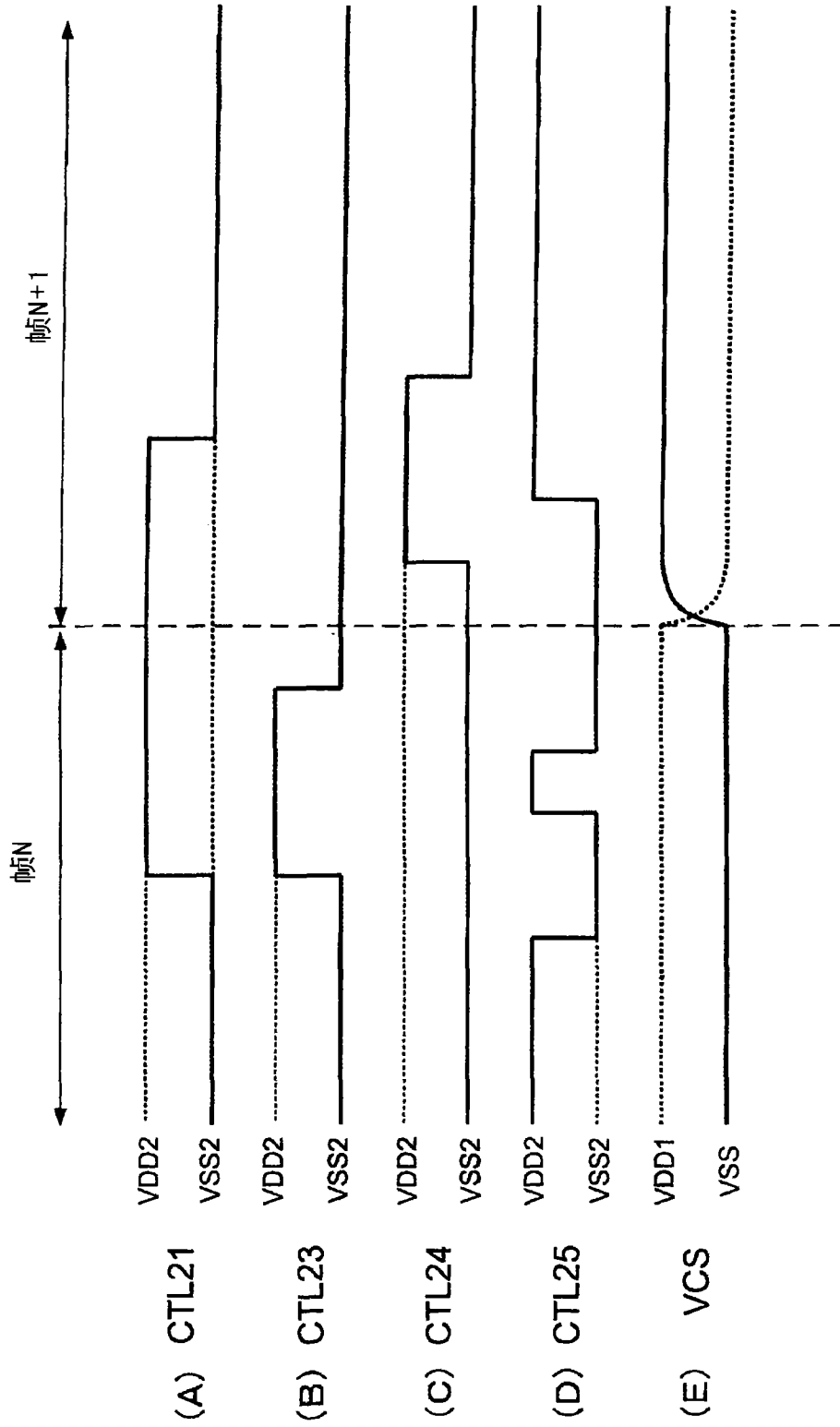


图 12

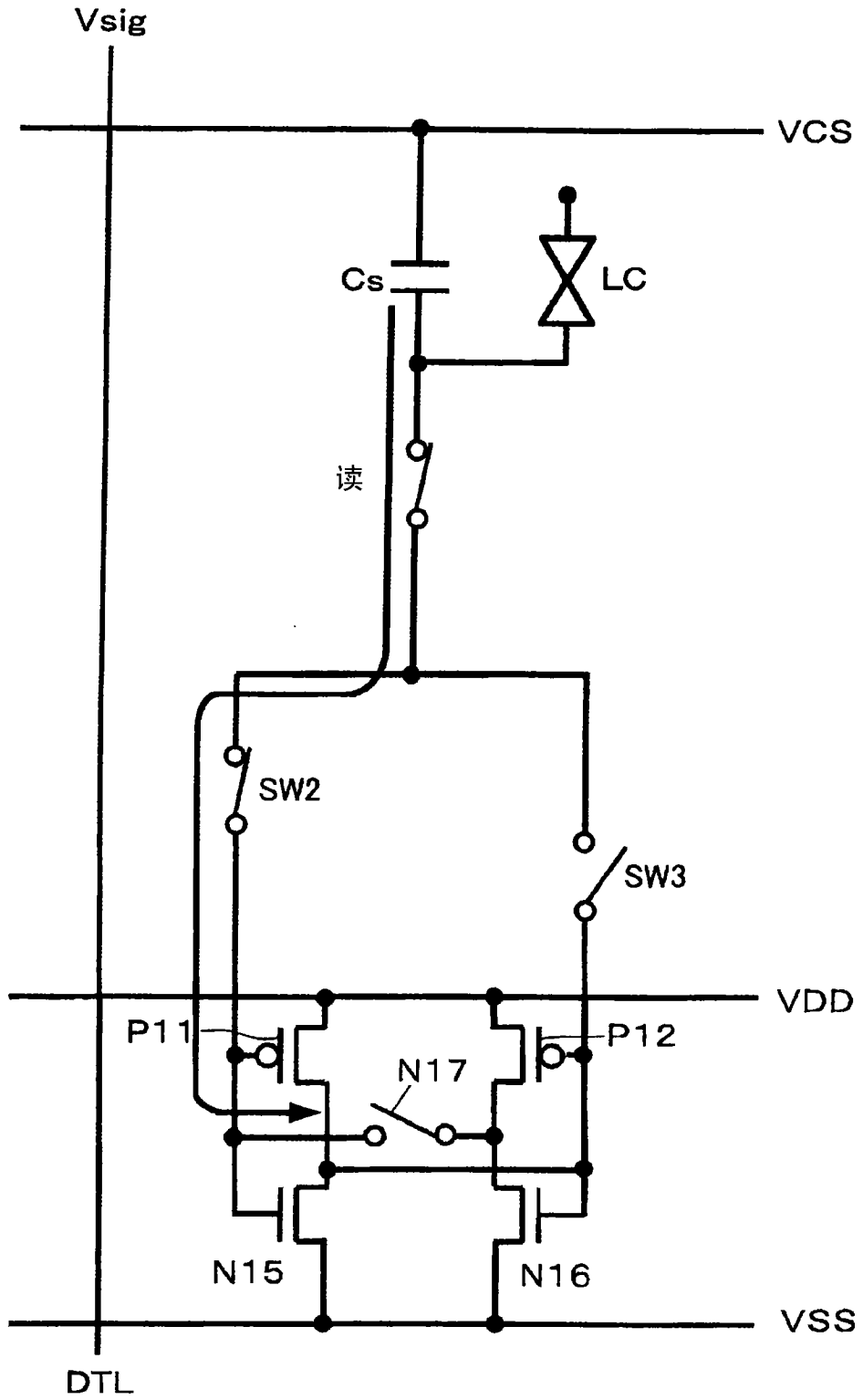


图 13

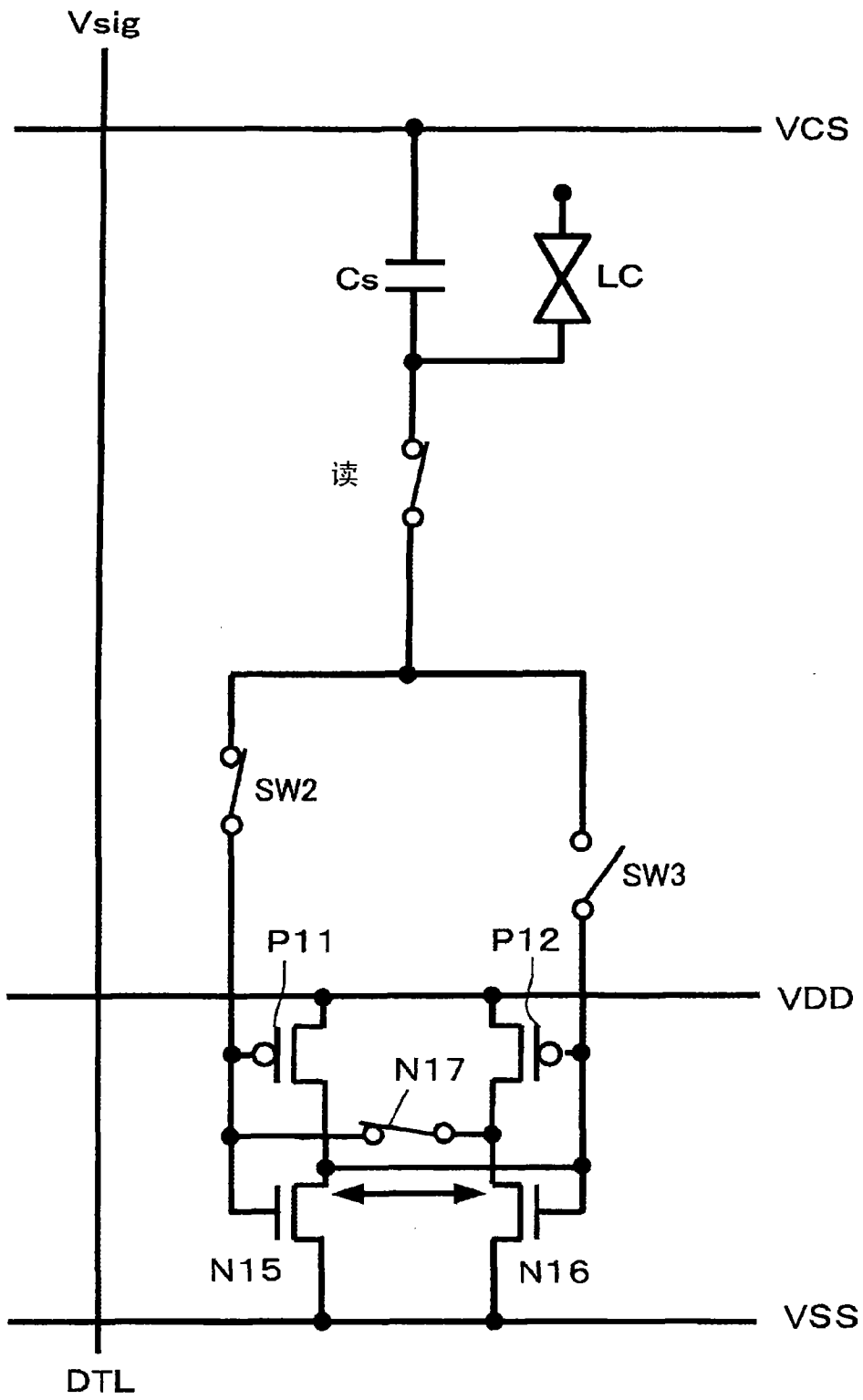


图 14

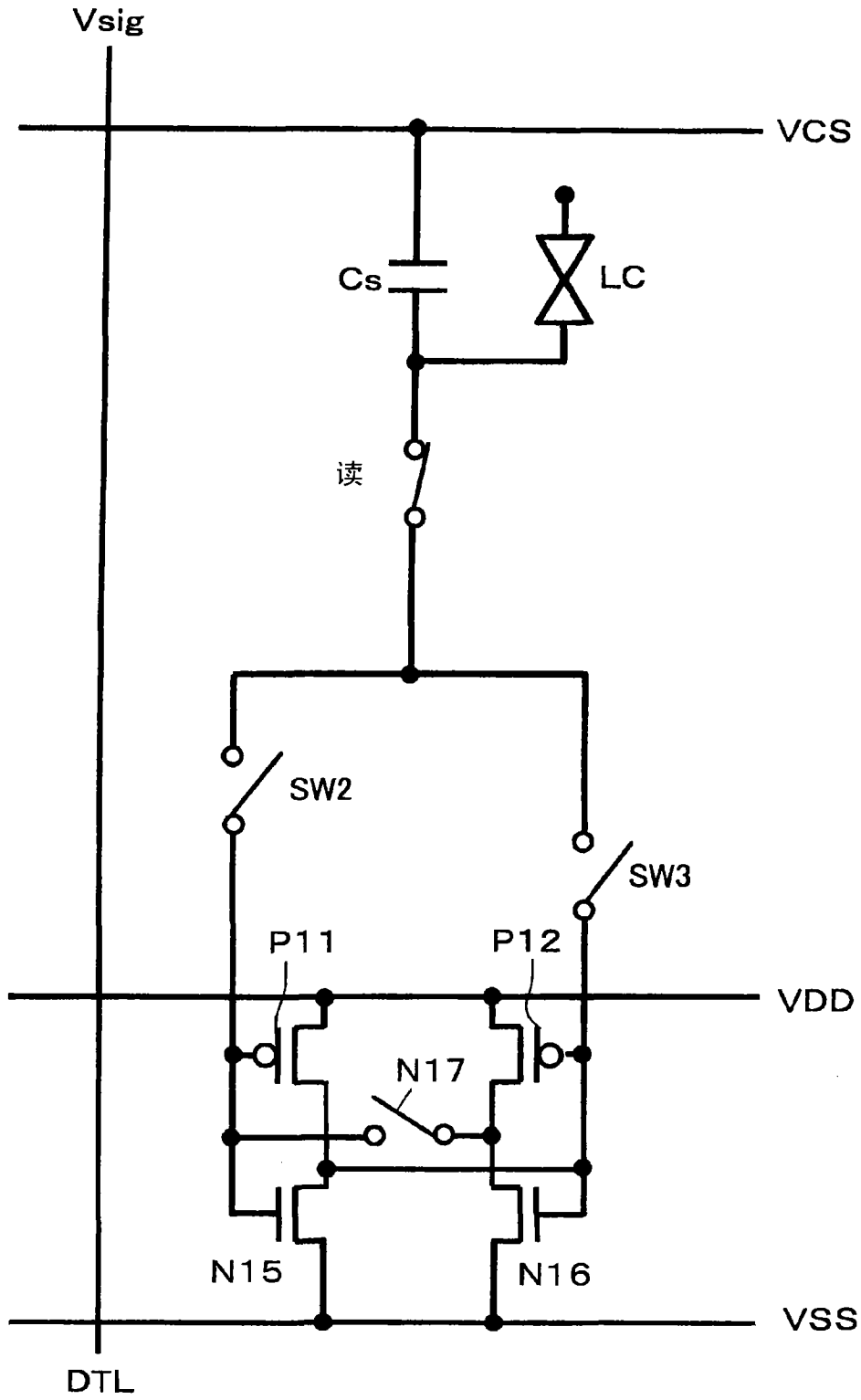


图 15

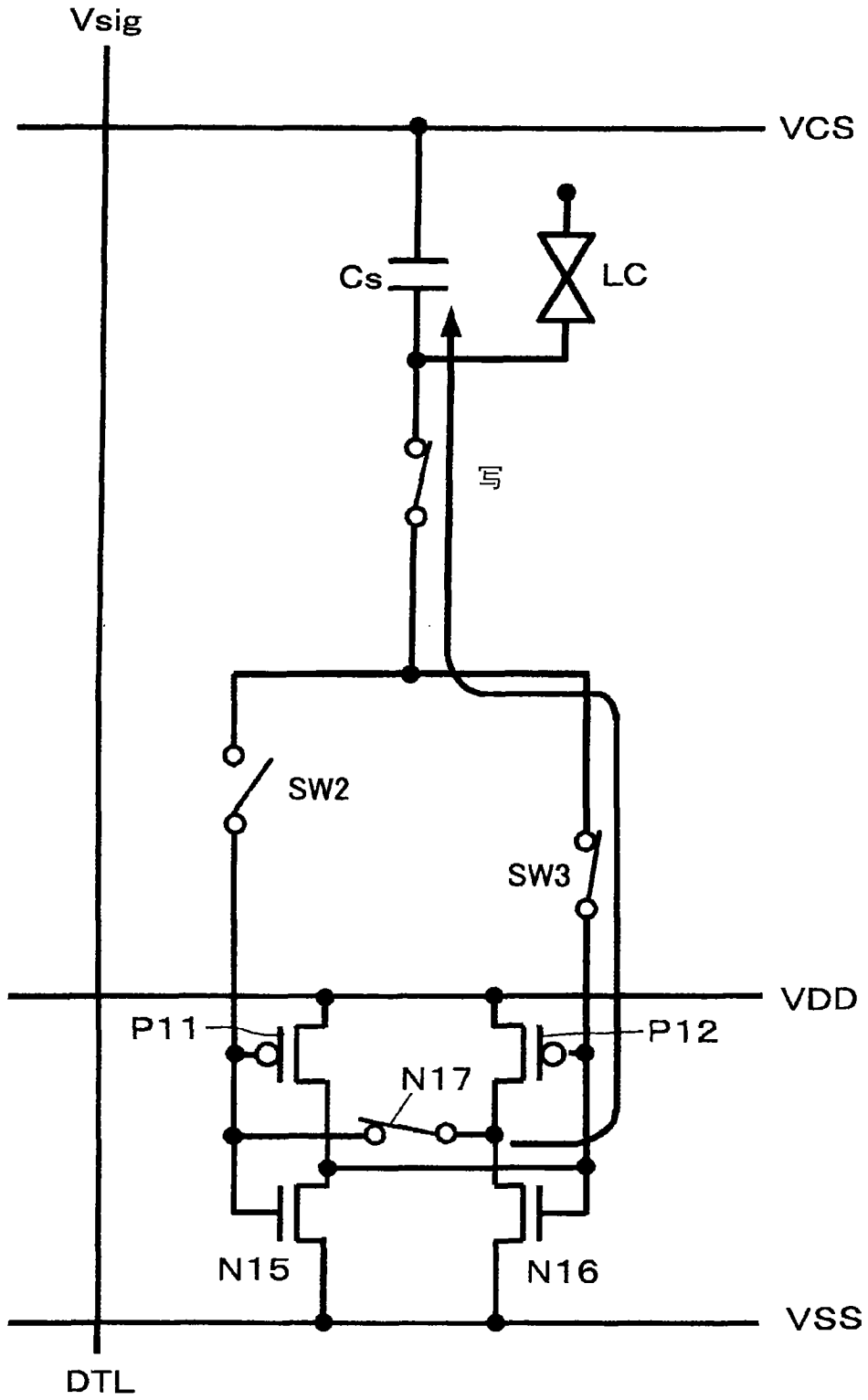


图 16

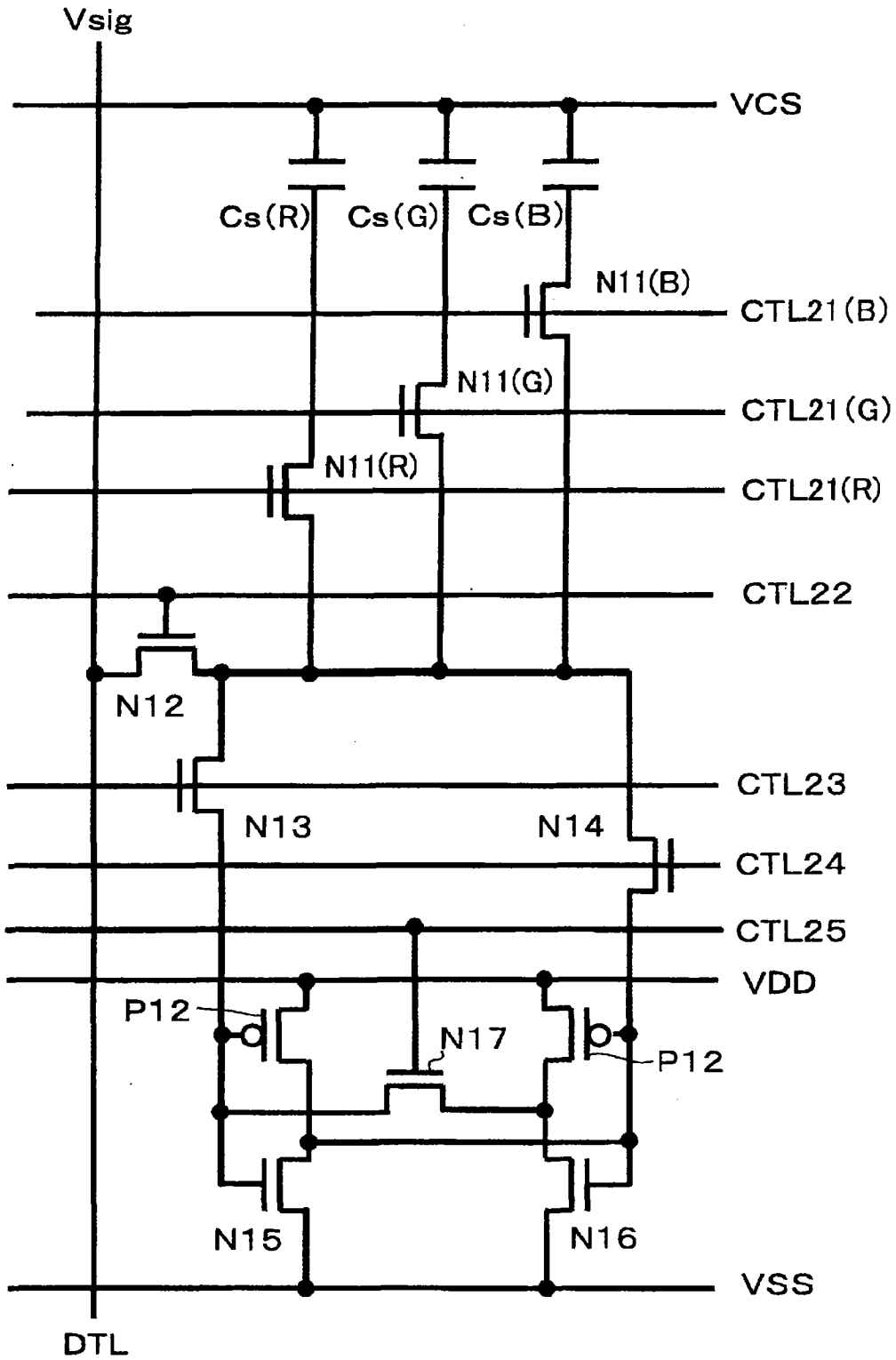


图 17

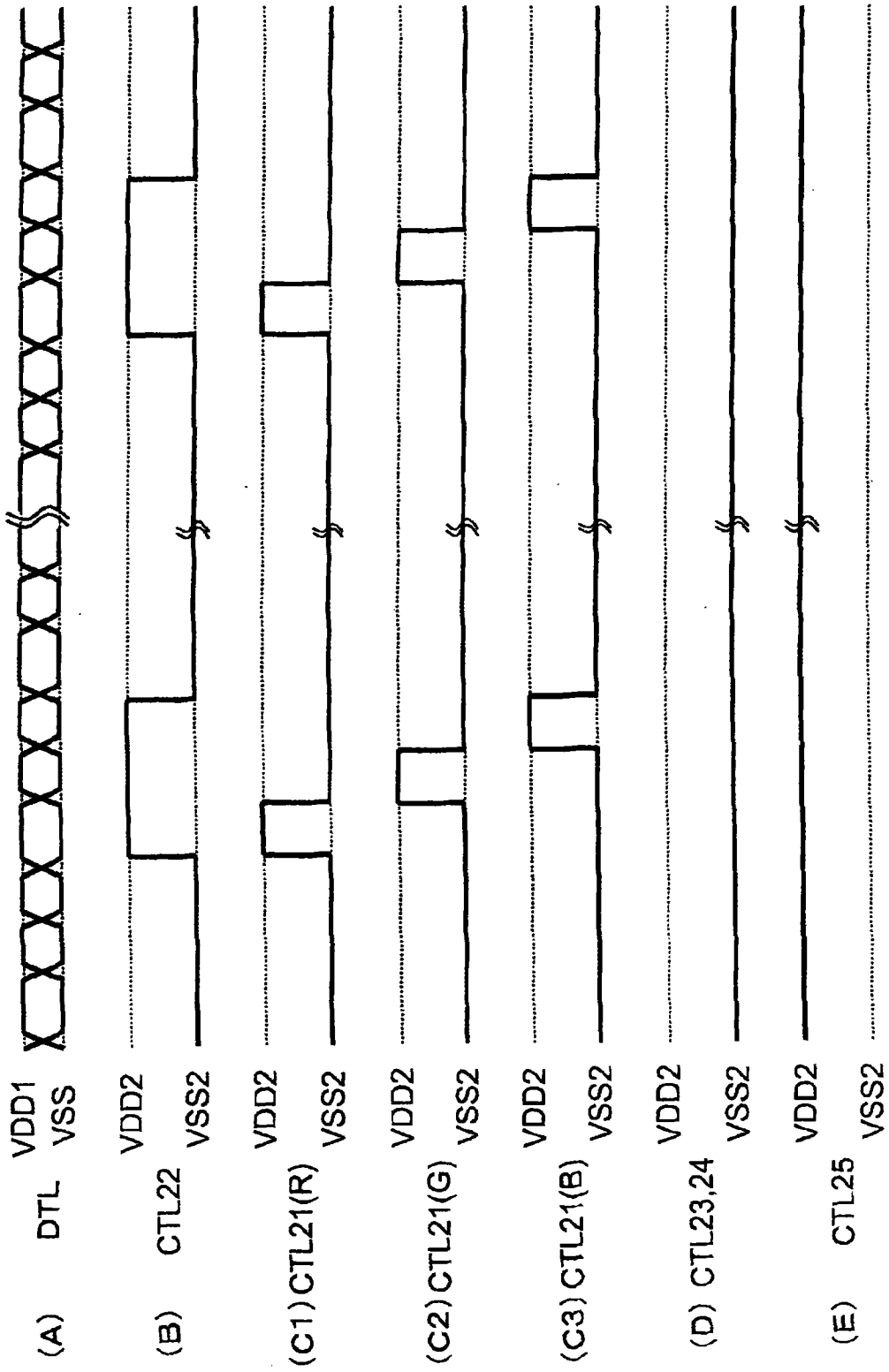


图 18

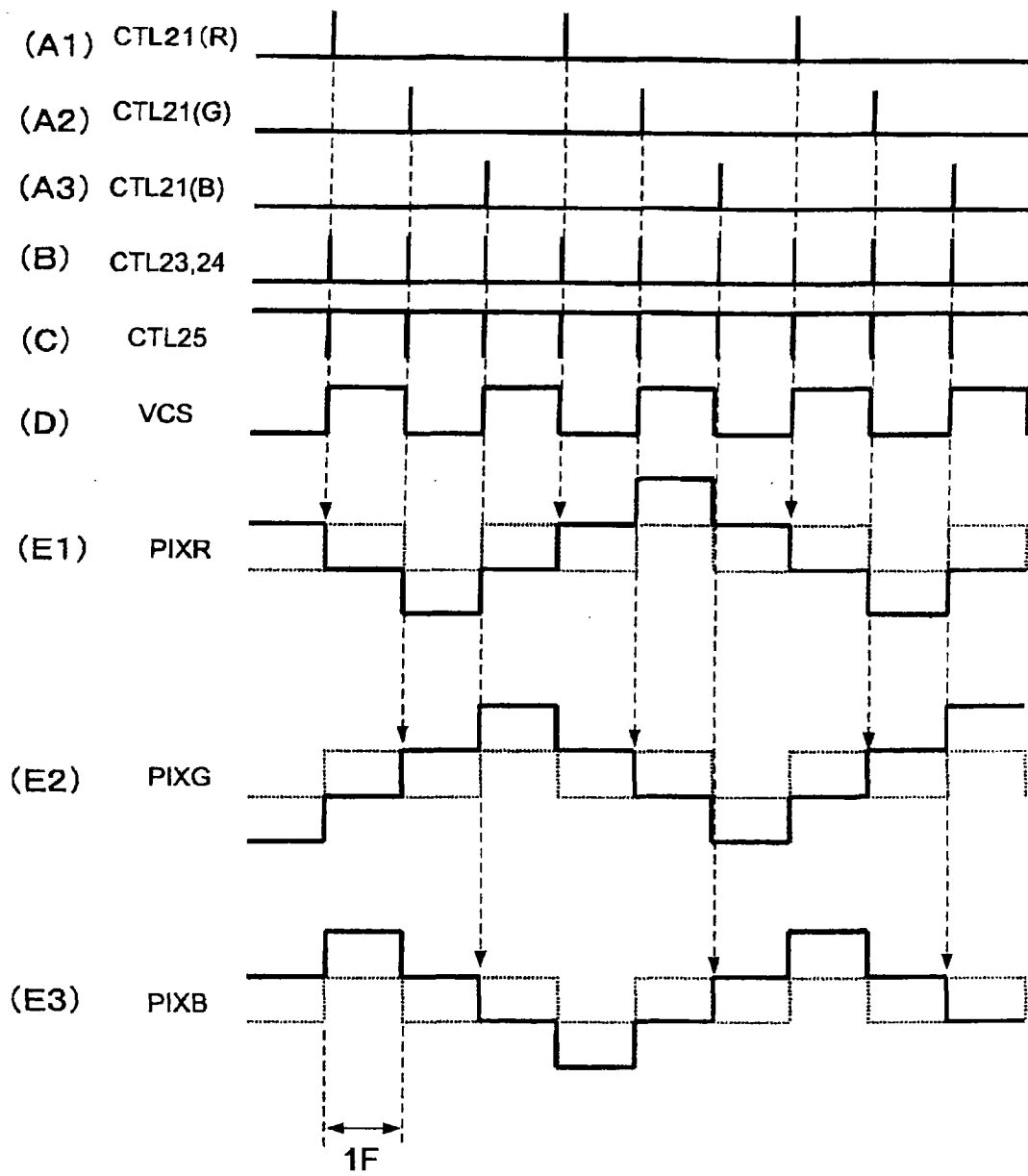


图 19

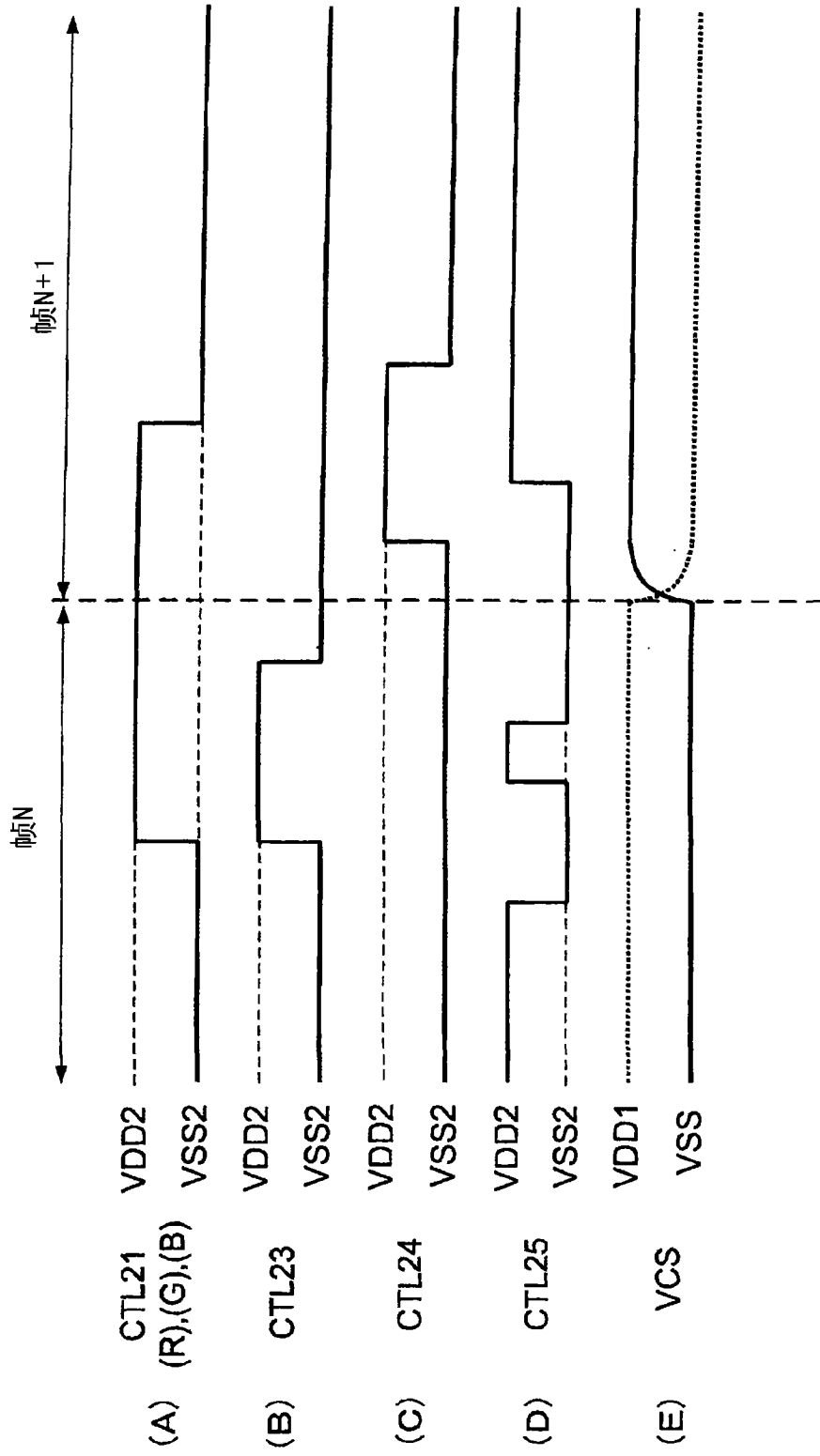


图 20

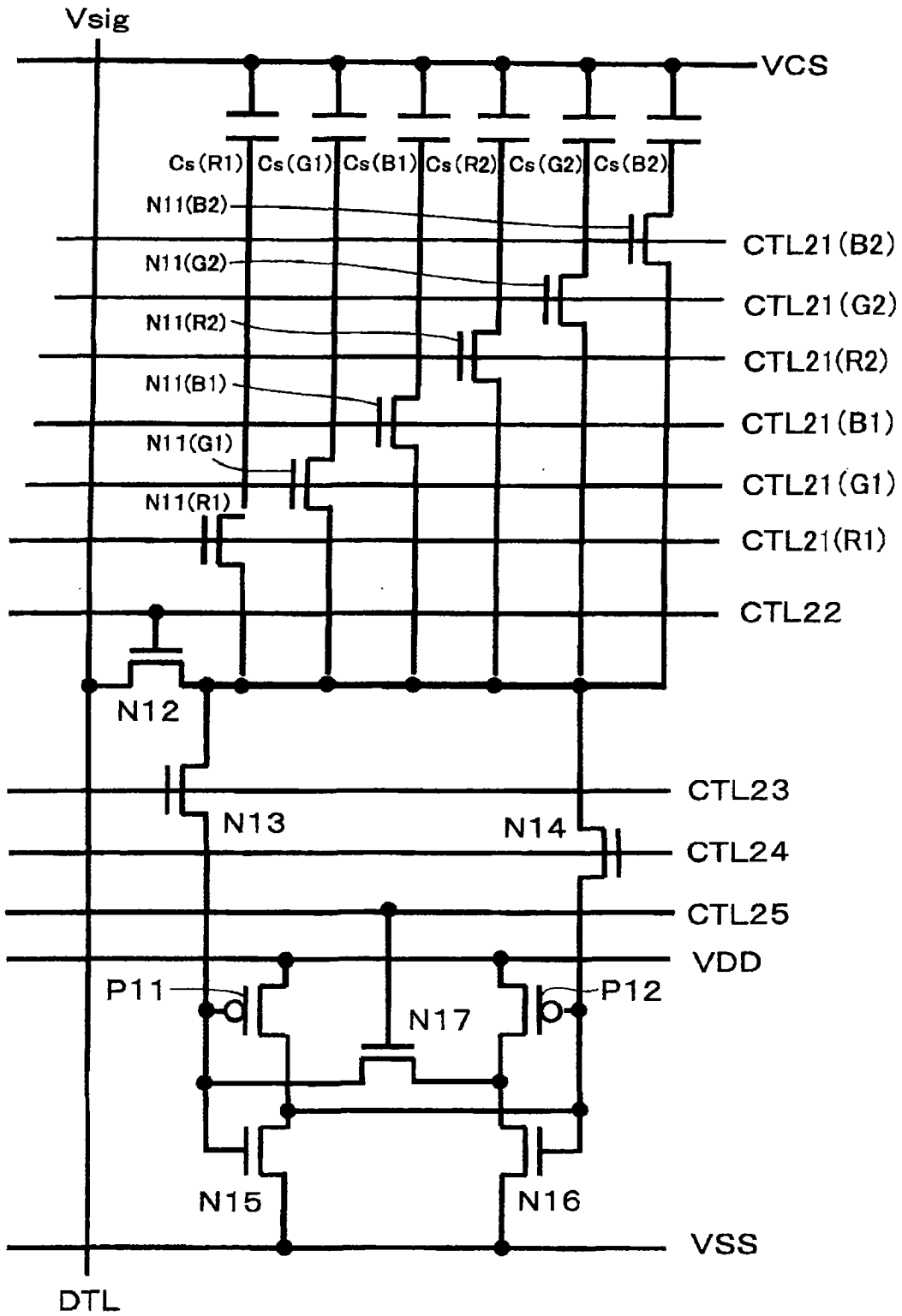


图 21

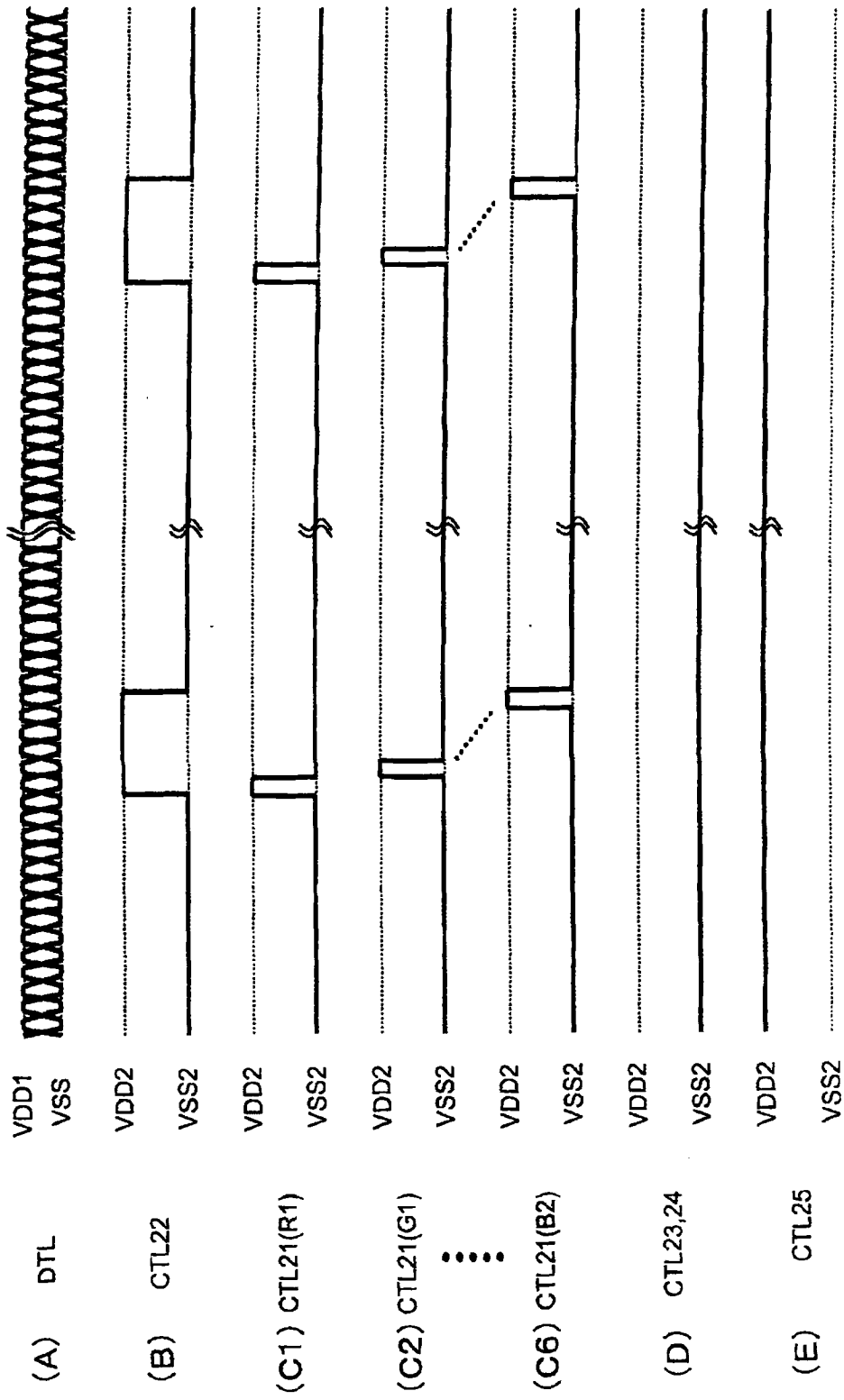


图 22

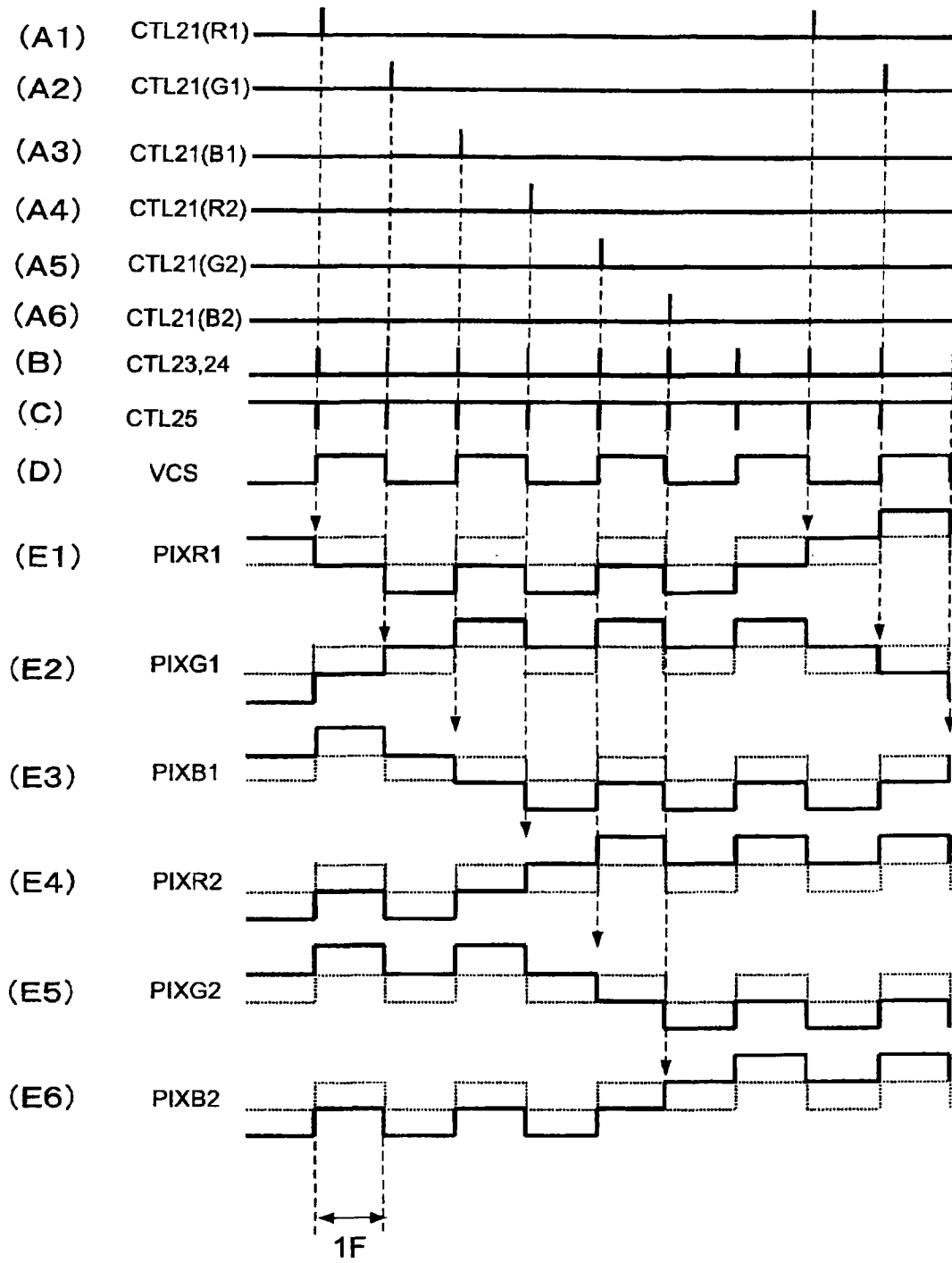


图 23

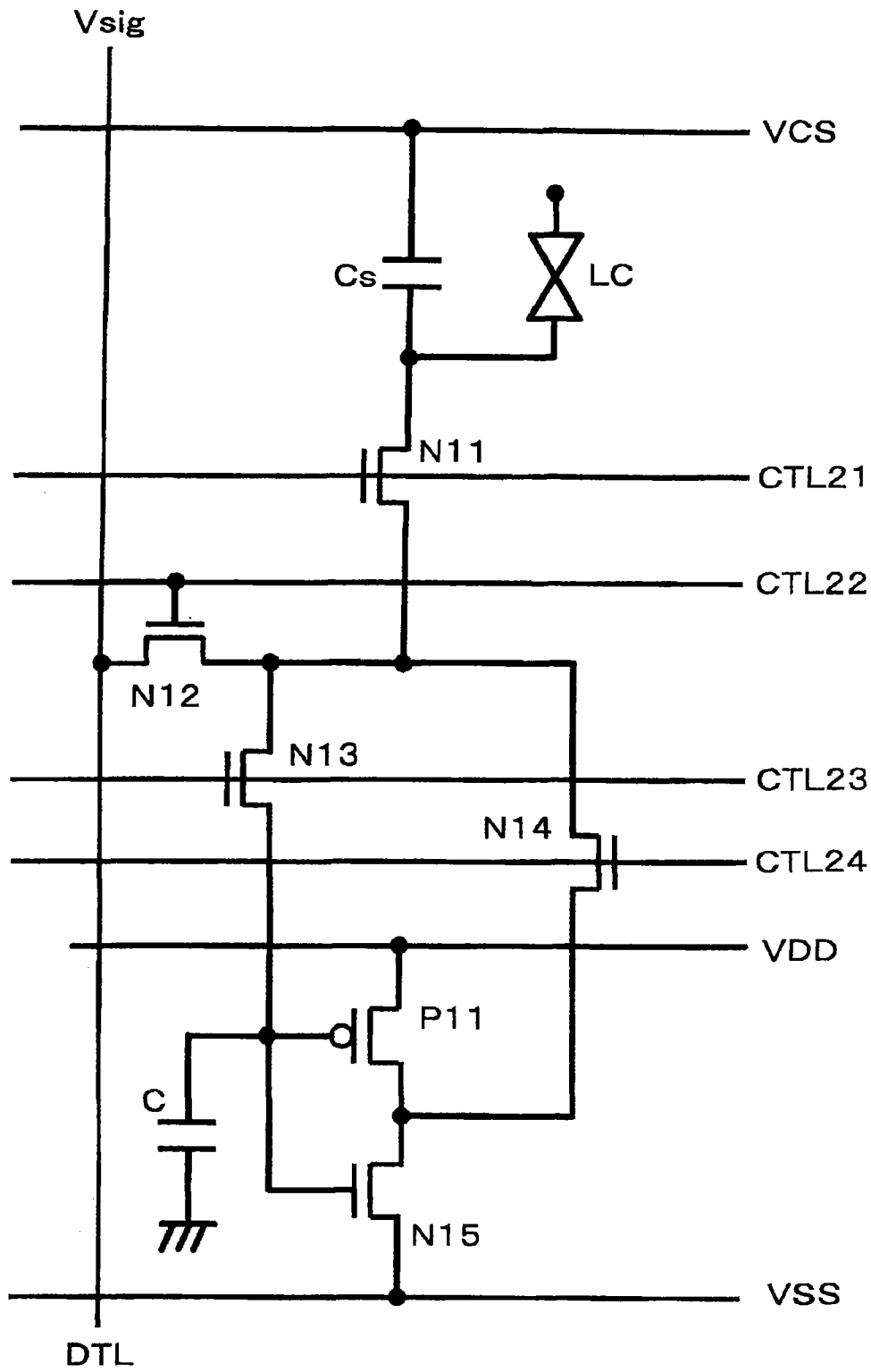


图 24

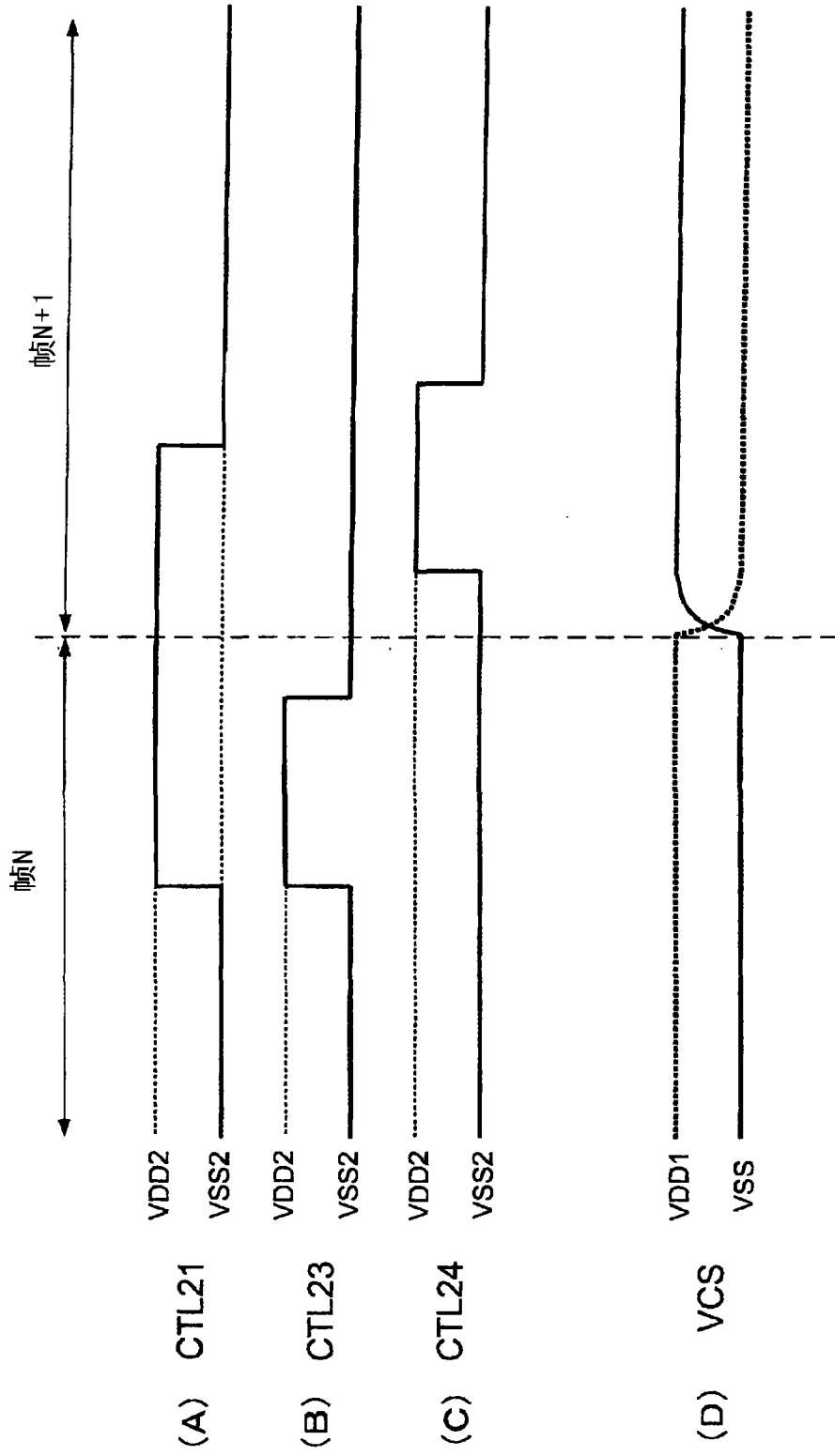


图 25

**51**

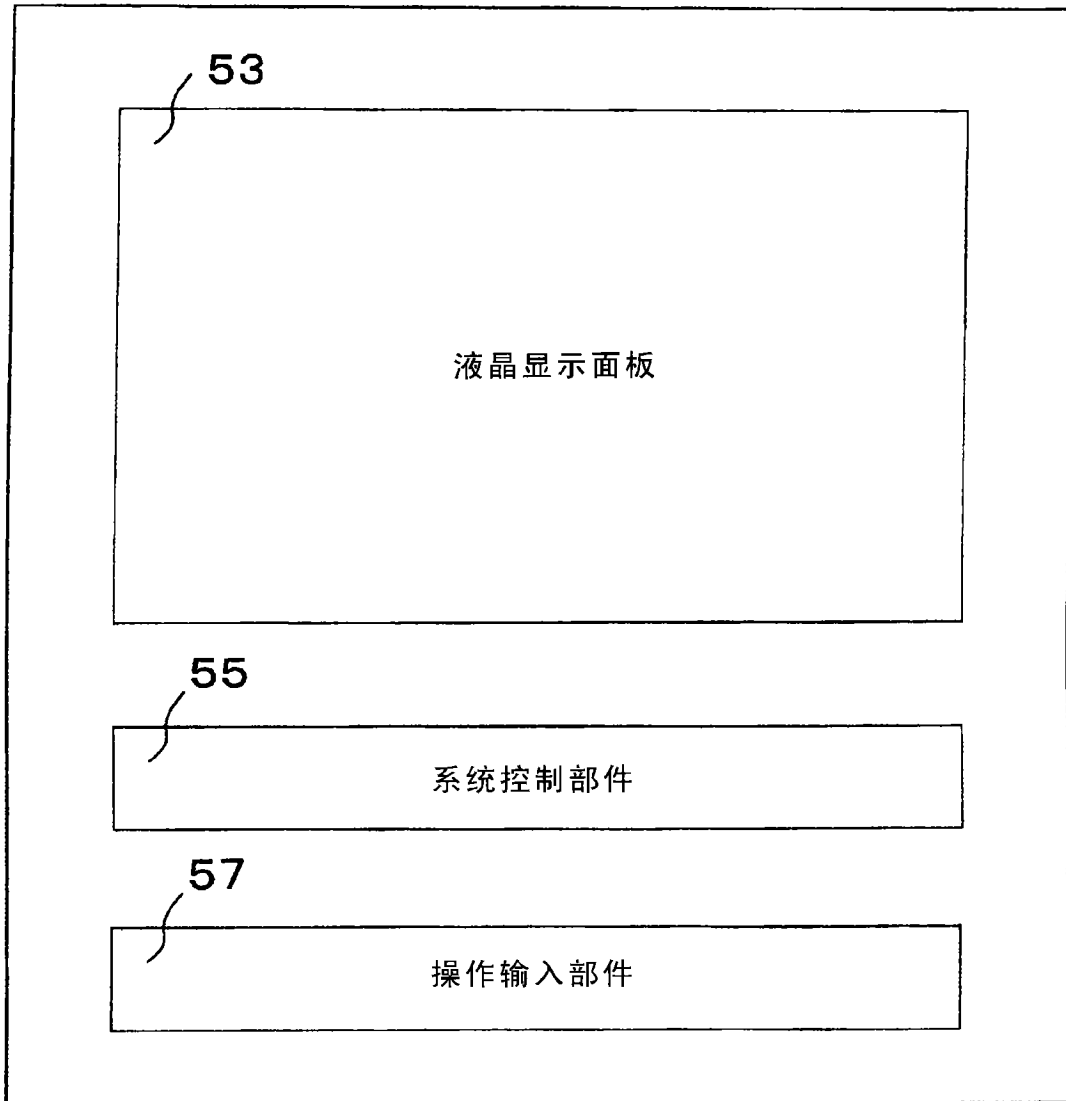
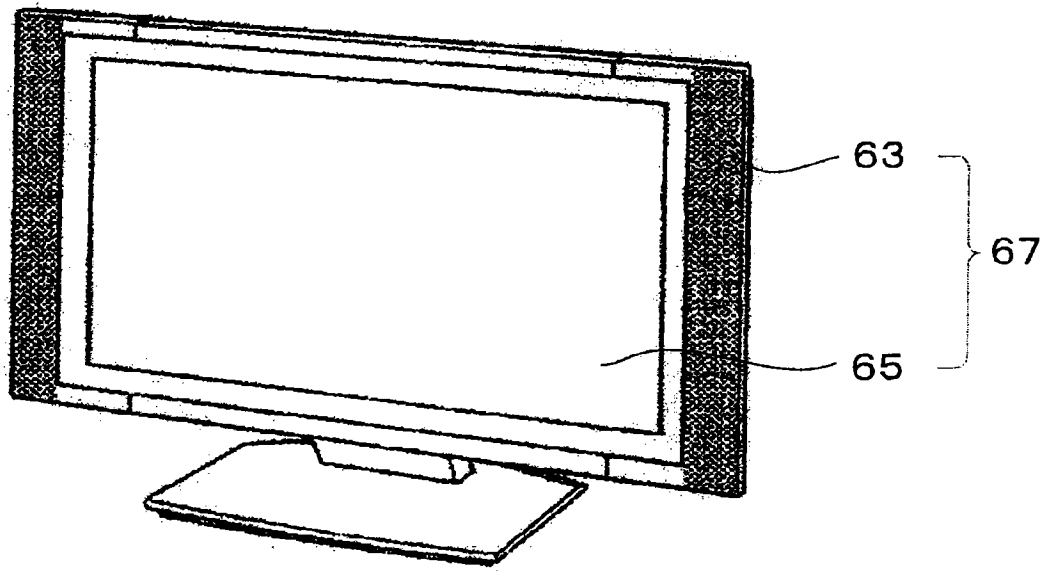
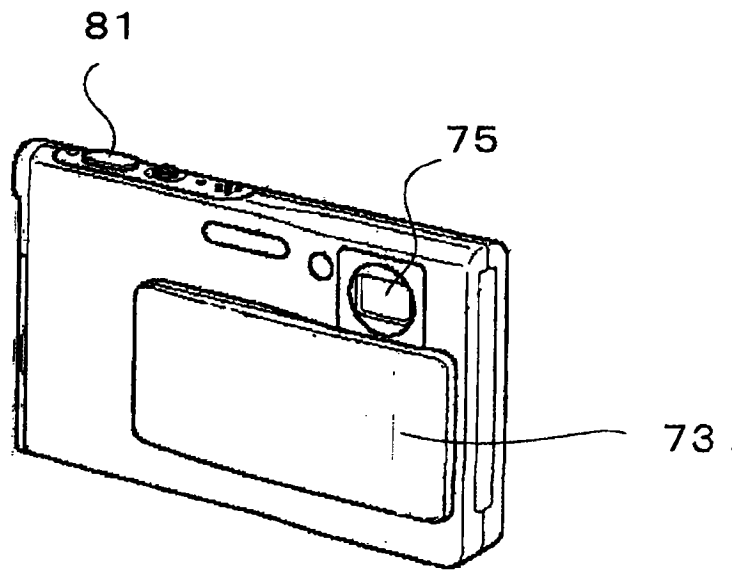


图 26



61

图 27



71

图 28A

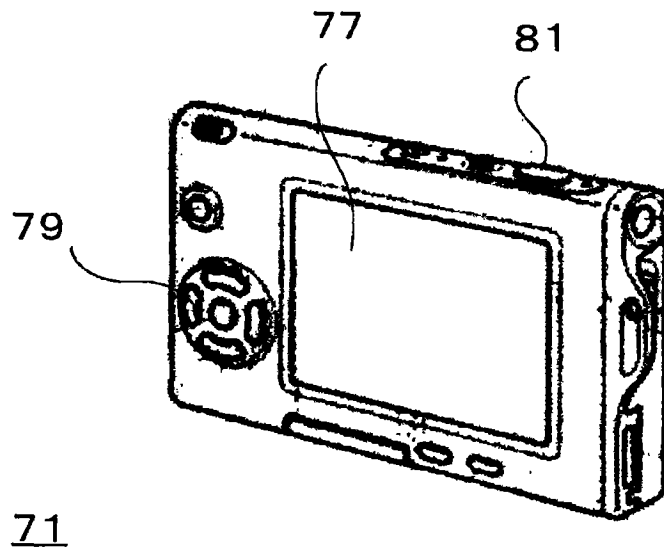
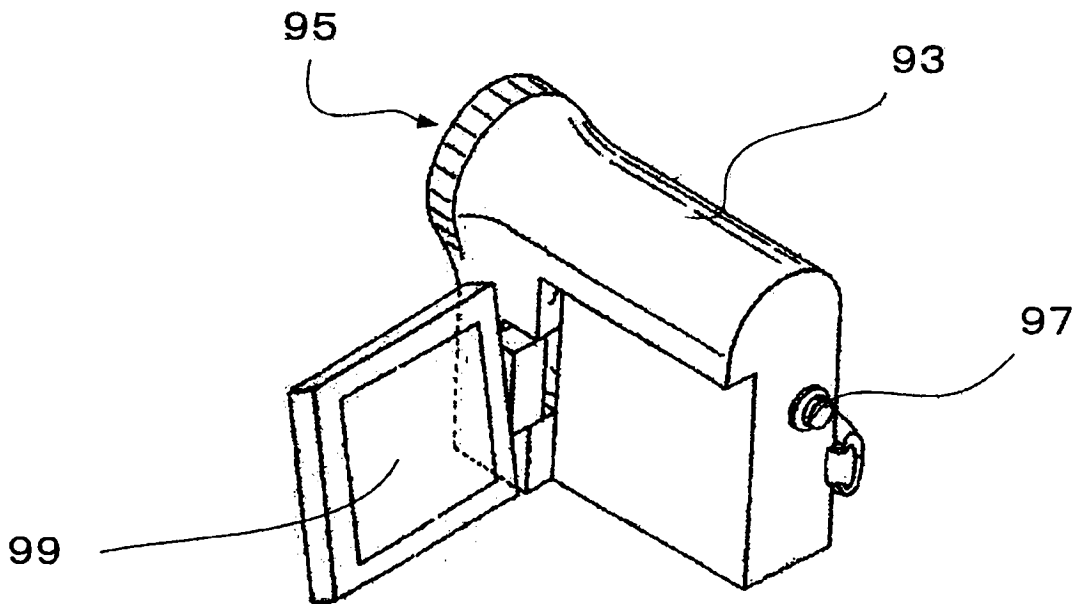


图 28B



91

图 29

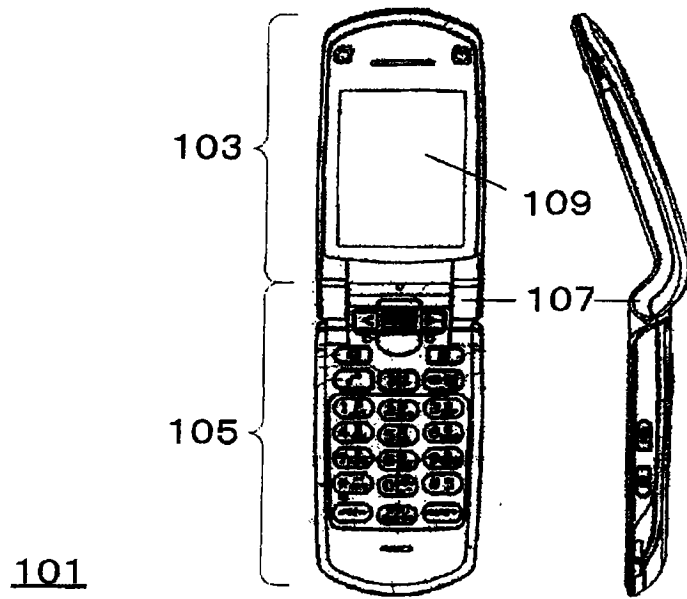


图 30A

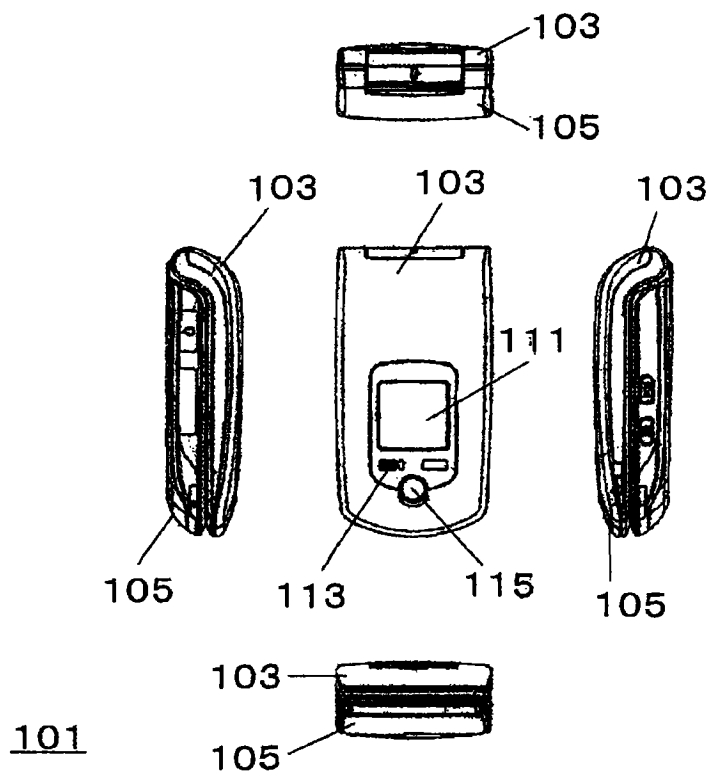
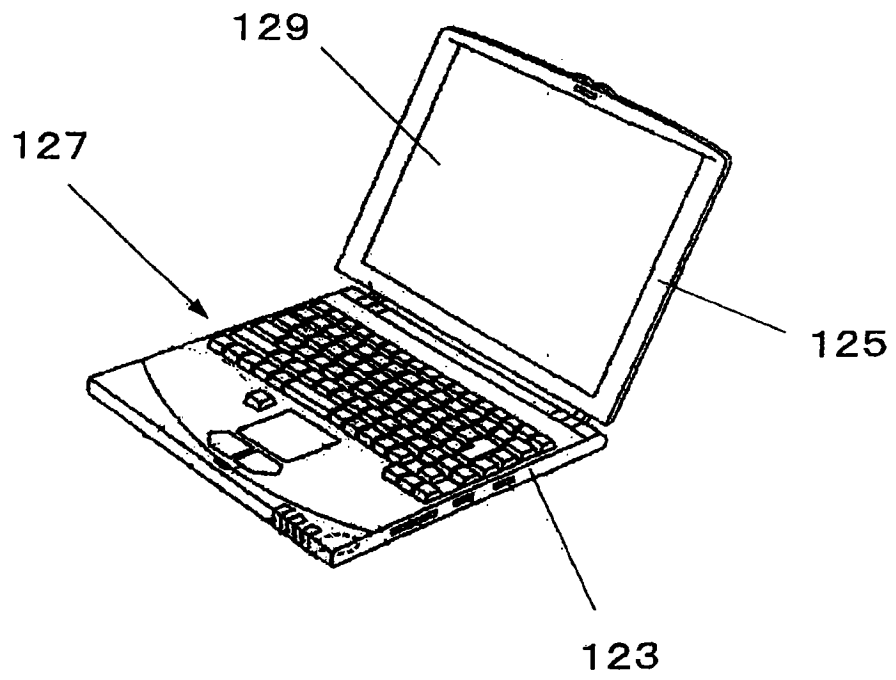


图 30B



121

图 31

专利名称(译)	液晶显示面板和电子设备		
公开(公告)号	<a href="#">CN102419501B</a>	公开(公告)日	2014-09-24
申请号	CN201110409291.6	申请日	2009-12-17
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼株式会社		
当前申请(专利权)人(译)	株式会社日本显示器西		
[标]发明人	寺西康幸 仲岛义晴		
发明人	寺西康幸 仲岛义晴		
IPC分类号	G02F1/1362 G09G3/20		
CPC分类号	G09G3/3648 G02F1/1365 G02F1/136213 G09G2300/0852 G09G2310/08		
代理人(译)	李晓冬		
审查员(译)	郭栋		
优先权	2008321652 2008-12-17 JP		
其他公开文献	CN102419501A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开一种液晶显示面板和电子设备。液晶显示面板具有像素电路，所述像素电路包括：电容性元件，电容性元件保存表示灰阶电平的像素电位并且通过信号线被提供到每个像素；第一开关元件和第二开关元件，第一开关元件和第二开关元件被串联连接在电容性元件和信号线之间；复原电路，复原电路被连接到第一开关元件和第二开关元件之间的端子，并且进行操作以通过第一开关元件从电容性元件读出像素电位，对所读出的像素电位进行逻辑反转和进行复原，并且通过第一开关元件将经逻辑反转并复原的像素电位重写入电容性元件。

