



(12) 发明专利申请

(10) 申请公布号 CN 102376282 A

(43) 申请公布日 2012. 03. 14

(21) 申请号 201010263098. 1

(22) 申请日 2010. 08. 25

(71) 申请人 中国科学院微电子研究所

地址 100029 北京市朝阳区北土城西路 3 号

(72) 发明人 赵博华 黄苒 杜寰 罗家俊

林斌

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 周国城

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/133 (2006. 01)

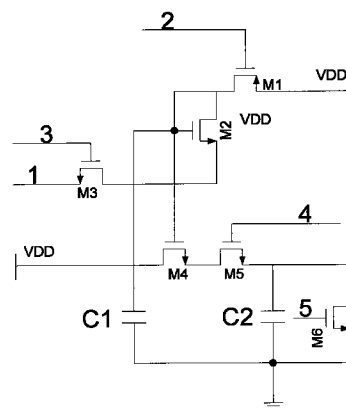
权利要求书 1 页 说明书 4 页 附图 3 页

(54) 发明名称

一种硅基液晶显示器件的场缓存像素电路

(57) 摘要

本发明公开了一种硅基液晶显示器件的场缓存像素电路,其特征在于,该电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、存储电容和像素电容,其中,存储电容在预充电阶段充电至电源电压;在第三晶体管导通时写入输入数据电压 V_{data} ,此时存储电容放电至 $V_{data}+V_{TH2}$, V_{TH2} 为第二晶体管的阈值电压;在数据读入阶段,第五晶体管导通,此时存储电容的电压为 $V_{data}+V_{TH2}$,像素电容充电至 V_{data} 。本发明由于在将输入数据电压写入到存储电容上时补偿了一个阈值电压,因此抵消了存储电容上电压读入到像素电容上所损失的一个阈值电压,输出像素电压的一致性得到保证,从而显示效果得到改善。



1. 一种硅基液晶显示器件的场缓存像素电路,其特征在于,该电路包括第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)、第六晶体管(M6)、存储电容(C1)和像素电容(C2),其中,存储电容(C1)在预充电阶段充电至电源电压;在第三晶体管(M3)导通时写入输入数据电压 V_{data} ,此时存储电容(C1)放电至 $V_{data}+V_{TH2}$, V_{TH2} 为第二晶体管的阈值电压;在数据读入阶段,第五晶体管(M5)导通,此时存储电容(C1)的电压为 $V_{data}+V_{TH2}$,像素电容(C2)充电至 V_{data} 。

2. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第一晶体管(M1)构成一预充电电路,所述第二晶体管(M2)和所述第三晶体管(M3)构成一阈值电压产生电路,所述存储电容(C1)构成一采样保持电路,所述第四晶体管(M4)、第五晶体管(M5)和像素电容(C2)构成一输入数据电压读入电路,所述第六晶体管(M6)构成一放电电路。

3. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第一晶体管(M1)的漏极与所述第二晶体管(M2)栅极和漏极相连接,同时与所述存储电容(C1)一端以及所述第四晶体管(M4)的栅极相连接,所述第一晶体管(M1)的源极外接电源电压,所述第一晶体管(M1)的栅极外接充电控制信号,并通过所述第一晶体管(M1)将所述存储电容(C1)的一端预先充电至电源电压;所述存储电容(C1)的另一端接地。

4. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第二晶体管(M2)的源极与所述第三晶体管(M3)的漏极相连接。

5. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第三晶体管(M3)的源极与输入数据电压相接,栅极外接写信号,控制数据的写入。

6. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第四晶体管(M4)的漏端与电源电压相接,源极与所述第五晶体管(M5)的漏极相连。

7. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第五晶体管(M5)的栅极外接读入控制信号,源极与所述像素电容(C2)一端、所述第六晶体管(M6)的漏极相连;所述像素电容(C2)的另一端接地。

8. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第六晶体管(M6)的源极接地,栅极外接放电控制信号,使所述像素电容(C2)上的电压通过所述第六晶体管(M6)放电。

9. 根据权利要求1所述的硅基液晶显示器件的场缓存像素电路,其特征在于,所述第一晶体管(M1)采用PMOS晶体管,所述第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)、第六晶体管(M6)均采用NMOS晶体管。

一种硅基液晶显示器件的场缓存像素电路

技术领域

[0001] 本发明涉及硅基液晶微显示器件 (Liquid Crystal on Silicon, LCoS) 技术领域, 特别是涉及一种硅基液晶显示器件的场缓存像素电路。

背景技术

[0002] LCoS 是一种将 CMOS 集成电路技术和液晶显示技术相结合的新型显示技术。与穿透式 LCD 和 DLP 相比, LCoS 具有光利用效率高、体积小、开口率高、制造成本低等特点。LCoS 最大的优点是解析度可以做得很高, 在便携型投影设备的应用上, 此优点是其他技术无法比拟的。目前实现 LCoS 彩色显示主要有时序彩色法和空间混色法,

[0003] 其中空间混色法影响开口率以及对滤色膜的对准以及粘贴工艺要求较高, 因此 LCoS 像素电路的设计主要是采用时序彩色的方法。而由于时序彩色法缩短了光源的照明时间, 主流的解决方法采用场缓存像素电路, 其特点是先将下一帧的显示数据存储在电容上, 再通过读信号一次性将存储的数据读入到像素电容上进行显示。其基本原理是将下一帧数据的读入时间隐藏到上一帧的液晶响应时间和光照时间中, 从而延长光照时间, 提高显示对比度。现有技术 (如图 1) 中, 数据电压通过 MOS 管从栅极传到源极, 此时源极得到的电压存在阈值损失, 并且由于数据电压的不同, 损失的阈值电压也是不相同的, 因而输出的像素电压与输入的数据电压存在非线性的关系, 影响了像素输出电压的一致性, 进而影响最终的显示效果。

发明内容

[0004] (一) 要解决的技术问题

[0005] 针对现有电路数据电压从 MOS 管栅极传到源极存在阈值电压损失进而影响像素输出电压一致性的缺点, 本发明的主要目的是提供一种场缓存像素电路, 以减小阈值损失, 提高像素输出电压的稳定性和一致性, 进而提高显示效果。

[0006] (二) 技术方案

[0007] 为达到上述目的, 本发明提供了一种硅基液晶显示器件的场缓存像素电路, 该电路包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、存储电容 C1 和像素电容 C2, 其中, 存储电容 C1 在预充电阶段充电至电源电压; 在第三晶体管 M3 导通时写入输入数据电压 V_{data} , 此时存储电容 C1 放电至 $V_{data} + V_{TH2}$, V_{TH2} 为第二晶体管的阈值电压; 在数据读入阶段, 第五晶体管 M5 导通, 此时存储电容 C1 的电压为 $V_{data} + V_{TH2}$, 像素电容 C2 充电至 V_{data} 。

[0008] 上述方案中, 所述第一晶体管 M1 构成一预充电电路, 所述第二晶体管 M2 和所述第三晶体管 M3 构成一阈值电压产生电路, 所述存储电容 C1 构成一采样保持电路, 所述第四晶体管 M4、第五晶体管 M5 和像素电容 C2 构成一输入数据电压读入电路, 所述第六晶体管 M6 构成一放电电路。

[0009] 上述方案中, 所述第一晶体管 M1 的漏极与所述第二晶体管 M2 栅极和漏极相连接,

同时与所述存储电容 C1 一端以及所述第四晶体管 M4 的栅极相连接,所述第一晶体管 M1 的源极外接电源电压,所述第一晶体管 M1 的栅极外接充电控制信号,并通过所述第一晶体管 M1 将所述存储电容 C1 的一端预先充电至电源电压;所述存储电容 C1 的另一端接地。

[0010] 上述方案中,所述第二晶体管 M2 的源极与所述第三晶体管 M3 的漏极相连接。

[0011] 上述方案中,所述第三晶体管 M3 的源极与输入数据电压相接,栅极外接写信号,控制数据的写入。

[0012] 上述方案中,所述第四晶体管 M4 的漏端与电源电压相接,源极与所述第五晶体管 M5 的漏极相连。

[0013] 上述方案中,所述第五晶体管 M5 的栅极外接读入控制信号,源极与所述像素电容 C2 一端、所述第六晶体管 M6 的漏极相连;所述像素电容 C2 的另一端接地。

[0014] 上述方案中,所述第六晶体管 M6 的源极接地,栅极外接放电控制信号,使所述像素电容 C2 上的电压通过所述第六晶体管 M6 放电。

[0015] 上述方案中,所述第一晶体管 M1 采用 PMOS 晶体管,所述第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 均采用 NMOS 晶体管。

[0016] (三) 有益效果

[0017] 从上述技术方案可以看出,本发明具有以下有益效果:

[0018] 1、本发明提供的硅基液晶显示器件的场缓存像素电路,其数据写入是通过将预充到电源电压的存储电容放电实现的,由于在将存储电容通过第二晶体管放电至输入数据电压和阈值电压(其随着输入数据电压变化而变化)之和时,第二晶体管关断,因此在数据写入阶段存储到存储电容上的值为输入数据电压和阈值电压之和。在再将存储电容上的电压通过第四晶体管转移到像素电容上时,由于通过第四晶体管栅极传输电压时存在阈值损失,因此最终传输到像素点容上的电压为存储电容上的电压与阈值电压之差,也即为输入数据电压。

[0019] 2、以前像素电路由于在通过晶体管转移电压时存在阈值电压损失,从而造成最终输出电压的不一致性。而本发明利用在存储输入数据电压时先加上一个阈值电压的做法,抵消了转移电压时存在的阈值损失,从而提高了输出电压的稳定性和一致性,改善了显示效果。

附图说明

[0020] 图 1 是背景技术场缓存像素电路结构图;

[0021] 图 2 是本发明提供的硅基液晶显示器件的场缓存像素电路的结构图;

[0022] 图 3 是本发明提供的硅基液晶显示器件的场缓存像素电路的信号时序图。

具体实施方式

[0023] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明进一步详细说明。

[0024] 如图 2 所示,图 2 是本发明提供的硅基液晶显示器件的场缓存像素电路的结构图,该电路包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6、存储电容 C1 和像素电容 C2,其中,存储电容 C1 在预充电阶段充电至电源电

压;在第三晶体管 M3 导通时写入输入数据电压 V_{data} ,此时存储电容 C1 放电至 $V_{data}+V_{TH2}$, V_{TH2} 为第二晶体管的阈值电压;在数据读入阶段,第五晶体管 M5 导通,此时存储电容 C1 的电压为 $V_{data}+V_{TH2}$,像素电容 C2 充电至 V_{data} 。

[0025] 其中,所述第一晶体管 M1 构成一预充电电路,所述第二晶体管 M2 和所述第三晶体管 M3 构成一阈值电压产生电路,所述存储电容 C1 构成一采样保持电路,所述第四晶体管 M4、第五晶体管 M5 和像素电容 C2 构成一输入数据电压读入电路,所述第六晶体管 M6 构成一放电电路。

[0026] 所述第一晶体管 M1 的漏极与所述第二晶体管 M2 栅极和漏极相连接,同时与所述存储电容 C1 一端以及所述第四晶体管 M4 的栅极相连接,所述第一晶体管 M1 的源极外接电源电压,所述第一晶体管 M1 的栅极外接充电控制信号,并通过所述第一晶体管 M1 将所述存储电容 C1 的一端预先充电至电源电压;所述存储电容 C1 的另一端接地。所述第二晶体管 M2 的源极与所述第三晶体管 M3 的漏极相连接。所述第三晶体管 M3 的源极与输入数据电压相接,栅极外接写信号,控制数据的写入。所述第四晶体管 M4 的漏端与电源电压相接,源极与所述第五晶体管 M5 的漏极相连。所述第五晶体管 M5 的栅极外接读入控制信号,源极与所述像素电容 C2 一端、所述第六晶体管 M6 的漏极相连;所述像素电容 C2 的另一端接地。所述第六晶体管 M6 的源极接地,栅极外接放电控制信号,使所述像素电容 C2 上的电压通过所述第六晶体管 M6 放电。所述第一晶体管 M1 采用 PMOS 晶体管,所述第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 均采用 NMOS 晶体管。所述存储电容 C1、像素电容 C2 由像素电压误差容许值决定。

[0027] 如图 3 所示,图 3 是本发明提供的硅基液晶显示器件的场缓存像素电路的信号时序图。数据信号 1,预充电信号 2,写信号 3,读信号 4,放电信号 5 如图 2、3 所示。数据信号 1 连接在第三晶体管 M3 的源极,预充电信号 2 连接在第一晶体管 M1 的栅极,写信号 3 连接在第三晶体管 M3 的栅极,读信号 4 连接在第五晶体管 M5 的栅极,放电信号 5 连接在第六晶体管 M6 的栅极。第五晶体管 M5 的栅极读信号 4 在时序上包含第六晶体管 M6 的栅极放电信号 5。

[0028] 在本发明提供的这种场缓存像素电路中,一帧时间分为三部分:数据写入时间、液晶材料响应时间和光源照明时间,数据写入时间和光源照明时间部分重合。数据写入阶段首先预充电信号 2 变为低电平,电源电压通过第一晶体管 M1 对存储电容 C1 充电至电源电压;接着写信号 3 变为高电平,数据信号 1 通过第三晶体管 M3 传到第二晶体管 M2 的漏极,当存储电容 C1 上电压通过第二晶体管 M2 和第三晶体管 M3 放电至数据信号电压与 M2 管的阈值电压之和时,第二晶体管 M2 关断,此时保存到存储电容 C1 上的电压为数据信号电压与第二晶体管 M2 的阈值电压之和;当所有行的数据电压全部写入各像素存储电容 C1 后,读信号 4 变为高电平,第五晶体管 M5 导通,放电信号 5 也为高电平,第六晶体管 M6 也导通,首先像素电容 C2 上的电压通过第六晶体管 M6 放电至低电平,然后放电信号 5 变为低电平,读信号 4 仍为高电平,保存在存储电容 C1 上的电压通过第四晶体管 M4、第五晶体管 M5 对像素电容 C2 进行充电,当像素电容 C2 充电至数据信号电压时,由于第四晶体管 M4 栅极电压为数据信号电压与 M2 管的阈值电压之和,因此第四晶体管 M4 关断,保存到像素电容 C2 上的电压为数据信号电压,像素电容进入像素电压保持期。

[0029] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详

细说明,所应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

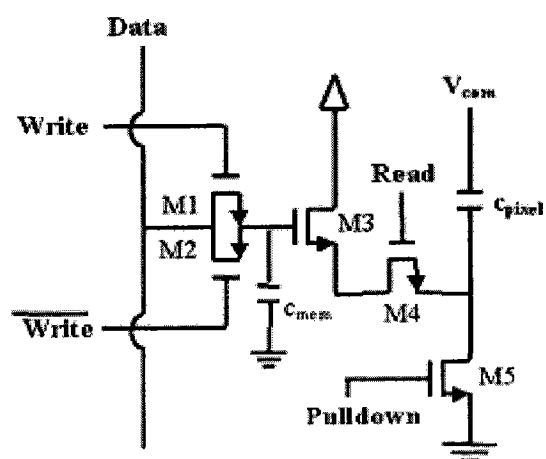


图 1

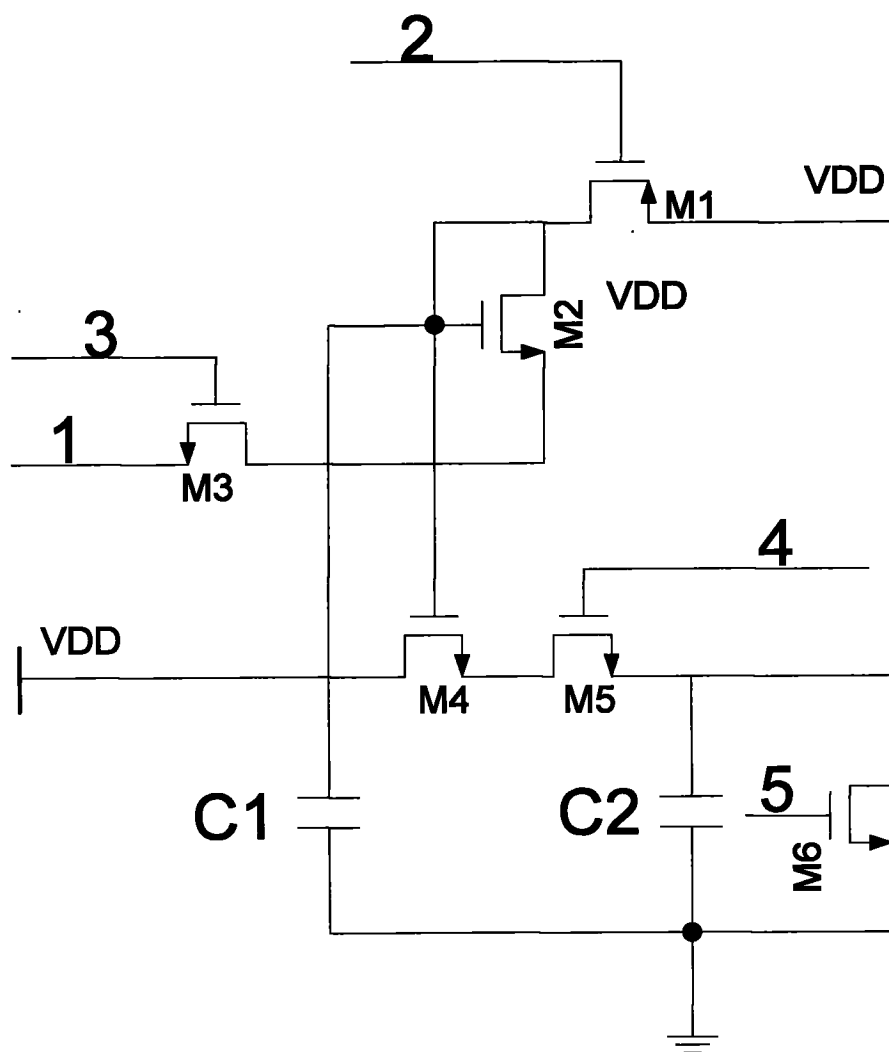


图 2

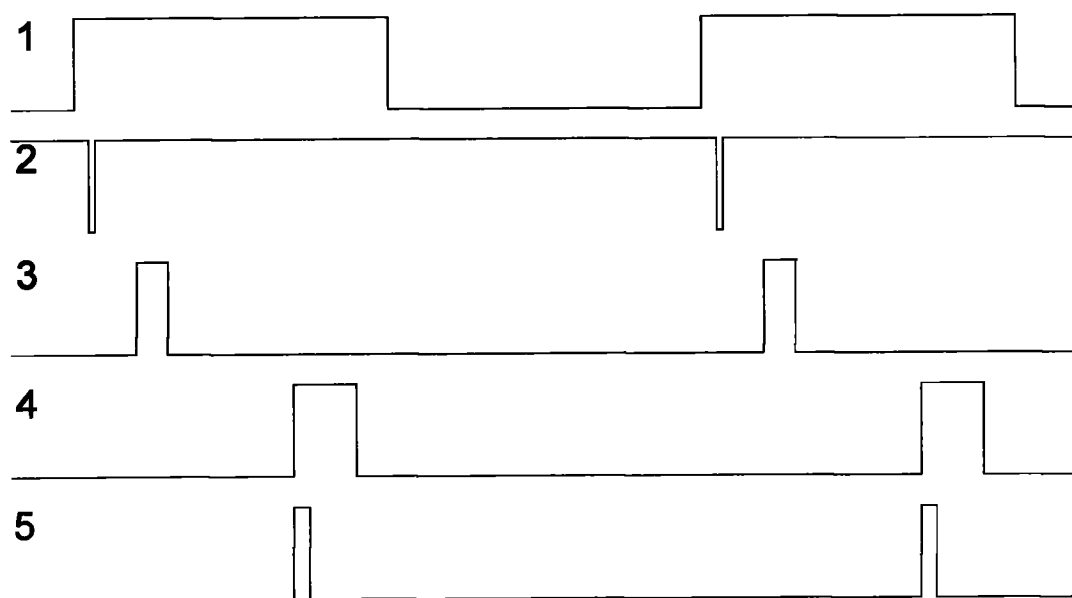


图 3

专利名称(译)	一种硅基液晶显示器件的场缓存像素电路		
公开(公告)号	CN102376282A	公开(公告)日	2012-03-14
申请号	CN201010263098.1	申请日	2010-08-25
[标]申请(专利权)人(译)	中国科学院微电子研究所		
申请(专利权)人(译)	中国科学院微电子研究所		
当前申请(专利权)人(译)	北京燕东微电子有限公司		
[标]发明人	赵博华 黄苒 杜寰 罗家俊 林斌		
发明人	赵博华 黄苒 杜寰 罗家俊 林斌		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G5/001 G09G3/3648 G09G2300/0819 G09G2300/0842 G09G2310/0251 G09G2320/0233 G09G2320/043 G09G2360/18 G11C19/184		
其他公开文献	CN102376282B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种硅基液晶显示器件的场缓存像素电路，其特征在于，该电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、存储电容和像素电容，其中，存储电容在预充电阶段充电至电源电压；在第三晶体管导通时写入输入数据电压Vdata，此时存储电容放电至Vdata+VTH2，VTH2为第二晶体管的阈值电压；在数据读入阶段，第五晶体管导通，此时存储电容的电压为Vdata+VTH2，像素电容充电至Vdata。本发明由于在将输入数据电压写入到存储电容上时补偿了一个阈值电压，因此抵消了存储电容上电压读入到像素电容上所损失的一个阈值电压，输出像素电压的一致性得到保证，从而显示效果得到改善。

