



(12) 发明专利

(10) 授权公告号 CN 101465103 B

(45) 授权公告日 2011. 12. 21

(21) 申请号 200810178168. 6

WO 2006117878 A1, 2006. 11. 09, 全文.

(22) 申请日 2008. 11. 25

US 2005286804 A1, 2005. 12. 29, 全文.

(30) 优先权数据

审查员 刘畅

10-2007-0135788 2007. 12. 21 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 张修赫 金锤佑

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 黄纶伟

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

US 2007229432 A1, 2007. 10. 04, 全文.

CN 1661429 A, 2005. 08. 31, 全文.

WO 2007043214 A1, 2007. 04. 19, 全文.

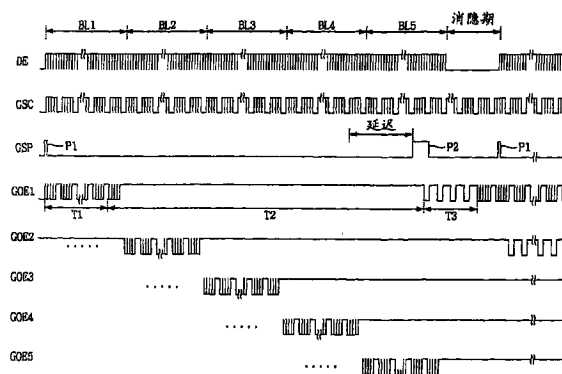
权利要求书 2 页 说明书 16 页 附图 9 页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

本发明液晶显示器及其驱动方法。一种液晶显示器包括：液晶面板，其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元；数据驱动电路，其向所述数据线提供数据信号；选通驱动电路，其向所述选通线提供选通信号；以及定时控制器，其接收视频数据和定时信号，实时检查所述视频数据的帧频以检测帧频的变化，并且响应于帧频的变化输出选通定时控制信号以控制所述选通驱动电路并输出用于控制所述数据驱动电路的数据定时控制信号，其中，所述选通定时控制信号控制帧内的黑色数据插入百分比。



1. 一种液晶显示器,该液晶显示器包括:

液晶面板,其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元;

数据驱动电路,其向所述数据线提供数据信号;

选通驱动电路,其向所述选通线提供选通信号;以及

定时控制器,其接收视频数据和定时信号,实时检查所述视频数据的帧频以检测帧频的变化,并且响应于帧频的变化输出选通定时控制信号以控制所述选通驱动电路并输出用于控制所述数据驱动电路的数据定时控制信号,

其中,所述选通定时控制信号控制帧内的黑色数据插入百分比,

其中,当帧频下降时,所述定时控制器控制所述选通定时控制信号以减小所述黑色数据插入百分比,

其中,当帧频上升时,所述定时控制器控制所述选通定时控制信号以增大所述黑色数据插入百分比。

2. 根据权利要求1所述的液晶显示器,其中,所述选通定时控制信号包括用于控制所述选通驱动电路的定时以提供视频数据的第一选通起始脉冲和用于控制所述选通驱动电路的定时以提供黑色灰度级电压的第二选通起始脉冲,使得所述第一选通起始脉冲与所述第二选通起始脉冲之间的延迟量控制帧内的黑色数据插入百分比。

3. 根据权利要求1所述的液晶显示器,其中,所述选通驱动电路包括分别连接到选通线的块的多个选通驱动集成电路芯片。

4. 根据权利要求3所述的液晶显示器,其中,当所述黑色数据插入百分比小于或等于20%时,由所述定时控制器依次进行数据写操作、数据保持操作和黑色插入操作以对所述块进行驱动,而当所述黑色数据插入百分比大于20%时,由所述定时控制器依次进行数据写操作、数据保持操作、黑色插入操作和黑色保持操作以对所述块进行驱动。

5. 根据权利要求3所述的液晶显示器,其中,所述定时控制器连接到第一选通驱动集成电路芯片以接收选通起始脉冲,并且剩余的选通驱动集成电路芯片彼此连接以接收选通起始脉冲。

6. 根据权利要求1所述的液晶显示器,其中,所述定时控制器包括:

时钟信号,其与帧频无关地产生固定时钟信号;以及

帧频检测器,其基于所述固定时钟信号对所述定时信号进行计数以检测当前输入图像的帧频。

7. 一种液晶显示器,该液晶显示器包括:

液晶面板,其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元;

数据驱动电路,其向所述数据线提供数据信号;

选通驱动电路,其向所述选通线提供选通信号;以及

定时控制器,其接收视频数据和定时信号,实时检查所述视频数据的帧频以检测帧频的变化,并且向所述选通驱动电路输出选通定时控制信号以针对一定范围的帧频维持帧周期内的黑色数据插入周期并输出用于控制所述数据驱动电路的数据定时控制信号,

其中,当帧频下降时,所述定时控制器控制所述选通定时控制信号以减小黑色数据插入百分比,

其中,当帧频上升时,所述定时控制器控制所述选通定时控制信号以增大黑色数据插

入百分比。

8. 根据权利要求7所述的液晶显示器,其中,所述定时控制器在20%到80%的范围内改变帧的黑色数据插入百分比。

9. 根据权利要求7所述的液晶显示器,其中,所述选通驱动电路包括分别连接到选通线的块的多个选通驱动集成电路芯片。

10. 根据权利要求9所述的液晶显示器,其中,当所述黑色数据插入百分比小于或等于20%时,由所述定时控制器依次进行数据写操作、数据保持操作和黑色插入操作以对所述块进行驱动,而当所述黑色数据插入百分比大于20%时,由所述定时控制器依次进行数据写操作、数据保持操作、黑色插入操作和黑色保持操作以对所述块进行驱动。

11. 根据权利要求9所述的液晶显示器,其中,所述定时控制器连接到第一选通驱动集成电路芯片以接收选通起始脉冲,并且剩余的选通驱动集成电路芯片彼此连接以接收选通起始脉冲。

12. 根据权利要求7所述的液晶显示器,其中,所述选通定时控制信号包括用于控制所述选通驱动电路的定时以提供视频数据的第一选通起始脉冲和用于控制所述选通驱动电路的定时以提供黑色灰度级电压的第二选通起始脉冲,使得所述第一选通起始脉冲与所述第二选通起始脉冲之间的延迟量维持所述黑色数据周期。

13. 根据权利要求7所述的液晶显示器,其中,所述定时控制器包括:

时钟信号,其与帧频无关地产生固定时钟信号;以及

帧频检测器,其基于所述固定时钟信号对定时信号进行计数以检测当前输入图像的帧频。

14. 一种液晶显示器的驱动方法,该液晶显示器包括具有液晶单元的液晶面板、数据驱动电路、选通驱动电路和定时控制器,该驱动方法包括以下步骤:

基于固定时钟信号对定时信号进行计数,以实时检查当前输入图像的帧频;

如果帧频没有改变,则维持当前黑色数据插入百分比;以及

如果帧频发生改变,则改变当前黑色数据插入百分比,

其中,如果帧频发生改变则改变当前黑色数据插入百分比的步骤包括:如果所述当前输入图像的帧频下降,则降低所述当前黑色数据插入百分比,

其中,如果帧频发生改变则改变当前黑色数据插入百分比的步骤包括:如果所述当前输入图像的帧频上升,则增大所述当前黑色数据插入百分比。

液晶显示器及其驱动方法

技术领域

[0001] 本发明的实施方式涉及显示器,更具体地讲,涉及液晶显示器及其驱动方法。尽管本发明的实施方式适于广范围的应用,但是它特别适于防止利用黑色数据插入法驱动时被驱动的液晶显示器的闪烁现象。

背景技术

[0002] 本申请要求 2007 年 12 月 21 日提交的韩国专利申请 No. 10-2007-0135788 的优先权,此处以引证的方式并入其全部内容。

[0003] 有源矩阵型液晶显示器利用薄膜晶体管 (TFT) 作为开关元件来显示运动图像。由于有源矩阵型液晶显示器的外形较薄,所以有源矩阵型液晶显示器已被实现为电视机以及诸如办公室设备和计算机的便携式设备中的显示设备。因此,阴极射线管 (CRT) 正在由有源矩阵型液晶显示器所替代。

[0004] 由于液晶材料具有保持特性,所以会发生模糊现象,在这种模糊现象中,显示在液晶显示器的屏幕上的运动图像不清楚并且模糊。如图 1 所示,CRT 通过在非常短的时间段内使荧光体发光以向单元提供数据从而按照脉冲驱动方式显示图像。另一方面,如图 2 所示,液晶显示器通过在扫描周期内向液晶单元提供数据并且在剩余的场周期(或帧周期)内保持充入液晶单元中的数据,以按照保持驱动方式显示图像。

[0005] 由于 CRT 按照脉冲驱动方式显示运动图像,如图 3 所示,所以观看者感知的感知图像比较清楚。另一方面,如图 4 所示,在液晶显示器中,由于液晶具有保持特性,所以观看者感觉到的感知图像的亮和暗是不清楚和模糊的。CRT 和液晶显示器的感知图像之间的差别是由于在一个运动之后临时保持在眼睛中的图像的累积效应而产生的。因此,由于在眼睛的运动与各帧的静态图像之间存在差别,所以即使液晶显示器具有快速响应时间,观看者仍然看到模糊的图像。为了改善运动模糊现象,已经提议了一种黑色数据插入 (BDI) 法。在黑色数据插入法中,在将视频数据写在屏幕上之后,通过向屏幕提供黑色数据按照脉冲驱动方法对液晶显示器进行驱动。

[0006] 作为黑色数据插入法的一个例子,通过将屏幕划分成多个块对屏幕进行分割驱动,并且通过按顺序进行数据电压写操作、数据保持操作和黑色数据插入操作以对各个块进行驱动。在相关技术的黑色数据插入法中,与帧率无关地固定黑色数据插入百分比。如图 5 所示,通过黑色数据插入周期占 1 帧周期的比率按照百分比来定义黑色数据插入百分比。

[0007] 由于相关技术的黑色数据插入法与帧率无关地固定黑色数据插入百分比,所以当帧率改变时发生显示屏出现闪烁的闪烁现象。例如,假定存在一种液晶显示器,在这种液晶显示器中,支持 50Hz、60Hz 和 75Hz 的三种帧频并且黑色数据插入百分比固定在 30%。如图 6 所示,由于在 75Hz (13.33ms) 帧频的情况下黑色数据插入周期大约是 3.99ms,所以闪烁水平低到观看者不会识别到该闪烁现象的程度。然而,由于黑色数据插入百分比固定在 30%,所以当帧频下降到 50Hz 时黑色数据插入周期上升到 6.0ms。因此,当帧频下降时相关

技术的黑色数据插入法产生闪烁现象。

发明内容

[0008] 因此,本发明的实施方式涉及一种液晶显示器及其驱动方法,其能够基本上克服因相关技术的局限和缺点带来的一个或更多个问题。

[0009] 本发明的实施方式的一个目的在于提供一种液晶显示器及其驱动方法,其能够防止利用黑色数据插入法驱动的液晶显示器的闪烁现象。

[0010] 本发明的实施方式的附加特征和优点将在下面的描述中描述且将从描述中部分地显现,或者可以通过本发明的实施方式的实践来了解。通过书面的说明书及其权利要求以及附图中特别指出的结构可以实现和获得本发明的实施方式的目的和其他优点。

[0011] 为了实现这些和其他优点,按照本发明的目的,作为具体和广义的描述,一种液晶显示器包括:液晶面板,其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元;数据驱动电路,其向所述数据线提供数据信号;选通驱动电路,其向所述选通线提供选通信号;以及定时控制器,其接收视频数据和定时信号,实时检查所述视频数据的帧频以检测帧频的变化,并且响应于帧频的变化输出选通定时控制信号以控制所述选通驱动电路并输出用于控制所述数据驱动电路的数据定时控制信号,其中,所述选通定时控制信号控制帧内的黑色数据插入百分比。

[0012] 在另一个方面中,一种液晶显示器包括:液晶面板,其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元;数据驱动电路,其向所述数据线提供数据信号;选通驱动电路,其向所述选通线提供选通信号;以及定时控制器,其接收视频数据和定时信号,实时检查所述视频数据的帧频以检测帧频的变化,并且向所述选通驱动电路输出选通定时控制信号以针对一定范围的帧频维持帧周期内的黑色数据插入周期并输出用于控制所述数据驱动电路的数据定时控制信号。

[0013] 在另一个方面中,一种液晶显示器的驱动方法,该液晶显示器包括具有液晶单元的液晶面板、数据驱动电路、选通驱动电路和定时控制器,该驱动方法包括以下步骤:基于固定时钟信号对定时信号进行计数,以实时检查当前输入图像的帧频;如果帧频没有改变,则维持当前黑色数据插入百分比;以及如果帧频发生改变,则改变当前黑色数据插入百分比。

[0014] 应当理解,本发明的上述一般描述和下述详细描述是示例性和说明性的,且旨在提供所要求保护的本发明的实施方式的进一步解释。

附图说明

[0015] 附图被包括在本说明书中以提供对本发明的进一步理解,并结合到本说明书中且构成本说明书的一部分,附图示出了本发明的实施方式,且与说明书一起用于解释本发明的原理。附图中:

[0016] 图1示出了阴极射线管的发光特性的图;

[0017] 图2示出了液晶显示器的发光特性的图;

[0018] 图3示出了观看者感觉的阴极射线管的感知图像的图;

[0019] 图4示出了观看者感觉的液晶显示器的感知图像的图;

- [0020] 图 5 示出了黑色数据插入 (BDI) 百分比的示例的图；
- [0021] 图 6 示出了根据帧频变化的固定黑色数据插入百分比的示例的图；
- [0022] 图 7 是解释了在根据示例性实施方式的液晶显示器中根据帧频变化的黑色数据插入百分比的图；
- [0023] 图 8 是根据示例性实施方式的液晶显示器的框图；
- [0024] 图 9 是示出图 8 所示的选通定时控制信号的波形图；
- [0025] 图 10 是详细示出数据写块和黑色写块中的图 8 所示的选通定时控制信号的波形图；
- [0026] 图 11A 到 11D 示出了根据帧频的黑色数据插入百分比的变化的图；以及
- [0027] 图 12 是顺序示出根据示例性实施方式的液晶显示器的驱动方法的流程图。

具体实施方式

[0028] 在下文中,将对照图 7 到图 12 详细描述示例性实施方式。

[0029] 如图 7 所示,根据示例性实施方式的液晶显示器的驱动方法通过实时检查帧频以缩短 1 帧周期内的黑色数据插入周期,从而当帧频下降时防止出现闪烁。当在 75Hz (13.33ms) 帧频的情况下黑色数据插入百分比是 30% 时,黑色数据插入周期是 3.99ms。因此,闪烁水平低到观看者不会识别到该闪烁现象的程度。当帧频从 75Hz 下降到 60Hz (16.67ms) 时,黑色数据插入百分比降低到 24% (4.0ms)。当帧频从 75Hz 下降到 50Hz (20ms) 或从 60Hz 下降到 50Hz 时,黑色数据插入百分比降低到 20% (4.0ms)。因此,这种根据示例性实施方式的液晶显示器的驱动方法能够通过实时检查帧频将黑色数据插入周期保持为一定范围的帧频的 1 帧周期内的等于或小于 4.0ms 的值,从而当帧频下降时观看者不会看到闪烁。

[0030] 如果在帧频下降之后当帧频又上升时黑色数据插入百分比固定在低值,则 1 帧周期内的黑色数据插入百分比是低的。因此,不能够获得足够的脉冲效果。因此,在帧频下降之后当帧频又上升时,1 帧周期内的黑色数据插入百分比上升以获得满意的脉冲效果。例如,当帧频从 50Hz 上升到 60Hz 时,黑色数据插入百分比从 20% 上升到 24%。另外,当帧频从 50Hz 上升到 75Hz 或从 60Hz 上升到 75Hz 时,黑色数据插入百分比上升到 30%。

[0031] 根据示例性实施方式的液晶显示器的驱动方法控制施加到用于对屏幕进行分割驱动的各个选通驱动集成电路的选通定时控制信号,从而调整黑色数据插入百分比。

[0032] 图 8 到图 11D 是解释了一个示例的图,在这个示例中,在屏幕被划分成 5 个块的状态下利用 5 个选通驱动 IC 对屏幕进行分割驱动时,黑色数据插入百分比在 20% 和 80% 之间的范围内进行变化。

[0033] 如图 8 所示,根据示例性实施方式的液晶显示器包括液晶显示面板、定时控制器 81、数据驱动电路 82 和选通驱动电路 83。数据驱动电路 82 包括多个源驱动 IC (未示出)。选通驱动电路 83 包括多个选通驱动 IC831 到 835。

[0034] 在液晶显示面板中,液晶层形成在两个玻璃基板之间。液晶显示面板包括按照矩阵阵列形式设置在 m 条数据线 84 与 n 条选通线 85 的各个交叉处的 $m \times n$ 个液晶单元 Clc。

[0035] 数据线 84、选通线 85、薄膜晶体管 (TFT) 和存储电容器 Cst 形成在液晶显示面板的下玻璃基板上。液晶单元 Clc 连接到 TFT 并且由像素电极 1 与公共电极 2 之间的电场进

行驱动。黑底、滤色器和公共电极 2 形成在液晶显示面板的上玻璃基板上。在诸如扭曲向列 (TN) 模式和垂直对准 (VA) 模式的垂直电驱动方式下,公共电极 2 形成在上玻璃基板上。在诸如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式的平行电驱动方式下,公共电极 2 和像素电极 1 形成在上玻璃基板上。具有以直角相交的光轴的偏振器分别粘接到上玻璃基板和下玻璃基板。用于在与液晶接触的界面中设置液晶的预倾角的配向层分别形成在上玻璃基板和下玻璃基板上。

[0036] 通过根据施加到选通驱动 IC831 到 835 的选通定时控制信号将显示屏幕划分成多个块 BL1 到 BL5,以对液晶显示面板的显示屏幕进行分割驱动。当黑色数据插入百分比小于或等于 20% 时,依次地按顺序进行数据写操作、数据保持操作和黑色插入操作以对块 BL1 到 BL5 进行驱动。当黑色数据插入百分比大于 20% 时,通过依次地按顺序进行数据写操作、数据保持操作、黑色插入操作和黑色保持操作以对块 BL1 到 BL5 进行驱动。

[0037] 定时控制器 81 接收诸如垂直和水平同步信号 Vsync 和 Hsync、数据使能信号 DE、点时钟信号 DCLK、固定时钟信号 FCLK 的定时信号,并且产生用于控制数据驱动电路 82 和选通驱动电路 83 的操作定时的控制信号。这些控制信号包括选通定时控制信号和数据定时控制信号。定时控制器 81 实时检查帧频从而检测帧频的变化。当帧频下降时,定时控制器 81 控制选通定时控制信号从而减小黑色数据插入百分比。当帧频上升时,定时控制器 81 控制选通定时控制信号从而增大黑色数据插入百分比。定时控制器 81 向数据驱动电路 82 提供数字视频数据 RGB。

[0038] 选通定时控制信号包括选通起始脉冲 GSP、选通移位时钟信号 GSC、选通输出使能信号 GOE 等等。

[0039] 选通起始脉冲 GSP 施加到第一选通驱动 IC831 并且指示扫描操作的扫描起始线,从而使第一选通驱动 IC831 产生第一选通脉冲。选通移位时钟信号 GSC 是用于移位选通起始脉冲 GSP 的时钟信号。选通驱动 IC831 到 835 的移位寄存器在选通移位时钟信号 GSC 的上升沿将选通起始脉冲 GSP 和选通脉冲移位到下一级。第二到第五选通驱动 IC832 到 835 接收第一选通驱动 IC831 的最后输出作为选通起始脉冲 GSP 并且产生第一选通脉冲。选通输出使能信号 GOE 独立地施加到选通驱动 IC831 到 835。在选通输出使能信号 GOE 的低逻辑周期内(即,在从脉冲的下降时间到下一个脉冲的上升时间的时间段内),选通驱动 IC831 到 835 输出选通脉冲。在选通输出使能信号 GOE 的高逻辑周期内,选通驱动 IC831 到 835 不会产生选通脉冲。

[0040] 数据定时控制信号包括源起始脉冲 SSP、源采样时钟信号 SSC、极性控制信号 POL、源输出使能信号 SOE 等等。源起始脉冲 SSP 指示将显示数据的 1 条水平线中的起始像素。源采样时钟信号 SSC 基于上升沿或下降沿对数据驱动电路 82 指导数据锁存操作。极性控制信号 POL 控制从数据驱动电路 82 输出的模拟视频数据电压的极性。源输出使能信号 SOE 控制源驱动 IC 的输出。数据定时控制信号还可以包括预充控制信号。数据驱动电路 82 响应于预充控制信号在正和负数据电压之前提供正和负预充电压,以减小施加到数据线 84 的模拟电压的摆动宽度。

[0041] 帧频检测器安装在定时控制器 81 内部。帧频检测器基于固定时钟信号 FLCK 对垂直同步信号 Vsync 进行计数以检测当前输入图像的帧频。固定时钟信号 FLCK 是与帧频无关地总是按照恒定频率产生的时钟信号。安装在定时控制器 81 中的压控振荡器 (VCO) 可

以产生固定时钟信号 FLCK。由于当帧频改变时诸如点时钟信号 DCLK、水平同步信号 Hsync 和数据使能信号的定时信号的频率与垂直同步信号 Vsync 一起进行改变,所以这些定时信号不能够用作检查帧频的变化的基准信号。当帧频改变时,定时控制器 81 控制选通定时控制信号,具体地讲是控制选通起始脉冲 GSP 和选通输出使能信号 GOE 的定时,以根据帧频的变化来改变黑色数据插入百分比。在另一个示例性实施方式中,帧频检测器和定时信号调制电路连接到现有的定时控制器而不是定时控制器 81,并且由此,能够根据帧频对从现有的定时控制器输出的选通定时控制信号和数据定时控制信号进行调制。

[0042] 数据驱动电路 82 的各个数据驱动 IC 包括移位寄存器、锁存器、数字-模拟转换器、输出缓冲器等等。数据驱动电路 82 在定时控制器 81 的控制下对数字视频数据 RGB 进行锁存。在数据驱动电路 82 向数据线 84 提供被产生作为电荷共享电压或正和负预充电电压的黑色灰度级电压之后,数字视频数据 RGB 响应于极性控制信号 POL 被转换为模拟正和负伽马补偿电压以产生正和负模拟数据电压。然后,正和负模拟数据电压被提供给数据线 84。数据驱动电路 82 在被驱动作为数据写块的块 BL1 到 BL5 的扫描时间内向数据线 84 提供数据电压,并且在被驱动作为黑色插入块的块 BL1 到 BL5 的扫描时间内向数据线 84 提供黑色灰度级电压。选通驱动 IC831 到 835 各包括移位寄存器、电平移位器和输出缓冲器,其中,该电平移位器将移位寄存器的输出信号移位为适于液晶单元的 TFT 驱动的摆动宽度,该输出缓冲器连接在电平移位器与选通线 85 之间。选通驱动 IC831 到 835 响应于选通定时控制信号依次地向选通线 85 提供选通脉冲。选通驱动 IC831 到 835 对块 BL1 到 BL5 进行驱动,从而响应于根据帧频变化进行改变的选通定时控制信号的选通起始脉冲 GSP 和选通输出使能信号 GOE1 到 GOE5 而对块 BL1 到 BL5 进行数据写操作、数据保持操作、黑色插入操作、和块保持操作。

[0043] 定时控制器 81 与数据驱动电路 82 一起能够产生提供给黑色插入块的液晶单元的黑色灰度级电压。定时控制器 81 将数字黑色灰度级数据插入在数字视频数据 RGB 之间以与黑色插入块的扫描时间进行同步。数据驱动电路 82 能够将数字黑色灰度级数据转换为模拟黑色灰度级电压。作为增加源输出使能信号 SOE 或预充控制信号的占空比 (duty ratio) 的方法,定时控制器 81 可以向黑色插入块的液晶单元充入黑色灰度级电压。在这种情况下,根据示例性实施方式的定时控制器 81 针对黑色插入效果通过增加在液晶单元中电荷共享电压或预充电电压的写时间来产生分离的黑色灰度级电压,从而能够从电荷共享电压或预充电电压中获得脉冲驱动效果。

[0044] 图 9 是示出图 8 所示的选通定时控制信号的波形图。如图 9 所示,选通起始脉冲 GSP 包括第一脉冲 P1 和第二脉冲 P2,其中,这些脉冲之间的延迟根据黑色数据插入百分比的变化进行改变。

[0045] 第一脉冲 P1 的宽度近似是 1 个水平周期,第二脉冲 P2 的宽度近似是 N 个水平周期 (其中, N 是等于或大于 2 的整数)。选通驱动 IC831 到 835 响应于选通移位时钟信号 GSC 依次移位第一脉冲 P1。块 BL1 到 BL5 开始由响应于第一脉冲 P1 而开始操作的选通驱动 IC831 到 835 进行扫描,并且操作作为数据写块。在操作作为数据写块的块 BL1 到 BL5 中,选通脉冲依次施加到各条选通线。

[0046] 选通驱动 IC831 到 835 响应于选通移位时钟信号 GSC 依次移位第二脉冲 P2。块 BL1 到 BL5 开始由响应于第二脉冲 P2 而开始操作的选通驱动 IC831 到 835 进行扫描,并且

操作作为黑色插入块。在操作作为黑色插入块的块 BL1 到 BL5 中,选通脉冲根据宽度较大的第二脉冲 P2 与在大约 1 个水平周期的循环内产生的选通移位时钟信号 GSC 之间的关系而彼此部分交叠。例如,在操作作为黑色插入块的块 BL1 到 BL5 中,施加到第 k 选通线(其中, k 是正整数)的选通脉冲与施加到第 (k+1) 选通线的选通脉冲可以彼此部分交叠。由于独立施加到选通驱动 IC 831 到 835 的选通输出使能信号 GOE 1 到 GOE 5,在 N 个选通脉冲依次施加到数据写块 BL1 到 BL5 之后, N 个选通脉冲同时施加到黑色插入块 BL1 到 BL5,然后这 N 个选通脉冲依次施加到数据写块 BL1 到 BL5。重复上述操作,并且由此扫描数据写块的选通驱动 IC 831 到 835 和扫描黑色插入块的选通驱动 IC 831 到 835 交替施加选通脉冲。

[0047] 选通输出使能信号 GOE 1 到 GOE 5 依次移位。选通输出使能信号 GOE 1 到 GOE 5 各包括第一周期 T1、第二周期 T2 和第三周期 T3,其中,在该第一周期 T1 内,扫描数据写块的选通驱动 IC 831 到 835 的输出的 ON 和 OFF 操作受到控制,在该第二周期 T2 内,扫描数据保持块的选通驱动 IC 831 到 835 的输出截止,在该第三周期 T3 内,扫描黑色插入块的选通驱动 IC 831 到 835 的选通输出的 ON 和 OFF 操作受到控制。

[0048] 在选通输出使能信号 GOE 1 到 GOE 5 中的每一个的第一周期 T1 内,定时控制器 81 针对选通起始脉冲 GSC 的各个上升时间产生选通输出使能信号 GOE 1 到 GOE 5 的脉冲。在这些脉冲之间的低逻辑周期内,扫描数据写块的选通驱动 IC 831 到 835 产生选通脉冲。因此,在第一周期 T1 内,扫描数据写块的选通驱动 IC 831 到 IC 835 针对选通移位时钟信号 GSC 的各个上升时间移位选通起始脉冲 GSP,以依次向选通线施加选通脉冲。选通驱动 IC 831 到 835 向数据线提供与施加到数据写块的选通脉冲同步的模拟数据电压。因此,对数据写块的液晶单元充入模拟数据电压。

[0049] 在选通输出使能信号 GOE 1 到 GOE 5 中的每一个的第二周期 T2 内,定时控制器 81 以高逻辑的直流 (DC) 电压的形式产生选通输出使能信号 GOE 1 到 GOE 5。因此,扫描数据写块的选通驱动 IC 831 到 835 不会产生选通脉冲。在第二周期 T2 内,选通驱动 IC 831 到 835 输出要写在另一个数据写块上的模拟数据电压和要充入黑色写块的液晶单元的黑色灰度级电压。

[0050] 在选通输出使能信号 GOE 1 到 GOE 5 中的每一个的第三周期 T3 内,定时控制器 81 产生宽度对应于在选通脉冲依次施加到数据写块的 4 条选通线的过程中扫描黑色写块的选通驱动 IC 831 到 835 中的约 N 个水平周期(例如,图 10 中的 4 个水平周期)的选通输出使能信号 GOE 1 到 GOE5 的脉冲。结果,在第三周期 T3 内,扫描黑色写块的选通驱动 IC 831 到 835 不会输出选通脉冲,并且选通脉冲依次施加到数据写块的选通线。尽管在第三周期 T3 内扫描黑色写块的选通驱动 IC 831 到 835 不会输出选通脉冲,但是扫描黑色写块的选通驱动 IC 831 到 835 内部的移位寄存器将大约 4 个水平周期的选通起始脉冲 GSP 移位到下一级。定时控制器 81 在宽度对应于 4 个水平周期的脉冲之后的大约 1 个水平周期内,将选通输出使能信号 GOE 1 到 GOE 5 保持为低逻辑电压。扫描黑色写块的选通驱动 IC 831 到 835 同时向 4 条选通线输出彼此部分交叠并且在移位寄存器内部进行移位的选通脉冲,并且这些数据驱动 IC 同时输出与这些选通脉冲同步的黑色灰度级电压。

[0051] 图 11A 到图 11D 是示出了根据帧频的黑色数据插入百分比的变化的图。如图 11A 到图 11D 所示,在 5 个选通驱动 IC 831 到 835 将显示屏幕划分成 5 个块 BL 1 到 BL 5 并且

对显示屏幕进行分割驱动的情况下,在 1 个帧周期的 5 个子帧周期 SF1 到 SF5 内对各个块 BL1 到 BL5 进行时分驱动。

[0052] 图 11A 示出了按照 20% 的黑色数据插入百分比对 5 个块 BL1 到 BL5 进行驱动的情况。第 N 帧周期的第一子帧周期 SF1 开始,并且同时,定时控制器 81 向扫描第一块 BL1 的第一选通驱动 IC 831 提供选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1。选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差近似是 4 个子帧周期。在第 (N-1) 帧周期内产生的选通起始脉冲 GSP 经由第一选通驱动 IC 831 移位到第二选通驱动 IC 832。因此,第 N 帧周期的第一子帧周期 SF1 开始,并且同时,选通起始脉冲 GSP 的第二脉冲 P2 和第二选通输出使能信号 GOE2 的第三周期信号 T3 被提供给第二选通驱动 IC 832。

[0053] 在第一子帧周期 SF1 内,当根据选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第二选通输出使能信号 GOE2 的第三周期 T3,由每 N 条线彼此交叠的选通脉冲扫描第二块 BL2 时,数据驱动 IC 向第二块 BL2 充入黑色灰度级电压。根据截止选通脉冲的输出的第三选通输出使能信号 GOE 3 的第二周期信号 T2,将第三块 BL 3 保持为在第 (N-1) 帧周期的第三子帧周期 SF3 内充入的模拟数据电压。根据截止选通脉冲的输出的第四选通输出使能信号 GOE 4 的第二周期信号 T2,将第四块 BL4 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的模拟数据电压。根据截止选通脉冲的输出的第五选通输出使能信号 GOE 5 的第二周期信号 T2,将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此,在第一子帧周期 SF1 内,第一、第三、第四和第五块 BL1、BL3、BL4 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第二块 BL2 操作作为充入黑色灰度级电压的黑色写块。

[0054] 在第二子帧周期 SF2 内,根据截止选通脉冲的输出的第一选通输出使能信号 GOE 1 的第二周期信号 T2,将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第二选通输出使能信号 GOE 2 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第二块 BL2 时,数据驱动 IC 向第二块 BL2 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第三选通输出使能信号 GOE3 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第三块 BL 3 时,数据驱动 IC 向第三块 BL3 充入黑色灰度级电压。根据截止选通脉冲的输出的第四选通输出使能信号 GOE4 的第二周期信号 T2,将第四块 BL4 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的模拟数据电压。根据截止选通脉冲的输出的第五选通输出使能信号 GOE 5 的第二周期信号 T2,将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此,在第二子帧周期 SF2 内,第一、第二、第四和第五块 BL1、BL2、BL4 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第三块 BL3 操作作为充入黑色灰度级电压的黑色写块。

[0055] 在第三子帧周期 SF3 内,根据截止选通脉冲的输出的第一选通输出使能信号 GOE1 的第二周期信号 T2,将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。根据截止选通脉冲的输出的第二选通输出使能信号 GOE 2 的第二周期信号 T2,将第二块 BL2

保持为在第二子帧周期 SF2 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第三选通输出使能信号 G0E 3 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第三块 BL3 时,数据驱动 IC 向第三块 BL3 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 G0E4 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入黑色灰度级电压。根据截止选通脉冲的输出的第五选通输出使能信号 G0E 5 的第二周期信号 T2,将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此,在第三子帧周期 SF3 内,第一、第二、第三和第五块 BL1、BL2、BL3 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第四块 BL4 操作作为充入黑色灰度级电压的黑色写块。

[0056] 在第四子帧周期 SF4 内,根据截止选通脉冲的输出的第一选通输出使能信号 G0E 1 的第二周期信号 T2,将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。根据截止选通脉冲的输出的第二选通输出使能信号 G0E 2 的第二周期信号 T2,将第二块 BL2 保持为在第二子帧周期 SF2 内充入的模拟数据电压。根据截止选通脉冲的输出的第三选通输出使能信号 G0E3 的第二周期信号 T2,将第三块 BL3 保持为在第三子帧周期 SF3 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第四选通输出使能信号 G0E4 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第五选通输出使能信号 G0E 5 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入黑色灰度级电压。因此,在第四子帧周期 SF4 内,第一到第四块 BL1 到 BL4 操作作为充入数据电压或保持为数据电压的数据写块,而第五块 BL5 操作作为充入黑色灰度级电压的黑色写块。

[0057] 在第五子帧周期 SF5 内,当根据选通起始脉冲 GSP 的第二脉冲 P2 和第一选通输出使能信号 G0E1 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入黑色灰度级电压。根据截止选通脉冲的输出的第二选通输出使能信号 G0E2 的第二周期信号 T2,将第二块 BL2 保持为在第二子帧周期 SF2 内充入的模拟数据电压。根据截止选通脉冲的输出的第三选通输出使能信号 G0E 3 的第二周期信号 T2,将第三块 BL3 保持为在第三子帧周期 SF3 内充入的模拟数据电压。根据截止选通脉冲的输出的第四选通输出使能信号 G0E 4 的第二周期信号 T2,将第四块 BL4 保持为在第四子帧周期 SF4 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第五选通输出使能信号 G0E 5 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入模拟数据电压。因此,在第五子帧周期 SF5 内,第二到第五块 BL2 到 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第一块 BL1 操作作为充入黑色灰度级电压的黑色写块。

[0058] 图 9 的波形指示当块 BL1 到 BL5 的每一个按照图 11A 所示的驱动方式进行操作时施加的选通定时控制信号。根据由定时控制器 81 产生的图 9 和图 11A 的选通定时控制信号,在对应于 1 个帧周期的 1/5 的时间段内向块 BL1 到 BL5 中的每一个充入黑色灰度级电压。换言之,图 11A 所示的块 BL1 到 BL5 按照 20% 的黑色数据插入百分比进行驱动。

[0059] 图 11B 示出了块 BL1 到 BL5 按照 40% 的黑色数据插入百分比进行驱动的情况。如图 11B 所示,第 N 帧周期的第一子帧周期 SF1 开始,并且同时,定时控制器 81 向扫描第一块

BL1 的第一选通驱动 IC 831 提供选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1。选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差近似是 3 个子帧周期。在第 (N-1) 帧周期内产生的选通起始脉冲 GSP 经由第一和第二选通驱动 IC 831 和 832 移位到第三选通驱动 IC 833。因此,第 N 帧周期的第一子帧周期 SF1 开始,并且同时,向第三选通驱动 IC 833 提供选通起始脉冲 GSP 的第二脉冲 P2 和第三选通输出使能信号 GOE3 的第三周期信号 T3。

[0060] 在第一子帧周期 SF1 内,当根据选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入模拟数据电压。在第一子帧周期 SF1 内,第二选通输出使能信号 GOE2 以如第二周期 T2 保持的高逻辑 DC 电压的形式提供给第二选通驱动 IC832。因此,根据保持的高逻辑 DC 电压形式的第二选通输出使能信号 GOE2,将第二块 BL2 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第三选通输出使能信号 GOE 3 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第三块 BL3 时,数据驱动 IC 向第三块 BL3 充入黑色灰度级电压。根据截止选通脉冲的输出的第四选通输出使能信号 GOE4 的第二周期信号 T2,将第四块 BL4 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的模拟数据电压。根据截止选通脉冲的输出的第五选通输出使能信号 GOE 5 的第二周期信号 T2,将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此,在第一子帧周期 SF1 内,第一、第四和第五块 BL1、BL4 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第二和第三块 BL2 和 BL3 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0061] 在第二子帧周期 SF2 内,根据截止选通脉冲的输出的第一选通输出使能信号 GOE1 的第二周期信号 T2,将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第二选通输出使能信号 GOE 2 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第二块 BL2 时,数据驱动 IC 向第二块 BL2 充入模拟数据电压。在第二子帧周期 SF2 内,第三选通输出使能信号 GOE3 以如第二周期信号 T2 保持的高逻辑 DC 电压的形式提供给第三选通驱动 IC 833。因此,根据保持的高逻辑的 DC 第三选通输出使能信号 GOE3,将第三块 BL3 保持为在第一子帧周期 SF1 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 GOE4 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入黑色灰度级电压。根据截止选通脉冲的输出的第五选通输出使能信号 GOE 5 的第二周期信号 T2,将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此,在第二子帧周期 SF2 内,第一、第二和第五块 BL1、BL2 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第三和第四块 BL3 和 BL4 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0062] 在第三子帧周期 SF3 内,根据截止选通脉冲的输出的第一选通输出使能信号 GOE 1 的第二周期信号 T2,将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。根据截止选通脉冲的输出的第二选通输出使能信号 GOE 2 的第二周期信号 T2,将第二块 BL2 保持为在第二子帧周期 SF2 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第三选通输出使能信号 GOE 3 的第一周期信号 T1,由在各条线中依次产生的选通脉冲

扫描第三块 BL3 时,数据驱动 IC 向第三块 BL3 充入模拟数据电压。在第三子帧周期 SF3 内,第四选通输出使能信号 GOE4 以如第二周期信号 T2 保持的高逻辑 DC 电压的形式施加到第四选通驱动 IC 834。因此,根据保持的高逻辑的 DC 第四选通输出使能信号 GOE4,将第四块 BL4 保持为在第二子帧周期 SF2 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第五选通输出使能信号 GOE5 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入黑色灰度级电压。因此,在第三子帧周期 SF3 内,第一到第三块 BL1 到 BL3 操作作为充入数据电压或保持为数据电压的数据写块,而第四和第五块 BL4 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0063] 在第四子帧周期 SF4 内,当根据选通起始脉冲 GSP 的第二脉冲 P2 和第一选通输出使能信号 GOE1 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入黑色灰度级电压。根据截止选通脉冲的输出的第二选通输出使能信号 GOE2 的第二周期信号 T2,将第二块 BL2 保持为在第二子帧周期 SF2 内充入的模拟数据电压。根据截止选通脉冲的输出的第三选通输出使能信号 GOE3 的第二周期信号 T2,将第三块 BL3 保持为在第三子帧周期 SF3 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第四选通输出使能信号 GOE 4 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入模拟数据电压。在第四子帧周期 SF4 内,第五选通输出使能信号 GOE5 以如第二周期信号 T2 保持的高逻辑 DC 电压的形式施加到第五选通驱动 IC835。因此,根据保持的高逻辑的 DC 第五选通输出使能信号 GOE 5,将第五块 BL5 保持为在第三子帧周期 SF3 内充入的黑色灰度级电压。因此,在第四子帧周期 SF4 内,第二到第四块 BL2 到 BL4 操作作为充入数据电压或保持为数据电压的数据写块,而第一和第五块 BL1 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0064] 在第五子帧周期 SF5 内,第一选通输出使能信号 GOE1 以如第二周期信号 T2 保持的高逻辑 DC 电压的形式施加到第一选通驱动 IC 831。因此,根据保持的高逻辑的 DC 第一选通输出使能信号 GOE1,将第一块 BL1 保持为在第四子帧周期 SF4 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第二选通输出使能信号 GOE 2 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第二块 BL2 时,数据驱动 IC 向第二块 BL2 充入黑色灰度级电压。根据截止选通脉冲的输出的第三选通输出使能信号 GOE 3 的第二周期信号 T2,将第三块 BL3 保持为在第三子帧周期 SF3 内充入的模拟数据电压。根据截止选通脉冲的输出的第四选通输出使能信号 GOE4 的第二周期信号 T2,将第四块 BL4 保持为在第四子帧周期 SF4 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第五选通输出使能信号 GOE5 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入模拟数据电压。因此,在第五子帧周期 SF5 内,第三到第五块 BL3 到 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第一和第二块 BL1 和 BL2 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0065] 为了按照图 11B 所示的驱动方式对块 BL1 到 BL5 进行驱动时,定时控制器 81 使得图 11B 中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值小于图 9 的波形中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值。另外,定时控制器 81 不得不在通过减小选通起始脉冲 GSP 的

第二脉冲 P2 的延迟值而获得的剩余时间段（即，在选通输出使能信号 GOE 1 到 GOE 5 中的第三周期信号 T3 与第一周期信号 T1 之间的时间段）内，对黑色保持分配高逻辑电压周期。根据定时由定时控制器 81 进行控制的选通定时控制信号，在对应于 1 个帧周期的 2/5 的时间段内向块 BL1 到 BL5 中的每一个充入黑色灰度级电压。换言之，按照 40% 的黑色数据插入百分比对图 11B 所示的块 BL1 到 BL5 进行驱动。

[0066] 图 11C 示出了按照 60% 的黑色数据插入百分比对块 BL1 到 BL5 进行驱动的情况。如图 11C 所示，第 N 帧周期的第一子帧周期 SF1 开始，并且同时，定时控制器 81 向扫描第一块 BL1 的第一选通驱动 IC831 提供选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1。选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差近似是 2 个子帧周期。在第 (N-1) 帧周期内产生的选通起始脉冲 GSP 经由第一到第三选通驱动 IC 831 到 833 移位到第四选通驱动 IC834。因此，第 N 帧周期的第一子帧周期 SF1 开始，并且同时，选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 GOE 4 的第三周期信号 T3 提供给第四选通驱动 IC 834。

[0067] 在第一子帧周期 SF1 内，当根据选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1，由在各条线中依次产生的选通脉冲扫描第一块 BL1 时，数据驱动 IC 向第一块 BL1 充入模拟数据电压。在从第 (N-1) 帧周期的第五子帧周期 SF5 的开始到第 N 帧周期的第一子帧周期 SF1 的结束的时间段内，将第二选通输出使能信号 GOE2 保持为如第二周期信号 T2 的高逻辑电压。第一子帧周期 SF1 开始，并且同时，以高逻辑电压的形式产生第三选通输出使能信号 GOE3。第三选通输出使能信号 GOE 3 保持为高逻辑电压直到第二子帧周期 SF2 结束。因此，在第一子帧周期 SF1 内，根据第二选通输出使能信号 GOE 2，将第二块 BL2 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的黑色灰度级电压。根据第三选通输出使能信号 GOE3，将第三块 BL3 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 GOE 4 的第三周期信号 T3，由每 N 条线彼此交叠的选通脉冲扫描第四块 BL4 时，数据驱动 IC 向第四块 BL4 充入黑色灰度级电压。根据截止选通脉冲的输出的第五选通输出使能信号 GOE 5 的第二周期信号 T2，将第五块 BL5 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的模拟数据电压。因此，在第一子帧周期 SF1 内，第一和第五块 BL1 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块，而第二、第三和第四块 BL2、BL3 和 BL4 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0068] 在第二子帧周期 SF2 内，根据截止选通脉冲的输出的第一选通输出使能信号 GOE1 的第二周期信号 T2，将第一块 BL1 保持为在第一子帧周期 SF1 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第二选通输出使能信号 GOE 2 的第一周期信号 T1，由在各条线中依次产生的选通脉冲扫描第二块 BL2 时，数据驱动 IC 向第二块 BL2 充入模拟数据电压。在从第一子帧周期 SF1 的开始到第二子帧周期 SF2 的结束的时间段内，将第三选通输出使能信号 GOE 3 保持为如第二周期信号 T2 的高逻辑电压。在从第二子帧周期 SF2 的开始到第三子帧周期 SF3 的结束的时间段内，将第四选通输出使能信号 GOE 4 保持为如第二周期信号 T2 的高逻辑电压。因此，在第二子帧周期 SF2 内，根据第三选通输出使能信号 GOE 3，将第三块 BL3 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。根据第四选通输出使能信号 GOE4，将第四块 BL4 保持为在第一子帧周期 SF1 内充入的

黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第五选通输出使能信号 G0E5 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入黑色灰度级电压。因此,在第二子帧周期 SF2 内,第一和第二块 BL1 和 BL2 操作作为充入数据电压或保持为数据电压的数据写块,而第三到第五块 BL3 到 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0069] 在第三子帧周期 SF3 内,当根据选通起始脉冲 GSP 的第二脉冲 P2 和第一选通输出使能信号 G0E1 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入黑色灰度级电压。根据截止选通脉冲的输出的第二选通输出使能信号 G0E2 的第二周期信号 T2,将第二块 BL2 保持为在第二子帧周期 SF2 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第三选通输出使能信号 G0E3 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第三块 BL3 时,数据驱动 IC 向第三块 BL3 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 G0E4 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入黑色灰度级电压。根据第五选通输出使能信号 G0E 5,将第五块 BL5 保持为在第二子帧周期 SF2 内充入的黑色灰度级电压。因此,在第三子帧周期 SF3 内,第二和第三块 BL2 和 BL3 操作作为充入数据电压或保持为数据电压的数据写块,而第一、第四和第五块 BL1、BL4 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0070] 在从第四子帧周期 SF4 的开始到第五子帧周期 SF5 的结束的时间段内,将第一选通输出使能信号 G0E 1 保持为高逻辑电压。因此,根据在第四子帧周期 SF4 内保持为高逻辑电压的第一选通输出使能信号 G0E 1,将第一块 BL1 保持为在第三子帧周期 SF3 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第二选通输出使能信号 G0E 2 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第二块 BL2 时,数据驱动 IC 向第二块 BL2 充入黑色灰度级电压。根据截止选通脉冲的输出的第三选通输出使能信号 G0E 3 的第二周期信号 T2,将第三块 BL3 保持为在第三子帧周期 SF3 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第四选通输出使能信号 G0E 4 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入模拟数据电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第五选通输出使能信号 G0E 5 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入黑色灰度级电压。因此,在第四子帧周期 SF4 内,第三和第四块 BL3 和 BL4 操作作为充入数据电压或保持为数据电压的数据写块,而第一、第二和第五块 BL1、BL2 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0071] 在从第四子帧周期 SF4 的开始到第五子帧周期 SF5 的结束的时间段内,将第一选通输出使能信号 G0E1 保持为高逻辑电压。在从第五子帧周期 SF5 的开始到第 (N+1) 帧周期的第一子帧周期 SF1 的结束的时间段内,将第二选通输出使能信号 G0E2 保持为高逻辑电压。因此,根据在第五子帧周期 SF5 内保持为高逻辑电压的第一选通输出使能信号 G0E1,将第一块 BL1 保持为在第三子帧周期 SF3 内充入的黑色灰度级电压,并且根据在第五子帧周期 SF5 内保持为高逻辑电压的第二选通输出使能信号 G0E 2,将第二块 BL2 保持为在第四子帧周期 SF4 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第三选通输出使能信号 G0E 3 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第三块

BL3 时,数据驱动 IC 向第三块 BL3 充入黑色灰度级电压。根据截止选通脉冲的输出的第四选通输出使能信号 GOE 4 的第二周期信号 T2,将第四块 BL4 保持为在第四子帧周期 SF4 内充入的模拟数据电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第五选通输出使能信号 GOE 5 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入模拟数据电压。因此,在第五子帧周期 SF5 内,第四和第五块 BL4 和 BL5 操作作为充入数据电压或保持为数据电压的数据写块,而第一到第三块 BL1 到 BL3 操作作为充入或保持黑色灰度级电压的黑色写块。

[0072] 为了按照图 11C 所示的驱动方式对块 BL1 到 BL5 进行驱动,定时控制器 81 使得图 11C 中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值小于按照图 11B 中的驱动方式产生的波形中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值。另外,定时控制器 81 不得不在通过减小选通起始脉冲 GSP 的第二脉冲 P2 的延迟值而获得的剩余时间段(即,在选通输出使能信号 GOE 1 到 GOE 5 中的第三周期信号 T3 与第一周期信号 T1 之间的时间段)内对黑色保持分配高逻辑电压周期。根据定时由定时控制器 81 进行控制的选通定时控制信号,在对应于 1 个帧周期的 3/5 的时间段内向图 11C 所示的块 BL1 到 BL5 中的每一个充入黑色灰度级电压。换言之,按照 60%的黑色数据插入百分比对图 11C 所示的块 BL1 到 BL5 进行驱动。

[0073] 图 11D 示出了按照 80%的黑色数据插入百分比对块 BL1 到 BL5 进行驱动的情况。如图 11D 所示,第 N 帧周期的第一子帧周期 SF1 开始,并且同时,定时控制器 81 向扫描第一块 BL1 的第一选通驱动 IC 831 提供选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE 1 的第一周期信号 T1。选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差近似是 1 个子帧周期。在第 (N-1) 帧周期内产生的选通起始脉冲 GSP 经由第一到第四选通驱动 IC831 到 834 移位到第五选通驱动 IC835。因此,第 N 帧周期的第一子帧周期 SF1 开始,并且同时,选通起始脉冲 GSP 的第二脉冲 P2 和第五选通输出使能信号 GOE 5 的第三周期信号 T3 提供给第五选通驱动 IC 835。

[0074] 在第一子帧周期 SF1 内,当根据选通起始脉冲 GSP 的第一脉冲 P1 和第一选通输出使能信号 GOE1 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第一块 BL1 时,数据驱动 IC 向第一块 BL1 充入模拟数据电压。在从第 (N-1) 帧周期的第四子帧周期 SF4 的开始到第 N 帧周期的第一子帧周期 SF1 的结束的时间段内,将第二选通输出使能信号 GOE2 保持为高逻辑电压。在从第 (N-1) 帧周期的第五子帧周期 SF5 的开始到第 N 帧周期的第二子帧周期 SF2 的结束的时间段内,将第三选通输出使能信号 GOE3 保持为高逻辑电压。在从第一子帧周期 SF1 的开始到第三子帧周期 SF3 的结束的时间段内,将第四选通输出使能信号 GOE4 保持为高逻辑电压。因此,在第一子帧周期 SF1 内,根据第二选通输出使能信号 GOE2,将第二块 BL2 保持为在第 (N-1) 帧周期的第三子帧周期 SF3 内充入的黑色灰度级电压。根据第三选通输出使能信号 GOE3,将第三块 BL3 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的黑色灰度级电压。根据第四选通输出使能信号 GOE4,将第四块 BL4 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第五输出使能信号 GOE5 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入黑色灰度级电压。因此,在第一子帧周期 SF1 内,第一块 BL1 操作作为充入数据电压的数据写块,而第二到第五块 BL2 到 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0075] 在第二子帧周期 SF2 内, 当根据选通起始脉冲 GSP 的第二脉冲 P2 和第一选通输出使能信号 GOE1 的第三周期信号 T3, 由每 N 条线彼此交叠的选通脉冲扫描第一块 BL1 时, 数据驱动 IC 向第一块 BL1 充入黑色灰度级电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第二选通输出使能信号 GOE2 的第一周期信号 T1, 由在各条线中依次产生的选通脉冲扫描第二块 BL2 时, 数据驱动 IC 向第二块 BL2 充入模拟数据电压。根据保持为高逻辑电压的第三选通输出使能信号 GOE3, 将第三块 BL3 保持为在第 (N-1) 帧周期的第四子帧周期 SF4 内充入的黑色灰度级电压。根据第四选通输出使能信号 GOE4, 将第四块 BL4 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。在从第二子帧周期 SF2 的开始到第四子帧周期 SF4 的结束的时间段内, 将第五选通输出使能信号 GOE5 保持为高逻辑电压。因此, 根据保持为高逻辑电压的第五选通输出使能信号 GOE5, 将第五块 BL5 保持为在第一子帧周期 SF1 内充入的黑色灰度级电压。因此, 在第二子帧周期 SF2 内, 第二块 BL2 操作作为充入数据电压的数据写块, 而第一、第三、第四和第五块 BL1、BL3、BL4 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0076] 在从第三子帧周期 SF3 的开始到第五子帧周期 SF5 的结束的时间段内, 将第一选通输出使能信号 GOE1 保持为高逻辑电压。因此, 在第三子帧周期 SF3 内, 根据第一选通输出使能信号 GOE1, 将第一块 BL1 保持为在第二子帧周期 SF2 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第二选通输出使能信号 GOE2 的第三周期信号 T3, 由每 N 条线彼此交叠的选通脉冲扫描第二块 BL2 时, 数据驱动 IC 向第二块 BL2 充入黑色灰度级电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第三选通输出使能信号 GOE3 的第一周期信号 T1, 由在各条线中依次产生的选通脉冲扫描第三块 BL3 时, 数据驱动 IC 向第三块 BL3 充入模拟数据电压。根据保持为高逻辑电压的第四选通输出使能信号 GOE4, 将第四块 BL4 保持为在第 (N-1) 帧周期的第五子帧周期 SF5 内充入的黑色灰度级电压。根据保持为高逻辑电压的第五选通输出使能信号 GOE5, 将第五块 BL5 保持为在第一子帧周期 SF1 内充入的黑色灰度级电压。因此, 在第三子帧周期 SF3 内, 第三块 BL3 操作作为充入数据电压的数据写块, 而第一、第二、第四和第五块 BL1、BL2、BL4 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0077] 在第四子帧周期 SF4 内, 根据保持为高逻辑电压的第一选通输出使能信号 GOE1, 将第一块 BL1 保持为在第二子帧周期 SF2 内充入的黑色灰度级电压。在从第四子帧周期 SF4 的开始到第 (N+1) 帧周期的第一子帧周期 SF1 的结束的时间段内, 将第二选通输出使能信号 GOE2 保持为高逻辑电压。因此, 在第四子帧周期 SF4 内, 根据第二选通输出使能信号 GOE2, 将第二块 BL2 保持为在第三子帧周期 SF3 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第三选通输出使能信号 GOE3 的第三周期信号 T3, 由每 N 条线彼此交叠的选通脉冲扫描第三块 BL3 时, 数据驱动 IC 向第三块 BL3 充入黑色灰度级电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第四选通输出使能信号 GOE4 的第一周期信号 T1, 由在各条线中依次产生的选通脉冲扫描第四块 BL4 时, 数据驱动 IC 向第四块 BL4 充入模拟数据电压。根据保持为高逻辑电压的第五选通输出使能信号 GOE5, 将第五块 BL5 保持为在第一子帧周期 SF1 内充入的黑色灰度级电压。因此, 在第四子帧周期 SF4 内, 第四块 BL4 操作作为充入数据电压的数据写块, 而第一、第二、第三和第五块 BL1、BL2、BL3 和 BL5 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0078] 在第五子帧周期 SF5 内,根据保持为高逻辑电压的第一选通输出使能信号 GOE1,将第一块 BL1 保持为在第二子帧周期 SF2 内充入的黑色灰度级电压。根据保持为高逻辑电压的第二选通输出使能信号 GOE2,将第二块 BL2 保持为在第三子帧周期 SF3 内充入的黑色灰度级电压。在从第五子帧周期 SF5 的开始到第 (N+1) 帧周期的第二子帧周期 SF2 的结束的时间段内,将第三选通输出使能信号 GOE 3 保持为高逻辑电压。根据第三选通输出使能信号 GOE 3,将第三块 BL3 保持为在第四子帧周期 SF4 内充入的黑色灰度级电压。当根据选通起始脉冲 GSP 的第二脉冲 P2 和第四选通输出使能信号 GOE 4 的第三周期信号 T3,由每 N 条线彼此交叠的选通脉冲扫描第四块 BL4 时,数据驱动 IC 向第四块 BL4 充入黑色灰度级电压。当根据选通起始脉冲 GSP 的第一脉冲 P1 和第五选通输出使能信号 GOE 5 的第一周期信号 T1,由在各条线中依次产生的选通脉冲扫描第五块 BL5 时,数据驱动 IC 向第五块 BL5 充入模拟数据电压。因此,在第五子帧周期 SF5 内,第五块 BL5 操作作为充入数据电压的数据写块,而第一到第四块 BL1 到 BL4 操作作为充入黑色灰度级电压或保持为黑色灰度级电压的黑色写块。

[0079] 为了按照图 11D 所示的驱动方式对块 BL1 到 BL5 进行驱动,定时控制器 81 使得图 11D 中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值小于按照图 11C 中的驱动方式产生的波形中的选通起始脉冲 GSP 的第二脉冲 P2 的延迟值。另外,定时控制器 81 不得不在通过减小选通起始脉冲 GSP 的第二脉冲 P2 的延迟值而获得的剩余时间段(即,在选通输出使能信号 GOE 1 到 GOE 5 中的第三周期信号 T3 与第一周期信号 T1 之间的时间段)内对黑色保持分配高逻辑电压周期。根据定时由定时控制器 81 进行控制的选通定时控制信号,在对应于 1 个帧周期的 4/5 的时间段内向图 11D 所示的块 BL1 到 BL5 中的每一个充入黑色灰度级电压。换言之,按照 80% 的黑色数据插入百分比对图 11D 所示的块 BL1 到 BL5 进行驱动。

[0080] 尽管图 11A 到图 11D 示出和描述了当黑色数据插入百分比变化为 20%、40%、60% 和 80% 时对块 BL1 到 BL5 的驱动,但是示例性实施方式不限于上述范围的黑色数据插入百分比。例如,通过增加数据驱动 IC 的数目以及通过定时控制器 81 控制选通定时控制信号的定时,示例性实施方式可以按照与图 7 相同的方式调整黑色数据插入百分比。

[0081] 图 12 是顺序示出根据示例性实施方式的液晶显示器的驱动方法的流程图。如图 12 所示,在步骤 S1 中,定时控制器 81 基于固定时钟信号 FCLK 对垂直同步信号 Vsync 进行计数以实时检查帧频。

[0082] 如果在步骤 S2 中当前输入图像的帧频没有改变时,则在步骤 S3 中,定时控制器 81 维持当前黑色数据插入百分比而不发生改变。

[0083] 如果在步骤 S4 中当前输入图像的帧频下降,则在步骤 S5 中定时控制器 81 降低当前黑色数据插入百分比从而将闪烁维持在低水平。如上所述,当帧频下降时,定时控制器 81 减小选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差并且减小选通输出使能信号 GOE 1 到 GOE 5 的第二周期信号 T2 的延迟值,并且由此减小 1 个帧周期内的黑色灰度级电压的写时间。

[0084] 如果在步骤 S6 中当前输入图像的帧频上升,则在步骤 S7 中定时控制器 81 升高当前黑色数据插入百分比从而获得达到令人满意程度的脉冲效果,即在运动图像中不出现运动模糊现象的脉冲效果。当在帧频下降之后帧频又上升时,定时控制器 81 延长选通起始脉冲 GSP 的第一和第二脉冲 P1 和 P2 之间的时差并且增大选通输出使能信号 GOE 1 到 GOE 5

的第二周期信号 T2 的延迟值,并且由此增大 1 个帧周期内的黑色灰度级电压的写时间。

[0085] 如上所述,根据示例性实施方式的液晶显示器及其驱动方法通过实时检查按照黑色数据插入方式而驱动的液晶显示器的帧频以及通过当帧频下降时控制选通定时控制信号的定时来减小黑色数据插入百分比,并且由此能够防止出现闪烁。另外,根据示例性实施方式的液晶显示器及其驱动方法根据帧频的变化调整黑色数据插入百分比,并且由此能够获得例如可在任何帧频下防止出现运动模糊现象的脉冲驱动效果。

[0086] 对于本领域技术人员而言很明显,在不偏离本发明的精神或范围的条件下,可以在本发明的实施方式中做出各种修改和变型。因而,本发明的实施方式在落入所附权利要求及其等同物的范围内的条件下旨在涵盖本发明的修改和变型。

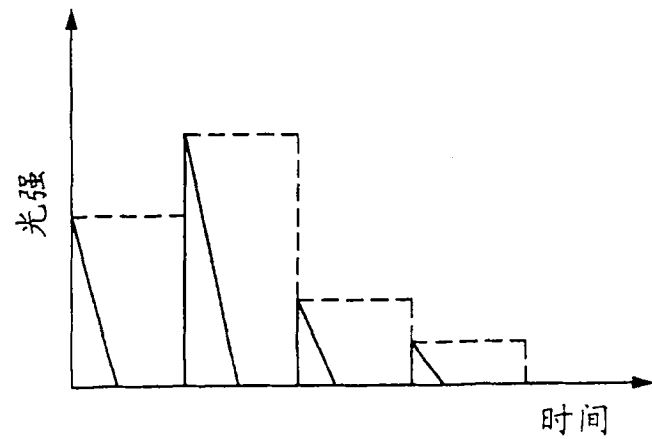


图 1



图 2

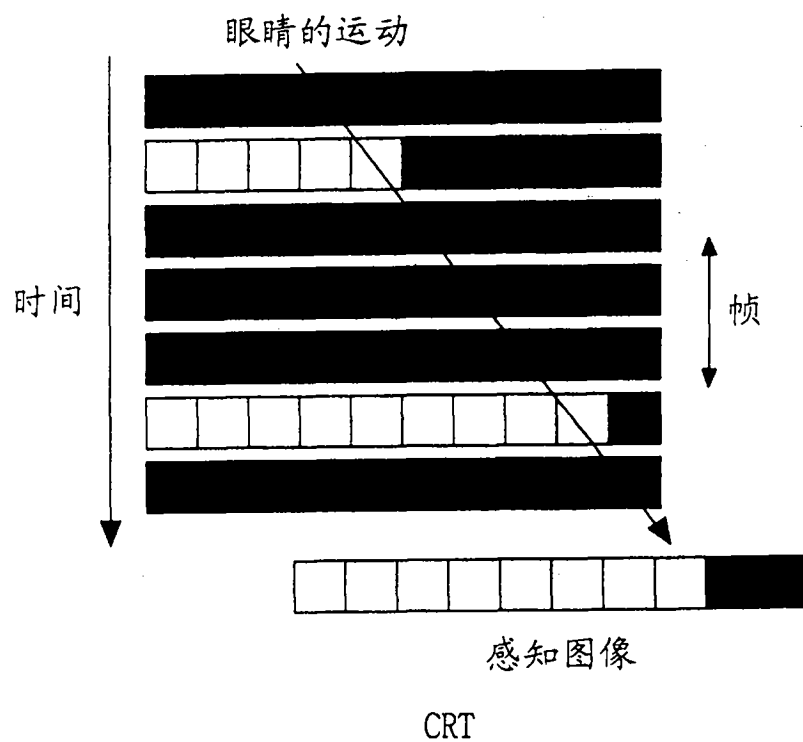


图 3

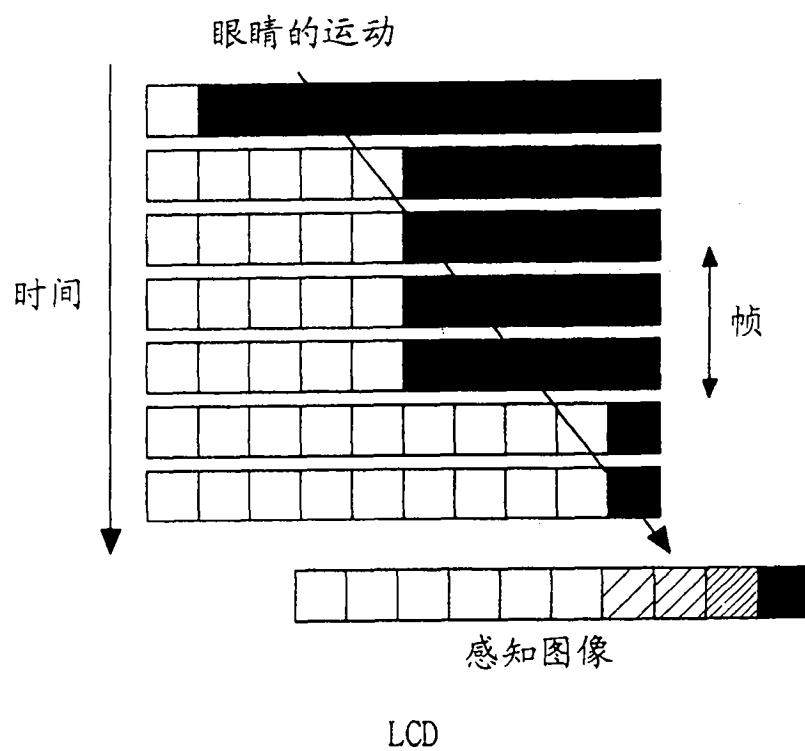


图 4

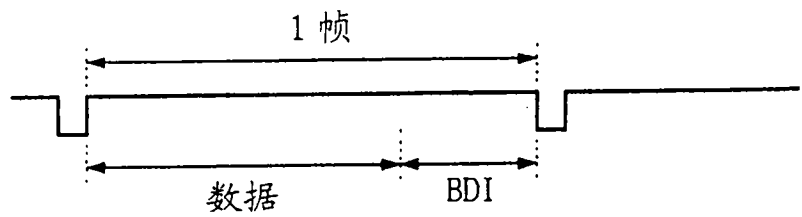


图 5

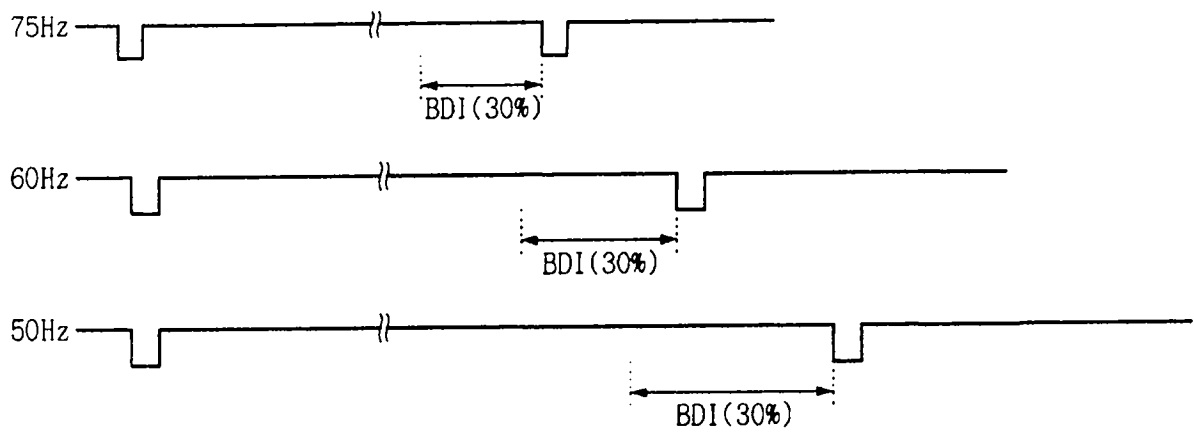


图 6

输入帧率	75Hz	60Hz	60Hz
1 帧时间	13.33 msec	16.67 msec	20 msec
BDI% (30%)	3.999 msec	4.999 msec	6 msec
BDI% (24%)		4.0 msec	4.8 msec
BDI% (20%)			4.0 msec

图 7

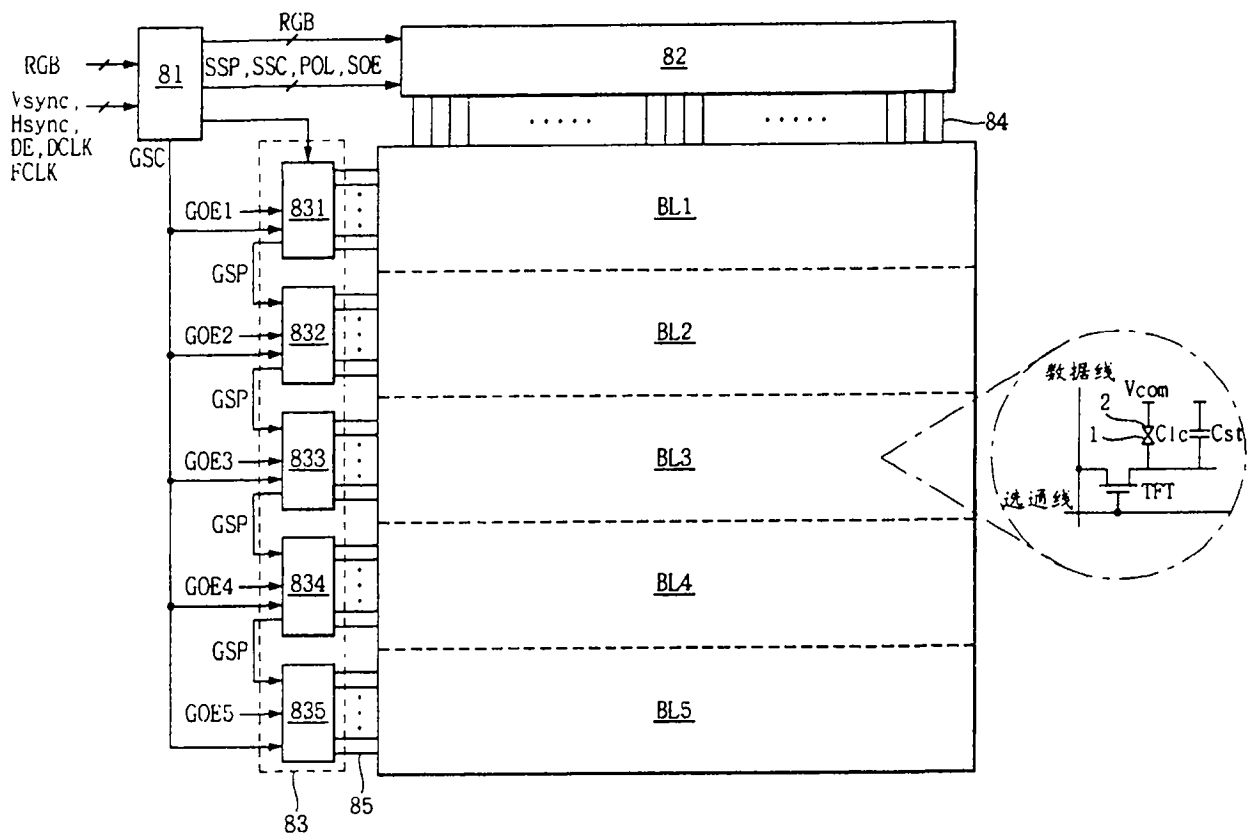


图 8

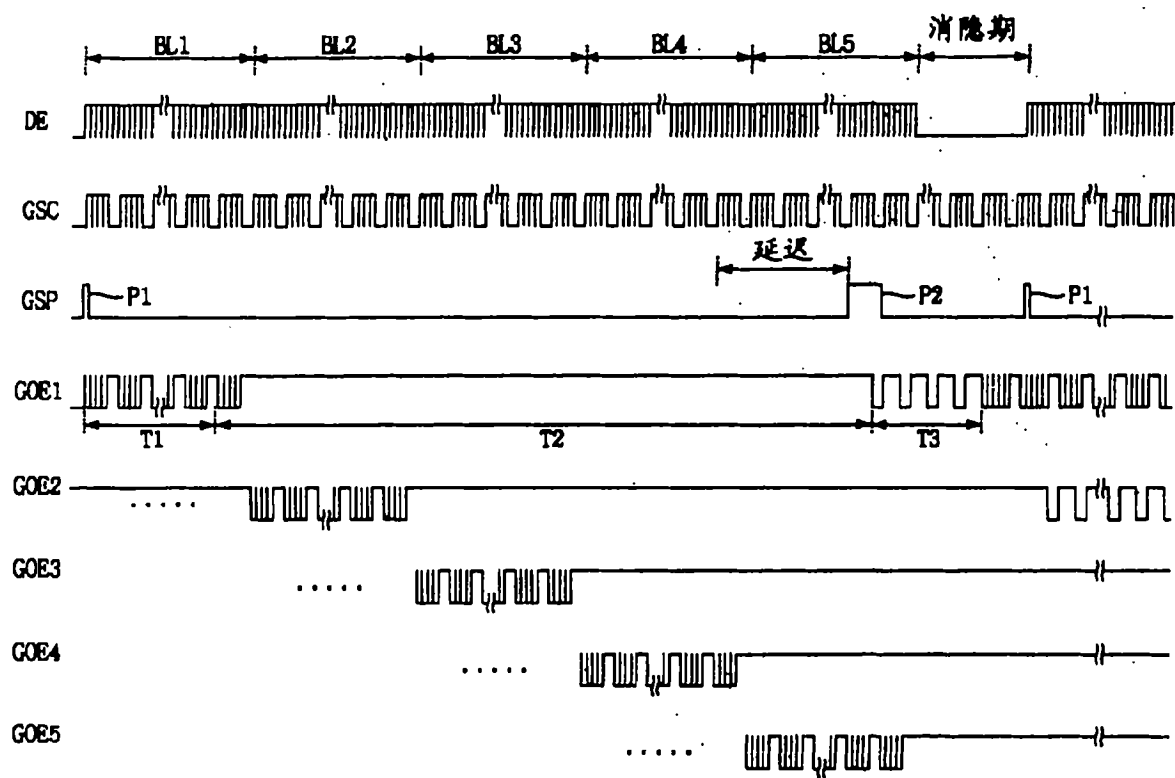


图 9

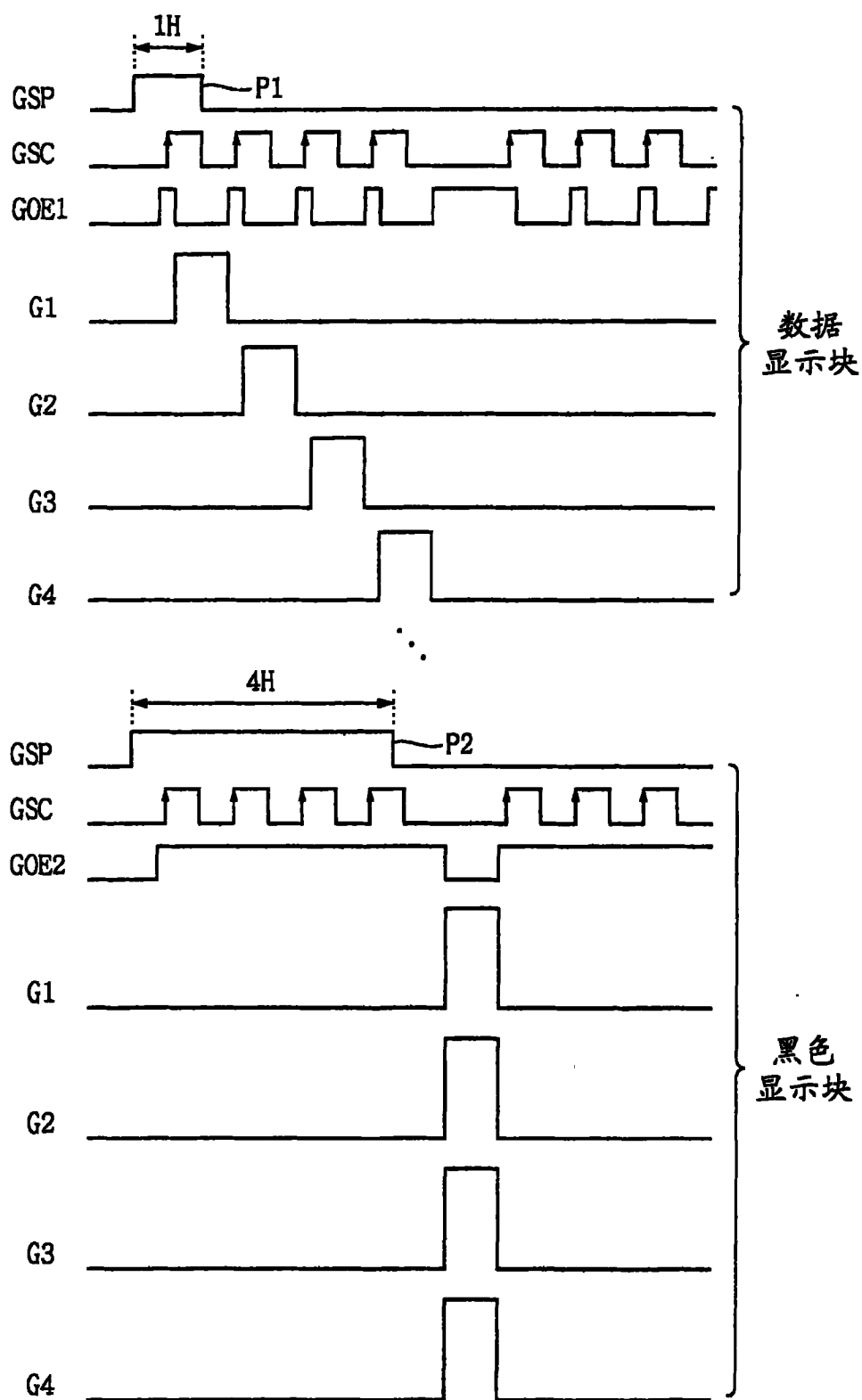


图 10

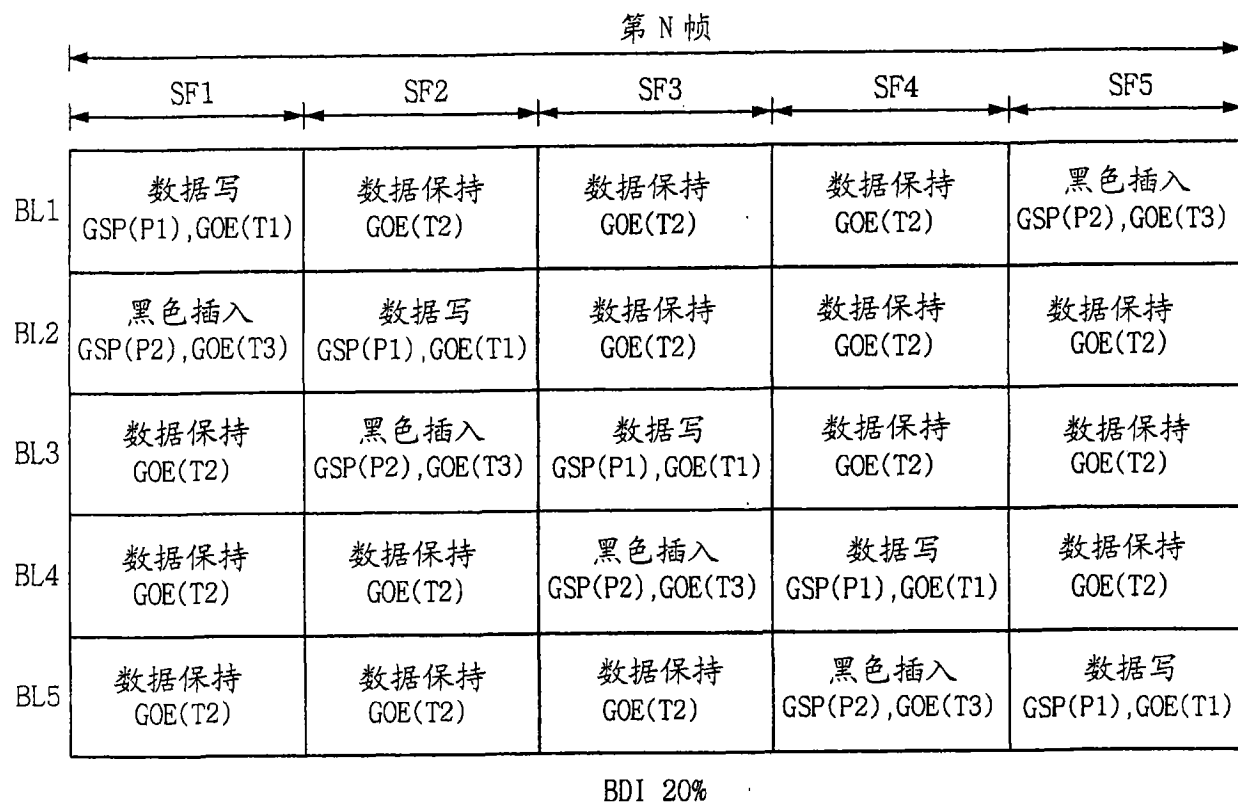


图 11A

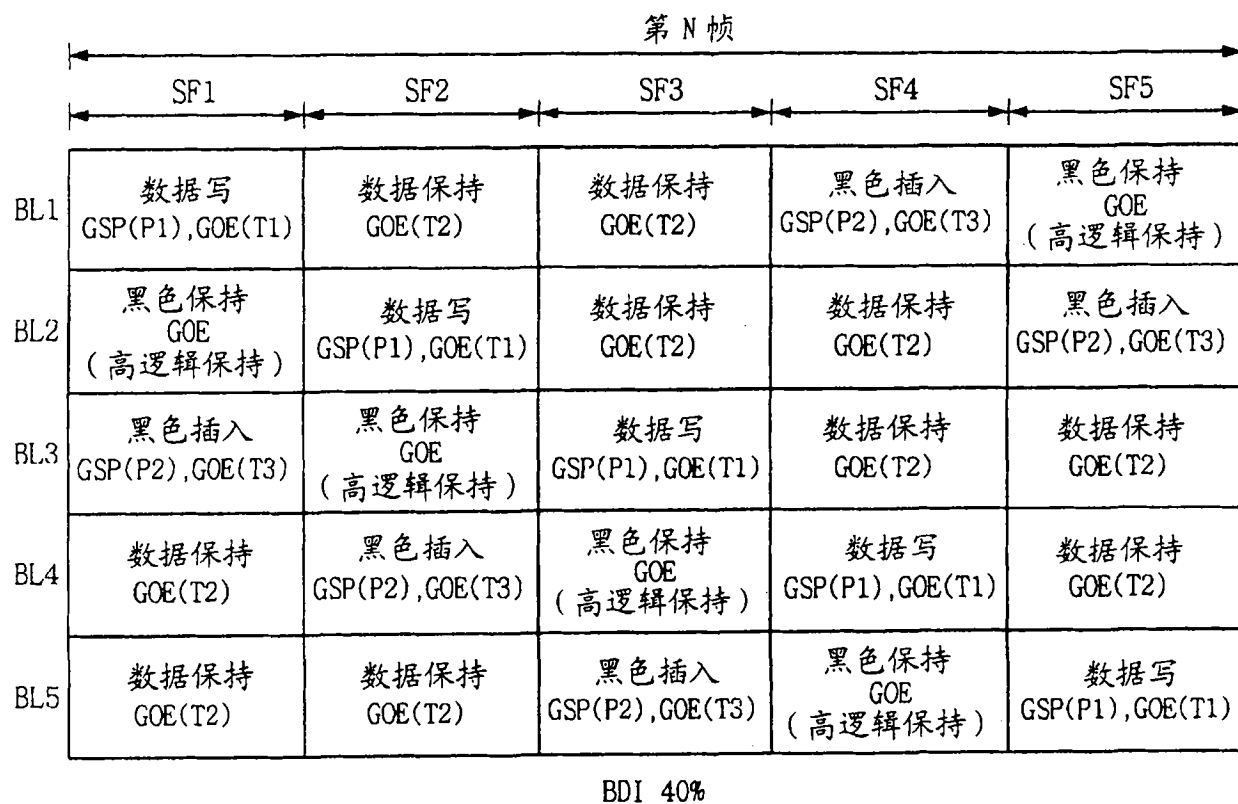


图 11B

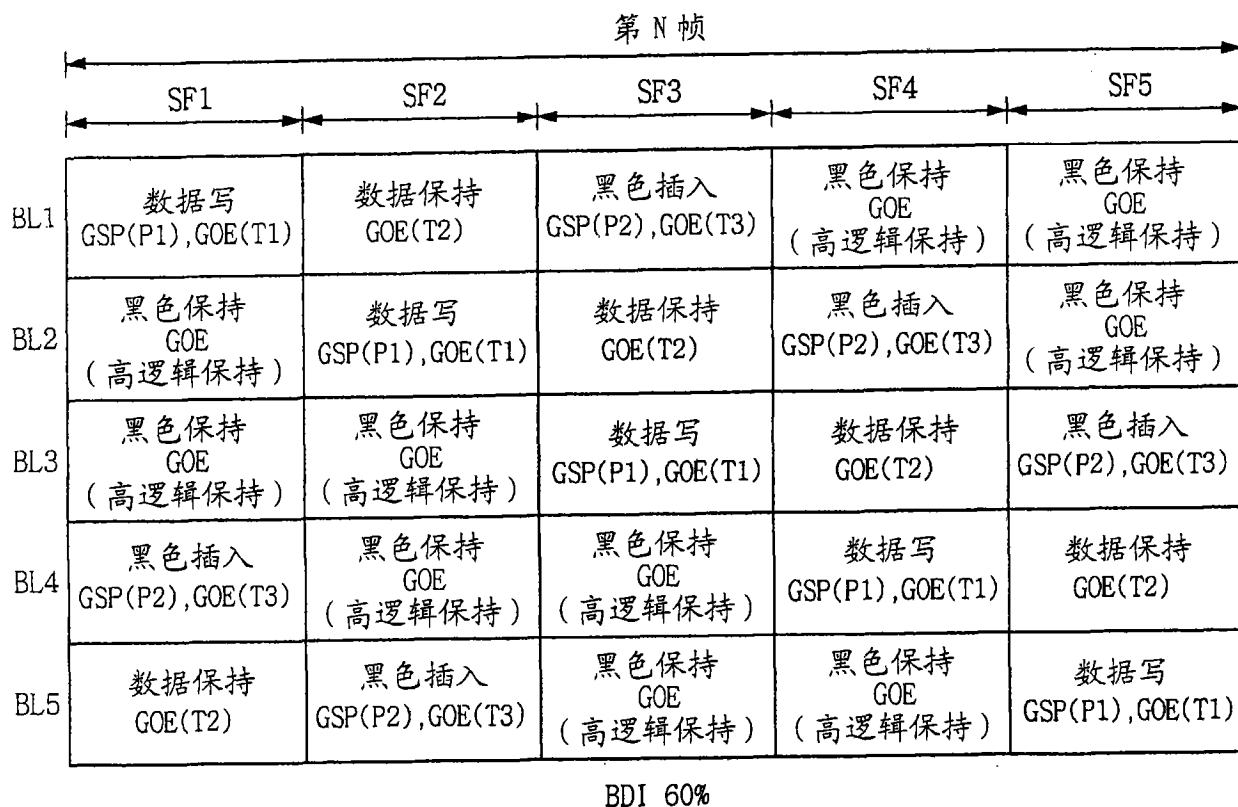


图 11C

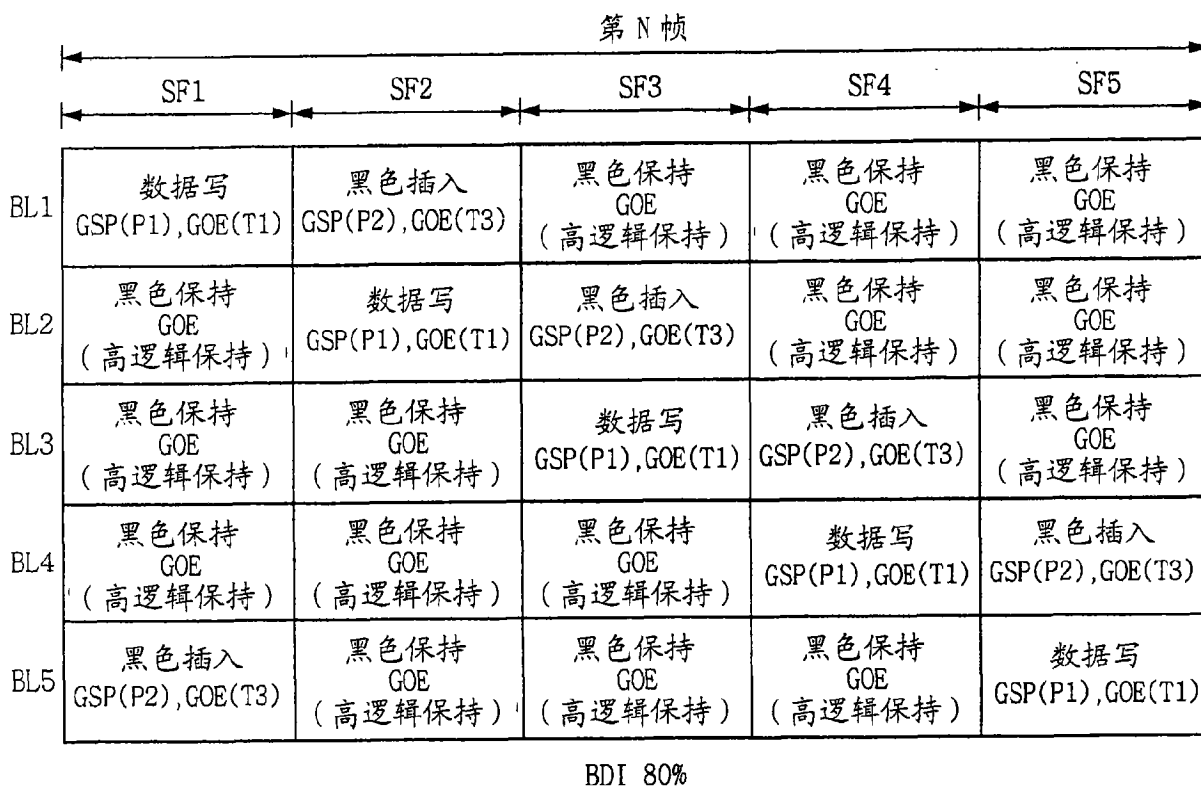


图 11D

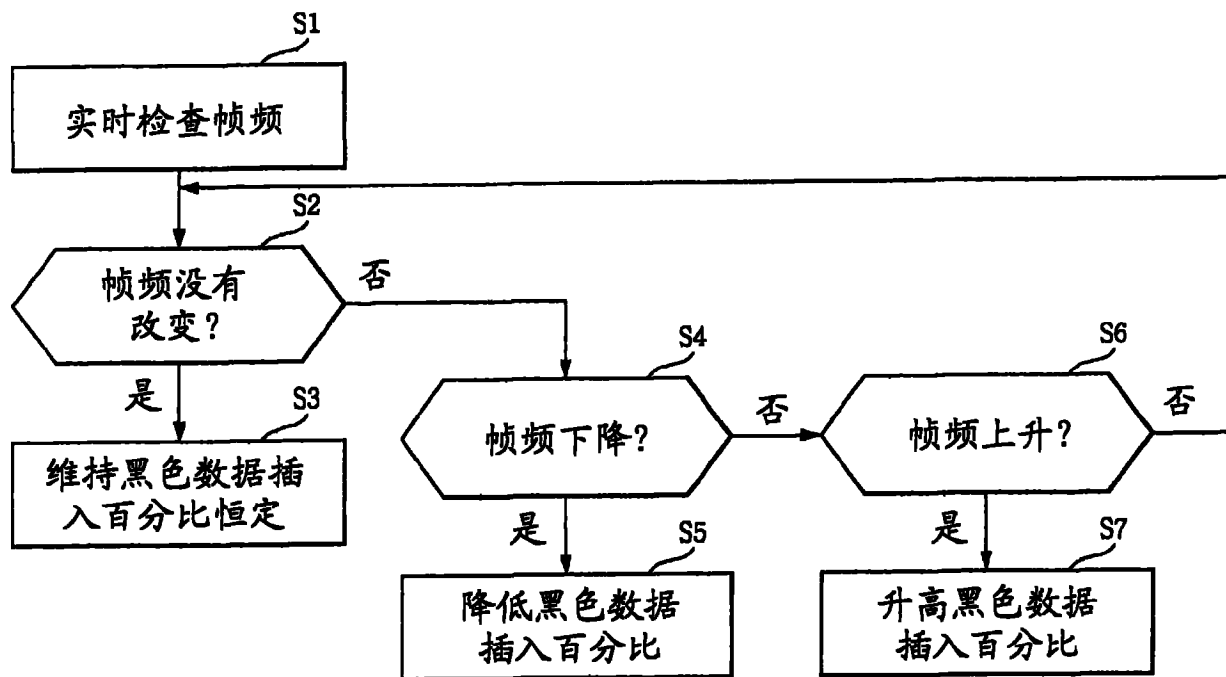


图 12

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN101465103B	公开(公告)日	2011-12-21
申请号	CN200810178168.6	申请日	2008-11-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	张修赫 金锺佑		
发明人	张修赫 金锺佑		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2320/0247 G09G2310/062 G09G2340/0435 G09G2320/0261 G09G3/2022		
审查员(译)	刘畅		
优先权	1020070135788 2007-12-21 KR		
其他公开文献	CN101465103A		
外部链接	Espacenet SIPO		

摘要(译)

本发明液晶显示器及其驱动方法。一种液晶显示器包括：液晶面板，其在数据线与选通线的交叉处具有按照矩阵阵列形式设置的液晶单元；数据驱动电路，其向所述数据线提供数据信号；选通驱动电路，其向所述选通线提供选通信号；以及定时控制器，其接收视频数据和定时信号，实时检查所述视频数据的帧频以检测帧频的变化，并且响应于帧频的变化输出选通定时控制信号以控制所述选通驱动电路并输出用于控制所述数据驱动电路的数据定时控制信号，其中，所述选通定时控制信号控制帧内的黑色数据插入百分比。

