

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

H03K 5/145 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200710160013.5

[43] 公开日 2009年3月4日

[11] 公开号 CN 101377908A

[22] 申请日 2007.12.20

[21] 申请号 200710160013.5

[30] 优先权

[32] 2007.8.29 [33] KR [31] 10-2007-0086988

[71] 申请人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 河成喆 曹畅训 洪镇铁

[74] 专利代理机构 北京三友知识产权代理有限公司

代理人 黄纶伟

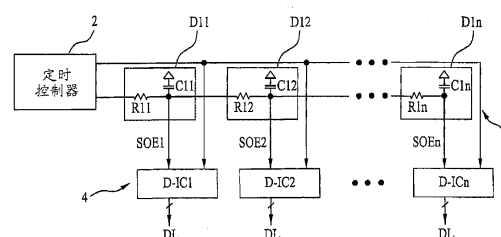
权利要求书 4 页 说明书 15 页 附图 8 页

## [54] 发明名称

液晶显示器的数据驱动设备和方法

## [57] 摘要

本发明涉及一种液晶显示器的数据驱动设备和方法，该设备和方法通过降低数据驱动器的输出峰值电流，可使电磁干扰 EMI 噪音最小化，该设备包括：定时控制器，该定时控制器用于供应基准源输出使能信号；延迟电路，该延迟电路用于延迟所述基准源输出使能信号，并供应具有不同延迟时间的多个源输出使能信号；以及数据驱动器，该数据驱动器包括多个数据集成电路以将液晶面板的数据线划分成多个数据块进行驱动，该数据驱动器响应于所述多个源输出使能信号而分散所述多个数据集成电路的数据输出定时。



- 1、一种液晶显示器的数据驱动设备，该设备包括：  
定时控制器，该定时控制器用于供应基准源输出使能信号；  
延迟电路，该延迟电路用于延迟所述基准源输出使能信号，并供应具有不同延迟时间的多个源输出使能信号；以及  
数据驱动器，该数据驱动器包括多个数据集成电路以将液晶面板的数据线划分成多个数据块进行驱动，该数据驱动器响应于所述多个源输出使能信号而分散所述多个数据集成电路的数据输出定时。
- 2、根据权利要求1所述的设备，其中，所述延迟电路包括多个 RC 延迟部，这些 RC 延迟部与所述基准源输出使能信号的供应线串联连接。
- 3、根据权利要求2所述的设备，其中，所述多个 RC 延迟部具有设定为相同值的时间常数。
- 4、根据权利要求2所述的设备，其中，所述多个源输出使能信号的上升时间和下降时间二者的延迟时间与所述基准源输出使能信号所经过的 RC 延迟部的数量成比例地增加，并且基于所述基准源输出使能信号所经过的 RC 延迟部的时间常数总和而被确定。
- 5、根据权利要求2所述的设备，其中，以连续的顺序向所述多个数据集成电路供应所述多个输出使能信号，其中随着离所述定时控制器的距离的增加，所述延迟时间逐渐增加。
- 6、根据权利要求1所述的设备，其中，所述延迟电路包括多个 RC 延迟部，这些 RC 延迟部与所述基准源输出使能信号的供应线并联连接并具有不同的时间常数。
- 7、根据权利要求2或6所述的设备，其中，各所述延迟部均设有 R 元件和 C 元件，并且在相应延迟部中不同地设定 R 元件和 C 元件中的至少一个，从而使所述多个 RC 延迟部设定有不同的时间常数。
- 8、根据权利要求6所述的设备，其中，向所述多个数据集成电路供应具有连续地增加或减少的不同延迟时间的所述多个源输出使能信号。
- 9、根据权利要求1所述的设备，其中，所述延迟电路安装在连接于

所述定时控制器和所述数据驱动器之间的 PCB 基板上，或者形成在各数据集成电路中。

10、根据权利要求 2 或 6 所述的设备，其中，相应的 RC 延迟部的 R 元件和 C 元件中的任一个元件安装在连接于所述定时控制器和所述数据驱动器之间的 PCB 基板上，而另一个元件形成在各数据集成电路中。

11、根据权利要求 2 所述的设备，其中，相应的 RC 延迟部的 R 元件和 C 元件中的至少任意一个形成在所述液晶面板中。

12、根据权利要求 11 所述的设备，其中，所述 RC 延迟部的 C 元件形成在各数据集成电路中。

13、根据权利要求 1 所述的设备，其中，所述多个数据集成电路被划分成第一数据驱动器和第二数据驱动器；所述延迟电路被划分成第一延迟电路和第二延迟电路；所述第一延迟电路延迟通过第一信号线供应的基准源输出使能信号，并向所述第一数据驱动器供应具有不同延迟时间的第一组的源输出使能信号；并且所述第二延迟电路延迟通过第二信号线供应的基准源输出使能信号，并向所述第二数据驱动器供应具有不同延迟时间的第二组的源输出使能信号。

14、根据权利要求 13 所述的设备，其中，所述第一延迟电路包括与所述第一信号线串联连接的第一组的 RC 延迟部，并且所述第二延迟电路包括与所述第二信号线串联连接的第二组的 RC 延迟部。

15、根据权利要求 13 所述的设备，其中，所述第一延迟电路包括与所述第一信号线并联连接的第一组的 RC 延迟部，并且所述第二延迟电路包括与所述第二信号线并联连接的第二组的 RC 延迟部。

16、根据权利要求 14 或 15 所述的设备，其中，所述第一组的 RC 延迟部中的时间常数与所述第二组的 RC 延迟部中的时间常数对称或不

17、一种液晶显示器的数据驱动设备，该设备包括：  
定时控制器，该定时控制器用于产生基准源输出使能信号并将所产生的基准源输出使能信号供应给第一信号线和第二信号线；

第一数据驱动器，该第一数据驱动器包括多个数据集成电路，用于

分区驱动液晶面板的第一区域中所包括的数据线；

第二数据驱动器，该第二数据驱动器包括多个数据集成电路，用于分区驱动所述液晶面板的第二区域中所包括的数据线；

第一 PCB 基板，该第一 PCB 基板连接在所述定时控制器与所述第一数据驱动器之间；

第二 PCB 基板，该第二 PCB 基板连接在所述定时控制器与所述第二数据驱动器之间；

第一延迟电路，该第一延迟电路安装在所述第一 PCB 基板上，用于通过延迟从所述第一信号线供应的所述基准源输出使能信号而分散所述第一数据驱动器的数据输出定时；以及

第二延迟电路，该第二延迟电路安装在所述第二 PCB 基板上，用于通过延迟从所述第二信号线供应的所述基准源输出使能信号而分散所述第二数据驱动器的数据输出定时。

18、根据权利要求 17 所述的设备，其中，所述第一延迟电路包括与所述第一信号线串联连接的多个 RC 延迟部；所述第二延迟电路包括与所述第二信号线串联连接的多个 RC 延迟部。

19、根据权利要求 17 所述的设备，其中，所述第一延迟电路包括与所述第一信号线并联连接且具有不同时间常数的多个 RC 延迟部；并且所述第二延迟电路包括与所述第二信号线并联连接且具有不同时间常数的多个 RC 延迟部。

20、根据权利要求 18 或 19 所述的设备，其中，以恒定的时间差分散所述第一数据驱动器的相应数据集成电路的数据输出定时，并且以恒定的时间差分散所述第二数据驱动器的相应数据集成电路的数据输出定时。

21、根据权利要求 20 所述的设备，其中，在所述第一数据驱动器中分散的数据输出定时的时间差与在所述第二数据驱动器中分散的数据输出定时的时间差对称或不对称。

22、一种液晶显示器的数据驱动方法，该方法包括以下步骤：  
产生基准源输出使能信号；

通过延迟所述基准源输出使能信号，而产生延迟时间被不同地设定的多个源输出使能信号；以及

响应于所述多个源输出使能信号而分散从多个数据线输出的数据输出定时。

23. 一种液晶显示器的数据驱动方法，该方法包括以下步骤：

产生基准源输出使能信号并将所产生的基准源输出使能信号供应给第一信号线和第二信号线；

分区驱动液晶面板的第一区域中所包括的数据线；

分区驱动所述液晶面板的第二区域中所包括的数据线；

通过延迟从所述第一信号线供应的所述基准源输出使能信号而分散从包含在所述第一区域中的所述数据线输出的数据输出定时；以及

通过延迟从所述第二信号线供应的所述基准源输出使能信号而分散从包含在所述第二区域中的所述数据线输出的数据输出定时。

## 液晶显示器的数据驱动设备和方法

### 技术领域

本发明涉及液晶显示器，更具体地涉及液晶显示器的数据驱动设备和方法，该设备和方法通过减少数据驱动器的输出峰值电流而使电磁干扰 EMI 噪音最小化。

### 背景技术

通常，液晶显示器通过利用液晶的电学和光学特性来显示图像。液晶具有各向异性的特性，由此液晶具有沿液晶分子的长轴和短轴改变的折射率和介电常数。这样，可以容易地控制液晶分子的配向和液晶的光学特性。因此，液晶显示器设置成使液晶分子的配向方向根据施加到液晶分子的电场而改变，从而使液晶显示器通过控制光透射率来显示图像。

液晶显示器包括：液晶面板，该液晶面板具有以矩阵结构排列的多个像素；选通驱动器，该选通驱动器用于驱动液晶面板上的选通线；以及数据驱动器，该数据驱动器用于驱动液晶面板上的数据线。

包含在液晶面板中的各像素通过组合根据数据信号来控制光透射率的红色子像素、绿色子像素和蓝色子像素而表现期望的颜色。各子像素包括：与选通线和数据线相连的薄膜晶体管；和与该薄膜晶体管相连的液晶电容器。在这种情况下，液晶电容器充有通过薄膜晶体管供应给像素电极的数据信号与施加到公共电极的公共电压之间的差分电压，并根据所充的差分电压来驱动液晶，从而控制光透射率。

选通驱动器顺序地驱动液晶面板上的选通线。

每当分别驱动选通线时，数据驱动器将数字数据信号转换为模拟数据信号，并将该模拟数据信号供应给液晶面板上的数据线。此时，如图 1 所示，数据驱动器响应于源输出使能 SOE 信号而同时输出对应于一条水平线的数据信号  $V_{out}$ 。由于数据信号  $V_{out}$  是同时输出的，在数据驱动器

的输出定时输出电流  $I_{out}$  急速升高从而产生峰值电流。

由于数据驱动器的高峰值电流，现有技术的液晶显示器具有电磁干扰 EMI 噪音这样的问题。随着液晶显示器尺寸的增加，数据驱动器的输出通道和负载增大，使得数据驱动器的峰值电流也增大。因此，如图 2 所示，宽带 BB 型 EMI 噪音也增加很多。而且，数据驱动器的高峰值电流导致功耗增加，而且对液晶面板也产生不利影响，该不利影响为对选通线和数据线的误操作。

### 发明内容

因此，本发明致力于驱动液晶显示器的数据驱动设备和方法，该设备和方法基本上克服了由于现有技术的局限和缺点导致的一个或多个问题。

本发明的目的在于提供液晶显示器的数据驱动设备和方法，该设备和方法适于通过分散数据驱动器的峰值电流而降低 EMI 噪音和功耗，并能够稳定地驱动液晶显示器。

本发明的其他优点、目的以及特征的一部分将在随后的说明中进行阐述，而一部分在由本领域普通技术人员研究了下面的内容后会变得清楚，或者可以通过实施本发明而学知。本发明的上述目的和其他优点可以由在说明书及其权利要求书以及附图中具体指出的结构而实现并获得。

为了实现这些目的和其他优点，并且根据这里所具体体现和广泛描述的发明宗旨，本发明的一种液晶显示器的数据驱动设备包括：定时控制器，该定时控制器用于供应基准源输出使能信号；延迟电路，该延迟电路用于延迟所述基准源输出使能信号，并供应具有不同延迟时间的多个源输出使能信号；以及数据驱动器，该数据驱动器包括多个数据集成电路以将液晶面板的数据线划分成多个数据块进行驱动，该数据驱动器响应于所述多个源输出使能信号而分散所述多个数据集成电路的数据输出定时。

此时，所述延迟电路包括多个 RC 延迟部，这些 RC 延迟部与所述基

准源输出使能信号的供应线串联连接。而且，所述多个 RC 延迟部具有设定为相同值的时间常数。所述多个源输出使能信号的上升时间和下降时间的延迟时间与所述基准源输出使能信号所经过的 RC 延迟部的数量成比例地增加，并且基于所述基准源输出使能信号所经过的 RC 延迟部的时间常数总和而被确定。以连续的顺序向所述多个数据集成电路供应所述多个输出使能信号，其中随着离所述定时控制器的距离的增加，所述延迟时间逐渐增加。

与以上描述不同的是，所述延迟电路包括多个 RC 延迟部，这些 RC 延迟部与所述基准源输出使能信号的供应线并联连接并具有不同的时间常数。

此时，各所述延迟部均设有 R 元件和 C 元件，并且在相应延迟部中不同地设定 R 元件和 C 元件中的至少一个，从而使所述多个 RC 延迟部设定有不同的时间常数。而且，向所述多个数据集成电路供应具有连续地增加或减少的不同延迟时间的多个源输出使能信号。

所述延迟电路安装在连接于所述定时控制器和所述数据驱动器之间的 PCB 基板上，或者形成在各数据集成电路中。相应的 RC 延迟部的 R 元件和 C 元件中的任一个元件安装在连接于所述定时控制器和所述数据驱动器之间的 PCB 基板上，而另一个元件形成在各数据集成电路中。

相应的 RC 延迟部的 R 元件和 C 元件中的至少一个元件形成在所述液晶面板中。而且，所述 RC 延迟部的 R 元件包括形成在所述液晶面板的数据集成电路当中的源输出使能信号线的线路电阻。而且，所述 RC 延迟部的 C 元件包括这样的电容器，该电容器通过交叠所述源输出使能信号线以及所述液晶面板的其它信号线并在它们之间插设绝缘膜而形成。而且，所述 RC 延迟部的 C 元件形成在各数据集成电路中。

所述多个数据集成电路被划分成第一数据驱动器和第二数据驱动器；所述延迟电路被划分成第一延迟电路和第二延迟电路；所述第一延迟电路延迟通过第一信号线供应的基准源输出使能信号，并向所述第一数据驱动器供应具有不同延迟定时的第一组的源输出使能信号；并且所述第二延迟电路延迟通过第二信号线供应的基准源输出使能信号，并向

所述第二数据驱动器供应具有不同延迟定时的第二组的源输出使能信号。

所述第一延迟电路包括与所述第一信号线串联连接的第一组的 RC 延迟部，并且所述第二延迟电路包括与所述第二信号线串联连接的第二组的 RC 延迟部。

所述第一延迟电路包括与所述第一信号线并联连接的第一组的 RC 延迟部，并且所述第二延迟电路包括与所述第二信号线并联连接的第二组的 RC 延迟部。

而且，所述第一组的 RC 延迟部中的时间常数与所述第二组的 RC 延迟部中的时间常数对称或不称。

在本发明的另一方面中，一种液晶显示器的数据驱动设备包括：定时控制器，该定时控制器用于产生基准源输出使能信号并将所产生的基准源输出使能信号供应给第一信号线和第二信号线；第一数据驱动器，该第一数据驱动器包括多个数据集成电路，所述数据集成电路用于分区驱动液晶面板的第一区域中所包括的数据线；第二数据驱动器，该第二数据驱动器包括多个数据集成电路，所述数据集成电路用于分区驱动所述液晶面板的第二区域中所包括的数据线；第一 PCB 基板，该第一 PCB 基板连接在所述定时控制器与所述第一数据驱动器之间；第二 PCB 基板，该第二 PCB 基板连接在所述定时控制器与所述第二数据驱动器之间；第一延迟电路，该第一延迟电路安装在所述第一 PCB 基板上，用于通过延迟从所述第一信号线供应的所述基准源输出使能信号而分散所述第一数据驱动器的数据输出定时；以及第二延迟电路，该第二延迟电路安装在所述第二 PCB 基板上，用于通过延迟从所述第二信号线供应的所述基准源输出使能信号而分散所述第二数据驱动器的数据输出定时。

此时，所述第一延迟电路包括与所述第一信号线串联连接的多个 RC 延迟部；所述第二延迟电路包括与所述第二信号线串联连接的多个 RC 延迟部；并且所述多个 RC 延迟部具有设定为相同值的时间常数。

而且，所述第一延迟电路包括与所述第一信号线并联连接且具有不同时间常数的多个 RC 延迟部；并且所述第二延迟电路包括与所述第二信

号线并联连接且具有不同时间常数的多个 RC 延迟部。

而且，以恒定的时间差分散所述第一数据驱动器的相应数据集成电路的数据输出定时，并且以恒定的时间差分散所述第二数据驱动器的相应数据集成电路的数据输出定时。在所述第一数据驱动器中分散的数据输出定时的时间差与在所述第二数据驱动器中分散的数据输出定时的时间差对称或不对称。

在本发明的另一方面中，一种液晶显示器的数据驱动方法包括：产生基准源输出使能信号；通过延迟所述基准源输出使能信号，产生上升时间和下降时间的延迟时间被不同地设定的多个源输出使能信号；以及响应于所述多个源输出使能信号，分散从多个数据线输出的数据输出定时。

应当理解，上文对本发明的概述与下文对本发明的详述都是示例性和解释性的，并旨在提供对如权利要求所述发明的进一步解释。

#### 附图说明

包括附图以提供对本发明的进一步理解，并且并入附图构成本申请的一部分，附图示出了本发明的实施方式并与说明书一起用于解释本发明的原理。在附图中：

图 1 是根据现有技术的液晶显示器的数据驱动波形图；

图 2 是根据现有技术的液晶显示器的 EMI 噪音波形图；

图 3 是示意性地示出了根据本发明第一实施方式的液晶显示器的数据驱动设备的框图；

图 4 是图 3 所示的数据驱动设备的驱动波形图；

图 5 是示意性地示出了根据本发明第二实施方式的液晶显示器的数据驱动设备的框图；

图 6 是示意性地示出了根据本发明第三实施方式的液晶显示器的数据驱动设备的框图；

图 7 是图 6 所示的液晶显示器的 EMI 噪音波形图；

图 8 是示意性地示出了根据本发明第四实施方式的液晶显示器的数

据驱动设备的框图；以及

图 9 是示意性地示出了根据本发明第五实施方式的液晶显示器的数据驱动设备的框图。

### 具体实施方式

现在将详细地说明本发明的优选实施方式，其实施例在附图中示出。尽可能在所有附图中用相同的附图标记来表示相同或相似的部件。

下面，将参照附图来描述根据本发明的液晶显示器的数据驱动设备和方法。

图 3 是示意性地示出了根据本发明第一实施方式的液晶显示器的数据驱动设备的框图。图 4 是图 3 所示的数据驱动设备的驱动波形图。

如图 3 所示，液晶显示器的数据驱动设备包括：定时控制器 2，用于供应视频数据和包括 SOE 信号的控制信号；数据驱动器 4，该数据驱动器包括多个数据集成电路（以下称为“IC”）D-IC1~D-ICn，以在定时控制器 2 的控制下驱动液晶面板的数据线 DL；以及延迟电路 6，用于将从定时控制器 2 供应的 SOE 信号延迟不同的延迟时间段，并将延迟了所述不同的延迟时间段的 SOE 信号分别供应给所述多个数据 IC D-IC1~D-ICn。图 4 示出了图 3 的数据驱动器 4 中的输出电压  $V_{out}$  和输出电流  $I_{out}$ 、从定时控制器 2 输出的 SOE 信号、以及分别供应给所述多个数据 IC 的具有不同延迟时间段的 SOE1 至 SOEn。

定时控制器 2 将从外部提供的视频数据对齐 (align)，并将对齐的视频数据供应给数据驱动器 4。而且，定时控制器 2 通过使用从外部提供的同步信号（例如通知有效数据块的数据使能信号和确定数据传输频率的点时钟）来产生并供应多个数据控制信号以控制数据驱动器 4。此时，定时控制器 2 可另外使用从外部提供的水平和垂直的同步信号。所述多个数据控制信号包括控制数据驱动器 4 的数据输出周期的 SOE 信号、命令开始对数据进行采样的源起动脉冲、控制数据的采样定时的源移位时钟以及控制数据的电压极性的极性控制信号。

数据驱动器 4 的所述多个数据 IC D-IC1~D-ICn 根据源移位时钟使

从定时控制器 2 供应的源起动脉冲移位一个水平周期，从而产生顺序采样信号，并响应于产生的采样信号而将从定时控制器 2 供应的数据顺序地锁存。所述多个数据 IC D-IC1~D-ICn 在下一个水平周期的 SOE 信号的上升时间将顺序锁存了一个水平周期的数据并行锁存一个水平线，由此将数据转换为模拟数据信号，并在该 SOE 信号的下降时间将该模拟数据信号输出给液晶面板的数据线 DL。为了降低由数据驱动器 4 的数据输出导致的输出电流的峰值，将数据线 DL 划分成多个数据块，各数据块设有不同的数据输出定时，以对数据输出和输出电流的峰值进行分散。

例如，如图 4 所示，不同地设定 SOE1 至 SOEn 信号的延迟时间，即下降时间（上升时间），所述 SOE1 至 SOEn 信号分别供应给所述多个数据 IC D-IC1~D-ICn 以通过分区驱动方法来驱动数据线 DL。因此，分散从所述多个数据 IC D-IC1~D-ICn 输出的数据电压 Vout\_1~Vout\_n 的输出定时，从而分散并降低数据驱动器 4 的峰值电流。

为此，本发明的延迟电路 6 包括与 SOE 信号线串联连接的多个延迟部 D11~D1n，该 SOE 信号线用于从定时控制器 2 供应 SOE 信号，该延迟电路 6 用于将 SOE 信号划分成具有不同延迟时间的多个 SOE 信号 SOE1 至 SOEn，并供应所述具有不同延迟时间的多个 SOE 信号。

例如，所述多个延迟部 D11~D1n 分别采用 RC 电路。串联连接的所述多个延迟部 D11~D1n 具有设定为相同值或不同值的时间常数 R11C11~R1nC1n。如果在各延迟部 D11~D1n 中不同地设定时间常数，各延迟部 D11~D1n 均设有 R 元件和 C 元件，其中在各延迟部 D11~D1n 中可不同地设定 R 元件和 C 元件，或者各延迟部中的 R 元件和 C 元件中的任一个可设定为相同值，而各延迟部中的 R 元件和 C 元件中的另一个可设定为不同值。由于所述多个延迟部 D11~D1n 串联连接，分别供应给所述多个数据 IC D-IC1~D-ICn 的 SOE 信号 SOE1 至 SOEn 的延迟时间与 SOE 信号所经过的延迟部 D 的数量成比例地增加。换言之，基于 SOE 信号所经过的延迟部 D 中的时间常数总和来确定 SOE 信号 SOE1 至 SOEn 的延迟时间。

详细地说，将第一延迟部 D11（该第一延迟部 D11 具有距定时控制

器 2 最短的 SOE 信号传输距离) 供应给第一数据 IC D-IC1 的 SOE1 信号的延迟时间确定为第一延迟部 D11 的第一时间常数  $R11C11$ , 如图 4 所示该延迟时间为最短。然后, 将通过第一延迟部 D11 和第二延迟部 D12 供应给第二数据 IC D-IC2 的 SOE2 信号的延迟时间确定为第一延迟部 D11 的第一时间常数和第二延迟部 D12 的第二时间常数的总和, 由此 SOE2 信号的延迟时间长于 SOE1 信号的延迟时间, 如图 4 所示。然后, 将通过第“n”延迟部 D1n(该第“n”延迟部 D1n 具有距定时控制器 2 最长的 SOE 信号传输距离) 供应给第“n”数据 IC D-ICn 的 SOEn 信号的延迟时间确定为第一至第“n”延迟部 D11~D1n 的第一至第“n”时间常数的总和  $R11C11 + R12C12 + \dots + R1nC1n$ , 如图 4 所示该延迟时间为最长。

响应于具有不同延迟时间的 SOE1 至 SOEn 信号的各下降时间, 数据 IC D-IC1~D-ICn 的数据电压  $Vout\_1 \sim Vout\_n$  的输出定时被不同地分散(如图 4 所示), 由此输出电流  $Iout$  的峰值被分散并下降。结果, 可以减少 EMI 噪音和功耗, 并防止液晶面板的误操作。

优选的是, 将 SOE1 至 SOEn 信号的延迟时间(时间常数)确定在足以获得数据线 DL 的数据充入时间的范围内, 例如 0 ns 和 500 ns 之间的范围内, 从而不会因从所述多个数据 IC D-IC1~D-ICn 输出的数据电压  $Vout\_1 \sim Vout\_n$  中的输出定时差而产生数据充入量的偏差。而且, 优选地在 SOE 信号 SOE1 至 SOEn 中保持相同的延迟时间差。但是, 可以不同地设定相邻 SOE 信号之间的延迟时间差。

可将延迟电路 6 安装在印刷电路板(以下称为“PCB”, 未示出)上以对定时控制器 2 和数据驱动器 4 进行中继, 或者可形成在各数据 IC D-IC1~D-ICn 中或各电路膜(未示出)中, 在该各电路膜上分别安装有所述多个数据 IC D-IC1~D-ICn。而且, 当延迟电路 6 可设有彼此分开的电阻器  $R11 \sim R1n$  和电容器  $C11 \sim C1n$  时, 将电阻器  $R11 \sim R1n$  安装在 PCB 上, 并将电容器  $C11 \sim C1n$  分别形成在所述多个数据 IC D-IC1~D-ICn 中。

图 5 是示意性地示出了根据本发明第二实施方式的液晶显示器的数据驱动设备的框图。除了延迟电路 8 包括与 SOE 信号线并联连接的多个延迟部 D21~D2n 之外, 图 5 的数据驱动设备在结构上与图 3 的数据驱

动设备相同，因此将省略对相同部分的详细说明。

图 5 所示的延迟电路 8 包括与主 SOE 信号线并联连接的多个延迟部 D21~D2n，其中所述多个延迟部 D21~D2n 具有不同地设定的时间常数 R21C21~R2nC2n。如果在各延迟部 D21~D2n 中不同地设定时间常数，则各延迟部 D21~D2n 均设有 R 元件和 C 元件，其中在各延迟部 D21~D2n 中可不同地设定 R 元件和 C 元件，或者各延迟部中的 R 元件和 C 元件中的任一个可设定为相同值，而各延迟部中的 R 元件和 C 元件中的另一个可设定为不同值。

而且，优选的是在相邻延迟部 D21~D2n 之间设定相同的时间常数差。即，第一延迟部 D21 和第二延迟部 D22 之间的时间常数差与第二延迟部 D22 和第三延迟部 D23 之间的时间常数差相同。然而，在延迟部 D21~D2n 中也可以不同地设定相邻延迟部之间的时间常数差。在这种情况下，延迟部 D21~D2n 的时间常数 R21C21~R2nC2n 在数值上随机地增加或减少。优选的是，延迟部 D21~D2n 的时间常数 R21C21~R2nC2n 在数值上连续地增加或减少，从而使相邻数据 IC 之间的数据输出定时的偏差最小化。

例如，第一延迟部 D21 将上升时间和下降时间延迟了第一时间常数 R21C21 的 SOE1 信号供应给第一数据 IC D-IC1。而且，第二延迟部 D22 将上升时间和下降时间延迟了比第一时间常数 R21C21 长的第二时间常数 R22C22 的 SOE2 信号供应给第二数据 IC D-IC2。第“n”延迟部 D2n 将延迟了所述多个时间常数中的最大的第“n”时间常数 R2nC2n 的 SOEn 信号供应给第“n”数据 IC D-ICn。

响应于具有不同延迟时间的 SOE1 至 SOEn 信号的各下降时间，数据 IC D-IC1~D-ICn 的数据电压 Vout\_1~Vout\_n 的输出定时被不同地分散（如图 4 所示），从而使输出电流 Iout 的峰值分散并下降。结果，可以减少 EMI 噪音和功耗，并防止液晶面板的误操作。

延迟电路 8 可安装在 PCB 上以对定时控制器 2 和数据驱动器 4 进行中继，或者可形成在各数据 IC D-IC1~D-ICn 中或各电路膜（未示出）中，该各电路膜上分别安装有所述多个数据 IC D-IC1~D-ICn。而且，当延迟

电路 8 可设有彼此分开的电阻器 R21~R2n 和电容器 C21~C2n 时, 将电阻器 R21~R2n 安装在 PCB 上, 并将电容器 C21~C2n 分别形成在所述多个数据 IC D-IC1~D-ICn 中。

图 6 是示意性地示出了根据本发明第三实施方式的液晶显示器的数据驱动设备的框图。

图 6 所示的数据驱动设备包括: 供应 SOE 信号的定时控制器 10; 第一数据驱动器 32, 该第一数据驱动器 32 包括通过定时控制器 10 和第一 PCB 22 相连的多个数据 IC D-IC1~D-IC4; 第二数据驱动器 34, 该第二数据驱动器 34 包括通过定时控制器 10 和第二 PCB 24 相连的多个数据 IC D-IC5~D-IC8; 形成在第一 PCB 22 中的第一延迟电路 42, 其中第一延迟电路 42 将从定时控制器 10 输出的 SOE 信号划分成具有不同延迟时间的 SOE1 至 SOE4 信号, 并将 SOE1 至 SOE4 信号供应给数据 IC D-IC1~D-IC4; 以及形成在第二 PCB 24 中的第二延迟电路 44, 其中第二延迟电路 44 将从定时控制器 10 输出的 SOE 信号划分成具有不同延迟时间的 SOE5 至 SOE8 信号, 并将 SOE5 至 SOE8 信号供应给数据 IC D-IC5~D-IC8。

图 6 仅示出了 SOE 信号线 11 和 13 而没有其它 SOE 信号线, 其中 SOE 信号线 11 和 13 分别连接在定时控制器 10 与第一数据驱动器 32 之间以及定时控制器 10 与第二数据驱动器 34 之间。

定时控制器 10 将从外部提供的数据对齐, 并将对齐的数据划分成待供应给第一数据驱动器 32 的第一数据和待供应给第二数据驱动器 34 的第二数据, 并且输出该第一数据和第二数据。而且, 定时控制器 10 将包括 SOE 信号的第一数据控制信号和第二数据控制信号分别供应给第一数据驱动器 32 和第二数据驱动器 34, 其中第一数据控制信号与第二数据控制信号相同。

第一 PCB 22 将从定时控制器 10 输出的第一数据和第一数据控制信号供应给第一数据驱动器 32, 第二 PCB 24 将从定时控制器 10 输出的第二数据和第二数据控制信号供应给第二数据驱动器 34。

第一延迟电路 42 包括安装在第一 PCB 22 上并与第一 SOE 信号线

11 串联连接的多个延迟部 D11~D14。第二延迟电路 44 包括安装在第二 PCB 24 上并与第二 SOE 信号线 13 串联连接的采用 RC 电路的多个延迟部 D15~D18。

与以上描述不同的是，第一延迟电路 42 中所包括的延迟部 D11~D14 可分别形成在所述多个数据 IC D-IC4~D-IC1 中。在另一种方式中，在电阻器 R11~R14 可以与电容器 C11~C14 分开之后，电阻器 R11~R14 可安装在第一 PCB 22 上，电容器 C11~C14 可分别形成在所述多个数据 IC D-IC4~D-IC1 中。而且，第二延迟电路 44 的延迟部 D15~D18 可分别形成在所述多个数据 IC D-IC5~D-IC8 中。在另一种方式中，在电阻器 R15~R18 可以与电容器 C15~C18 分开之后，电阻器 R15~R18 可安装在第二 PCB 24 上，电容器 C15~C18 可分别形成在所述多个数据 IC D-IC5~D-IC8 中。

第一延迟电路 42 中所包括的延迟部 D11~D14 具有设定为相同值或不同值的相应的时间常数  $R11C11 \sim R14C14$ 。而且，第二延迟电路 44 中所包括的延迟部 D15~D18 具有设定为相同值或不同值的相应的时间常数  $R15C15 \sim R18C18$ 。第一延迟电路 42 中所包括的延迟部 D11~D14 的相应的时间常数  $R11C11 \sim R14C14$  可以与第二延迟电路 44 中所包括的延迟部 D15~D18 的相应的时间常数  $R15C15 \sim R18C18$  对称或不对称。

由于通过第一延迟电路 42 使来自定时控制器 10 的 SOE 信号的传输距离增加，即，SOE 信号所经过的延迟部 D 的数量增加，SOE 信号的延迟时间增加。

详细地说，将延迟了第一延迟电路 42 中所包括的第一延迟部 D11 的第一时间常数  $R11C11$  的 SOE1 信号供应给第四数据 IC D-IC4，该第四数据 IC D-IC4 在第一数据驱动器 32 的数据 IC D-IC1~D-IC4 中距定时控制器 10 的距离最短。将延迟了第一延迟部 D11 和第二延迟部 D12 的时间常数总和  $R11C11 + R12C12$  的 SOE2 信号供应给第三数据 IC D-IC3。将延迟了第一至第四延迟部 D11 至 D14 的时间常数总和  $R11C11 + R12C12 + \dots + R14C14$  的 SOE4 信号供应给第一数据 IC D-IC1，该第一数据 IC D-IC1 在第一数据驱动器 32 的数据 IC D-IC1~D-IC4 中距定时控制

器 10 的距离最长。

以与第一数据驱动器 32 相同的方法,通过第二延迟电路 44,将 SOE5 至 SOE8 信号分别供应给第二数据驱动器 34 的第五至第八数据 IC D-IC5~D-IC8,该 SOE5 至 SOE8 信号与来自定时控制器的 SOE 信号所经过的延迟部 D 的数量成比例地被顺序延迟。从第一延迟电路 42 输出的 SOE1 至 SOE4 信号的延迟时间可以与从第二延迟电路 44 输出的 SOE5 至 SOE8 信号的延迟时间对称或不对称。

第一数据驱动器 32 的数据 IC D-IC1~D-IC4 分别响应于 SOE4 至 SOE1 信号的相应下降时间而在不同的输出定时输出数据。同样,第二数据驱动器 34 的数据 IC D-IC5~D-IC8 分别响应于 SOE5 至 SOE8 信号的相应下降时间而在不同的输出定时输出数据。第一数据驱动器 32 的数据 IC D-IC1~D-IC4 的数据输出定时可以与第二数据驱动器 34 的数据 IC D-IC5~D-IC8 的数据输出定时对称或不对称,其中可以根据交替或连续的顺序来设置数据 IC 的数据输出定时。结果,分散了第一数据驱动器 32 和第二数据驱动器 34 的数据输出时间,从而分散并降低了输出电流的峰值。因此,可以减少 EMI 噪音和功耗并防止液晶面板的误操作。

图 7 是图 6 所示的采用串联延迟电路的液晶显示器的 EMI 噪音波形图。

参照图 2,在现有技术的情况下,检测出宽带型 EMI 噪音高于 30 dB 水平,该 30 dB 水平与 30 MHz 和 100 MHz 之间的范围内的 EMI 标准的基准值相对应。但是,在本发明的情况下,如图 7 所示,由于数据输出定时的分散,检测出宽带型 EMI 噪音低于在 30 MHz 和 100 MHz 之间的范围内的 30 dB 水平。

图 8 是示意性地示出了根据本发明第四实施方式的液晶显示器的数据驱动设备的框图。除了第一延迟电路 52 包括与第一 SOE 信号线 11 并联连接的多个延迟部 D21~D24,而第二延迟电路 54 包括与第二 SOE 信号线 13 并联连接的多个延迟部 D25~D28 之外,图 8 的数据驱动设备在结构上与图 6 的数据驱动设备相同,因而将省略对相同部分的详细说明。

在图 8 的第一延迟电路 52 中,与第一 SOE 信号线 11 并联连接的多

个延迟部 D21~D24 设有时间常数 R21C21~R24C24, 这些时间常数 R21C21~R24C24 优选地以相同的差异间隔设定为不同值。在图 8 的第二延迟电路 54 中, 与第二 SOE 信号线 13 并联连接的多个延迟部 D25~D28 设有时间常数 R25C25~R28C28, 这些时间常数 R25C25~R28C28 优选地以相同的差异间隔设定为不同值。

在这种情况下, 延迟部 D21~D28 的时间常数 R21C21~R28C28 在数值上可随机地增加或减少。为了使相邻数据 IC 之间的数据输出定时的偏差最小化, 优选地使时间常数 R21C21~R28C28 连续地增加或减少。而且, 第一延迟电路 52 中所包括的延迟部 D21~D24 的时间常数 R21C21~R24C24 可以与第二延迟电路 54 中所包括的延迟部 D25~D28 的时间常数 R25C25~R28C28 对称或不对称。

第一延迟电路 52 中所包括的延迟部 D21~D24 分别将上升时间和下降时间延迟了自身的时间常数 RC 的 SOE1 至 SOE4 信号供应给第一数据驱动器 32 的第一至第四数据 IC D-IC1~D-IC4。同样, 第二延迟电路 54 中所包括的延迟部 D25~D28 分别将上升时间和下降时间被延迟了自身的时间常数 RC 的 SOE5 至 SOE8 信号供应给第二数据驱动器 34 的第五至第八数据 IC D-IC5~D-IC8。

响应于设有不同延迟时间的 SOE1 至 SOE8 信号的各下降时间, 数据 IC D-IC1~D-IC8 的输出定时被分散。第一数据驱动器 32 中所包括的数据 IC D-IC1~D-IC4 的数据输出定时可以与第二数据驱动器 34 中所包括的数据 IC D-IC5~D-IC8 的数据输出定时对称, 或者可以根据交替的顺序或连续的顺序来与第二数据驱动器 34 中所包括的数据 IC D-IC5~D-IC8 的数据输出定时不对称。因此, 分散并降低了第一数据驱动器 32 和第二数据驱动器 34 的输出电流的峰值。从而, 可以减少 EMI 噪音和功耗并防止液晶面板的误操作。

图 9 是示意性地示出了根据本发明第五实施方式的液晶显示器的数据驱动设备的框图。

如图 9 所示, 该数据驱动设备包括: 第一数据驱动器 32 的数据 IC D-IC1~D-IC4, 它们分别安装在多个电路膜 F1~F4 上并连接在第一 PCB

62 和液晶面板 80 之间；第二数据驱动器 34 的数据 IC D-IC5~D-IC8，它们分别安装在多个电路膜 F5~F8 上并连接在第二 PCB 64 和液晶面板 80 之间；以及第一延迟电路 72 和第二延迟电路 74，它们形成在液晶面板 80 中用于延迟 SOE 信号。电路膜 F1~F8 可以由带载封装（Tape Carrier Package, 以下称为“TCP”）或膜上芯片（Chip On Films）形成。

第一延迟电路 72 包括与第一 SOE 信号线 11 串联连接并形成在液晶面板 80 的下基板中的多个延迟部 D1~D3。为此，第一 SOE 信号线 11 经过在液晶面板 80 的下基板上的数据 IC D-IC4~D-IC1。基于玻板上线（Line On Glass, 以下称为“LOG”）L1~L3（即，与第一 SOE 信号线 11 串联连接并形成在液晶面板 80 的下基板中的线路）的各线路电阻 R1~R3 来确定各延迟部 D1~D3 的电阻。可以通过将各 LOG L1~L3 与其它 LOG 交叠并在它们之间插设绝缘膜，来形成各电容器 C1~C3，或者在各数据 IC D-IC3~D-IC1 中形成各电容器 C1~C3。线路电阻 R1~R3 可以相同，并且电容器 C1~C3 可以相同，从而可以将延迟部 D1~D3 的时间常数设定为相同值。

第二延迟电路 74 在结构上与第一延迟电路 72 相同。即，第二延迟电路 74 包括与第二 SOE 信号线 13 串联连接并形成在第二数据驱动器 34 的各个数据 IC D-IC5~D-IC8 之间的多个延迟部 D1~D3。

由于第一延迟电路 72 和第二延迟电路 74 分别与第一 SOE 信号线 11 和第二 SOE 信号线 12 串联连接，因此 SOE 信号的延迟时间与 SOE 信号所经过的延迟部 D 的数量成比例地增加。

例如，在第一数据驱动器 32 的情况下，SOE 信号被供应给最靠近 SOE 信号的输入端子的第四数据 IC D-IC4，而不经延迟电路 72。然后，向第三数据 IC D-IC3 供应这样的 SOE 信号，该 SOE 信号在经过第四数据 IC D-IC4 和液晶面板 80 的第一延迟部 D1 时延迟了第一延迟部 D1 的时间常数 R1C1。向第二数据 IC D-IC2 供应这样的 SOE 信号，该 SOE 信号在经过第四数据 IC D-IC4 和第三数据 IC D-IC3 以及液晶面板 80 的第一延迟部 D1 和第二延迟部 D2 时延迟了第一延迟部 D1 和第二延迟部 D2 的时间常数总和 R1C1+R2C2。向第一数据 IC D-IC1 供应这样的 SOE

信号，该 SOE 信号在经过第四至第二数据 IC D-IC4~D-IC2 以及液晶面板 80 的第一至第三延迟部 D1~D3 时延迟了第一至第三延迟部 D1~D3 的时间常数总和  $R1C1 + R2C2 + R3C3$ 。

通过与第一延迟电路 72 对称的第二延迟电路 74 分别向第二数据驱动器 34 的数据 IC D-IC5~D-IC8 供应具有不同延迟时间的 SOE 信号。

因此，第一数据驱动器 32 的数据 IC D-IC1~D-IC4 响应于不同的 SOE 延迟时间而在不同的输出定时输出数据。同样，第二数据驱动器 34 的数据 IC D-IC5~D-IC8 响应于不同的 SOE 延迟时间而在不同的输出定时输出数据。结果，在第一数据驱动器 32 和第二数据驱动器 34 中分散了数据输出定时，从而也分散并降低了输出电流的峰值，由此降低了 EMI 噪音和功耗并防止液晶面板的误操作。

如上所述，根据本发明的液晶显示器的数据驱动设备和方法具有如下优点。

根据本发明的液晶显示器的数据驱动设备和方法通过利用串联或并联的延迟电路使 SOE 信号延迟，从而分散数据信号的输出定时，由此分散数据驱动器的峰值电流。因此，可以降低 EMI 噪音和功耗并防止液晶面板的误操作。

显然，对于本领域技术人员而言，可以在不脱离本发明的精神或范围的情况下对本发明作出各种修改和变动。因而，本发明旨在覆盖落在附加权利要求及其等同物范围内的对本发明的修改和变型。

本申请要求于 2007 年 8 月 29 日提交的韩国专利申请 2007-86988 的优先权，从而通过引用将其结合于此如同完全在这里提出的一样。

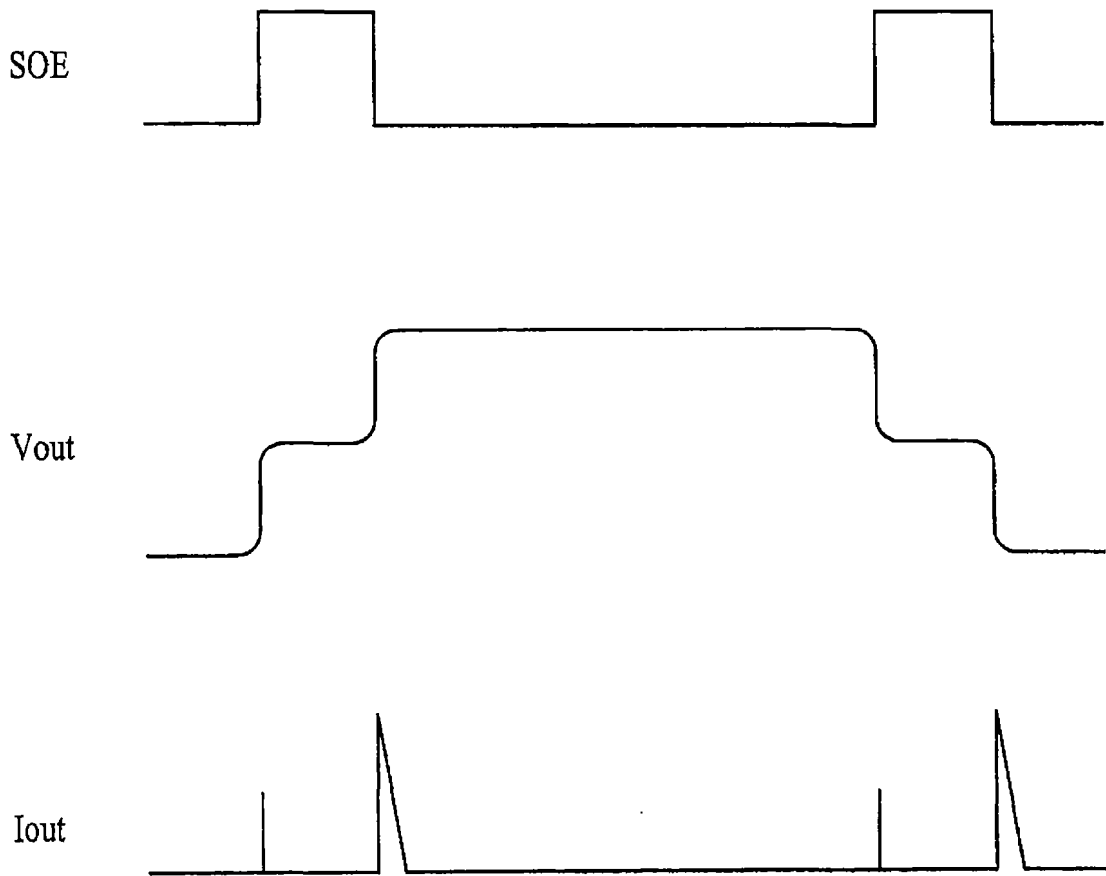


图 1  
现有技术

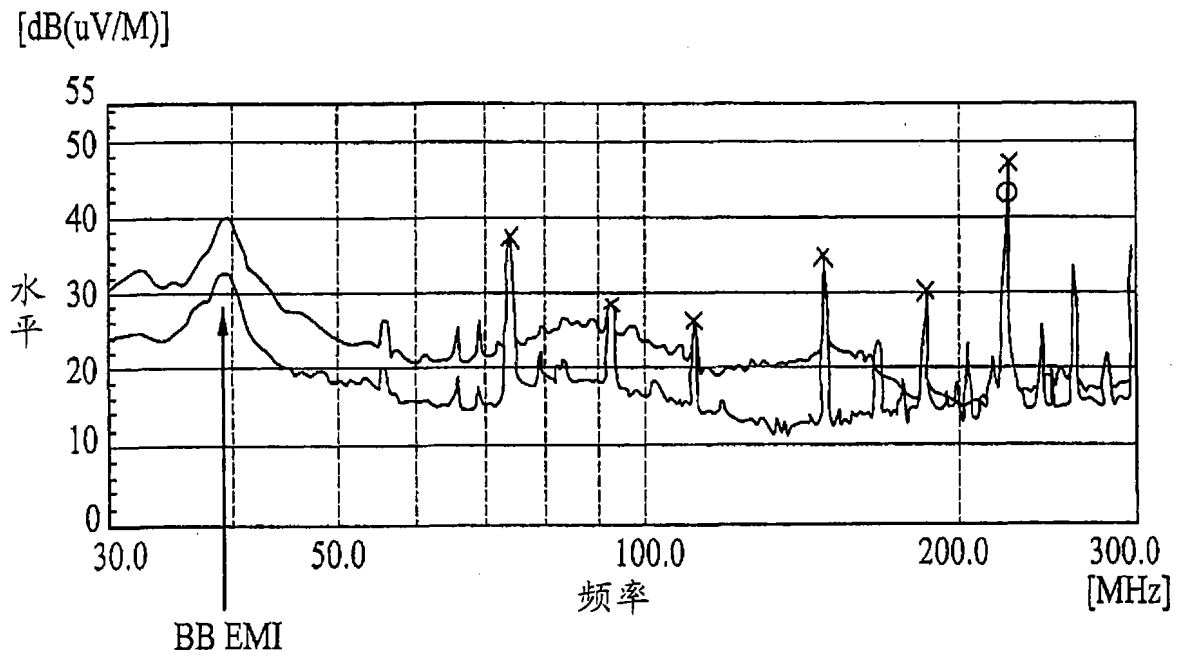


图 2  
现有技术

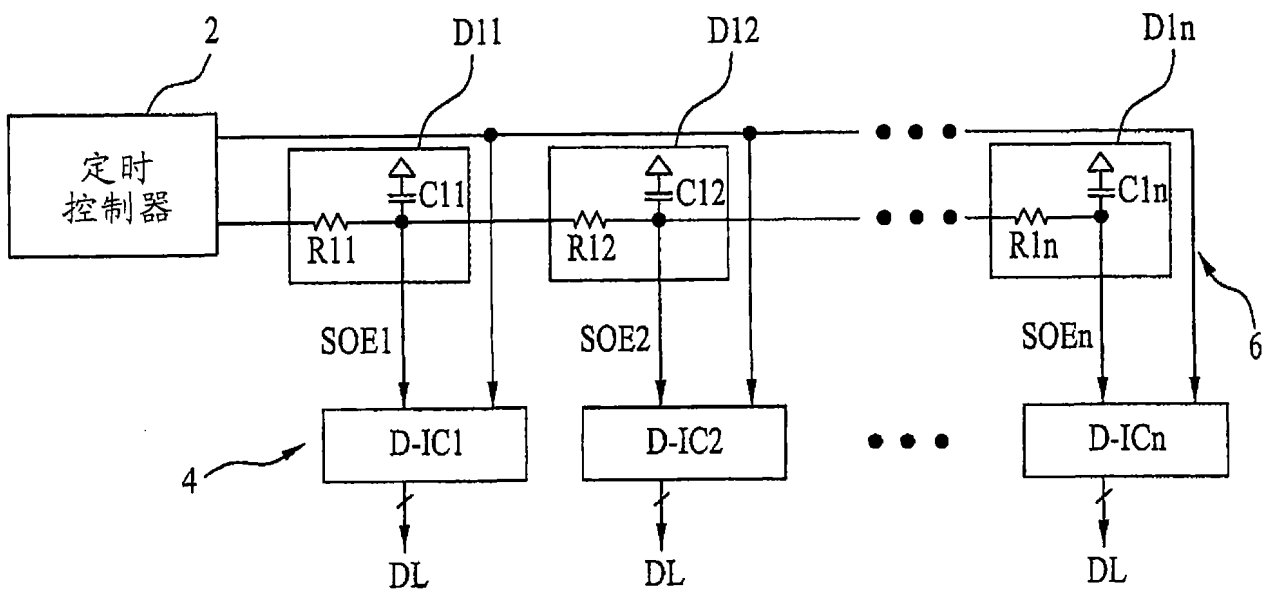


图 3

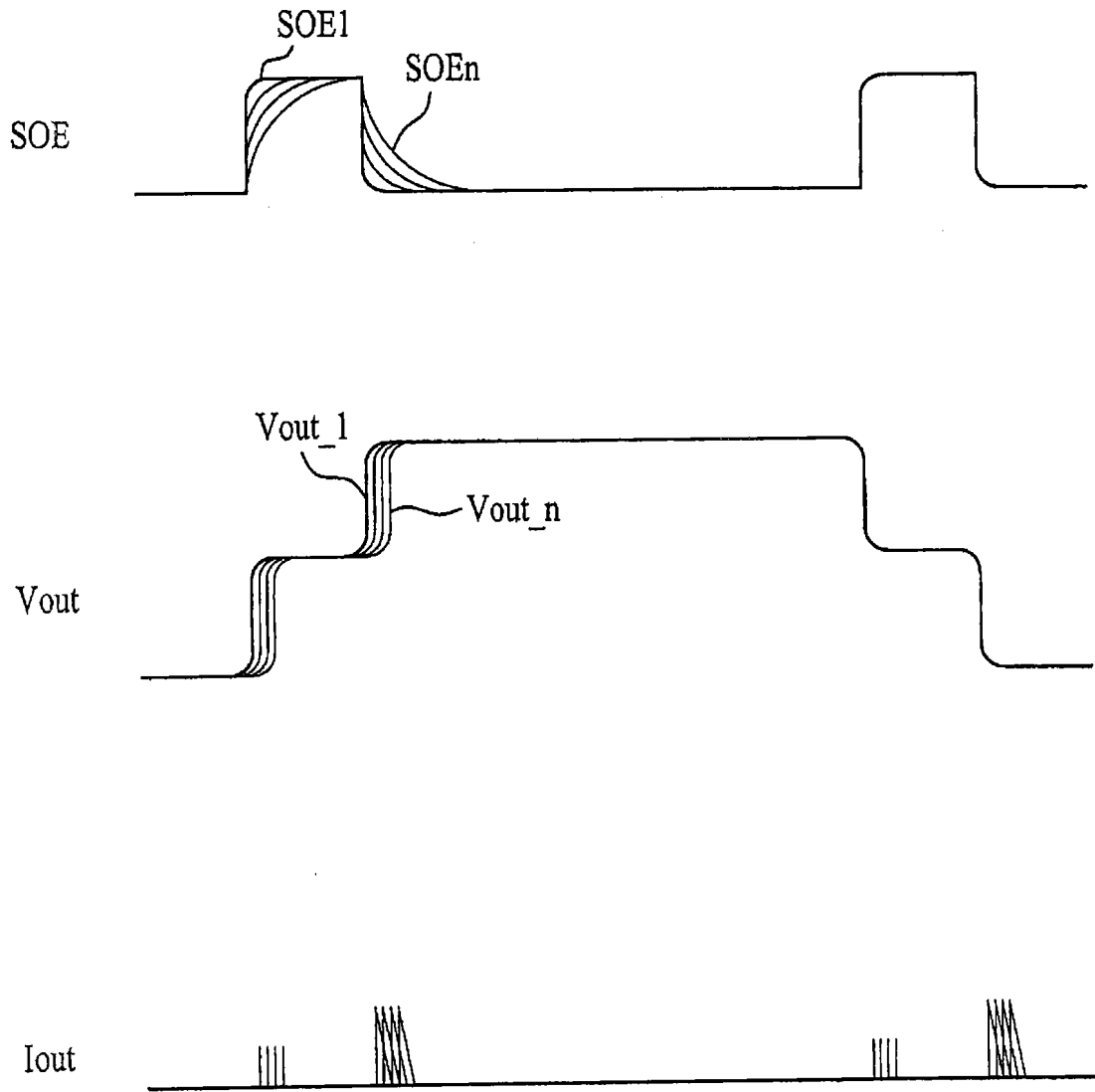


图 4

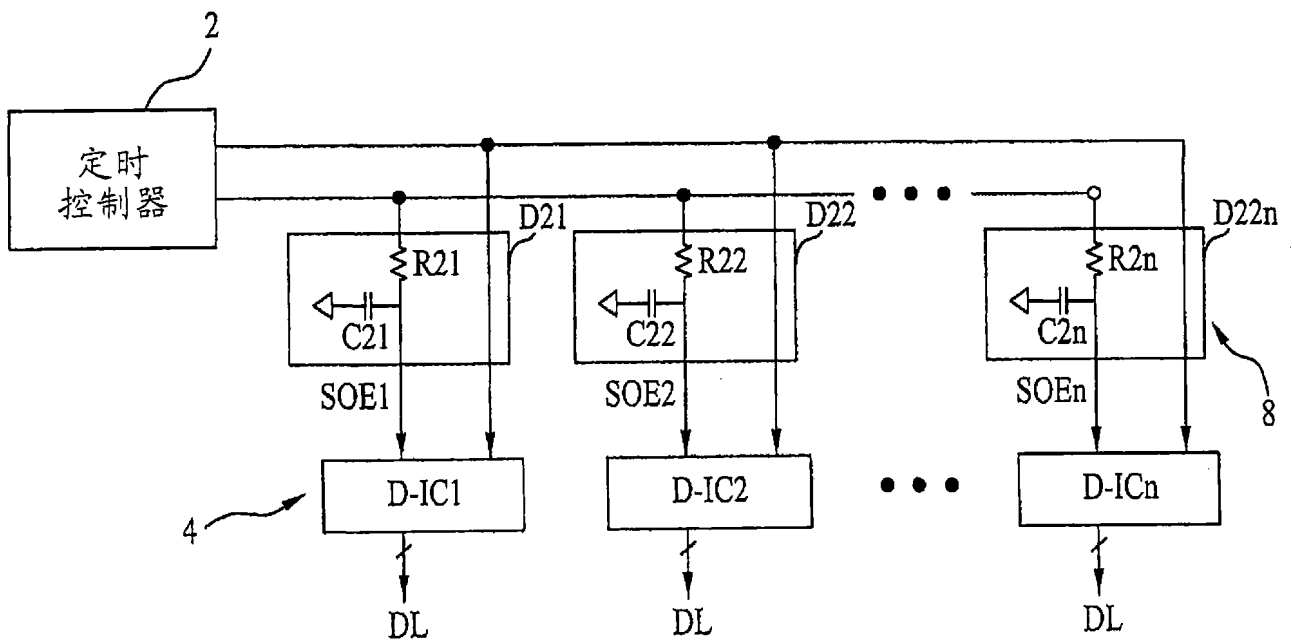


图 5

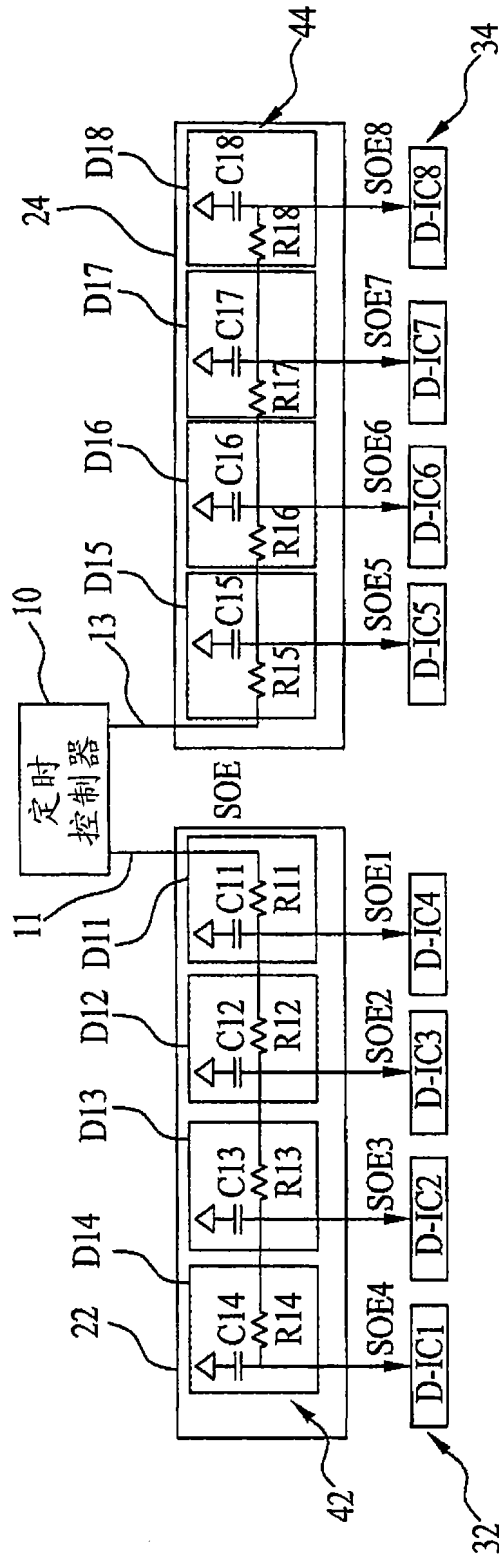


图 6

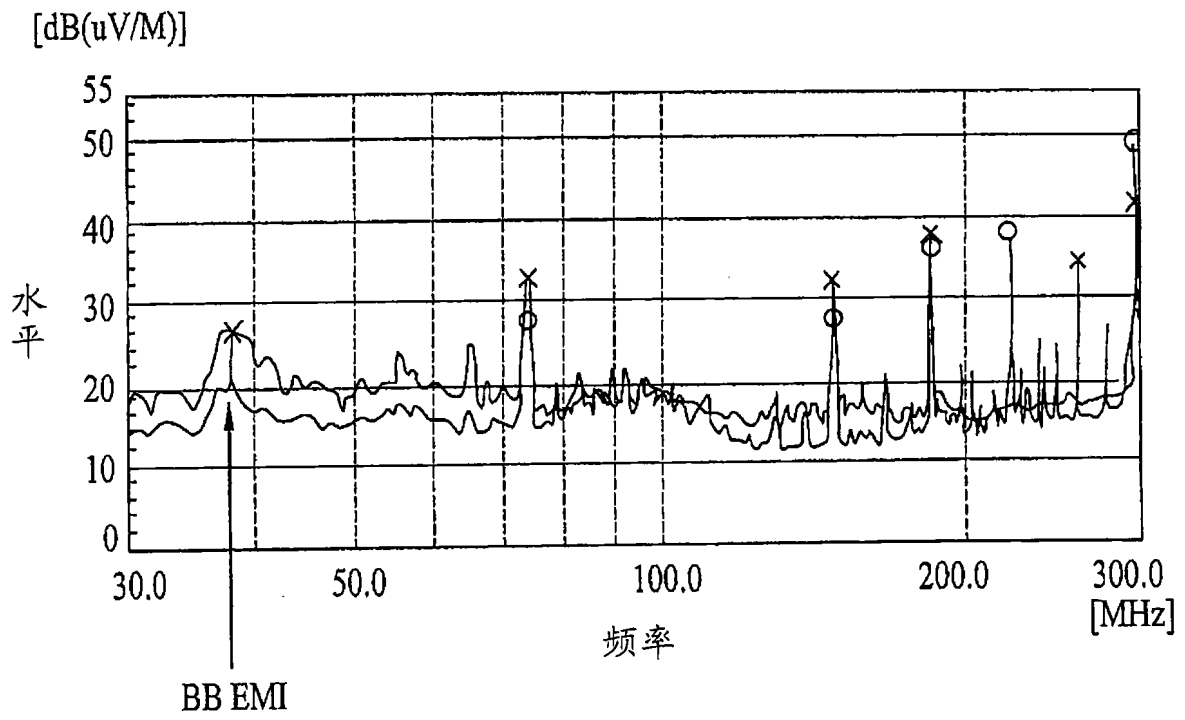


图 7

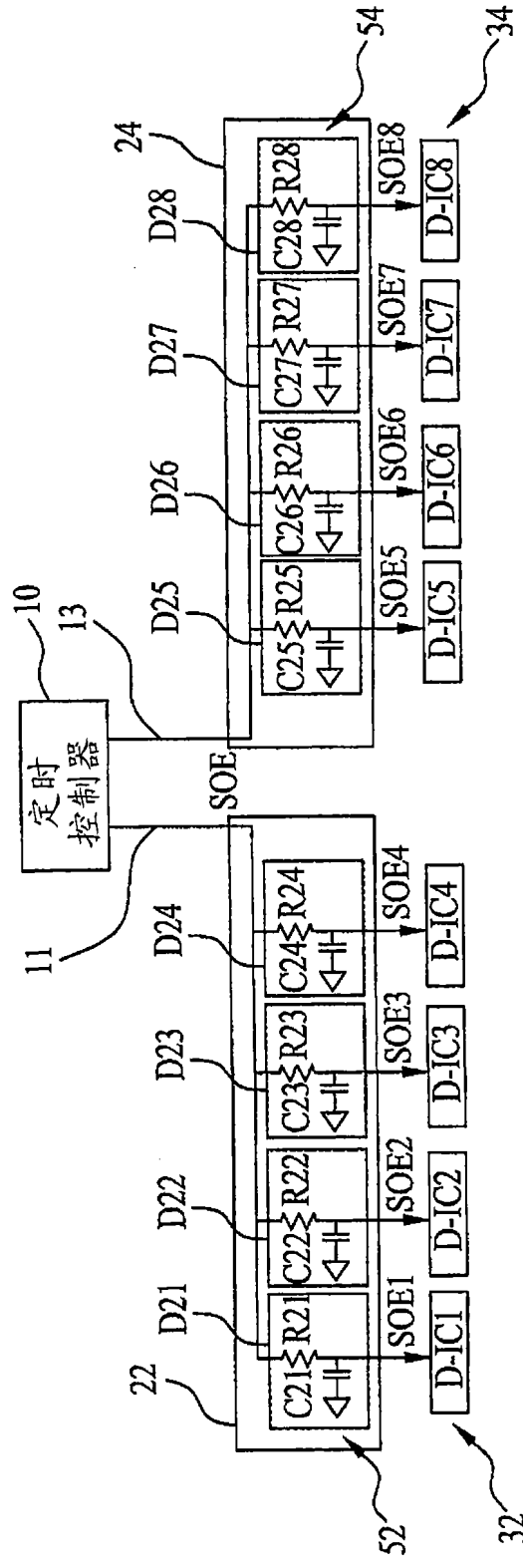


图 8

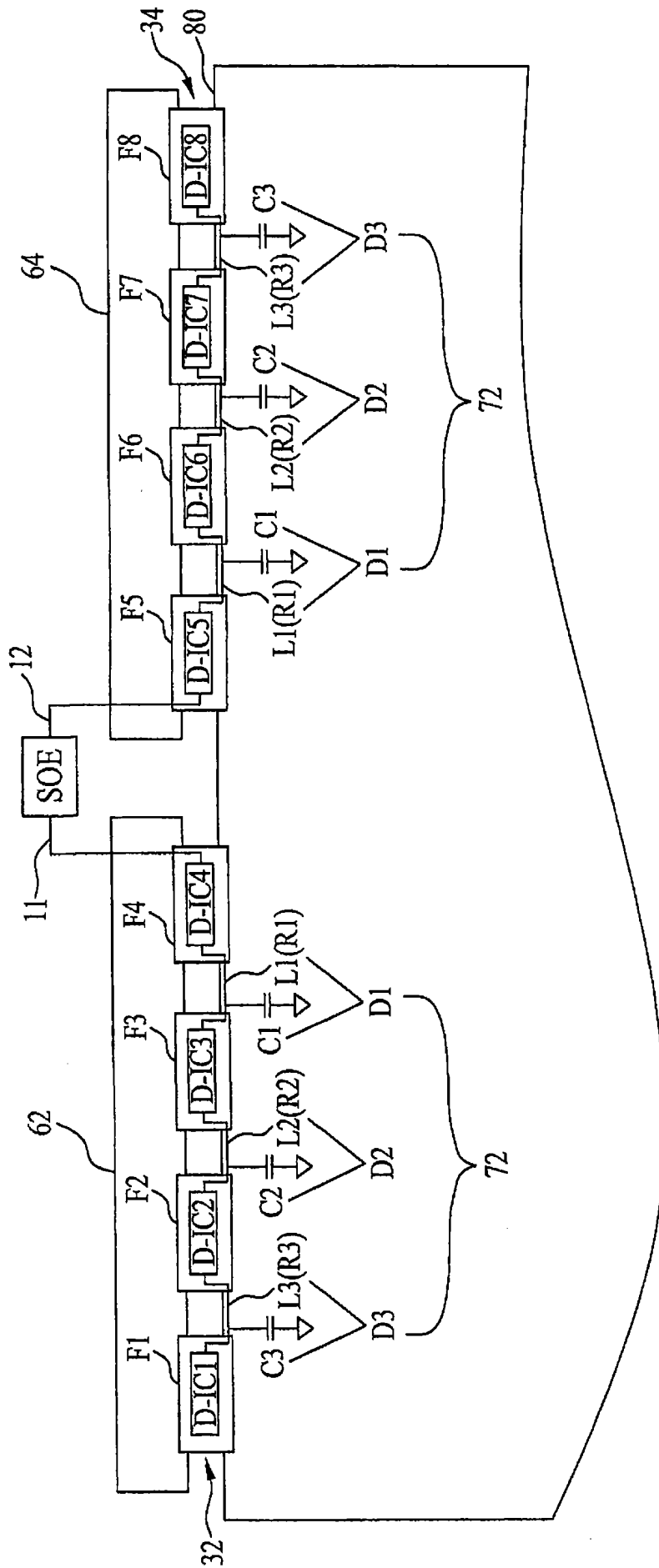


图 9

专利名称(译)	液晶显示器的数据驱动设备和方法		
公开(公告)号	<a href="#">CN101377908A</a>	公开(公告)日	2009-03-04
申请号	CN200710160013.5	申请日	2007-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	河成喆 曹畅训 洪镇铁		
发明人	河成喆 曹畅训 洪镇铁		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03K5/145		
CPC分类号	G09G2330/06 G09G3/3611 G09G2370/08 G09G2300/0426		
优先权	1020070086988 2007-08-29 KR		
其他公开文献	CN101377908B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明涉及一种液晶显示器的数据驱动设备和方法，该设备和方法通过降低数据驱动器的输出峰值电流，可使电磁干扰EMI噪音最小化，该设备包括：定时控制器，该定时控制器用于供应基准源输出使能信号；延迟电路，该延迟电路用于延迟所述基准源输出使能信号，并供应具有不同延迟时间的多个源输出使能信号；以及数据驱动器，该数据驱动器包括多个数据集成电路以将液晶面板的数据线划分成多个数据块进行驱动，该数据驱动器响应于所述多个源输出使能信号而分散所述多个数据集成电路的数据输出定时。

