



(12) 发明专利

(10) 授权公告号 CN 1991454 B

(45) 授权公告日 2012. 09. 26

(21) 申请号 200610108949. 9

(22) 申请日 2006. 07. 28

(30) 优先权数据

10-2005-0131214 2005. 12. 28 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 张喆相 崔晋喆

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G02F 1/133(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 1637795 A, 2005. 07. 13, 参见说明书第 2 页第 3 段, 第 5 页倒数第 10 行至第 7 页第 11 行、

图 3.

US 2003/0173904 A1, 2003. 09. 18, 说明书 0044 段至 0046 段、图 2.

CN 1637795 A, 2005. 07. 13, 参见说明书第 2 页第 3 段, 第 5 页倒数第 10 行至第 7 页第 11 行、图 3.

CN 1467699 A, 2004. 01. 14, 摘要、说明书第 8 页第 2 段、图 3.

审查员 达文欣

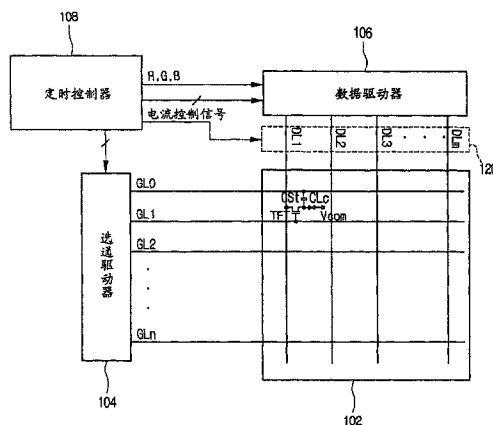
权利要求书 2 页 说明书 9 页 附图 13 页

(54) 发明名称

液晶显示器件

(57) 摘要

液晶显示器件。描述了一种具有降低的功耗的 LCD。该 LCD 包括：液晶板，具有多条选通线和数据线；数据驱动器，用于向所述多条数据线提供数据电压，数据驱动器的输出端子包括：分别与多条数据线相对应的多个输出缓冲器；控制器，用于生成电流控制信号，以控制所述数据驱动器的输出端子，以使得该输出端子在其中从所述数据驱动器输出数据的第一时间段期间进行操作，并且使得该输出端子在其中不从所述数据驱动器输出数据的第二时间段期间不进行操作；选通驱动器，用于向所述多条选通线提供扫描信号；分别在输出缓冲器与多条数据线之间、响应于输出使能信号而开关的多个第一开关；以及分别在多条数据线之间、响应于电荷共享信号而开关的多个第二开关。



1. 一种液晶显示器件,其包括:
液晶板,具有多条选通线和数据线;
数据驱动器,用于向所述多条数据线提供数据电压,所述数据驱动器的输出端子包括:
分别与所述多条数据线相对应的多个输出缓冲器;
控制器,用于生成电流控制信号,以控制所述数据驱动器的所述输出端子,以使得该输出端子在其中从所述数据驱动器输出数据的第一时间段期间处于打开状态,并且使得该输出端子在其中不从所述数据驱动器输出数据的第二时间段期间处于关闭状态;
选通驱动器,用于向所述多条选通线提供扫描信号,
分别在所述输出缓冲器与所述多条数据线之间的多个第一开关,所述第一开关响应于输出使能信号而开关;以及
分别在所述多条数据线之间的多个第二开关,所述第二开关响应于电荷共享信号而开关。
2. 根据权利要求1所述的液晶显示器件,其中,还包括:耦接到所述多条数据线中一条数据线的第三开关。
3. 根据权利要求1所述的液晶显示器件,还包括用于生成驱动电流以驱动所述多个输出缓冲器的电流源。
4. 根据权利要求3所述的液晶显示器件,其中,所述电流源响应于所述电流控制信号而生成所述驱动电流。
5. 根据权利要求1所述的液晶显示器件,其中,所述输出缓冲器在所述第一时间段期间打开,而所述输出缓冲器在所述第二时间段期间关闭。
6. 根据权利要求5所述的液晶显示器件,其中,所述第二时间段包括用于向所述数据线提供与公共电压相对应的电压的电荷共享时间段和用于向所述数据线提供比所述公共电压高的电压的预充电时间段中的至少一个。
7. 根据权利要求3所述的液晶显示器件,其中,所述电流源和所述输出缓冲器之间设置有第四开关。
8. 根据权利要求3所述的液晶显示器件,其中,所述电流源和所述控制器之间设置有第五开关。
9. 根据权利要求3所述的液晶显示器件,其中,所述电流源包括第六开关。
10. 根据权利要求7所述的液晶显示器件,其中,所述第四开关对所述输出缓冲器的操作进行控制。
11. 根据权利要求7所述的液晶显示器件,其中,所述第四开关包括 NMOS 晶体管、PMOS 晶体管、CMOS 晶体管、二极管或双极晶体管中的至少一种。
12. 根据权利要求7所述的液晶显示器件,其中,所述第四开关在所述第一时间段期间接通,而所述第四开关在所述第二时间段期间断开。
13. 根据权利要求8所述的液晶显示器件,其中,所述第五开关对所述输出缓冲器的操作进行控制。
14. 根据权利要求8所述的液晶显示器件,其中,所述第五开关包括 NMOS 晶体管、PMOS 晶体管、CMOS 晶体管、二极管或双极晶体管中的至少一种。
15. 根据权利要求8所述的液晶显示器件,其中,所述第五开关在所述第一时间段期间

接通,而所述第五开关在所述第二时间段期间断开。

16. 根据权利要求 9 所述的液晶显示器件,其中,所述第六开关对所述输出缓冲器的操作进行控制。

17. 根据权利要求 9 所述的液晶显示器件,其中,所述第六开关包括 NMOS 晶体管、PMOS 晶体管、CMOS 晶体管、二极管或双极晶体管中的至少一种。

18. 根据权利要求 9 所述的液晶显示器件,其中,所述第六开关在所述第一时间段期间接通,而所述第六开关在所述第二时间段期间断开。

19. 根据权利要求 12、15、18 中任意一项所述的液晶显示器件,其中,所述第二时间段包括用于向所述数据线提供与公共电压相对应的电压的电荷共享时间段和用于向所述数据线提供比所述公共电压高的电压的预充电时间段中的至少一个。

液晶显示器件

技术领域

[0001] 本发明涉及液晶显示器件 (LCD), 更具体地, 涉及一种能够降低功耗的 LCD。

背景技术

[0002] 使用有源矩阵驱动方法的液晶显示器 (LCD) 可以利用充当开关元件的薄膜晶体管 (TFT) 来显示运动图像。LCD 因为其薄且轻而广泛用于计算机 (例如, 个人计算机和笔记本电脑等)、办公自动化设备 (复印机等)、以及便携式设备 (例如, 移动电话、寻呼机等)。

[0003] 液晶板包括以矩阵形式设置的多个像素, 以及用于对要施加给各个像素的数据信号进行切换的多个 TFT。当液晶板控制从背光提供的透射光的量时, 在屏幕上显示图像。

[0004] LCD 包括用于显示图像的液晶板和用于驱动该液晶板的驱动单元。

[0005] 图 1 所示的现有技术的 LCD 包括: 液晶板 2, 其具有被设置用来显示预定图像的多条选通线 GL_0 至 GL_n 和数据线 DL_1 至 DL_m ; 用于驱动选通线 GL_0 至 GL_n 的选通驱动器 4; 用于驱动数据线 DL_1 至 DL_m 的数据驱动器 6; 以及用于控制选通驱动器 4 和数据驱动器 6 的定时控制器 8。

[0006] 在设置在液晶板 2 上的选通线 GL_0 至 GL_n 和数据线 DL_1 至 DL_m 的交叉点处形成有多个 TFT 开关器件。该 TFT 与像素电极 (未示出) 连接, 该像素电极与选通线 GL_0 至 GL_n 交叠以形成存储电容器 C_{st} 。

[0007] 选通驱动器 4 根据由定时控制器 8 产生的控制信号, 依次向选通线 GL_0 至 GL_n 施加扫描信号 (即, 选通高压 V_{GH})。

[0008] 数据驱动器 6 根据由定时控制器 8 产生的控制信号, 向数据线 DL_1 至 DL_m 提供数据电压。数据驱动器 6 包括与液晶板 2 中的数据线 DL_1 至 DL_m 相对应的输出缓冲器 (未示出)。

[0009] 由于输出缓冲器在其中没有向液晶板 2 施加数据的非操作时间段期间进行操作, 所以因为在非工作时间段期间对输出缓冲器进行驱动而消耗了电流。因此, 增大了功耗。使得由数据驱动器 6 产生的热量最大化。因此, 可能会由于发热效应而出现液晶板 2 的故障。

发明内容

[0010] 一种液晶显示器 (LCD), 包括: 液晶板, 具有多条选通线和数据线; 数据驱动器, 用于向所述多条数据线提供数据电压, 所述数据驱动器的输出端子包括: 分别与所述多条数据线相对应的多个输出缓冲器; 控制器, 用于生成电流控制信号以控制所述数据驱动器的输出端子, 使得该输出端子在其中从所述数据驱动器输出数据的第一时间段期间进行操作, 并且使得该输出端子在其中不从所述数据驱动器输出数据的第二时间段期间不进行操作; 选通驱动器, 用于向所述多条选通线提供扫描信号; 分别在所述输出缓冲器与所述数据线之间的多个第一开关, 所述第一开关响应于输出使能信号而开关; 以及分别在所述多条数据线之间的多个第二开关, 所述第二开关响应于电荷共享信号而开关。因此, 使电流消

耗最小化并因此降低了功耗。另外,可以使由这些元件产生的热量最小化。

附图说明

- [0011] 图 1 是现有技术的 LCD 的视图;
- [0012] 图 2 是一实施例的 LCD 的视图;
- [0013] 图 3A 是一实施例的数据驱动器中的输出端子的视图;
- [0014] 图 3B 是一实施例的数据驱动器中的输出电压的视图;
- [0015] 图 4A 是一实施例的数据驱动器中的另一输出端子的视图;
- [0016] 图 4B 是一实施例的数据驱动器中的另一输出电压的视图;
- [0017] 图 5A 是一实施例的数据驱动器中的另一输出端子的视图;
- [0018] 图 5B 是一实施例的数据驱动器中的另一输出电压的视图;
- [0019] 图 6 是根据第一示例的数据驱动器中的输出端子的视图;
- [0020] 图 7 是根据第二示例的数据驱动器中的输出端子的视图;
- [0021] 图 8 是根据第三示例的数据驱动器中的输出端子的视图;
- [0022] 图 9 是根据第四示例的数据驱动器中的输出端子的视图;
- [0023] 图 10 是根据第五示例的数据驱动器中的输出端子的视图;
- [0024] 图 11 是根据第六示例的数据驱动器中的输出端子的视图;
- [0025] 图 12A 是图 11 的数据驱动器中的输出缓冲器的视图;以及
- [0026] 图 12B 是图 11 的数据驱动器中的另一输出缓冲器的视图。

具体实施方式

[0027] 参照附图可以更好地理解示例性实施例,但是这些示例并不具有限定性。只要可能,在所有附图中使用相同的标号来指代相同或类似的部分。

[0028] 图 2 示出了一实施例,其中该 LCD 包括:用于显示图像的液晶板 102,其包括多条选通线 GL0 至 GLn 和数据线 DL1 至 DLm;用于驱动所述多条选通线 GL0 至 GLn 的选通驱动器 104;用于驱动所述多条数据线 DL1 至 DLm 的数据驱动器 106;以及用于控制所述选通驱动器 104 和所述数据驱动器 106 的定时控制器 108。

[0029] 在液晶板 102 上的选通线 GL0 至 GLn 和数据线 DL1 至 DLm 的交叉点处形成有多个薄膜晶体管 (TFT)。这些 TFT 与像素电极 (未示出) 连接,这些像素电极与选通线 GL0 至 GLn 交叠以形成电容器 Cst。

[0030] 选通驱动器 104 根据从定时控制器 108 提供的选通控制信号,向选通线 GL0 至 GLn 提供扫描信号 (即,选通高压 VGH 和选通低压 VGL)。

[0031] 数据驱动器 106 根据从定时控制器 108 提供的控制信号,向数据线 DL1 至 DLm 提供数据电压 (模拟电压)。数据驱动器 106 的输出端子 120 (以下称为输出端子) 包括与数据线 DL1 至 DLm 相对应的多个输出缓冲器 (未示出)。

[0032] 通过从定时控制器 108 提供的电流控制信号来控制输出端子 120。例如,当电流控制信号为高电平状态时,输出端子 120 不进行操作,而当电流控制信号为低电平状态时,输出端子 120 进行操作。

[0033] 定时控制器 108 使用 Vsync/Hsync 信号、数据使能 (DE) 信号和时钟信号来生成选

通控制信号、数据控制信号和电流控制信号。

[0034] 在其中不从数据驱动器 106 输出数据的时间段期间, 定时控制器 108 产生低电平状态的电流控制信号并将其提供给输出端子 120。用于驱动输出端子 120 的电流源因此而接通, 并向输出缓冲器 112-1 至 112-m 提供驱动电流。因此, 输出缓冲器 112-1 至 112-m 在其中不从数据驱动器 106 输出数据的时间段期间进行操作。

[0035] 如图 3 至 5 所示, 数据驱动器 106 包括数模转换器 (DAC) 100, 用于将从定时控制器 108 提供的数字数据信号转换为模拟数据电压。DAC100 与分别对应于数据线 DL1 至 DLm 的输出缓冲器 112-1 至 112-m 相连接。

[0036] 可以分别在电荷共享时间段或预充电时间段期间, 向数据线 DL1 至 DLm 提供电荷共享电压或预充电电压。另外, 可以在电荷共享时间段和预充电时间段期间, 向数据线 DL1 至 DLm 提供电荷共享电压和预充电电压两者。

[0037] 输出缓冲器 112-1 至 112-m 根据来自电流源 (未示出) 的电流而打开 / 关闭, 该电流源由从定时控制器 108 提供的电流控制信号控制。

[0038] 输出缓冲器 112-1 至 112-m 使用从电流源提供的电流来进行操作。

[0039] 将从定时控制器 108 产生的电流控制信号提供给所述电流源。

[0040] 在其中不从数据驱动器 106 输出数据的电荷共享时间段和预充电时间段期间, 输出缓冲器 112-1 至 112-m 不进行操作, 因为电流源并未提供驱动电流。由于输出缓冲器 112-1 至 112-m 在电荷共享时间段和预充电时间段期间不进行操作, 所以可以降低功耗。另外, 由于输出缓冲器 112-1 至 112-m 在电荷共享时间段和预充电时间段期间不进行操作, 所以可以减少从位于输出缓冲器 112-1 至 112-m 内部的元件产生的热量。

[0041] 在其中从数据驱动器 106 输出数据的数据输出时间段期间, 输出缓冲器 112-1 至 112-m 从 DAC 100 接收数据电压, 并将该数据电压提供给对应的数据线 DL1 至 DLm。在数据输出时间段期间, 输出缓冲器 112-1 至 112-m 通过第三开关 SW3 与数据线 DL1 至 DLm 电连接。

[0042] 当在数据输出时间段期间提供了高电平输出使能 (OE) 信号时, 第三开关 SW3 接通。在数据输出时间段期间, 输出缓冲器 112-1 至 112-m 因此连接至数据线 DL1 至 DLm, 数据电压被提供给对应的数据线 DL1 至 DLm, 从而在液晶板 102 上显示了与数据电压相对应的图像。

[0043] 在电荷共享和预充电时间段期间, 电流源关闭, 从而当向电流源提供来自定时控制器 108 的高电平状态的电流控制信号时, 驱动电流并未提供给输出缓冲器 112-1 至 112-m。

[0044] 在数据输出时间段期间, 电流源打开, 从而当向电流源提供来自定时控制器 108 的低电平状态的电流控制信号时, 驱动电流被供给输出缓冲器 112-1 至 112-m。因此, 输出缓冲器 112-1 至 112-m 与数据线 DL1 至 DLm 相连接, 并在第三操作时间段期间进行操作。

[0045] 输出缓冲器 112-1 至 112-m 是否进行操作由电流控制信号的状态来确定。

[0046] 例如, 当向输出缓冲器 112-1 至 112-m 提供低电平状态的电流控制信号时, 输出缓冲器 112-1 至 112-m 不进行操作。当向输出缓冲器 112-1 至 112-m 提供高电平状态的电流控制信号时, 输出缓冲器 112-1 至 112-m 进行操作, 输出缓冲器 112-1 至 112-m 从电流源接收驱动电流。

[0047] 如图 3A 和 3B 所示,数据驱动器 106 在两个操作时间段期间进行操作。第一操作时间段是电荷共享时间段 A。第二操作时间段是数据输出时间段 C。

[0048] 在电荷共享时间段 A 内,向第一开关 SW1 施加电荷共享控制信号,并且当第一开关 SW1 被施加高电平状态的电荷共享控制信号时,第一开关 SW1 接通。第一开关 SW1 设置在与数据线 DL1 至 DLm 相交叉的方向上,以通过第一开关将数据线 DL1 至 DLm 彼此连接。将对应于公共电压 V_{com} 的电压提供给数据线 DL1 至 DLm。

[0049] 在数据输出时间段 C 期间,当向数据线 DL1 至 DLm 提供所需的数据电压时,在图 2 的液晶板 102 上显示了与数据电压相对应的图像。

[0050] 在第一时间段期间,输出缓冲器 112-1 至 112-m 不进行的操作(关闭状态);在第二时间段期间,输出缓冲器 112-1 至 112-m 进行操作(打开状态)。

[0051] 如图 4A 和 4B 所示,数据驱动器 106 在两个操作时间段期间进行操作。第一操作时间段是预充电时间段 B。第二操作时间段是数据输出时间段 C。

[0052] 在预充电时间段中,在将所需数据电压提供给数据线 DL1 至 DLm 之前,充入低于所需数据电压的电压。因此,可以降低与充入所需数据电压相关的功耗。

[0053] 将预充电电压提供给数据线 DL1 至 DLm。在预充电时间段 B 期间,向数据线 DL1 至 DLm 提供高于公共电压 V_{com} 的电压。

[0054] 输出缓冲器 112-1 至 112-m 在预充电时间段 B 期间不进行的操作;输出缓冲器 112-1 至 112-m 在数据输出时间段 C 期间进行操作。

[0055] 如图 5A 和 5B 所示,数据驱动器 106 可以在三个操作时间段期间进行操作。第一操作时间段是电荷共享时间段 A。第二操作时间段是预充电时间段 B。第三操作时间段是数据输出时间段 C。

[0056] 数据驱动器 106 包括数模转换器(DAC)100。DAC 100 的输出端子 120 包括与设置在液晶板 102 上的数据线 DL1 至 DLm 相对应的多个输出缓冲器 112-1 至 112-m。具有数据驱动器 106 的 LCD 通过电荷共享来进行预充电。输出缓冲器 112-1 至 112-m 通过数据线 DL1 至 DLm 以及开关 SW1 和 SW2 进行连接。

[0057] 第三时间段是数据输出时间段,当向数据线 DL1 至 DLm 提供所需数据电压时,在图 2 的液晶板 102 上显示与数据电压相对应的图像。

[0058] 在第一操作时间段期间,向第一开关 SW1 施加电荷共享控制信号,并且当第一开关 SW1 被施加高电平状态的电荷共享控制信号时,第一开关 SW1 接通。第一开关 SW1 设置在与数据线 DL1 至 DLm 相交叉的方向上,以通过第一开关将数据线 DL1 至 DLm 彼此连接。将对应于公共电压 V_{com} 的电压提供给数据线 DL1 至 DLm。

[0059] 第二开关 SW2 在第二操作时间段内接通,将预充电电压提供给数据线 DL1 至 DLm。因此,向数据线 DL1 至 DLm 提供了高于公共电压 V_{com} 的电压。输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不与数据线 DL1 至 DLm 相连;输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行的操作。

[0060] 在第三操作时间段期间,设置在输出缓冲器 112-1 至 112-m 与数据线 DL1 至 DLm 之间的第三开关 SW3 闭合。第三开关 SW3 由输出使能(OE)信号控制。在第三操作时间段期间,向第三开关 SW3 施加 OE 高电平信号,以使输出缓冲器 112-1 至 112-m 与数据线 DL1 至 DLm 电连接。

[0061] 输出缓冲器 112-1 至 112-m 由此通过第三开关 SW3 将来自 DAC 100 的数据电压提供给数据线 DL1 至 DLm;输出缓冲器 112-1 至 112-m 在第三操作时间段期间不进行操作。

[0062] 即,输出缓冲器 112-1 至 112-m 通过经由非反相输入端子从 DAC 100 接收经转换的数据电压来进行操作。输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间进行操作。在第三操作时间段期间,输出缓冲器 112-1 至 112-m 连接至数据线 DL1 至 DLm,并将来自 DAC 100 的数据电压提供给数据线 DL1 至 DLm。

[0063] 在第一和第二操作时间段期间,输出缓冲器 112-1 至 112-m 不进行操作(关闭状态);而在第三操作时间段期间,输出缓冲器 112-1 至 112-m 进行操作(打开状态)。输出缓冲器 112-1 至 112-m 由来自定时控制器的电流控制信号控制。

[0064] 定时控制器产生电流控制信号来控制数据驱动器 106 的输出缓冲器 112-1 至 112-m,以使得输出端子 120 在其中从数据驱动器输出数据的第三操作时间段期间进行操作,而输出端子 120 在其中不从数据驱动器输出数据的电荷共享时间段和预充电时间段中的至少一个期间不进行操作。

[0065] 图 6 是根据第一示例的数据驱动器中的输出端子的视图。在第一和第二操作时间段期间,定时控制器 108 产生高电平状态的电流控制信号,并将其提供给电流源 114,从而电流源 114 关闭,并且不向输出缓冲器 112-1 至 112-m 提供驱动电流。因此,输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,并且输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不与数据线 DL1 至 DLm 相连。

[0066] 在第一和第二操作时间段期间,第一开关 SW1 和第二开关 SW2 接通,并将电压提供给数据线 DL1 至 DLm。当在第一和第二操作时间段期间被提供了“接通”状态的电荷共享控制信号和预充电电压时,第一开关 SW1 和第二开关 SW2 接通。

[0067] 在第三操作时间段期间,定时控制器 108 产生低电平状态的电流控制信号,并将其提供给电流源 114。电流源 114 由此打开,并向输出缓冲器 112-1 至 112-m 提供驱动电流。因此,输出缓冲器 112-1 至 112-m 在第三操作时间段期间进行操作。

[0068] 在第三操作时间段期间,输出缓冲器 112-1 至 112-m 从 DAC 110 接收数据电压,并将该数据电压提供给对应的数据线 DL1 至 DLm;输出缓冲器 112-1 至 112-m 通过第三开关 SW3 与数据线 DL1 至 DLm 电连接。

[0069] 当在第三操作时间段期间被提供了高电平状态的输出使能(OE)信号时,第三开关 SW3 接通。输出缓冲器 112-1 至 112-m 由此连接至数据线 DL1 至 DLm,并且将数据电压提供给对应的数据线 DL1 至 DLm,从而在液晶板 102 上显示了与该数据电压相对应的图像。

[0070] 在其中不从数据驱动器输出数据的第一和第二操作时间段期间,输出缓冲器 112-1 至 112-m 不进行操作,因为电流源 114 没有提供驱动电流。因为输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以降低功耗。另外,由于输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以减少位于输出缓冲器 112-1 至 112-m 内部的元件产生的热量。

[0071] 图 7 是根据第二示例的数据驱动器中的输出端子的视图。电流源通过第四开关 SW4 连接至输出缓冲器 112-1 至 112-m。当在第三操作时间段期间被提供了高电平输出使能(OE)信号时,第三开关 SW3 和第四开关 SW4 接通。

[0072] 输出缓冲器 112-1 至 112-m 通过第三开关 SW3 电连接至数据线 DL1 至 DLm,并且电

流源 114 通过第四开关 SW4 电连接至输出缓冲器 112-1 至 112-m。

[0073] 因此,输出缓冲器 112-1 至 112-m 在第三操作时间段期间进行操作,而输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作。

[0074] 在第一和第二操作时间段期间,输出缓冲器 112-1 至 112-m 不进行操作,因为电流源 114 没有提供驱动电流。因为输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以降低功耗。另外,由于输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以减少位于输出缓冲器 112-1 至 112-m 内部的元件产生的热量。

[0075] 图 8 是根据第三示例的数据驱动器中的输出端子的视图。

[0076] 电流源 114 包括第五开关 SW5。第五开关 SW5 对电流源 114 的操作进行控制。定时控制器 108 产生电流控制信号并将其提供给电流源 114,从而电流源 114 打开/关闭。

[0077] 在第一和第二操作时间段期间,第一开关 SW1 和第二开关 SW2 接通,并且将电压提供给数据线 DL1 至 DLm。当在第一和第二操作时间段期间被提供了“接通”状态的电荷共享控制信号和预充电电压时,第一开关 SW1 和第二开关 SW2 接通。同时,第三开关 SW3 和第五开关 SW5 断开,从而输出缓冲器 112-1 至 112-m 不进行操作,因为输出缓冲器 112-1 至 112-m 没有从电流源 114 接收到驱动电流。

[0078] 在第三操作时间段期间,输出缓冲器 112-1 至 112-m 通过第三开关 SW3 电连接至数据线 DL1 至 DLm,电流源 114 进行操作并通过第五开关 SW5 向输出缓冲器 112-1 至 112-m 提供驱动电流。同时,第一开关 SW1 和第二开关 SW2 断开。

[0079] 因此,输出缓冲器 112-1 至 112-m 在第三操作时间段期间进行操作,因为输出缓冲器 112-1 至 112-m 从电流源 114 接收到了驱动电流。

[0080] 在第一和第二操作时间段期间,输出缓冲器 112-1 至 112-m 不进行操作,因为电流源 114 没有提供驱动电流。因为输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以降低功耗。另外,由于输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以减少位于输出缓冲器 112-1 至 112-m 内部的元件产生的热量。

[0081] 图 9 是根据第四示例的数据驱动器中的输出端子的视图。

[0082] 电流源连接至输出缓冲器 112-1 至 112-m。电流源 114 通过第六开关 SW6 从定时控制器(未示出)接收电流控制信号。当在第三操作时间段期间被提供了高电平状态的输出使能(OE)信号时,第三开关 SW3 和第六开关 SW6 接通。

[0083] 在第三操作时间段期间,输出缓冲器 112-1 至 112-m 通过第三开关 SW3 电连接至数据线 DL1 至 DLm,并且电流源 114 通过第六开关 SW6 从定时控制器接收电流控制信号。该电流源通过该电流控制信号与输出缓冲器 112-1 至 112-m 电连接。

[0084] 因此,输出缓冲器 112-1 至 112-m 在第三操作时间段期间进行操作,而输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作。

[0085] 在第一和第二操作时间段期间,输出缓冲器 112-1 至 112-m 不进行操作,因为电流源 114 没有提供驱动电流。因为输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以降低功耗。另外,由于输出缓冲器 112-1 至 112-m 在第一和第二操作时间段期间不进行操作,所以可以减少位于输出缓冲器 112-1 至 112-m 内部的元件产生的

热量。

[0086] 本领域的技术人员应该理解,此处描述的开关可以表示为接触闭合以清楚地例示其功能,并且可以通过执行开关功能的任意装置来实现。例如,这些开关可以是 NMOS 晶体管、PMOS 晶体管、CMOS 晶体管、二极管、双极晶体管等中的至少一种。

[0087] 图 10 是根据第五示例的数据驱动器中的输出端子的视图。

[0088] 数据驱动器 206 根据从定时控制器提供的控制信号,向数据线 DL1 至 DLm 提供数据电压(模拟电压)。数据驱动器 206 的输出端子 220(以下称为输出端子)包括与数据线 DL1 至 DLm 相对应的多个输出缓冲器 212-1 至 212-m。向输出缓冲器 212-1 至 212-m 提供来自电流源 214 的驱动电流。

[0089] 输出缓冲器 212-1 至 212-m 由从定时控制器提供的电流控制信号控制。例如,当在第一和第二操作时间段期间,电流控制信号为高电平状态时,输出缓冲器 212-1 至 212-m 不进行操作,而当在第三操作时间段期间,电流控制信号为低电平状态时,输出缓冲器 212-1 至 212-m 进行操作。

[0090] 图 11 是根据第六示例的数据驱动器中的输出端子的视图。电流源 314 和输出缓冲器 312-1 至 312-m 接收从定时控制器产生的电流控制信号。

[0091] 在第一和第二操作时间段期间,定时控制器产生高电平状态的电流控制信号,并将其提供给电流源 314 和输出缓冲器 312-1 至 312-m。从而电流源 314 关闭,并且输出缓冲器 312-1 至 312-m 在第一和第二操作时间段期间不进行操作。

[0092] 在第三操作时间段期间,定时控制器产生低电平状态的电流控制信号,并将其提供给电流源 314 和输出缓冲器 312-1 至 312-m。从而电流源 314 打开,并且输出缓冲器 312-1 至 312-m 在第三操作时间段期间进行操作。

[0093] 在第三操作时间段期间,输出缓冲器 312-1 至 312-m 从 DAC 310 接收数据电压,并将该数据电压提供给对应的数据线 DL1 至 DLm。

[0094] 在第一和第二操作时间段期间,输出缓冲器 312-1 至 312-m 不进行操作,因此可以降低功耗。另外,由于输出缓冲器 312-1 至 312-m 在第一和第二操作时间段期间不进行操作,所以可以减少位于输出缓冲器 312-1 至 312-m 内部的元件产生的热量。

[0095] 图 12A 是图 11 的数据驱动器中的输出缓冲器的视图。

[0096] 图 12A 中所示的第一输出缓冲器 312-1 包括一运算放大器 316、两个晶体管 TR1 和 TR2、两个开关 SW7 和 SW8、以及一反相器 318。

[0097] 在第一和第二操作时间段期间,向第七开关 SW7 和反相器 318 提供低电平状态的电流控制信号。低电平状态的电流控制信号通过反相器 318 被转换为低电平信号,然后被提供给第八开关 SW8。

[0098] 第七开关 SW7 由于该低电平状态的电流控制信号而断开,第八开关 SW8 由于该高电平状态的电流控制信号而接通。

[0099] 当第八开关 SW8 接通时,电源电压 Vdd 被提供给第一晶体管 TR1 的栅极端子。同时,电源电压 Vdd 被提供给第一晶体管 TR1 的源极端子。

[0100] 因此,被提供给第一晶体管 TR1 的栅极端子的电压 V_g 和被提供给第一晶体管 TR1 的源极端子的电压 V_s 变得相等。当被提供给第一晶体管 TR1 的栅极端子的电压 V_g 和被提供给第一晶体管 TR1 的源极端子的电压 V_s 相等时,源极端子和漏极端子之间没有电流流

过。因此,第一输出缓冲器 312-1 在第一和第二操作时间段期间不进行操作。

[0101] 在第三操作时间段期间,由定时控制器产生高电平状态的电流控制信号,并将其提供给第七开关 SW7 和反相器 318。提供给反相器 318 的高电平状态的电流控制信号被转换为低电平信号,并被提供给第八开关 SW8。第七开关 SW7 通过该高电平状态的电流控制信号而接通,第八开关 SW8 由于该高电平状态的电流控制信号而断开。

[0102] 当第七开关 SW7 接通时,由运算放大器 316 提供的偏压通过第七开关 SW7 被提供至第一晶体管 TR1 的栅极端子。该偏压与电源电压 Vdd 的不同,并且电源电压 Vdd 从第一晶体管 TR1 中的源极端子提供至漏极端子。

[0103] 由于提供给第一晶体管 TR1 的栅极端子的电压 V_g 是偏压,而提供给源极端子的电压 V_s 是电源电压 Vdd,所以电流从第一晶体管 TR1 的源极端子流向漏极端子。由于电流从第一晶体管 TR1 中的源极端子流向漏极端子,所以在第三操作时间段期间,第一输出缓冲器 312-1 响应于从定时控制器提供的高电平状态的电流控制信号而进行操作。

[0104] 图 12B 是图 11 的数据驱动器中的另一输出缓冲器的视图。第一输出缓冲器 312-1 包括一运算放大器 316、两个晶体管 TR3 和 TR4、两个开关 SW9 和 SW10、以及一反相器 318。

[0105] 在第一和第二操作时间段期间,定时控制器向第九开关 SW9 和反相器 318 提供低电平状态的电流控制信号。提供给反相器 318 的低电平状态的电流控制信号被转换为高电平信号,然后被提供给第十开关 SW10。

[0106] 因此,第九开关 SW9 由于该低电平状态的电流控制信号而断开,第十开关 SW10 由于该高电平状态的电流控制信号而接通。

[0107] 当第十开关 SW10 接通时,地电压 GND 被提供给第四晶体管 TR4 的栅极端子。地电压 GND 也被提供给第四晶体管 TR4 的源极端子。被提供给第四晶体管 TR4 的栅极端子的电压 V_g 和被提供给第四晶体管 TR4 的源极端子的电压 V_s 变得与地电压 GND 相等。

[0108] 由于第四晶体管 TR4 的特性,当被提供给第四晶体管 TR4 的栅极端子的电压 V_g 和被提供给第四晶体管 TR4 的源极端子的电压 V_s 变得相等时,第四晶体管 TR4 中的源极端子和漏极端子之间不会流过电流。因此,第一输出缓冲器 312-1 在第一和第二操作时间段期间不进行操作。

[0109] 定时控制器在第三操作时间段期间向第九开关 SW9 和反相器 318 提供高电平状态的电流控制信号。提供给反相器 318 的高电平状态的电流控制信号被转换为低电平信号,然后被提供给第十开关 SW10。

[0110] 因此,第九开关 SW9 由于该高电平状态的电流控制信号而接通,而第十开关 SW10 由于该低电平状态的电流控制信号而断开。

[0111] 当第九开关 SW9 接通时,偏压被提供给第四晶体管 TR4 的栅极端子。地电压 GND 被提供给第四晶体管 TR4 的源极端子。该偏压与地电压 GND 不同。

[0112] 被提供给第四晶体管 TR4 的栅极端子的电压 V_g 是偏压,而被提供给源极端子的电压 V_s 是地电压 GND。

[0113] 因此,由于被提供给第四晶体管 TR4 的栅极端子的电压 V_g 与被提供给第四晶体管 TR4 的源极端子的电压 V_s 不同,所以电流在第四晶体管 TR4 中的源极端子和漏极端子之间流动。

[0114] 因此,当在第一和第二操作时间段期间,从定时控制器向输出缓冲器提供低电平

状态的电流控制信号时,输出缓冲器不进行操作。

[0115] 当从定时控制器向输出缓冲器提供高电平状态的电流控制信号时,输出缓冲器在第三操作时间段期间进行操作。由于输出缓冲器在第一和第二操作时间段期间不进行操作,所以降低了功耗,并且输出缓冲器内部的元件产生了更少的热量。

[0116] 如上所述,该 LCD 在电荷共享时间段和预充电时间段中的至少一个时间段期间利用电流控制信号使数据驱动器的输出端子不进行操作,而仅在数据输出时间段期间使数据驱动器的输出端子进行操作。因此,电流消耗被最小化,并且还可以降低功耗,从而可以减少数据驱动器中的元件产生的热量。

[0117] 该 LCD 仅在显示实际图像时才使数据驱动器的输出端子进行操作。因此,减少了电流消耗,因此降低了功耗,并且可以减少这些元件产生的热量。

[0118] 尽管仅通过上述示例对本发明进行了说明,但是本领域的普通技术人员应该理解,本发明并不限于这些示例,而是可以在不脱离本发明的精神的情况下进行各种改变或修改。因此,本发明的范围应该仅由所附权利要求及其等同物来确定。

[0119] 本申请要求 2005 年 12 月 28 日提交的韩国专利申请 131214/2005 的优先权,在此通过引用将其并入。

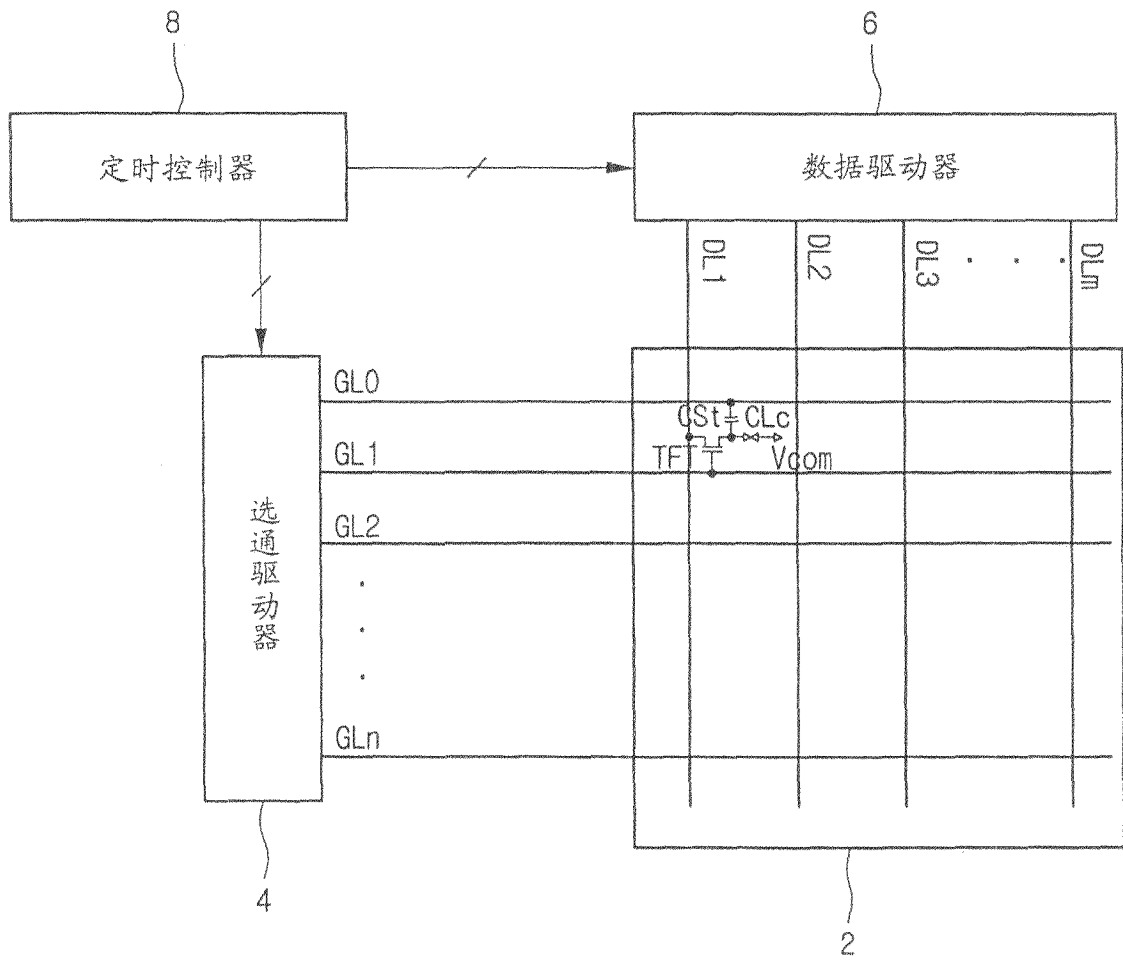


图 1 (现有技术)

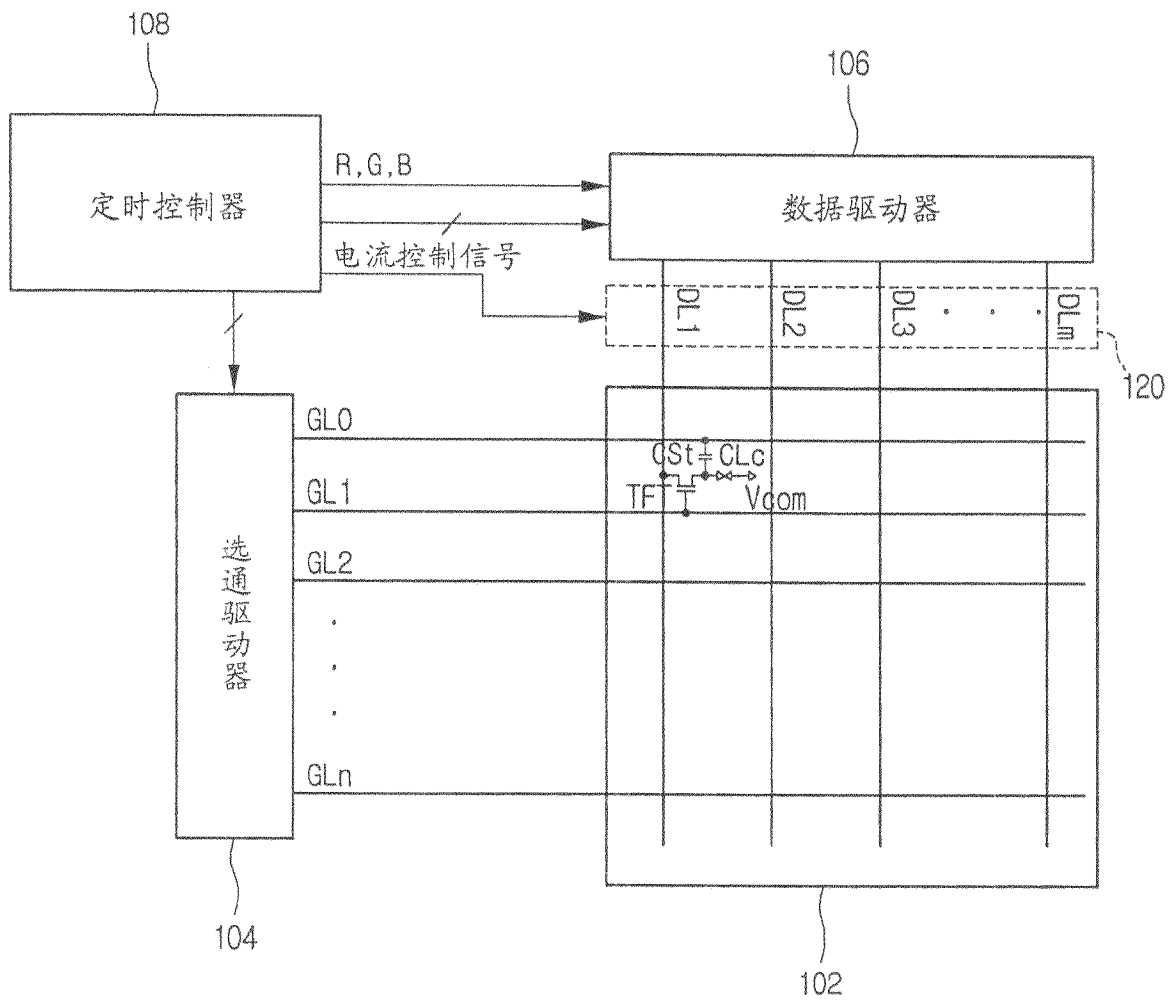


图 2

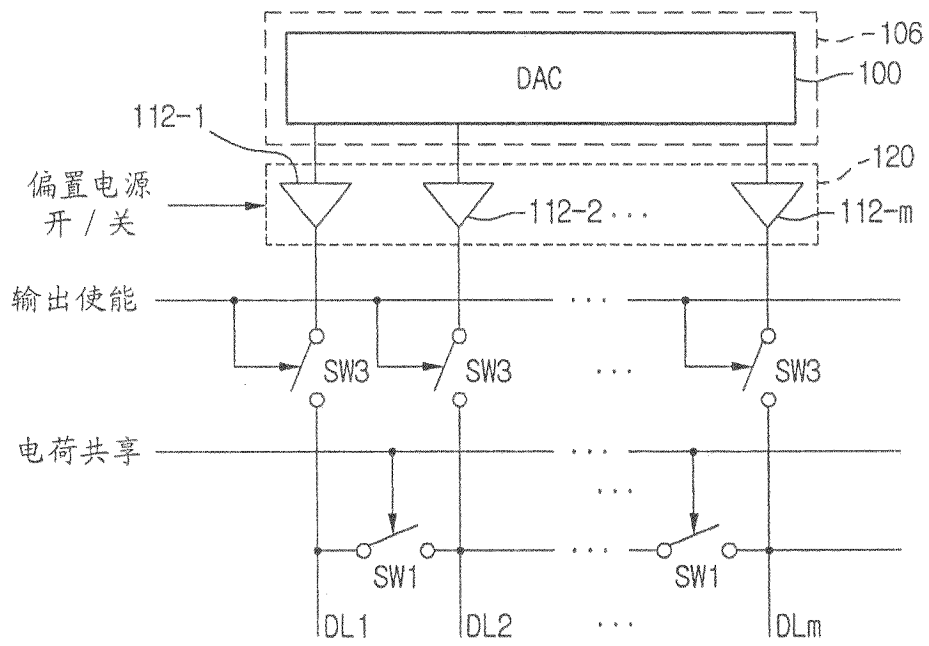


图 3A

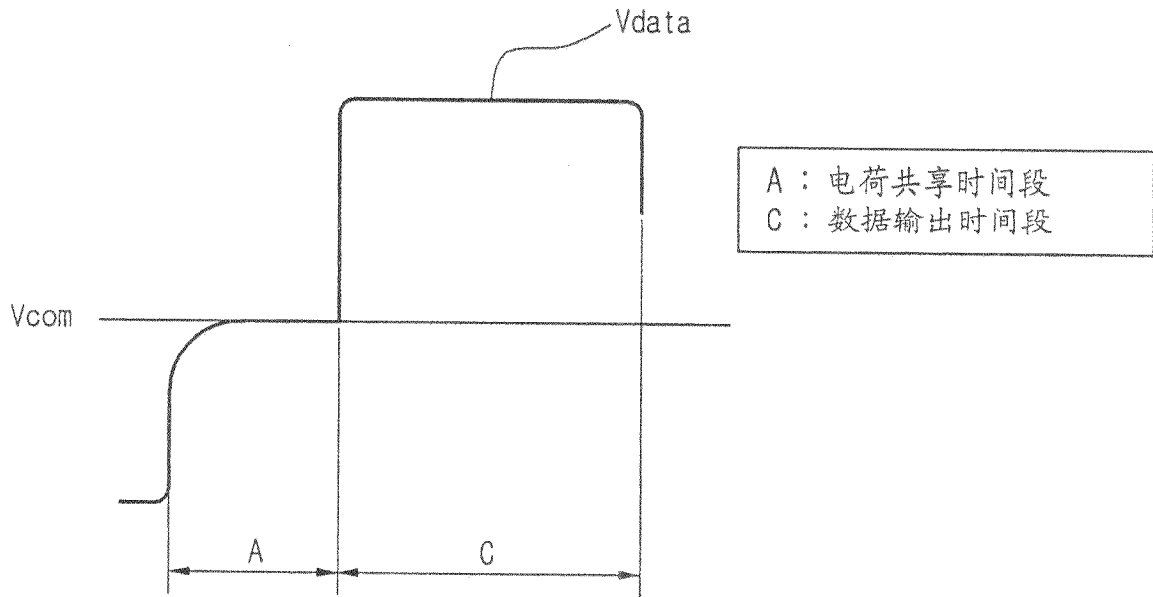


图 3B

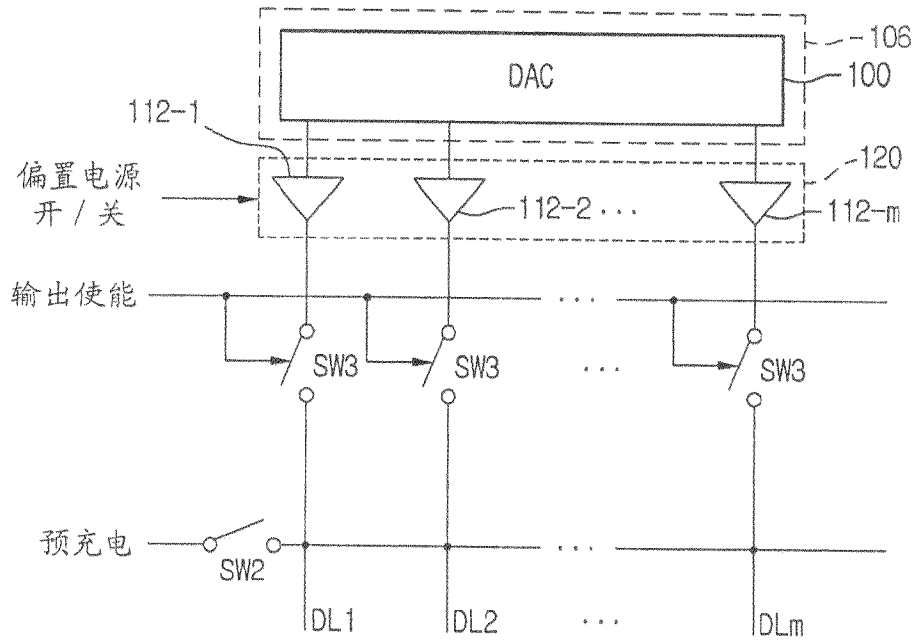


图 4A

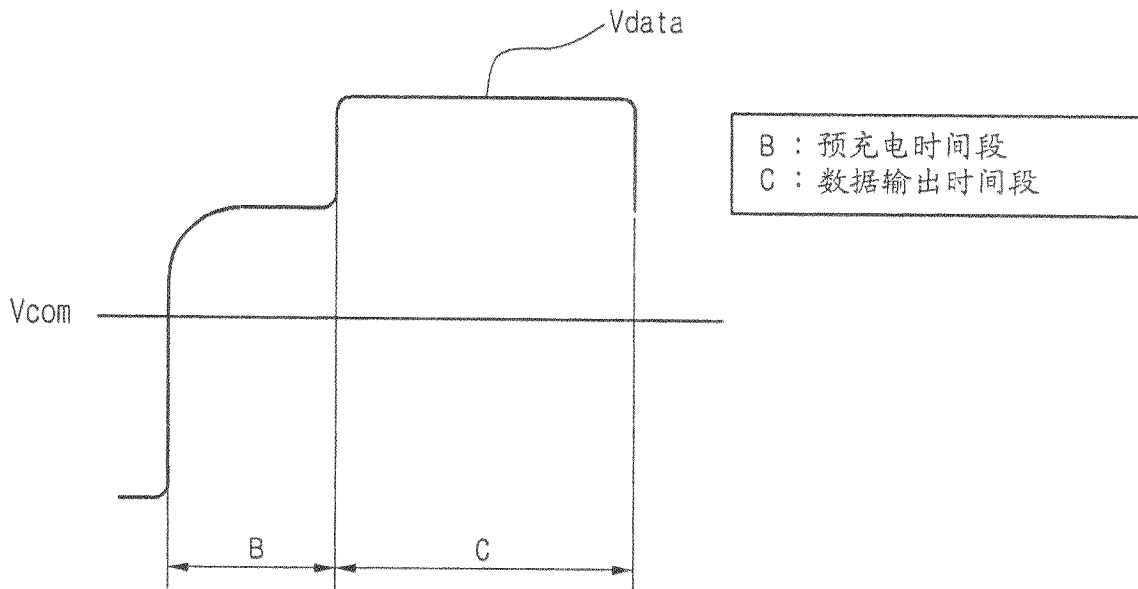


图 4B

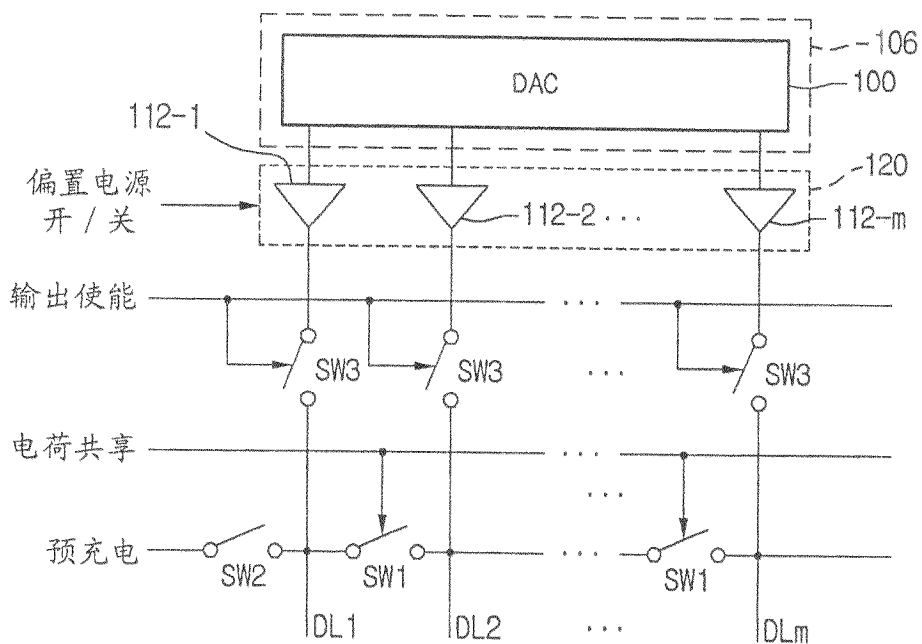


图 5A

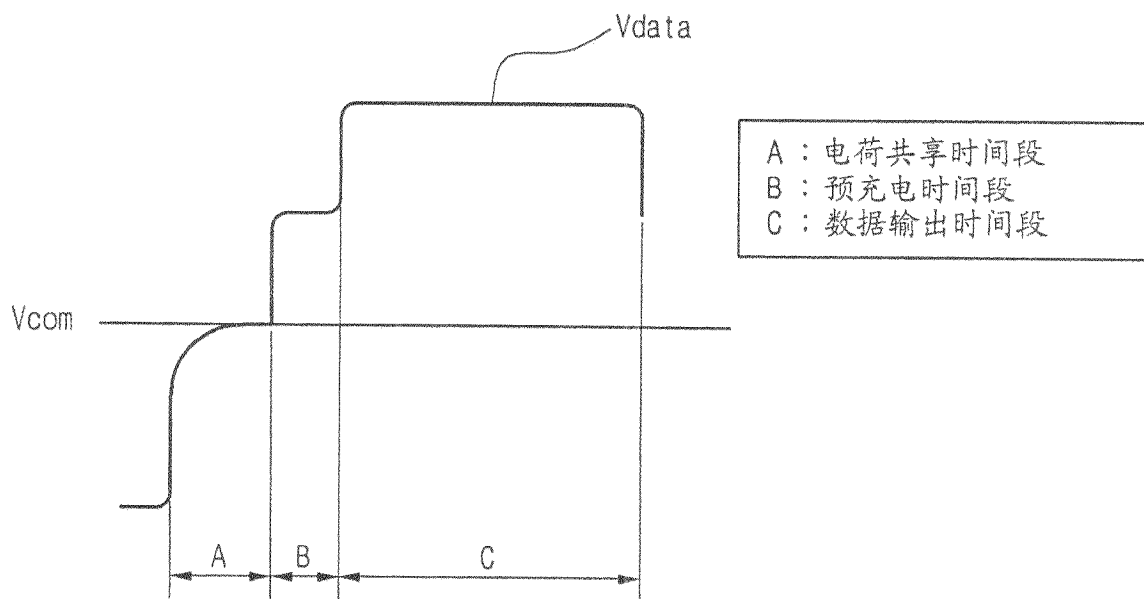


图 5B

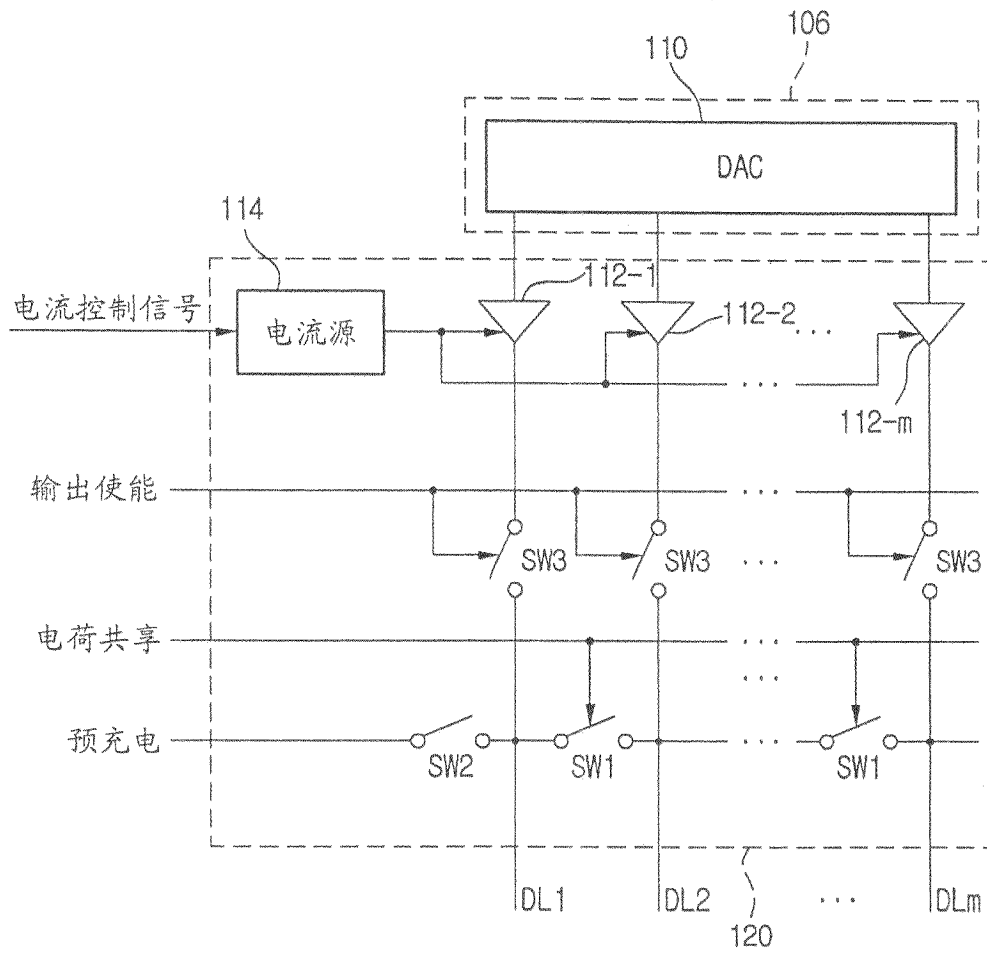


图 6

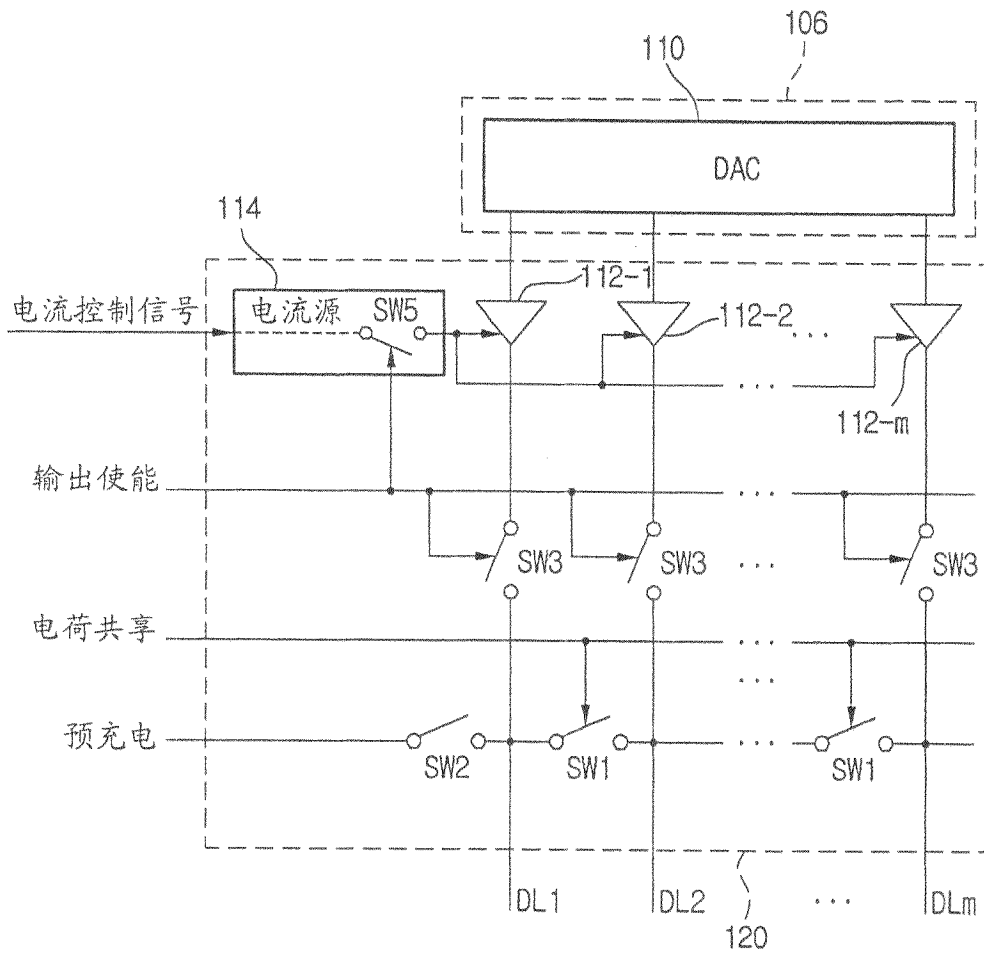


图 8

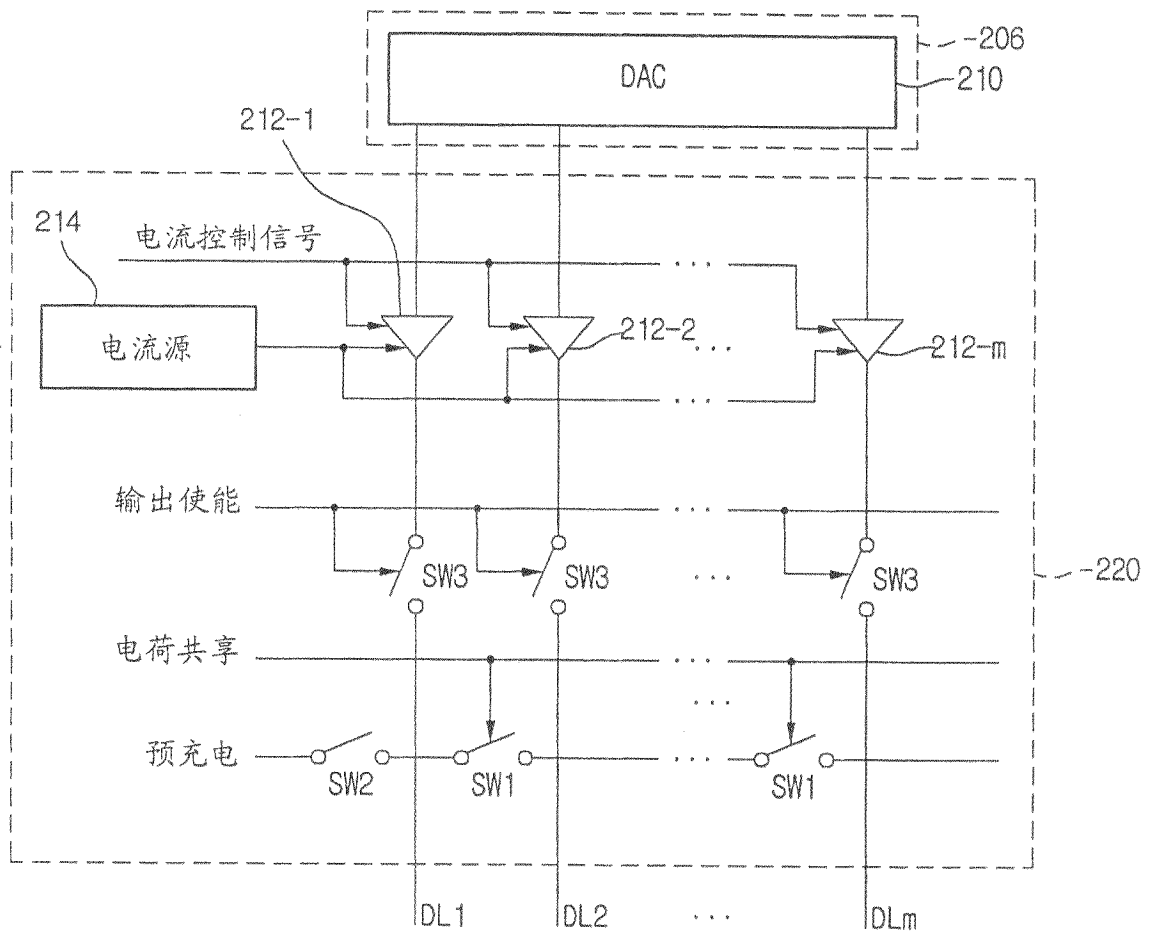


图 10

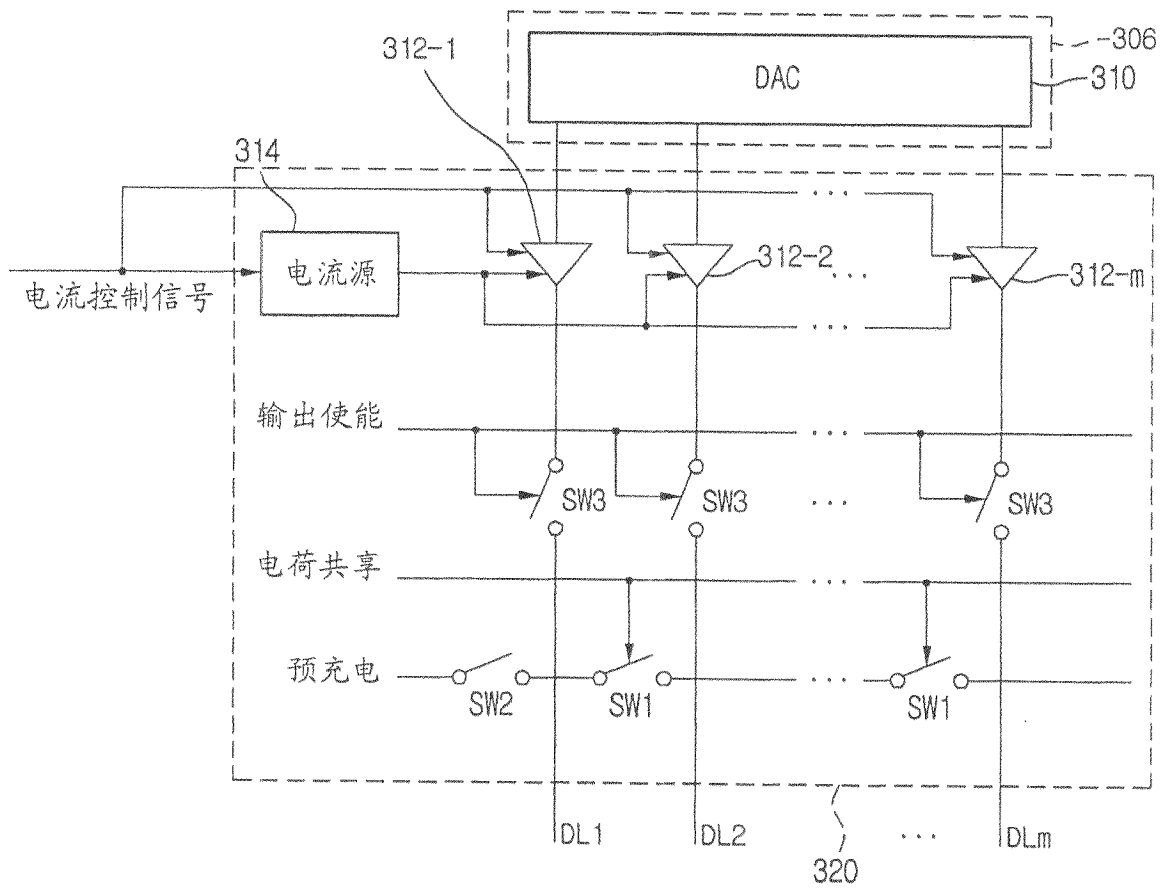


图 11

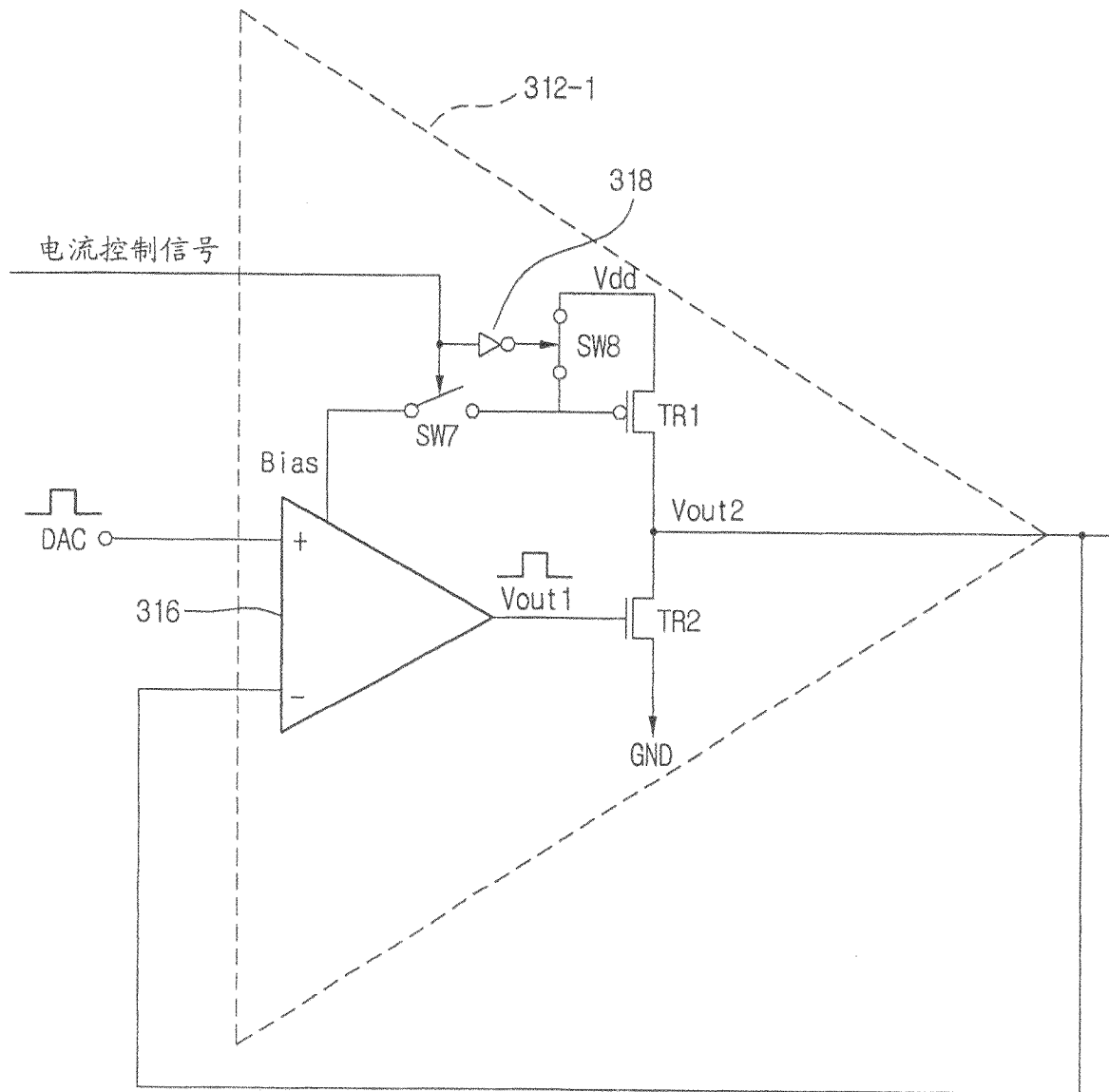


图 12A

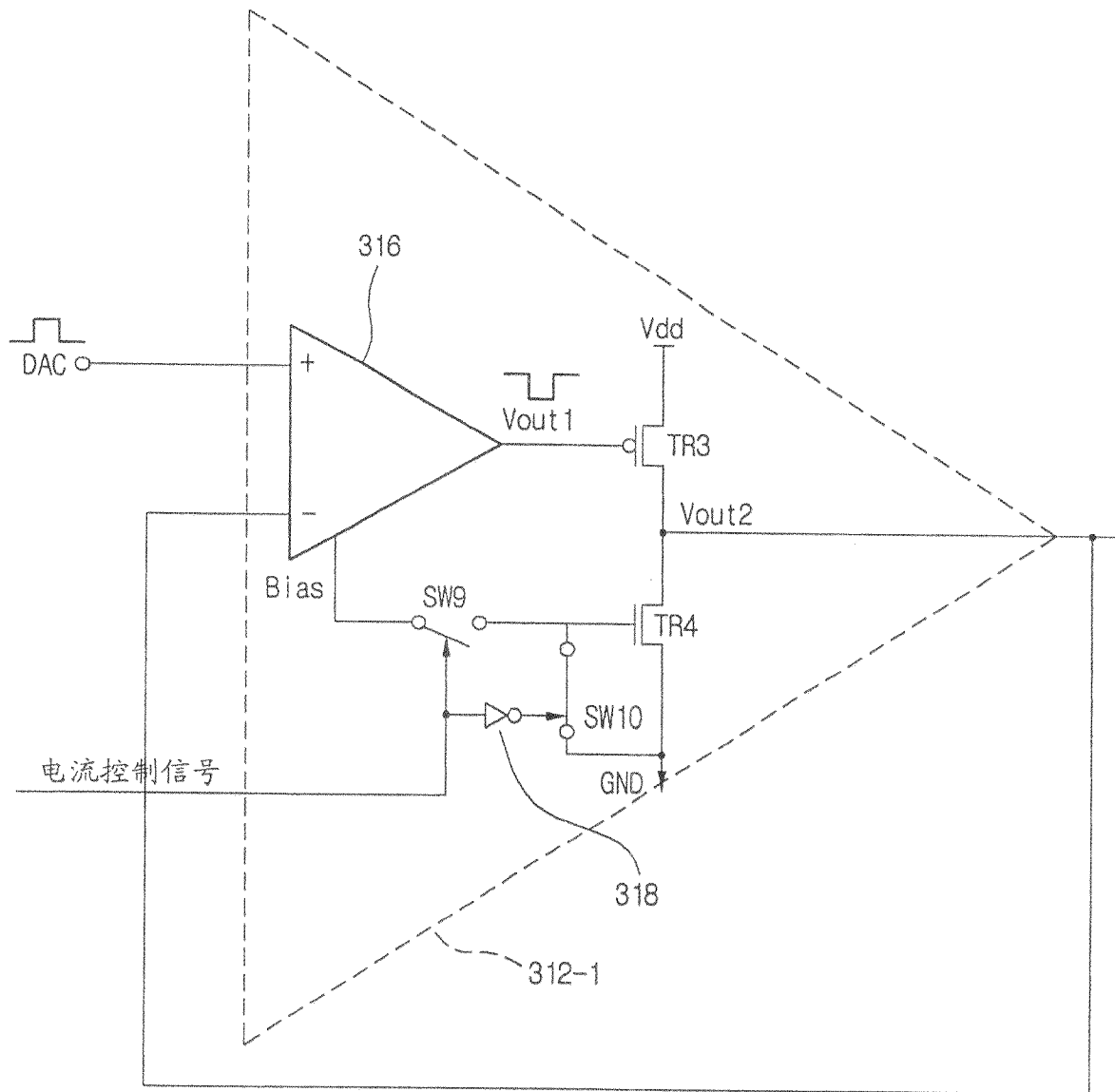


图 12B

专利名称(译)	液晶显示器件		
公开(公告)号	CN1991454B	公开(公告)日	2012-09-26
申请号	CN200610108949.9	申请日	2006-07-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	张喆相 崔晋喆		
发明人	张喆相 崔晋喆		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2330/021 G09G3/3688 G09G2310/0248		
代理人(译)	李辉		
优先权	1020050131214 2005-12-28 KR		
其他公开文献	CN1991454A		
外部链接	Espacenet SIPO		

摘要(译)

液晶显示器件。描述了一种具有降低的功耗的LCD。该LCD包括：液晶板，具有多条选通线和数据线；数据驱动器，用于向所述多条数据线提供数据电压，数据驱动器的输出端子包括：分别与多条数据线相对应的多个输出缓冲器；控制器，用于生成电流控制信号，以控制所述数据驱动器的输出端子，以使得该输出端子在其中从所述数据驱动器输出数据的第一时间段期间进行操作，并且使得该输出端子在其中不从所述数据驱动器输出数据的第二时间段期间不进行操作；选通驱动器，用于向所述多条选通线提供扫描信号；分别在输出缓冲器与多条数据线之间、响应于输出使能信号而开关的多个第一开关；以及分别在多条数据线之间、响应于电荷共享信号而开关的多个第二开关。

