

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 200510016745.8

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

[43] 公开日 2006 年 10 月 25 日

[11] 公开号 CN 1851546A

[22] 申请日 2005.4.22

[21] 申请号 200510016745.8

[71] 申请人 中国科学院长春光学精密机械与物理研究所

地址 130031 吉林省长春市东南湖大路 16 号

[72] 发明人 宋玉龙 凌志华 冯亚云

[74] 专利代理机构 长春科宇专利代理有限责任公司
代理人 梁爱荣

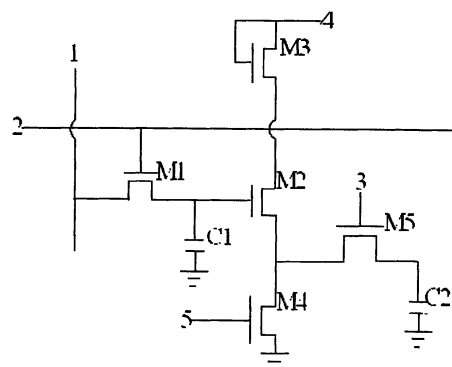
权利要求书 1 页 说明书 4 页 附图 2 页

[54] 发明名称

新型硅基液晶微显示器件帧存储像素电路

[57] 摘要

本发明属于硅基微显示器件技术领域，特别是涉及一种帧存储像素电路结构。包括：第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、预存储电容 C1、像素电容 C2，在像素电压保持期间，第四晶体管与像素电容之间是断开的，第四晶体管的关态漏电流对像素电压的影响被第五晶体管隔离，因而提高了像素电压保持率。第四晶体管采用 PMOS 晶体管，第三晶体管采用 NMOS 晶体管，复合信号取代电源开关信号和放电信号，从而使本发明的电路走线简化。电压保持期间的像素电压波动受到与液晶像素电极相连接的晶体管的漏电流的影响。本发明减少了与液晶像素电极相连接晶体管的数量，减小了漏电流，降低了闪烁。



1、新型硅基液晶微显示器件帧存储像素电路，包括：第一晶体管(M1)、预存储电容(C1)，其特征在于还包括：第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)、像素电容(C2)，采样保持电路分别由第一晶体管(M1)、预存储电容(C1)和第二晶体管(M2)、像素电容(C2)组成；电压转移电路由第二晶体管(M2)、第三晶体管(M3)、第五晶体管(M5)组成，第三晶体管(M3)的源极与第二晶体管(M2)的漏极连接，为电压从预存储电容(C1)转移到像素电容(C2)提供电流；放电电路由第四晶体管(M4)和第五晶体管(M5)组成，第四晶体管(M4)的漏极连接于第五晶体管(M5)的源极端，第五晶体管(M5)的漏极接像素电容(C2)，第四晶体管(M4)的源极接地，并通过第五晶体管(M5)使像素电容(C2)放电；第二晶体管(M2)的源极、第四晶体管(M4)的漏极、第五晶体管的(M5)源极相连接，第三晶体管(M3)的栅极和第三晶体管(M3)的漏极连接。

2、根据权利要求1所述的新型硅基液晶微显示器件帧存储像素电路，其特征在于：第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第四晶体管(M4)、第五晶体管(M5)分别采用 NMOS 晶体管。

3、根据权利要求1所述的新型硅基液晶微显示器件帧存储像素电路，其特征在于：第一晶体管(M1)、第二晶体管(M2)、第三晶体管(M3)、第五晶体管(M5)分别采用 NMOS 晶体管，第四晶体管(M4)采用 PMOS 晶体管，第四晶体管的栅极连接于第三晶体管的栅极。

新型硅基液晶微显示器件帧存储像素电路

技术领域：

本发明属于硅基微显示器件（Liquid Crystal on Silicon 以下简称 LCoS）技术领域，特别是涉及一种帧存储像素电路结构。

背景技术：

随着集成电路工艺的进步，越来越多的 LCoS 器件采用帧存储像素结构。帧存储像素结构可以先将整帧数据预存储在电容中，读信号使预存储内容一次性读入像素电容进行显示，预存储时间与上一场显示时间重合，因此不但可以延长光源照明时间，而且可以降低对数据驱动器的速度要求，降低器件的设计与制造难度。现有技术（如图 1）中，在像素电压保持期间有多个晶体管影响像素电压保持率，造成像素电压保持率低（特别是在光源强度特别高时产生大量的光生载流子）且电路可靠性低。在大规模集成电路制造中，一般电容的面积要远远大于晶体管的面积，为了进一步提高分辨率，需要改进电路结构来提高像素电压保持率，从而在电压保持率允许的范围内减小电容。而且帧存储像素结构电路复杂，控制信号多，走线复杂，容易导致较强电磁干扰和众多寄生效应。

发明内容：

针对现有技术中在照明光源强度很高时，像素电压保持率小，使图像闪烁的缺点，还针对现有技术中控制信号多，使得电路走线复杂的缺点，本发明的目的是提供一种提高像素电压保持率，降低走线复杂程度的新型硅基液晶微显示器件帧存储像素电路。

为实现所述目的，本发明中包括：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、预存储电容、像素电容。本发明像素电路包括两个采样保持电路，电压转移电路和放电电路。采样保持电路分别由第一晶体管、预存储电容和第二晶体管、像素电容组成，电压转移电路由第二晶体管、第三晶体管、第五晶体管组成，第三晶体管的源极与第二晶体管的漏极连接，为电压从预存储电容转移到像素电容提供电流；放电电路由第四晶体管和第五晶体管组成，第四晶体管的漏极连接于第五晶体管的源极端，第五晶体管的漏极接像素电容，第四晶体管的源极接地，并通过第五晶体管使像素电容放电；第二晶体管的源极、第四晶体管的漏极、第五晶体管的源极相连接，第三晶体管的栅极和第三晶体管的漏极相连接。

本发明在像素电压保持期间，第四晶体管与像素电容之间是断开的，第四晶体管的关态漏电流对像素电压的影响被第五晶体管隔离，因而提高了像素电压保持率。

由于本发明第四晶体管采用 PMOS 晶体管，第三晶体管采用 NMOS 晶体管，本发明中第四晶体管与第三晶体管的匹配，复合信号为低电平时第四晶体管导通，第三晶体管截止，复合信号为高电平时第三晶体管导通，第四晶体管截止。复合信号取代电源开关信号和放电信号，从而使本发明的电路走线简化。

电压保持期间的像素电压波动主要是漏电流造成的。漏电流的大小除了跟液晶本身的电容、电阻有关，而且受到与液晶像素电极相连接的晶体管的漏电流的影响。晶体管的漏电流主要包括扩散区与基底间的二极管反向电流，亚阈值电压下的沟道漏电流，及光生载流子产生的漏电流等。因此本发明减少了与液晶像素电极相连接晶体管的数量，因此减

小了漏电流，降低了闪烁，从而提高了显示图像质量。

附图说明：

图 1 是背景技术帧存储像素电路结构图。

图 2 是本发明帧存储像素电路 1 单元结构图。

图 3 是本发明帧存储像素电路 1 信号时序图。

图 4 是本发明帧存储像素电路 2 单元结构图。

图 5 是本发明帧存储像素电路 2 信号时序图。

具体实施方式：

下面结合附图和实施例对本发明进一步说明，但本发明不限于这些实施例。

本发明包括第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5、预存储电容 C1、像素电容 C2。

实施例 1

数据信号 1，写信号 2，读控制信号 3，电源开关信号 4，放电信号 5 如图 2、图 3 所示。将电源开关信号 4 连接于第三晶体管 M3 的栅极与漏极，将放电信号 5 连接于第四晶体管 M4 的栅极，电源开关信号 4 和放电信号 5 时序上互补。第五晶体管 M5 的栅极读控制信号 3 在时序上包含第四晶体管 M4 的栅极放电信号 5。

第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第四晶体管 M4、第五晶体管 M5 分别采用 NMOS 晶体管，预存储电容 C1、像素电容 C2 由像素电压误差容许值决定。

在帧存储像素电路中，一帧时间分为三段，包括写数据到预存储电容 C1（预存储时间）、读数据到像素电容 C2（读数据）、液晶反应时间和光源照明时间，且预存储时间和光源闪亮时间部分重合。数据信号 1 采

取逐行扫描方式预存储在预存储电容 C1 中，待至全屏数据全部写入各自存储电容 C1 后，读控制信号 3 打开第五晶体管 M5，首先放电信号 5 打开第四晶体管 M4 将像素电容 C2 上一帧剩余电荷释放掉，此时电源开关信号 4 为低电平，第三晶体管 M3 截止。然后放电信号 5 变为低电平，第四晶体管 M4 截止，电源开关信号 4 打开第三晶体管 M3 开始对像素电容 C2 充电，直到像素电容 C2 的电压为存储在预存储电容 C1 中的电压与第二晶体管 M2 阈值电压之差时停止充电。然后读控制信号变为低电平，进入像素电压保持期。

实施例 2

数据信号 1，写信号 2，读控制信号 3，复合信号 6 如图 4、图 5 所示。将复合信号 6 连接于第三晶体管 M3 的栅极和第四晶体管 M4 的栅极。

第一晶体管 M1、第二晶体管 M2、第三晶体管 M3、第五晶体管 M5 分别采用 NMOS 晶体管，第四晶体管 M4 采用 PMOS 晶体管，预存储电容 C1、像素电容 C2 由电压误差容许值决定。第四晶体管的栅极连接于第三晶体管的栅极。

电源开关信号 (4) 和放电信号 (5) 采用复合信号 (6)，采用同一信号源和共同走线。数据信号 1 采取逐行扫描方式预存储在预存储电容 C1 中，待至全屏数据全部写入各自预存储电容 C1 后，读控制信号 3 打开第五晶体管 M5，首先复合信号 6 为低电平（低电平电压必须小于第四晶体管 M4 的阈值电压，保证像素电容可以放电到零）打开第四晶体管 M4 将像素电容上一场剩余电荷释放掉，然后复合信号 6 为高电平打开第三晶体管 M3 开始对像素电容 C2 充电，直到像素电容 C2 的电压为存储在预存储电容 C1 中的电压与第二晶体管 M2 阈值电压之差时停止充电。然后读控制信号变为低电平，进入像素电压保持期。

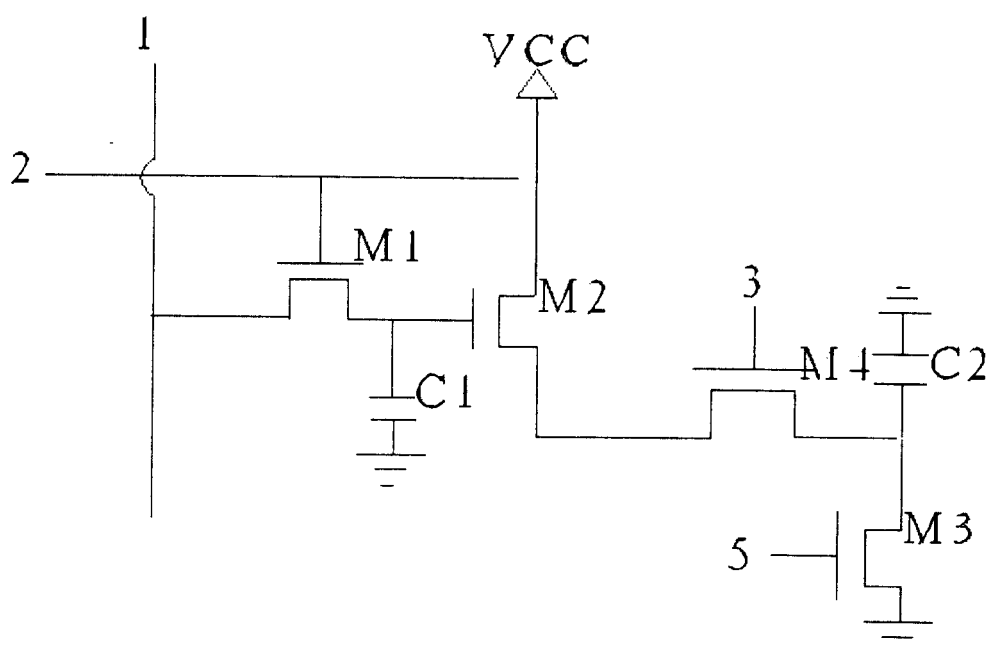


图 1

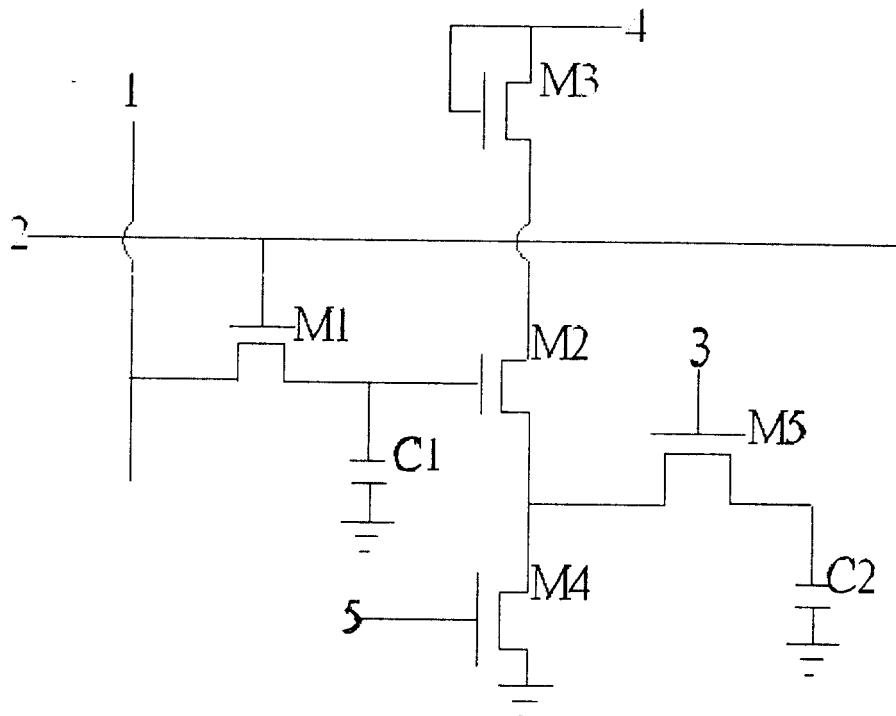


图 2

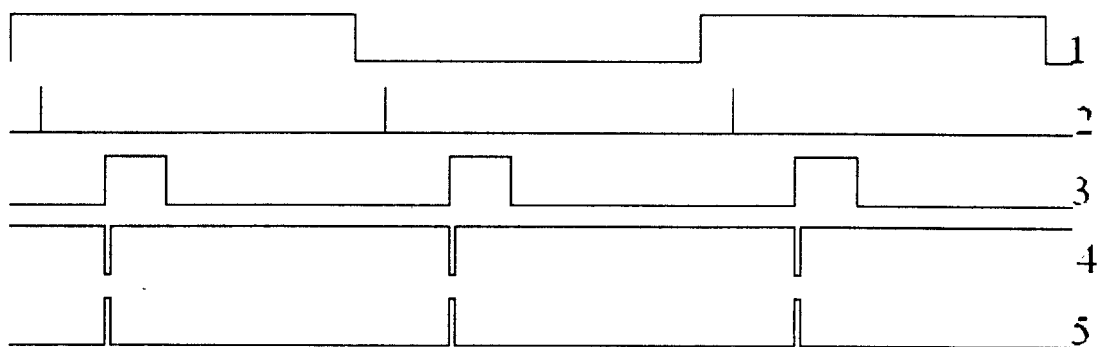


图 3

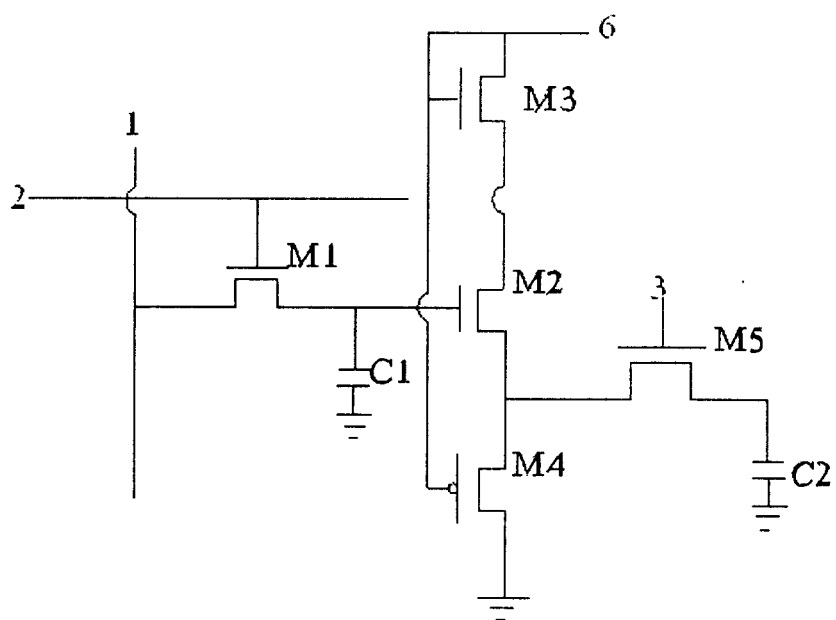


图 4

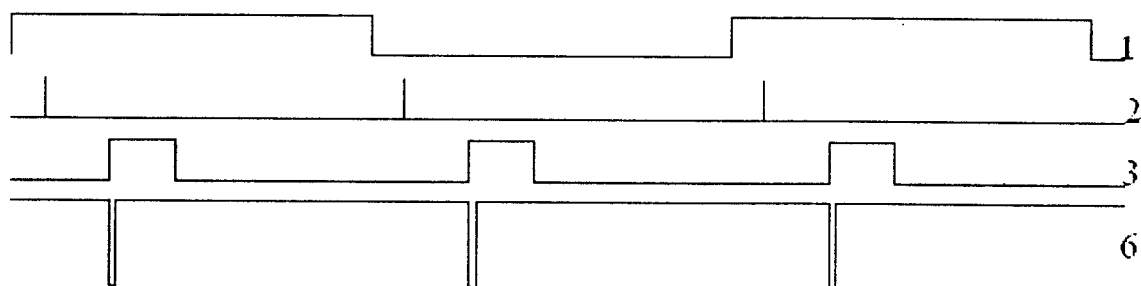


图 5

专利名称(译)	新型硅基液晶微显示器件帧存储像素电路		
公开(公告)号	CN1851546A	公开(公告)日	2006-10-25
申请号	CN200510016745.8	申请日	2005-04-22
[标]申请(专利权)人(译)	中国科学院长春光学精密机械与物理研究所		
申请(专利权)人(译)	中国科学院长春光学精密机械与物理研究所		
当前申请(专利权)人(译)	中国科学院长春光学精密机械与物理研究所		
[标]发明人	宋玉龙 凌志华 冯亚云		
发明人	宋玉龙 凌志华 冯亚云		
IPC分类号	G02F1/136 G02F1/133 G09G3/36		
其他公开文献	CN100428033C		
外部链接	Espacenet SIPO		

摘要(译)

本发明属于硅基微显示器件技术领域，特别是涉及一种帧存储像素电路结构。包括：第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、预存储电容C1、像素电容C2，在像素电压保持期间，第四晶体管与像素电容之间是断开的，第四晶体管的关态漏电流对像素电压的影响被第五晶体管隔离，因而提高了像素电压保持率。第四晶体管采用PMOS晶体管，第三晶体管采用NMOS晶体管，复合信号取代电源开关信号和放电信号，从而使本发明的电路走线简化。电压保持期间的像素电压波动受到与液晶像素电极相连接的晶体管的漏电流的影响。本发明减少了与液晶像素电极相连接晶体管的数量，减小了漏电流，降低了闪烁。

