



# [12] 发明专利申请公开说明书

[21] 申请号 200510076345.6

[43] 公开日 2005 年 12 月 14 日

[11] 公开号 CN 1707589A

[22] 申请日 2005. 6. 10  
 [21] 申请号 200510076345.6  
 [30] 优先权  
     [32] 2004. 6. 10 [33] KR [31] 42573/04  
 [71] 申请人 三星电子株式会社  
     地址 韩国京畿道  
 [72] 发明人 金圣万 安炳宰 孔香植 姜承载

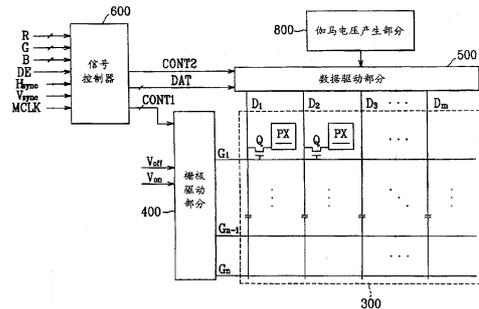
[74] 专利代理机构 北京市柳沈律师事务所  
 代理人 黄小临 王志森

权利要求书 5 页 说明书 16 页 附图 10 页

[54] 发明名称 栅极驱动部分和具有该栅极驱动部分的显示设备

[57] 摘要

一种栅极驱动部分，包括多个级，每个级包括：第一驱动部分和第二驱动部分。所述第一驱动部分按照第一输入信号来产生第一和第二输出信号；所述第二驱动部分连接到第一驱动部分，并且按照第二输入信号来产生第三和第四输出信号。所述第一和第二输入信号是当前级的第一进位输出信号或第一栅极输出信号，第三和第四输出信号是随后级的第二进位输出信号或第二栅极输出信号。按照这种结构，每个级产生两个或多个栅极输出信号，并且所述栅极驱动部分向对应的栅极线输出所述第一和第二栅极输出信号。因此，本发明可以减少栅极驱动部分的面积，并且提供 LCD 器件的高分辨率。



1. 一种栅极驱动部分，具有多个级，每个级包括：
  - 5 第一驱动部分，所述第一驱动部分按照第一输入信号来产生第一和第二输出信号；和
  - 第二驱动部分，通过第一时钟信号终端而连接到第一驱动部分，所述第二驱动部分按照第二输入信号来产生第三和第四输出信号，
  - 其中，所述第一和第二输入信号包括相邻级的多个输出信号的至少一个、第二时钟信号和至少一个低电平信号，并且
  - 10 第一、第二、第三和第四输出信号包括多个栅极输出信号的至少一个和多个进位输出信号。
2. 按照权利要求1的栅极驱动部分，其中，所述第一和第二时钟信号具有大约180度的相位差。
3. 按照权利要求1的栅极驱动部分，其中，所述至少一个低电平信号是15 Voff电压和复位电压。
4. 按照权利要求1的栅极驱动部分，其中，所述第一驱动部分产生奇数栅极线的栅极输出信号，所述第二驱动部分产生偶数栅极线的栅极输出信号。
5. 按照权利要求1的栅极驱动部分，其中，在多级级的第一级中的第一输入信号还包括垂直同步起始信号。
- 20 6. 按照权利要求4的栅极驱动部分，其中，第一和第二驱动部分每个包括：
  - 输入部分，所述输入部分接收第一和第二时钟信号、所述低电平电压和随后级的进位输出信号，所述随后级的进位输出信号产生第一控制信号；
  - 下拉驱动部分，连接到所述输入部分，所述下拉驱动部分按照来自所述25 输入部分的第一控制信号、低电平电压、复位信号和随后级的栅极输出信号来产生第二控制信号；
  - 上拉驱动部分，连接到所述输入部分和所述下拉驱动部分，所述上拉驱动部分按照第一和第二控制信号、随后级的进位输出信号和第一时钟信号来产生第三控制信号；和
  - 30 输出部分，连接到所述输入部分以及所述下拉和上拉驱动部分，所述输出部分按照所述第一时钟信号和所述第一、第二和第三控制信号来产生第一

和第二输出信号。

7. 按照权利要求6的栅极驱动部分,其中,所述第一和第二驱动部分相对于第一时钟终端而具有镜像对称结构。

8. 按照权利要求7的栅极驱动部分,其中,所述输入部分包括:

5 第一开关元件;

第二开关元件,它具有第二栅极;以及

第三开关元件,它具有第三栅极;

其中,第二和第三开关元件的第二和第三栅极分别连接到第二时钟信号,第二开关元件的第二栅极连接到第一时钟信号,并且

10 第一和第二开关元件分别连接到前一个级的进位输出信号和低电平电压。

9. 按照权利要求8的栅极驱动部分,其中,所述上拉驱动部分包括:

第五开关元件,具有连接到前一个级的进位输出信号的第五栅极和第五源极以及连接到第一接触点的第五漏极;

15 第六开关元件,具有连接到随后级的进位输出信号的第六栅极、连接第一接触点的第六漏极、以及连接到所述下拉驱动部分和所述输出部分的第六源极;

第八开关元件,具有连接到第一时钟信号的第八栅极和第八源极以及连接到第三接触点和所述下拉驱动部分的第八漏极;和

20 第九开关元件,具有通过第二电容器而连接到第六接触点的第九栅极和第九源极,并且所述第九栅极和所述第九漏极通过第三电容器连接到第四接触点,

其中,所述第八开关元件的漏极连接到第九开关元件的第九栅极。

10. 按照权利要求9的栅极驱动部分,其中,所述下拉驱动部分包括:

25 第四开关元件,具有连接到复位信号的第四栅极、连接到前一个级的进位输出信号的第四源极、连接到所述低电平电压的第四漏极;

第七开关元件,具有连接到随后级的栅极输出信号的第七栅极、连接到所述低电平电压的第七漏极、连接到第五接触点的第七源极;

30 第十开关元件,具有连接到第二接触点的第十栅极、连接到低电平电压的第十漏极、连接到第三接触点的第十源极;

第十一开关元件,具有连接到第二接触点的第十一栅极、连接到低电

电压的第十一漏极、连接到第四接触点的第十一源极；

第十二开关元件，具有连接到所述第四接触点的第十二栅极、连接到低电平电压的第十二漏极、连接到所述第二接触点的第十二源极；

第十三开关元件，具有连接到随后级的栅极输出信号的第十三栅极、连接到低电平电压的第十三漏极、连接到第二接触点的第十三源极；以及

第十六开关元件，具有连接到随后级的栅极输出信号的第十六栅极、连接到低电平电压的第十六漏极、连接到输出部分的第十六源极。

11. 按照权利要求 10 的栅极驱动部分，其中，所述输出部分包括：

第十四开关元件，具有连接到第五接触点的第十四栅极、连接到第二接触点的第十四漏极、连接到第一输出端的第十四源极；以及

第十五开关元件，具有连接到第十四开关元件的第十四栅极和第五接触点的第十五栅极、连接到第二输出端的第十五漏极、连接到第一时钟信号的第十五源极。

12. 按照权利要求 11 的栅极驱动部分，其中，第二驱动部分还包括：

输出协助部分，所述输出协助部分按照第三控制信号和第一时钟信号而产生第四控制信号，并且控制第一和第二驱动部分的输出部分；以及

所述下拉驱动部分包括：第十七开关元件，具有连接到随后级的栅极输出信号的第十七栅极、连接到第五接触点的第十七漏极、连接到低电平电压的第十七源极；和第十八开关元件，具有连接到随后级的栅极输出信号的第十八栅极、连接到第二接触点的第十八漏极、连接到低电平电压的第十八源极。

13. 按照权利要求 12 的栅极驱动部分，其中，所述输出协助部分包括：

第十九开关元件，具有连接到第一接触点的第十九栅极、连接到第二接触点和第二驱动部分的输出部分的第十九漏极，所述第十九栅极和第十九漏极通过第一电容器彼此连接，第十九源极连接到第一时钟信号。

14. 按照权利要求 13 的栅极驱动部分，其中，第一接触点在 4H 期间保持高电压。

15. 按照权利要求 14 的栅极驱动部分，其中，第五接触点在 2H 期间保持高电压。

16. 按照权利要求 14 的栅极驱动部分，其中，当随后级的栅极输出信号被产生时第二驱动部分的第五接触点将低电压改变为高电压，并且在 2H 期

间保持所述高电压。

17. 按照权利要求 16 的栅极驱动部分, 其中, 所述复位信号在大约半数级后的虚拟级被产生, 并且被输入到所述多个级的所有级。

18. 按照权利要求 16 的栅极驱动部分, 其中, 第一电容器具有大于一个高电压的电压。

19. 按照权利要求 13 的栅极驱动部分, 其中, 第一到第十九开关元件由非晶硅形成。

20. 按照权利要求 19 的栅极驱动部分, 其中, 第一到第十九开关元件通过与像素区域的开关元件基本上相同的制造工艺而被形成。

21. 一种栅极驱动部分, 具有多个级, 每个级包括:

第一栅极线, 它具有:

第一连接件;

第一绝缘层, 它形成在第一连接件上;

第一导电层, 它形成在第一绝缘层上;

15 第二绝缘层, 它形成在第一绝缘层和第一导电层上; 和

第一连接协助件, 它连接到第一导电层和第一连接件, 以及

第二栅极线, 它具有:

位于第一连接件和第一导电层之间的第二连接件;

所述第一绝缘层被形成在第二连接件上;

20 第二导电层, 它形成在第一绝缘层上;

所述第二绝缘层形成在第一绝缘层和第二导电层上; 和

第二连接协助件, 它连接到第二导电层和第二连接件。

22. 一种显示设备, 包括:

25 信号控制器, 用于接收图像数据信号和控制信号, 所述信号控制器产生栅极和数据控制信号;

数据驱动部分, 所述数据驱动部分接收所述图像数据信号和数据控制信号, 并且按照数据控制信号来将所述图像数据信号转换为图像数据电压;

栅极驱动部分, 所述栅极驱动部分产生栅极输出信号, 用于按照所述栅极控制信号来导通或截止多个开关元件;

30 薄膜晶体管阵列板, 它具有数据线、栅极线、开关元件和在绝缘基底上的像素电路,

其中，所述栅极驱动部分形成在所述绝缘基底上，并且包括对应于栅极线的多个级，每个级产生两个或多个栅极输出信号。

## 栅极驱动部分和具有该栅极驱动部分的显示设备

## 5 技术领域

本发明涉及一种栅极驱动部分和具有栅极驱动部分的显示器，具体涉及具有在基底上形成的栅极驱动器件和产生两个或多个栅极输出信号的显示设备。

## 10 背景技术

近来，诸如有机发光显示器(OLED)、等离子体显示板(PDP)、液晶显示器(LCD)之类的平板显示器正在比阴极射线管(CRT)设备更快地发展。在所述平板显示器中，LCD和OLED器件包括基底，其中形成像素。所述像素包括开关元件、显示信号线和用于产生用以将所述开关元件导通或断开的栅极控制信号的栅极驱动部分。栅极驱动部分包括移位寄存器，用于向栅极线输出栅极控制信号。

移位寄存器包括多个级，它们一个接一个地相互连接。每个级包括多个与其相关联的晶体管。每个级包括输入部分、输出部分和放电部分。每个级按照时钟信号或前一个或下一个级的输出信号来向栅极线输出栅极信号。换句话说，每个级经由输出部分向两个不同的级(例如前一个和下一个级)输出信号。

每个级的输出部分包括连接到栅极线和前一个与下一个级的输入部分的晶体管。在每个级的输出部分中的晶体管占用每个级的总面积的大约40%，因为所述晶体管比与向栅极线和前一个级输出输出信号相关联的其他晶体管大得多。因此，与每个级的输出部分相关联的晶体管的主要尺寸决定所述级的尺寸，因此决定移位寄存器的尺寸，于是降低了每个级的设计容限的灵活性。

## 发明内容

30 本发明提供了一种具有多个级的栅极驱动部分。

在一个实施例中，一种栅极驱动部分包括多个级，每个级包括：第一驱动部分，用于按照第一输入信号来产生第一和第二输出信号；第二驱动部分，通过第一时钟信号终端而连接到第一驱动部分，用于按照第二输入信号来产生第三和第四输出信号，其中，所述第一和第二输入信号包括相邻级的两个或多个输出信号，第二时钟信号或至少一个低电平信号，并且第一、第二、第三和第四输出信号包括两个或多个栅极输出信号或两个或多个进位输出信号。

所述第一和第二时钟信号具有大约  $180^\circ$  的相差。所述至少一个低电平信号是  $V_{off}$  电压或复位电压。所述第一驱动部分产生奇数栅极线的栅极输出信号，第二驱动部分产生偶数栅极线的栅极输出信号。在所述多级级的第一级中的第一输入信号还包括垂直同步启动信号(STV)。

第一和第二驱动部分每个包括：输入部分，用于接收第一和第二时钟信号、所述低电平电压和随后级的进位输出信号，用于产生第一控制信号；下拉驱动部分，连接到所述输入部分，用于按照来自所述输入部分的第一控制信号、低电平电压、复位信号和随后级的栅极输出信号而产生第二控制信号；上拉驱动部分，连接到所述输入部分和所述下拉驱动部分，用于按照第一和第二控制信号、随后级的进位输出信号和第一时钟信号来产生第三控制信号；输出部分，它连接到所述输入部分以及所述下拉和上拉驱动部分，用于按照所述第一时钟信号和所述第一、第二和第三控制信号而产生第一和第二输出信号。所述第一和第二驱动部分相对于第一时钟终端而具有镜像对称结构。

所述输入部分包括第一、第二和第三开关元件，第二和第三开关元件的栅极连接到第二时钟信号，第二开关元件的栅极连接到第一时钟信号，第一和第二开关元件分别连接到前一个级的进位输出信号和低电平电压。

所述上拉驱动部分包括：第五开关元件，具有连接到前一个级的进位输出信号的栅极和源极、连接到第一接触点的漏极；第六开关元件，具有连接到随后级的进位输出信号的栅极、连接到第一接触点的漏极、连接到所述下拉驱动部分和所述输出部分的源极；第八开关元件，具有连接到第一时钟信号的栅极和源极、连接到第三接触点和所述下拉驱动部分的漏极；第九开关元件，具有通过第二电容器而连接到第六接触点的栅极和源极，所述栅极和漏极通过第三电容器连接到第四接触点，其中，所述第八开关元件的漏极连接到第九开关元件的栅极。

所述下拉驱动部分包括：第四开关元件，具有连接到复位信号的栅极、连接到前一个级的进位输出信号的源极、连接到所述低电平电压的漏极；第七开关元件，具有连接到随后级的栅极输出信号的栅极、连接到所述低电平电压的漏极、连接到第五接触点的源极；第十开关元件，具有连接到第二接触点的栅极、连接到低电平电压的漏极、连接到第三接触点的源极；第十一开关元件，具有连接到第二接触点的栅极、连接到低电平电压的漏极、连接到第四接触点的源极；第十二开关元件，具有连接到所述第四接触点的栅极、连接到低电平电压的漏极、连接到所述第二接触点的源极；第十三开关元件，具有连接到随后级的栅极输出信号的栅极、连接到低电平电压漏极、连接到第二接触点的源极；第十六开关元件，具有连接到随后级的栅极输出信号的栅极、连接到低电平电压的漏极、连接到输出部分的源极。

所述输出部分包括：第十四开关元件，具有连接到第五接触点的栅极、连接到第二接触点的漏极、连接到第一输出端的源极；第十五开关元件，具有连接到第十四开关元件的栅极和第五接触点的栅极、连接到第二输出端的漏极、连接到第一时钟信号的源极。

第二驱动部分还包括输出协助部分，所述输出协助部分按照第三控制信号和第一时钟信号而产生第四控制信号，并且控制第一和第二驱动部分的输出部分。所述下拉驱动部分包括第十七开关元件，具有连接到随后级的栅极输出信号的栅极、连接到第五接触点的漏极、连接到低电平电压的源极。第十八开关元件，具有连接到随后级的栅极输出信号的栅极、连接到第二接触点的漏极、连接到低电平电压的源极。

所述输出协助部分包括：第十九开关元件，具有连接到第一接触点的栅极、连接到第二接触点和第二驱动部分的输出部分的漏极。第十九开关元件的栅极和漏极通过第一电容器彼此连接，其源极连接到第一时钟信号。第一接触点在4H期间保持高电压。第五接触点在2H期间保持高电压。第二驱动部分的第五接触点当随后级的栅极输出信号被产生时将一个低电压改变为高电压，并且在2H期间保持所述高电压。所述复位信号在大约半数级后的虚拟级(dummy stage)被产生，并且被输入到所有级。第一电容器具有大于一个高电压的电压。第一到第十九开关元件由非晶硅形成。第一到第十九开关元件通过与像素区域的开关元件基本上相同的制造处理而被形成。

在另一个实施例中，一种栅极驱动部分包括多个级，每个级包括第一栅

极线，它具有：第一连接件；第一绝缘层，它形成在第一连接件上；第一导电层，它形成在第一绝缘层上；第二绝缘层，它形成在第一绝缘层和第一导电层上；第一连接协助件，它连接到第一导电层和第一连接件。每个级还包括第二栅极线，它具有：置于第一连接件和第一导电层之间的第二连接件，

5 所述第一绝缘层形成在第二连接件上；第二导电层，它形成在第一绝缘层上，所述第二绝缘层形成在第一绝缘层和第二导电层上；第二连接协助件，它连接到第二导电层和第二连接件。

在另一个实施例中，一种显示设备包括：信号控制器，用于接收图像数据信号和控制信号以产生栅极和数据控制信号；数据驱动部分，用于接收所

10 述图像数据信号和数据控制信号，并且按照数据控制信号来将所述图像数据信号转换为图像数据电压；栅极驱动部分，用于产生栅极输出信号以按照所述栅极控制信号来导通或截止开关元件；薄膜晶体管(TFT)阵列板，它具有数据线、栅极线、开关元件和在绝缘基底上的像素电路，其中，所述栅极驱动部分形成在所述绝缘基底上，并且包括对应于栅极线的多个级，每个级产生

15 两个或多个栅极输出信号。

通过下面参照附图而读取的本发明的实施例的详细说明，本发明这些和其他目的、特点和优点将会变得清楚。

本申请基于2004年6月10日提交的韩国专利申请第2004-0042573号的优先权，其内容通过引用整体被并入在此。

20

#### 附图说明

通过参照附图来详细说明本发明的实施例，本发明的上述和其他特点和优点将变得更清楚，其中：

- 图1是按照一个例证实施例的显示设备的方框图；
- 25 图2是按照一个例证实施例的显示设备中的像素的等效电路图；
- 图3是按照一个例证实施例的栅极驱动部分的方框图；
- 图4是用于图3中的栅极驱动部分的移位寄存器中的第j级的电路图；
- 图5是在图3中的栅极驱动部分的信号波形的图示；
- 图6a是示出在图4中的第j级的一部分的电路图；
- 30 图6b是示出按照另一个例证实施例的第j级的一部分的电路图；
- 图7是按照一个例证实施例的显示设备的TFT阵列板的图；

图 8 是沿着在图 7 中的线 7-7 的 TFT 阵列板的横截面图;

图 9 是在图 3 中的栅极线的布局视图;

图 10 是沿着图 9 中的线 9-9 的横截面视图。

## 5 具体实施方式

以下, 参照附图来详细说明本发明的实施例。

图 1 是按照一个例证实施例的显示设备的方框图, 图 2 是描述按照一个例证实施例的在显示设备中的像素的等效电路。

如图 1 所示, 显示设备包括薄膜晶体管(TFT)阵列板 300。栅极和数据驱动部分 400 和 500 分别连接到 TFT 阵列板 300。伽马电压产生部分 800 连接到数据驱动部分 500 和信号控制器 600。

TFT 阵列板 300 包括延伸到栅极驱动部分 400 的信号线(G1-Gn)和延伸到数据驱动部分 500 的信号线(D1-Dm)。TFT 阵列板 300 也包括像素 Px, 每个像素连接到信号线并且以矩阵排列。信号线(G1-Gn, D1-Dm)包括用于传送栅极信号的栅极线 G1-Gn 和用于传送数据信号的数据线 D1-Dm。所述栅极线 G1-Gn 在水平方向上彼此平行地形成, 并且数据线 D1-Dm 彼此平行地形成, 并且与栅极线 G1-Gn 相交, 如图所示。每个像素 Px 包括连接到栅极和数据线(G1-Gn, D1-Dm)的开关元件 Q 和连接到开关元件 Q 的像素电路(未示出)。开关元件 Q 可以是薄膜晶体管。另外, 开关元件 Q 可以以非晶硅来制造。

在液晶显示器(以下称为“LCD”)中, 如图 2 所示, TFT 阵列板 300 包括下基底 100、上基底 200 和一般在下和上基底 100 和 200 之间放置的、以 3 来指示的液晶层。下基底 100 包括被指示为 Gi-1 和 Gi 的图 1 的栅极和数据线(G1-Gn, D1-Dm)以及开关元件 Q(仅仅示出了一个)。所述像素电路包括液晶电容器  $C_{LC}$  和存储电容器  $C_{ST}$ 。但是, 可能按照需要而省略存储电容器  $C_{ST}$ 。

液晶电容器  $C_{LC}$  具有在下基底 100 上形成的像素电极 190 的导电层。在上基底 200 和液晶层 3 的介电层(未示出)上形成公共电极 270。像素电极 190 连接到开关元件 Q。公共电极 270 形成在限定上基底 200 的整个表面上, 并且接收公共电压 Vcom(未示出)。但是, 可以在下基底 100 上形成公共电极 270。当在下基底 100 上形成公共电极 270 时, 所述像素和公共电极 190 和 270 可以具有杆状或直线形状。

通过在下基底 100 和像素电极 190 上叠加另一条信号线(未示出)来形成存

储电容器  $C_{ST}$ 。所叠加的信号线接收预定电压，诸如相对于在上基底 200 上的公共电极 270 的上述的公共电压  $V_{com}$ 。而且，可以通过重叠前一个栅极线和像素电极 190 来形成存储电容器  $C_{ST}$ 。

5 上基底 200 具有例如用于显示图像的包括红色、绿色和蓝色滤色器的滤色器 230。如图 2 所示，滤色器 230 形成在上基底 200 上，但是也可以在下基底 100 上形成的像素电极 190 之上或之下形成滤色器 230。至少一个偏振器(未示出)被放置在下基底 100 和上基底 200 的外部，用于偏振光。

返回参见图 1。伽马电压产生部分 800 具有相对于公共电压的正电压和负电压组。栅极驱动部分 400 连接到栅极线  $G1-G_n$ ，并且向栅极线  $G1-G_n$  施加栅极控制信号，诸如栅极导通电压  $V_{on}$  和栅极截止电压  $V_{off}$ 。所述栅极导通电压  $V_{on}$  将开关元件  $Q$  导通，所述栅极截止电压  $V_{off}$  将开关元件  $Q$  截止。数据驱动部分 500 连接到数据线  $D1-D_m$ ，并且通过从伽马电压产生部分 800 选择对应于数字图像数据的伽马电压来向像素(PX)施加所述数据电压。信号控制器 600 分别控制栅极驱动部分 400 和数据驱动部分 500 的操作。

15 现在，参照图 1 来详细说明显示器的操作。

参照图 1 可以最佳地看到，信号控制器 600 从外部器件(未示出)接收图像数据信号  $R$ 、 $G$ 、 $B$  和输入控制信号，所述输入控制信号包括例如水平同步信号  $Hsync$ 、垂直同步信号  $Vsync$ 、主时钟  $MCLK$  和数据使能信号  $DE$ 。信号控制器 600 按照所述图像数据信号  $R$ 、 $G$ 、 $B$  和输入控制信号来产生栅极控制信号  $CONT1$  和数据控制信号  $CONT2$ 。信号控制器 600 向栅极驱动部分 400 发送栅极控制信号  $CONT1$ ，并且向数据驱动部分 500 发送数据控制信号  $CONT2$ 。

栅极控制信号  $CONT1$  包括例如垂直同步起始信号、栅极时钟信号和输出使能信号。所述垂直同步起始信号指示栅极驱动部分 400 开始输出栅极导通电压  $V_{on}$ 、用于控制栅极导通电压  $V_{on}$  的输出的栅极时钟信号和用于控制栅极导通电压  $V_{on}$  的周期的输出使能信号。数据控制信号  $CONT2$  包括例如水平同步起始信号、载荷信号和数据时钟信号。水平同步起始信号向数据驱动部分 500 通知图像数据电压的输出周期。所述载荷信号指示数据驱动部分 500 向数据线  $D1-D_m$  施加所述图像数据电压。在这个实施例中，数据控制信号  $CONT2$  可以包括极性反转信号，用于将图像数据电压相对于公共电压而反转。

数据驱动部分 500 按照来自信号控制器 600 的数据控制信号 CONT2 依序接收对应于像素的图像数据信号，并且通过选择对应于所述图像数据信号的伽马电压来将所述图像数据信号转换为图像数据电压。然后，数据驱动部分 500 向数据线 D1-Dm 施加所述图像数据电压。

5 栅极驱动部分 400 按照来自信号控制器 600 的栅极控制信号 CONT1 向栅极线 G1-Gn 施加栅极导通电压 Von，并且导通与栅极线 G1-Gn 连接的开关元件 Q。施加到数据线 D1-Dm 的图像数据电压然后当导通开关元件 Q 时被施加到对应的像素。如图 2 所示，在图像数据电压和公共电压 Vcom 之间的电压差表示在液晶电容器 CLC 中的充电电压，例如像素电压。

10 现在，参照图 3-10 而更详细地说明按照一个例证实施例的栅极驱动部分 400。

图 3 是栅极驱动部分 400 的方框图。图 4 是图 3 中的栅极驱动部分的移位寄存器的第 j 级的电路图，图 5 是在图 3 中的栅极驱动部分的信号波形的图示。

15 如图 3 所示，栅极驱动部分 400 包括具有多个级 410(仅示出四个级)的移位寄存器。每个级 410 连接到两条栅极线(例如  $G_n$ 、 $G_{n+1}$ )。栅极驱动部分 400 接收帧复位信号(RESET)、垂直同步起始信号(STV)、时钟信号(CLK1)和(CLK2)、栅极截止电压(Voff)。为了简单，时钟信号 CLK1 和 CLK2 的高电平和低电平分别被称为高电压和低电压。低电压与 Voff 大致相同。

20 如上所述，每个级 410 连接到两条栅极线，其中，每个级 410 的所述两条栅极线之一和相邻级的栅极线相交。换句话说，如图 3 所示，连接到第一和第二级 ST1 和 ST2 的四条栅极线 G1-G4 中的、分别连接到第一和第二级 ST1 和 ST2 的栅极线  $G_2$  和  $G_3$  相交。另外，连接到第 j 级 STj 和第 j+1 级 STj+1(j 是奇数)的栅极线  $G_{2j-1}$ - $G_{2j+2}$  中的两条栅极线  $G_{2j}$  和  $G_{2j+1}$  相交。

25 每个级 410 包括置入端 S1 和 S2、栅极电压端 GV1 和 GV2、时钟端 CK1 和 CK2、复位端 R1 和 R2、帧复位端 FR1 和 FR2、栅极输出端 OUT11 和 OUT21、进位输出端 OUT12 和 OUT22。

例如第 j 级 STj 的每个级的置入端 S1 接收诸如前一个进位输出信号 Cout(2j-2)的前一个级 STj-1(未示出)的进位输出信号，并且复位端 R1 接收下一个级 STj+1 的栅极输出，诸如下一个栅极输出 Gout(2j)。而且，置入端 S2 接收下一个进位输出信号 Cout2j，复位端 R2 接收下一个栅极输出 Gout 2j+2。

在此，两个相邻级的第一级的置入端 S1 和 S2 分别从前一个和下一个级接收进位输出信号，但是，所述两个相邻级的第二级的置入端 S1 和 S2 都从前一个级接收进位输出信号。同时，所述两个相邻级的第一级的复位端 R1 和 R2 都从下一个级接收栅极输出，所述两个相邻级的第二级的复位端 R1 和 R2 分别从前一个和下一个级接收栅极输出。

第 j 级 ST<sub>j</sub> 的时钟端 CK1 和 CK2 分别接收时钟信号 CLK1 和 CLK2，第 j 级 ST<sub>j</sub> 的栅极电压端 GV1 和 GV2 都接收栅极截止电压 V<sub>off</sub>。栅极输出端 OUT11 和 OUT21 分别输出栅极输出 G<sub>out 2j-1</sub> 和 G<sub>out 2j+1</sub>，进位输出端 OUT12 和 OUT22 分别输出进位输出信号 C<sub>out 2j-1</sub> 和 C<sub>out 2j+1</sub>。在第一级

10 ST<sub>1</sub> 中，置入端 S1 接收垂直同步起始信号 STV 而不是前一个进位输出。当第 j 级 ST<sub>j</sub> 的时钟端 CK1 和 CK2 分别接收时钟信号 CLK1 和 CLK2 时，相邻的第(j-1)和第(j+1)级 ST<sub>j-1</sub> 和 ST<sub>j+1</sub> 的时钟端 CK1 接收时钟信号 CLK2，并且相邻的第(j-1)和第(j+1)级 ST<sub>j-1</sub> 和 ST<sub>j+1</sub> 的时钟端 CK2 接收时钟信号 CLK1。

15 当时钟信号 CLK1 和 CLK2 处于高电压时，所述高电压与栅极导通电压 V<sub>on</sub> 大致相等。而且，当时钟信号 CLK1 和 CLK2 处于低电压时，所述低电压与栅极截止电压 V<sub>off</sub> 大致相等。如图 5 所示，时钟信号 CLK1 和 CLK2 具有 50% 的占空比(例如，时钟导通与其截止相同的工作周期)，并且时钟信号 CLK1 和 CLK2 的相位差是 180 度。

20 参见图 4，其中图解了图 3 的 ST<sub>j</sub> 级或第 j 级 410。栅极驱动部分 400 的、包括图 4 的第 j 级的每个级 410 相对于连接到时钟端 CK1 的时钟线具有镜像对称结构。每个级 410 包括输入部分 420a 和 420b、上拉驱动部分 430a 和 430b、下拉驱动部分 440a 和 440b、输出协助部分 450 以及输出部分 460a 和 460b。输入部分 420a 和 420b、上拉驱动部分 430a 和 430b、下拉驱动部分 440a 和

25 440b、输出协助部分 450、输出部分 460a 和 460b 包括 NMOS(N 沟道金属氧化物半导体器件)晶体管 MA1-MA15、MB1-MB15 和 T1-T3。所述上拉驱动部分 430a 和 430b 还包括电容器 C2、C3、C2' 和 C3'。输出协助部分 450 还包括电容器 C1。或者，可以使用 PMOS(P 沟道金属氧化物半导体)来取代 NMOS 晶体管，并且所述电容器 C1-C3、C2' 和 C3' 可以是在栅极和漏极以及栅极和

30 源极之间的寄生电容。

输入部分 420a 包括连接到置入端 S1 和栅极电压端 GV1 的三个晶体管

MA1、MA2 和 MA3。输入部分 420b 包括连接到置入端 S2 和栅极电压端 GV2 的三个晶体管 MB1、MB2 和 MB3。晶体管 MA1-MA2 和 MB1-MB2 的栅极连接到时钟端 CK2。晶体管 MA3 和 MB3 的栅极连接到时钟端 CK1。晶体管 MA1 和 MA3 与晶体管 MB1 和 MB3 的接触点共同连接到接触点 J1。晶体管 MA3 和 MA2 的接触点连接到接触点 J2，并且晶体管 MB3 和 MB2 的接触点连接到接触点 J2'。

上拉驱动部分 430a 包括在置入端 S1 和接触点 J5 之间放置的两个晶体管 MA5 和 MA6、在时钟端 CK1 和接触点 J3 之间放置的晶体管 MA8、在时钟端 CK1 和接触点 J4 之间放置的晶体管 MA9。晶体管 MA5 和 MA6 的栅极连接到置入端 S1，并且晶体管 MA5 的漏极连接到晶体管 MA5 的栅极。晶体管 MA5 和 MA6 的接触点连接到接触点 J1；晶体管 MA8 的栅极和漏极连接到时钟端 CK1；晶体管 MA8 的源极连接到接触点 J3。晶体管 MA9 的栅极连接到接触点 J3 以及通过电容器 C2 连接到时钟端 CK1。晶体管 MA9 的漏极连接到时钟端 CK1；晶体管 MA9 的源极连接到接触点 J4，并且电容器 C3 置于接触点 J3 和 J4 之间。

上拉驱动部分 430b 包括在置入端 S2 和接触点 J5' 之间放置的两个晶体管 MB5 和 MB6、在时钟端 CK1 和接触点 J3' 之间放置的晶体管 MB8、在时钟端 CK1 和接触点 J4' 之间放置的晶体管 MB9。晶体管 MB5 和 MB6 的栅极连接到置入端 S2，并且晶体管 MB5 的漏极连接到栅极。晶体管 MB5 和 MB6 的接触点连接到接触点 J1；晶体管 MB8 的栅极和漏极连接到时钟端 CK1；晶体管 MB8 的源极连接到接触点 J3'。晶体管 MB9 的栅极通过电容器 C2' 而连接到时钟端 CK1。晶体管 MB9 的漏极连接到时钟端 CK1；晶体管 MB9 的源极连接到接触点 J4'，并且电容器 C3' 置于接触点 J3' 和 J4' 之间。

下拉驱动部分 440a 包括晶体管 MA4、MA7、MA10、MA11、MA12、MA13、MA16。下拉驱动部分 440b 包括晶体管 MB4、MB7、MB10、MB11、MB12、MB13、MB16。下拉驱动部分 440a 和 440b 还包括两个晶体管 T2 和 T3。晶体管 MA4 和 MB4 的栅极分别连接到帧复位端 FR1 和 FR2，而晶体管 MA4 和 MB4 的漏极分别连接到置入端 S1 和 S2。晶体管 MA7 和 MB7 的栅极分别连接到复位端 R1 和 R2，并且晶体管 MA7 和 MB7 的漏极分别连接到接触点 J5 和 J5'。晶体管 MA10、MA11 和晶体管 MB10、MB11 的栅极分别连接到接触点 J2 和 J2'。晶体管 MA10 和 MA11 的漏极分别连接到接触点 J3

和 J4，而晶体管 MB10 和 MB11 的漏极分别连接到接触点 J3' 和 J4'。晶体管 MA12 和 MB12 的栅极分别连接到接触点 J4 和 J4'，而晶体管 MA13 和 MB13' 的栅极分别连接到复位端 R1 和 R2。晶体管 MA12 和 MA13 的漏极与晶体管 MB12 和 MB13 的漏极分别连接到接触点 J2 和 J2'。晶体管 MA16 和 MB16 的栅极分别连接到复位端 R1 和 R2，晶体管 MA16 的漏极连接到输出端 OUT11 和 OUT12，晶体管 MB16 的漏极连接到输出端 OUT21 和 OUT22。晶体管 T2 和 T3 的栅极连接到复位端 R2，晶体管 T2 和 T3 的漏极分别连接到接触点 J1 和 J2'。在此，应当注意，接触点 J2 和 J2' 彼此连接。

输出协助部分 450 包括晶体管 T1 和电容器 C1。晶体管 T1 的漏极和源极分别连接到接触点 J2 和 J2'，并且电容器 C1 置于晶体管 T1 的栅极和源极之间。

输出部分 460a 包括晶体管 MA14 和 MA15，并且输出部分 460b 包括晶体管 MB14 和 MB15。晶体管 MA14 和 MA15 的栅极与晶体管 MB14 和 MB15 的栅极分别连接到接触点 J5 和 J5'，并且晶体管 MA14 和 MB14 的漏极分别连接到接触点 J2 和 J2'。

现在，参照图 5 并且结合图 6 来详细说明在移位寄存器中的级的操作。

图 5 是在图 3 中的栅极驱动部分的信号波形的图示。

当时钟信号 CLK2 和前一个进位输出 Cout(2j-2) 处于高电压并且时钟信号 CLK1 处于低电压时，晶体管 MA1、MA2、MA5 和 MA6 被导通。晶体管 MA5 和 MA6 向接触点 J1 和 J5 传送高电压，晶体管 MA2 向接触点 J2 传送低电压。晶体管 T1、MA14 和 MA15 被导通，然后在接触点 J2 上的低电压和时钟信号 CLK1 分别被输出到输出端 OUT11 和 OUT12。换句话说，输出电压 Gout(2j-1) 和 Cout(2j-1) 变为低电压。而且，在高电压和低电压之间的电压差对电容器 C1 充电。此时，由于时钟信号 CLK1、随后的栅极输出 Gout 2j、Gout(2j+1) 和 Gout(2j+2) 以及接触点 J2 处于低电压，所以晶体管 MA3、MA4、MA7-MA13、MB3-MB13、T2 和 T3 被截止。

接着，当时钟信号 CLK2 处于低电压并且时钟信号 CLK1 处于高电压时，晶体管 MA1、MA2、MB1 和 MB2 被截止，并且晶体管 T1 的输出电压和接触点 J2 变为高电压。此时，虽然晶体管 MA3 和 MB3 的栅极接收高电压，但是晶体管 MA3 和 MB3 被截止，因为晶体管 MA3 和 MB3 的源极也具有与接触点 J2 和 J2' 相同的电压，并且在所述源极和栅极之间的电压差变为零。于

是，接触点 J1 变为浮动状态，因此具有例如高电压两倍的电压，它大于电容器 C1 的高电压。

同时，因为时钟信号 CLK1 和接触点 J2 和 J2' 处于高电压，因此晶体管 MA8、MA10、MA11、MB8、MB10 和 MB11 被导通。当晶体管 MA8 和 MA10 被导通时，接触点 J3 具有由置于晶体管 MA8 和 MA10 之间的电阻器(未示出)产生的分压，并且接触点 J3' 具有由在晶体管 MB8 和 MB10 之间的电阻器(未示出)产生的分压。但是，当在晶体管 MA10 和 MB10 的导通时间中的电阻值是在晶体管 MA8 和 MB8 导通时间中的电阻值的大约 10,000 倍时，所述分压具有与接触点 J3 和 J3' 大致相同的电压。此时，晶体管 MA9 和 MB9 被导通，因此与晶体管 MA11 和 MB11 串联。而且，接触点 J4 具有由在晶体管 MA9 和 MA11 导通时间中的电阻器(未示出)产生的分压，接触点 J4' 具有由在晶体管 MB9 和 MB11 导通时间中的电阻器(未示出)产生的分压。例如，如果晶体管 MA9 和 MA11 的电阻值与晶体管 MB9 和 MB11 的电阻值相同，则接触点 J4 和 J4' 具有高电压和低电压间的大约一半电压。因此，晶体管 MA12 和 MB12 保持在截止状态。因为随后的栅极输出 Gout 2j 保持低电压，因此晶体管 MA7 保持截止状态，并且接触点 J5 保持高电压。因此，输出端 OUT11 和 OUT12 连接到接触点 J2 并且输出高电压。

同时，对应于在通过电容器 C2 和 C3 的电压差的电压分别将电容器 C2 和 C3 充电，并且接触点 J3 具有低于接触点 J6 的电压。

接着，当随后的栅极输出 Gout 2j 和时钟信号 CLK2 处于高电压并且时钟信号 CLK1 处于低电压时，晶体管 MA5 和 MA13 被导通，并且低电压分别被发送到接触点 J5 和 J2。此时，因为晶体管 MA14 和 MA15 被截止并且晶体管 MA16 被导通，因此输出端 OUT11 和 OUT12 连接到栅极截止电压端 Voff 并且输出低电压。

同时，因为晶体管 MA8 和 MA10 被截止，因此接触点 J3 具有浮动状态。而且，因为即使当接触点 J6 具有低于接触点 J4 的电压时接触点 J3 也通过电容器 C2 具有低于接触点 J5 的电压，因此晶体管 MA9 被截止。此时，因为晶体管 MA11 被截止并且接触点 J4 具有低电压，因此晶体管 MA12 保持截止状态。而且，晶体管 MA3 保持截止状态，因为晶体管 MA3 的栅极具有低电压并且接触点 J2 具有低电压。因为接触点 J1 具有高电压，因此晶体管 T1 保持截止状态。

接着，当时钟信号 CLK1 处于高电压时，晶体管 MA8 和 MA10 被导通，并且接触点 J4 具有提高的电压，因此晶体管 MA12 被导通，并且接触点 J2 具有低电压。换句话说，虽然随后的栅极输出 Gout 2j 处于低电压，接触点 J2 也可以具有低电压。

5 同时，输入部分 420b、上拉驱动部分 430b 和下拉驱动部分 440b 与上述的输入部分 420b、上拉驱动部分 430a 和下拉驱动部分 440a 大致相同地工作。因此，省略对这些工作的详细说明。

但是，接触点 J1 具有用于将在电容器 C1 中充电的电压加到一个高电压上的电压。换句话说，当栅极输出 Gout 2j 处于高电压时，接触点 J1 具有高电压，然后当时钟信号 CLK1 处于高电压时，接触点 J1 具有将在电容器 C1 中充电的电压加到一个高电压上的电压。参见图 5，接触点 J1 具有恒定电压，但是当产生进位输出信号 Cout(2j-1)和 Cout(2j+1)时可以提高一个电压。同时，接触点 J5'当进位输出 Cout 2j 处于高电压时具有高电压，接触点 J5'当进位输出 Cout 2j 处于低电压时具有浮动状态。于是，接触点 J5'保持所述高电压。  
15 换句话说，接触点 J5'在 2H 或全工作周期期间保持所述高电压。

当栅极输出 Gout(2j+2)处于高电压时，接触点 J1 和 J5'分别通过晶体管 MB7 而具有低电压。于是，接触点 J1 在 4H 或两个工作周期期间保持高电压，并且接触点 J5'在 2H 或单个工作周期期间保持高电压。

同时，当晶体管 MA3 和 MB3 的栅极连接到时钟信号 CLK1 的高电压并且接触点 J2 和 J2'具有低电压时，晶体管 MA3 和 MB3 被导通，并且接触点 J2 和 J2'的低电压被发送到接触点 J1。但是，晶体管 T1 的漏极连接到时钟端 CK1，因此连续地接收时钟信号 CK1。具体而言，因为晶体管 T1 比其他晶体管大得多，因此在晶体管 T1 的栅极和漏极之间的寄生电容较大。因此，当时钟信号 CK1 处于高电压时，晶体管 M10 可以被寄生电容导通。通过向接触点 J1 传送低电压来将晶体管 T1 的栅极保持在低电压防止了晶体管 T1 被导通。  
20  
25

接着，在所述 n 级的 n/2 级的操作后，在随后的虚拟级产生的复位信号 RESET 被输入到所有级的帧复位端 FR1 和 FR2，并且将置入端 S1 和 S2 设置到低电压。

30 然后，直到前一个进位输出 Cout(2j-2)变为高电压，接触点 J1 才保持低电压。当时钟信号 CLK1 处于高电压并且时钟信号 CLK2 处于低电压时，接

触点 J2 和 J2'通过晶体管 MA12 和 MB12 而具有低电压,当时钟信号 CLK1 处于低电压并且时钟信号 CLK2 处于高电压时,接触点 J2 和 J2'通过晶体管 MA2 和 MB2 而保持低电压。

5 以这种方式,级 410 按照进位输出信号 Cout(2j-2)和 Cout 2j 以及栅极输出信号 Gout 2j 和 Gout(2j+2)并且通过与时钟信号 CLK1 和 CLK2 同步而产生进位输出信号 Cout(2j-1)和 Cout(2j+1)。

如图 4 所示,已经说明了在一个级中输出两个栅极输出信号,但是考虑可以在一个级中产生两个或多个栅极输出信号。现在,参照图 6a 和 6b 来详细说明。

10 图 6a 是示出图 4 的第 j 级的一部分的电路图。

如上所述,当输入到置入端 S1 的进位输出信号处于高电压时,接触点 J1 和 J5 具有高电压,因此晶体管 T1 和 MA14 被导通。所述高电压当时钟信号 CLK1 变为输出到外部的高电压时被输出。而且,当输入到置入端 S2 的进位输出信号处于高电压时,接触点 J1 和 J5'具有高电压,因此晶体管 T1 和 MB14  
15 被导通。当时钟信号 CLK1 变为高电压时所述高电压被输出。于是,接触点 J4 在 4H 或两个工作周期期间保持高电压,并且接触点 J5 和 J5'在 2H 或单个工作周期期间保持高电压。

如图 6b 所示,当使用在图 6a 所示的“A”区域中的结构时,可以向图 6a 中的结构增加一个输出端。于是,当接触点 J1 在 6H 或三个工作周期期间保持高电压并且接触点 J5、J5'和 J5''在 2H 或单个工作周期期间保持高电压  
20 的时候,输出输出信号。换句话说,当重复地应用图 6b 的结构时,应当注意两条或多条栅极线可以连接到一个级。按照这种结构,可以减小占用级的最大面积的晶体管 T1 对应的晶体管的数量,因此可以减小级的整个面积。而且,晶体管 T1 可以被制造得大于传统的结构,并且也可以改善输出性能。

25 现在,参照图 7-10 来详细说明按照一个实施例的用于显示设备的 TFT 阵列板的结构。

图 7 是显示设备的 TFT 阵列板的图,图 8 是沿着图 7 的线 7-7 的 TFT 阵列板的横截面视图,图 8 是图 3 中的栅极线的布局视图,图 10 是沿着图 9 的线 9-9 的横截面视图。

30 如图 7 和 8 所示,在绝缘基底 110 上形成栅极线 121a 和 121b。栅极线 121a 和 121b 传送栅极信号,并且在水平方向上朝向栅极驱动部分 400(图 1)

而被形成。栅极线 121a 和 121b 的一些部分变为栅极电极 124，栅极线 121a 和 121b 的其他部分变为在栅极线 121a 和 121b 垂直的向下方向上突出的突出部分 127。而且，栅极线 121a 和 121b 的另一部分形成在斜方向并且彼此相交，栅极线 121a 和 121b 的再一部分平行地形成并且不彼此相交。

5 栅极线 121a 和 121b 具有导电层，它包括基于银的金属、基于铝的金属和基于铜的金属，基于银的金属诸如低电阻的银(Ag)、银合金，基于铝的金属诸如铝(Al)或铝合金，基于铜的金属诸如铜或铜合金。而且，栅极线 121a 和 121b 可以具有多层的结构，它还包括其他具有 Cr、Ti、Ta、Mo——包括其合金——的导电层。例如，具有与 ITO 或 IZO 良好的物理、化学和电接触的 MoW 合金被考虑，但是不限于此。上下层的两层结构可以是例如 Cr/Al-Nd 合金。限定栅极线 121a 和 121b 的侧边相对于限定绝缘基底 110 的表面倾斜。倾斜角是在相对于限定绝缘基底 110 的表面的大约 30 度和大约 80 度之间。

15 由例如 SiN<sub>x</sub> 制造而成但是不限于此的栅极绝缘层 140 被形成在栅极线 121a 和 121b 上。包括氢化非晶硅(以下称为“a-Si”)的条状半导体 151 被形成在栅极绝缘层 140 上。所述条状半导体 151 被形成在如图 8 所示的垂直方向上，并且具有第一延伸部分 154，它被形成来向栅极电极 124 延伸。第一延伸部分 154 具在对应于与栅极线 121 相交的位置有增加的表面面积。在条状半导体 151 上形成条状和岛状的欧姆接触元件 161 和 165，它们包括例如具有硅化物或 n 型杂质高度掺杂的 n+a-Si，但是不限于此。所述条状电阻性接触件 161 具有第二延伸部分 163。第二延伸部分 163 和岛状欧姆接触元件 165 被形成在第一延伸部分 154 上。而且，限定条状半导体 151 和条状以及岛状欧姆接触元件 161 和 165 的侧面倾斜，如图 8 所示。倾斜角在相对于限定绝缘基底 110 的表面的大约 30 度和大约 80 度之间。

25 参见图 7，数据线 171 和输出电极 175 分别被形成在条状和岛状的欧姆接触元件 161 和 165 上，存储电容器 177 和输出信号线 79a 和 79b 被形成在栅极绝缘层 140 上。数据线 171 被形成在与栅极线 121 垂直的方向上并且传送数据电压。输入电极 173 被形成以从数据线 171 向输出电极 175 延伸。输入和输出电极 173 和 174 分别彼此分离并且与栅极电极 124 相对。

30 如图 9 所示，输出信号线 79a 和 79b 从在栅极驱动部分 400 中的晶体管 MA14 和 MB14 延伸。输出信号线 79a 具有限定其终端部分的倾斜结构。

再次参见图 8，栅极电极 124 以及输入和输出电极 173 和 175 沿着第一

延伸部分 154 而变成 TFT，并且 TFT 的沟道区域被形成在在输入和输出电极 173 和 175 之间的第一延伸部分 154 中。存储电容器 177 与突出部分 127 重叠。

5 数据线 171、输出电极 175、输出信号线 79a 和 79b、存储电容器 177 包括导电层，它具有例如基于银的金属(诸如低电阻的银(Ag)、银合金)、基于铝的金属(诸如铝(Al)或铝合金)和基于铜的金属(诸如铜或铜合金)，但是不限于此。而且，栅极线 171、输出电极 175、输出信号线 79a 和 79b 以及存储电容器 177 可选地包括多层的结构，它还包括其他具有 Cr、Ti、Ta、Mo 及其合金的导电层，其中包括例如具有与 ITO 或 IZO 良好的物理、化学和电接触的  
10 MoW 合金被考虑，但是不限于此。数据线 171、输出电极 175、输出信号线 79a 和 79b、存储电容器 177 的侧边也相对于限定绝缘基底 110 的表面倾斜，倾斜角是在大约 30 度和大约 80 度之间。

条状和岛状的欧姆接触元件 161 和 165 置于条状半导体 151 和数据线 171 和输出电极 175 之间。条状和岛状的欧姆接触元件 161 和 165 分别减小了接  
15 触电阻。

在数据线 171、输出电极 175、输出信号线 79a 和 79b、存储电容器 177 和条状半导体 151 的暴露部分上形成钝化层 180，它包括具有良好特性和感光性的有机材料、例如通过 PECVD 方法形成的具有小于 4.0 的低介电常数的绝缘材料(例如 a-Si:C:O 或 a-Si:O:F)或具有例如 SiN 的无机材料。但是，钝化  
20 层 180 可选地以有机材料和 SiN 的两层结构形成。在钝化层 180 上形成分别暴露数据线 171、输出电极 175 和存储电容器 177 的终端部分的接触孔 182、185、187、188 和 183。而且，在钝化层 180 上形成接触孔 189 和 184，它们分别沿着栅极绝缘层 140 而暴露栅极线 121a 和 121b 的终端部分。

像素电极 190、接触协助件 82 以及连接协助件 83 和 87 被形成在钝化层  
25 180 上。像素电极 190 经由接触孔 185 和 187 而分别物理地和电子地连接到输出电极 175 和存储电容器 177。像素电极 190 从输出电极 175 接收图像数据电压，并且向存储电容器 177 传送图像数据电压。

返回参见图 2，在接收图像数据电压的像素电极 190 和接收公共电压的、在上基底 200 上形成的公共电极 270 之间产生电场。因此，通过所述电场来  
30 重新布置在像素以及公共电极 190 和 270 之间放置的液晶层 3 的液体分子结构。

如上所述,像素电极 190 和公共电极 270 变为电容器,因此,即使在 TFT 被截止后,LC 电容器也保持所述图像数据电压。而且,存储电极 Cst 与用于增强充电性能的 LC 电容器平行地被形成。参见图 8,存储电极 Cst 被以像素电极 190 与相邻栅极线 121 重叠的方式形成。另外,在垂直于栅极线 121 的  
5 的向下方向上突出的突出部分 127 通过增加在栅极线 121 和存储电极 Cst 之间的重叠面积而增加电容。连接到像素电极 190 并且与突出部分 127 重叠的存储电容器 177 被形成在钝化层 180 下,使得在存储电容器 177 和钝化层 180 之间的间隙变窄。

像素电极 190 与相邻的栅极线 121 和数据线 171 重叠,因此可以提高 TFT  
10 阵列板的孔径比。但是,应当注意,像素电极 190 可能不与相邻的栅极线 121 和数据线 171 重叠。

参见图 7-10,接触协助件 82 经由接触孔 182 而连接到数据线的终端。接触协助件 82 可以改善将数据线 171 的终端附接到外部器件并且保护这些元件的特性。连接协助件 83 和 87 分别经由接触孔 188 和 189 与接触孔 183 和 184  
15 物理地和电子地连接到输出信号线 79a 和栅极线 121a、输出信号线 79b 和栅极线 121b。连接协助件 83 和 87 分别从输出信号线 79a 和 79b 接收栅极电压,并且向栅极线 121a 和 121b 传送所述栅极电压。以这种方式,可以交叉两条栅极线。但是,应当注意可以交叉两条或多条栅极线。如图 9 所示,输出信号线 79a 通过分别在输出信号线 79a 和栅极线 121a 的终端形成接触孔 188 和  
20 189、并且使用连接协助件 87 而连接到栅极线 121a。但是,输出信号线 79a 可以与栅极线 121a 重叠,并且使用在重叠部分上形成的接触孔 188 和 189 来连接到栅极线 121a。

按照在此公开的例证实施例,像素电极 190 由例如透明的导电聚合物形成,并且在反射型 LCD 中,像素电极 190 可以由不透明的反射型金属形成。  
25 接触协助件 82 可选地由包括例如 ITO 或 IZO 的不同材料形成。

如上所述,每个级可以通过共享占用最大面积的输出部分 450(图 4)的晶体管 T1 来减小总的表面面积。于是,在此公开的例证实施例提高了设计的容限,并且提供了显示设备的高分辨率。而且,在此公开的例证实施例使得可以提高输出性能和改善栅极驱动部分的性能。

30 虽然已经说明了本发明的实施例及其优点,应当注意,可以在不脱离由所附的权利要求限定的本发明的精神和范围的情况下在此进行各种改变、替换和修改。

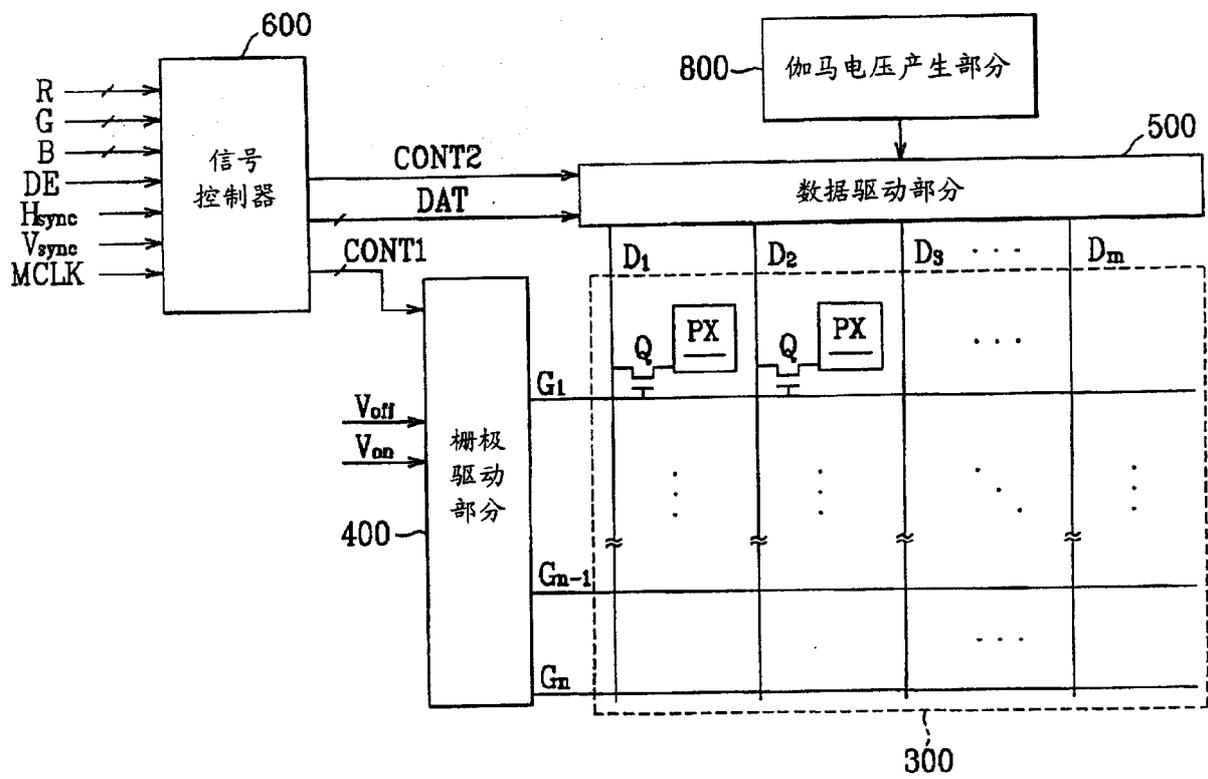


图 1

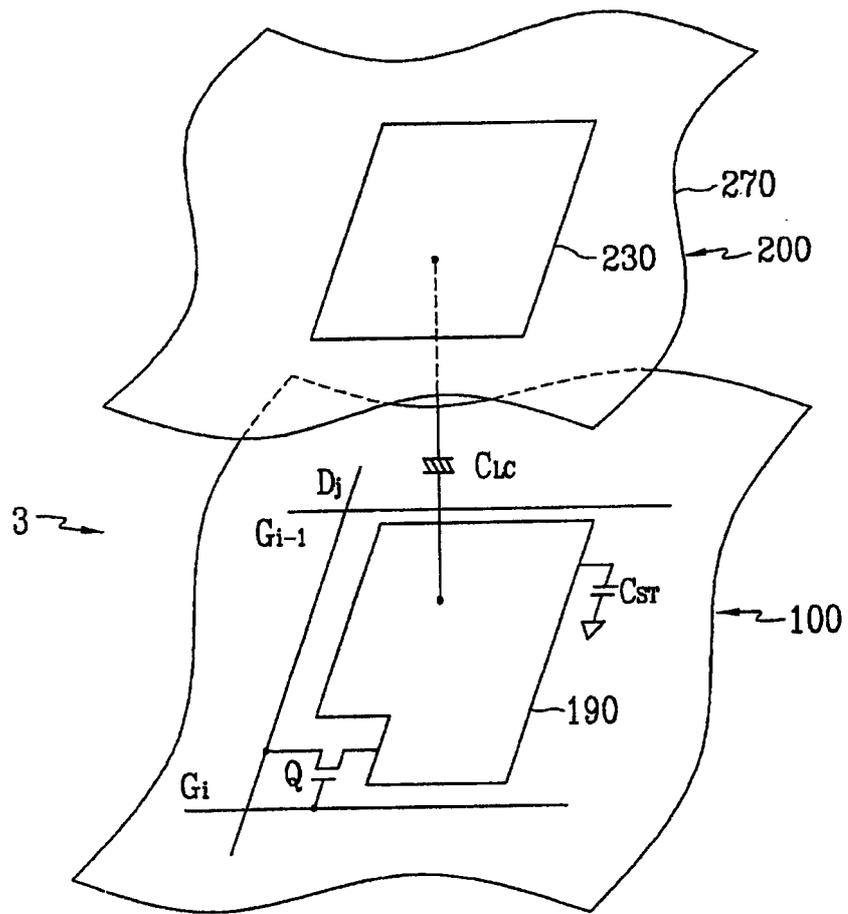


图 2

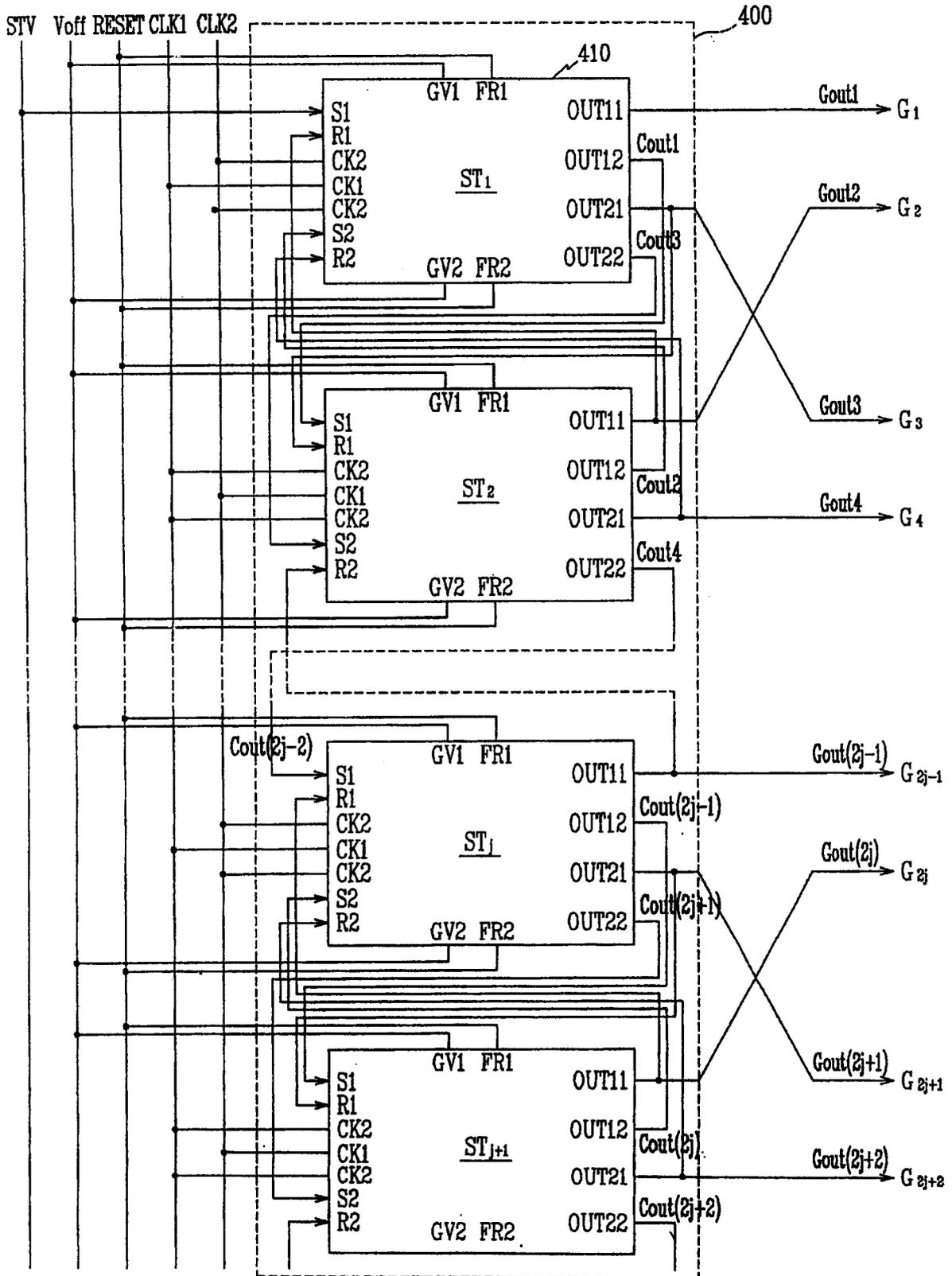


图 3

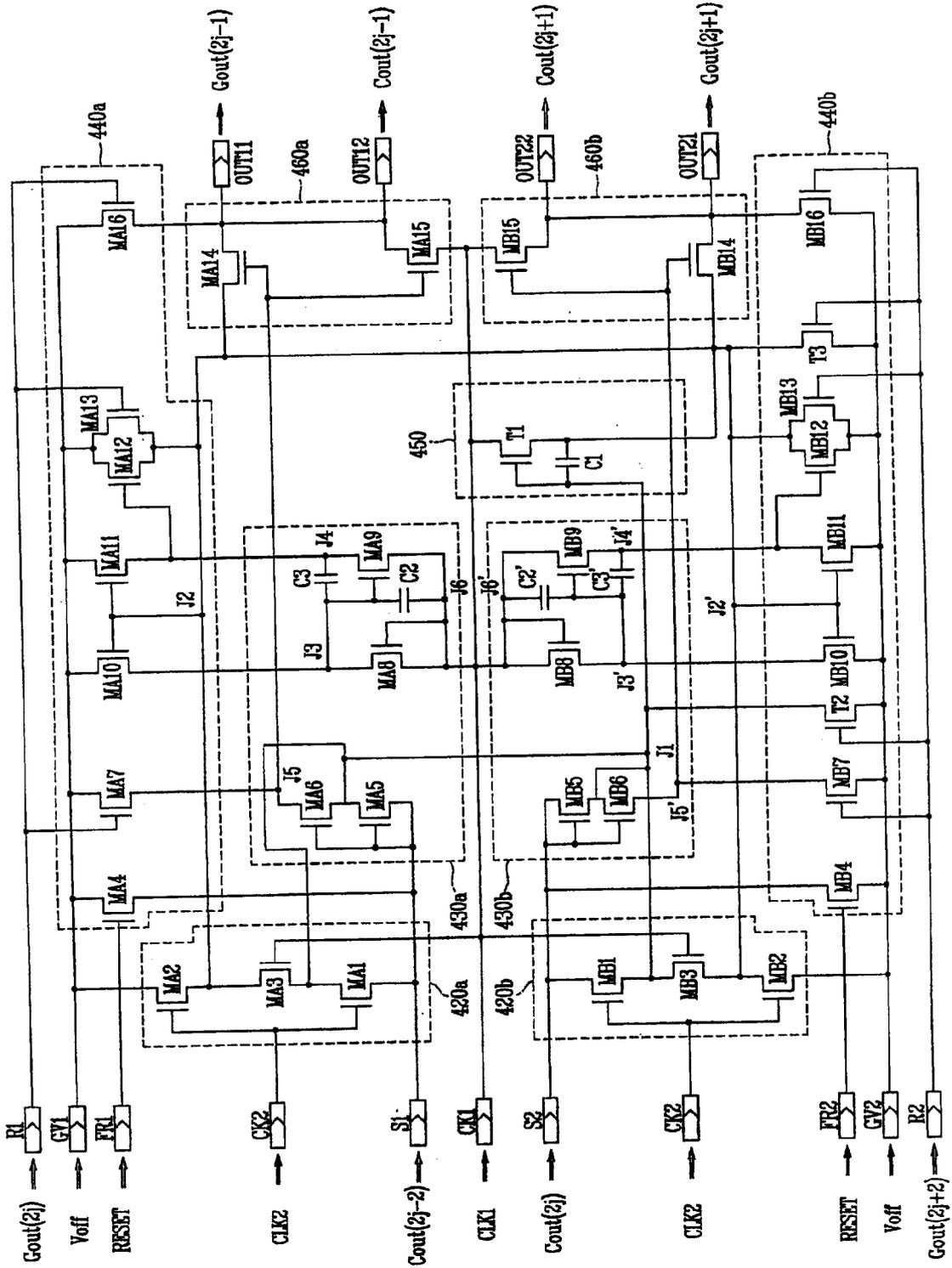


图 4

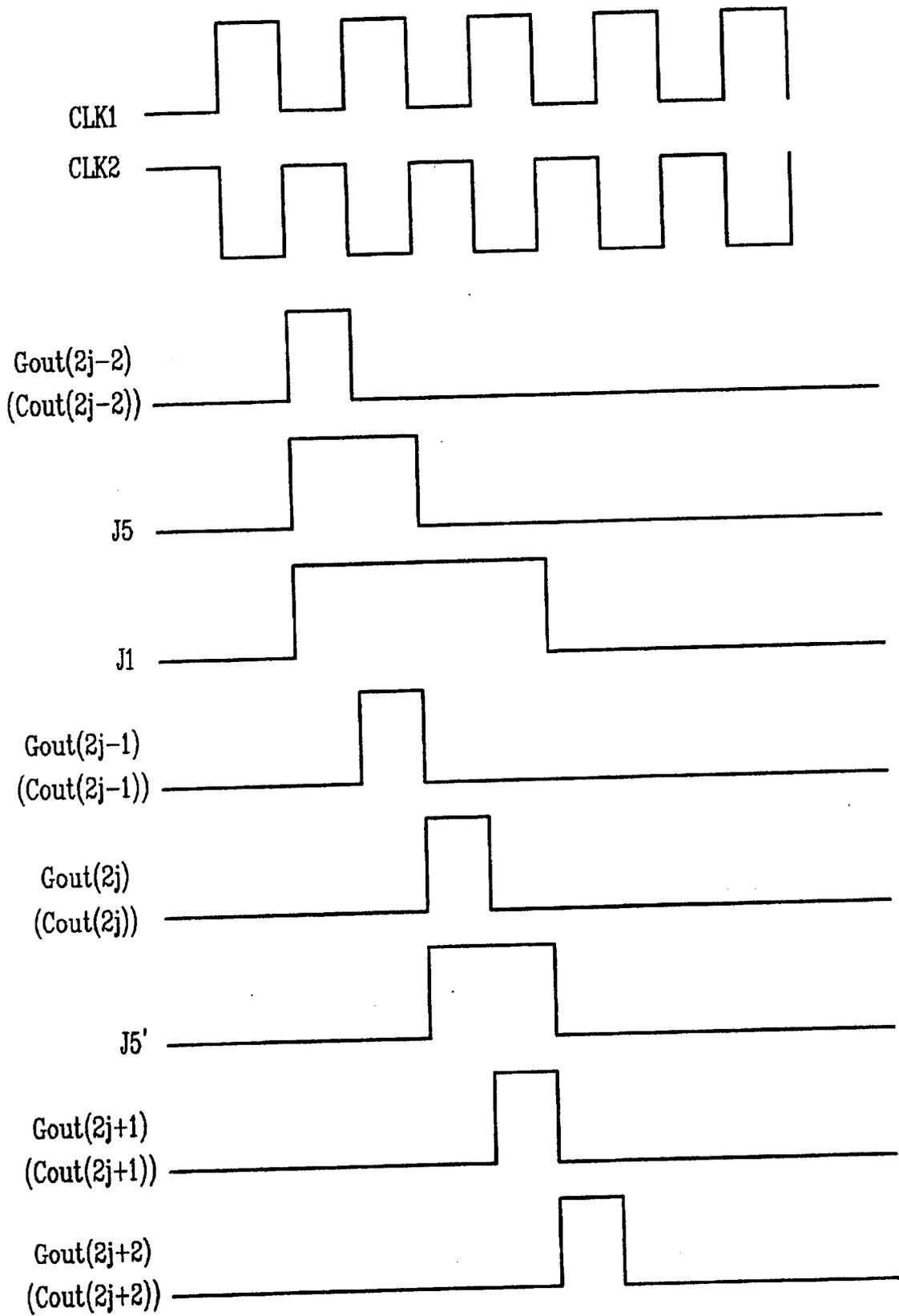


图 5

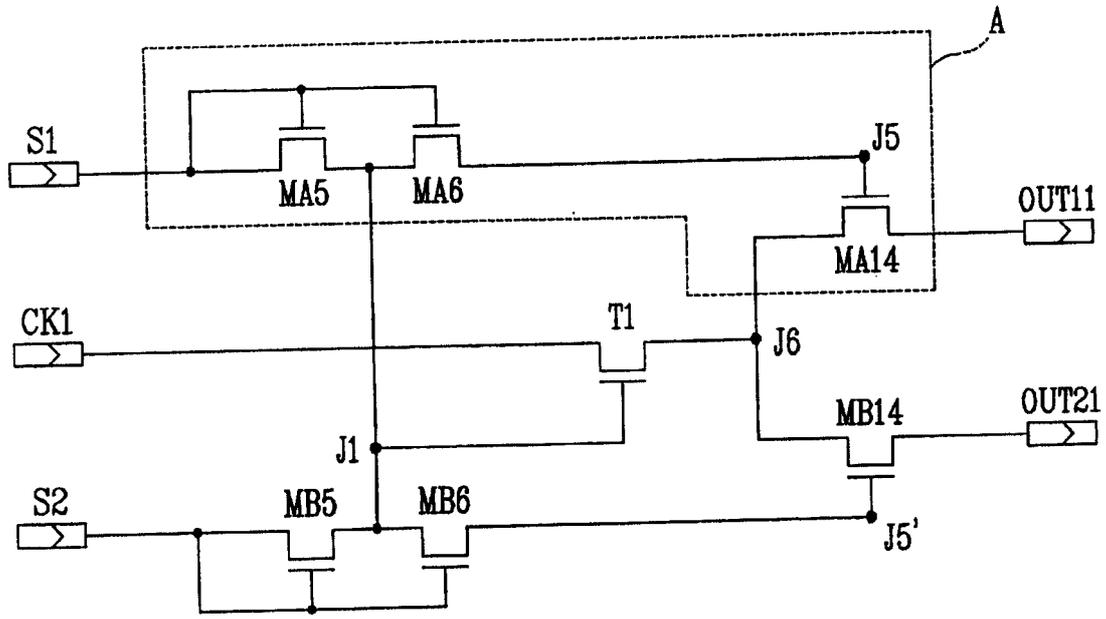


图 6a

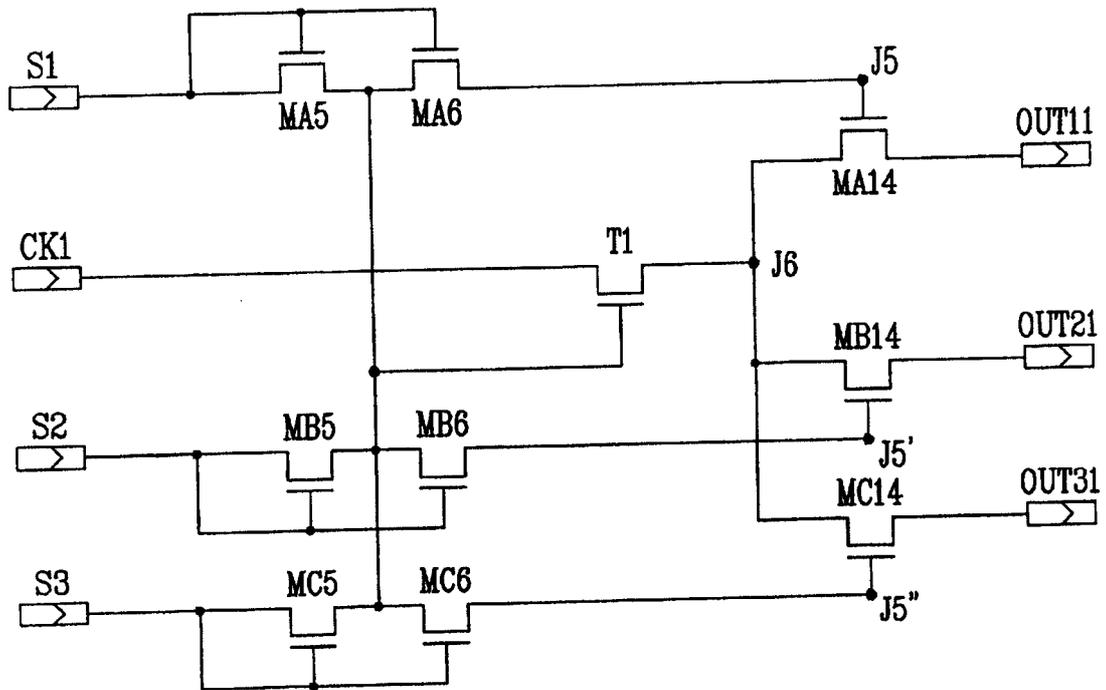


图 6b

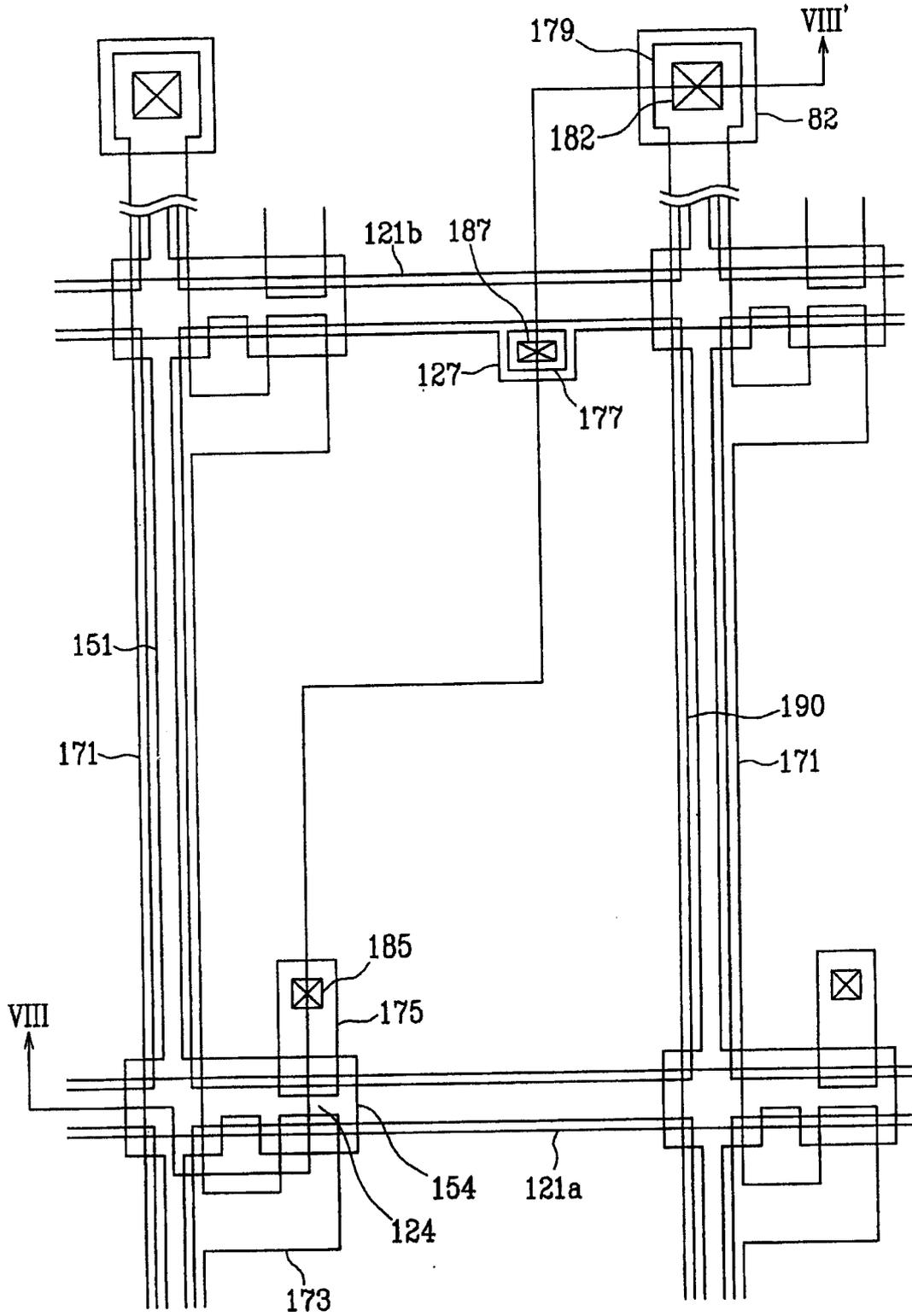


图 7

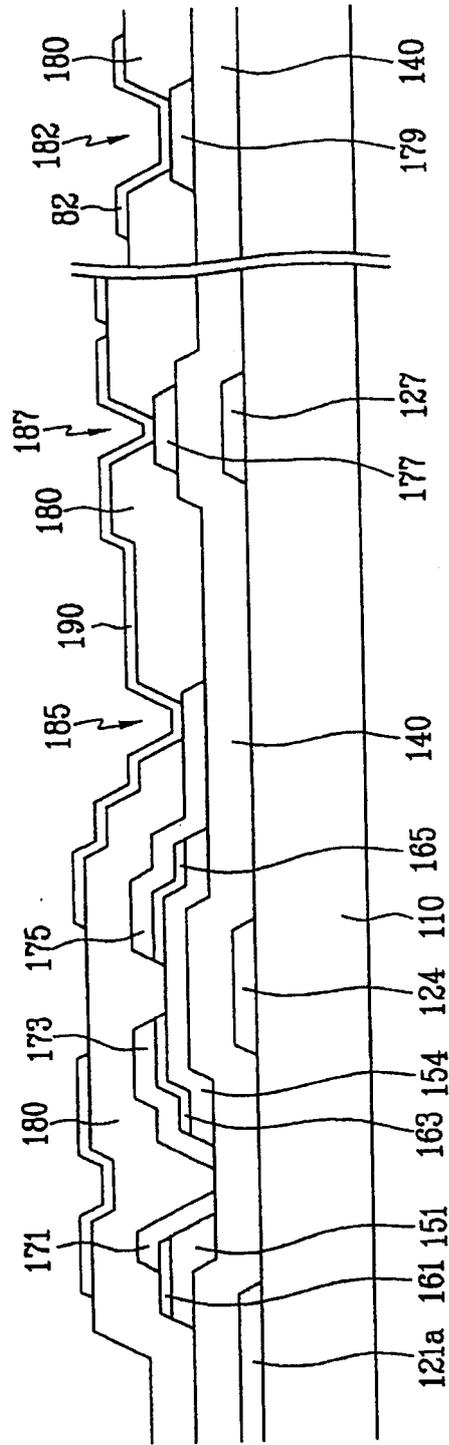


图 8

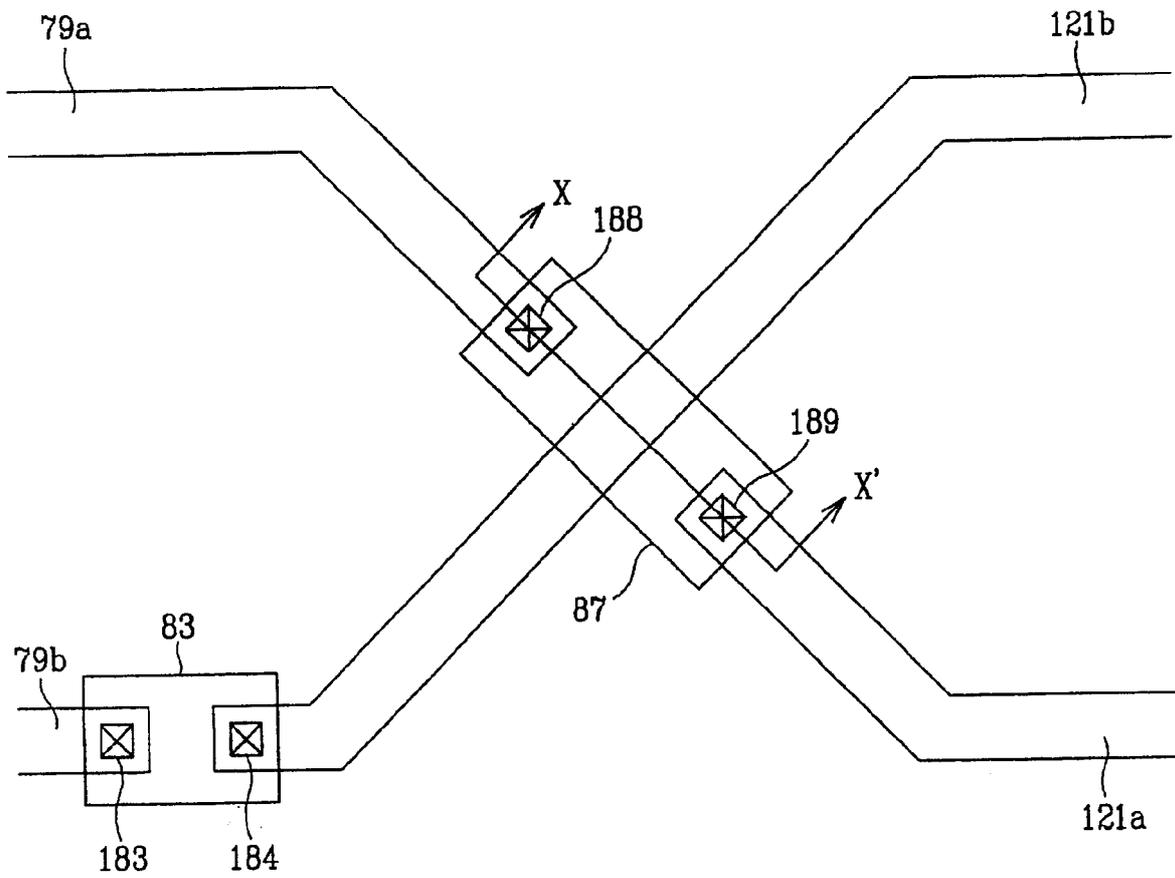


图 9



专利名称(译)	栅极驱动部分和具有该栅极驱动部分的显示设备		
公开(公告)号	<a href="#">CN1707589A</a>	公开(公告)日	2005-12-14
申请号	CN200510076345.6	申请日	2005-06-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金圣万 安炳宰 孔香植 姜承载		
发明人	金圣万 安炳宰 孔香植 姜承载		
IPC分类号	G02F1/133 G09G3/20 G09G3/30 G09G3/36 G11C19/00 G11C19/18 G11C19/28		
CPC分类号	G09G3/3674 G11C19/184 G11C19/00		
代理人(译)	王志森		
优先权	1020040042573 2004-06-10 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种栅极驱动部分，包括多个级，每个级包括：第一驱动部分和第二驱动部分。所述第一驱动部分按照第一输入信号来产生第一和第二输出信号；所述第二驱动部分连接到第一驱动部分，并且按照第二输入信号来产生第三和第四输出信号。所述第一和第二输入信号是当前级的第一进位输出信号或第一栅极输出信号，第三和第四输出信号是随后级的第二进位输出信号或第二栅极输出信号。按照这种结构，每个级产生两个或多个栅极输出信号，并且所述栅极驱动部分向对应的栅极线输出所述第一和第二栅极输出信号。因此，本发明可以减少栅极驱动部分的面积，并且提供LCD器件的高分辨率。

