



[12] 发明专利说明书

专利号 ZL 02122826.4

[45] 授权公告日 2007年2月7日

[11] 授权公告号 CN 1299252C

[22] 申请日 2002.6.3 [21] 申请号 02122826.4

[30] 优先权

[32] 2001.10.13 [33] KR [31] P-2001-63207

[73] 专利权人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 李锡雨 崔秀敬

[56] 参考文献

JP10-254418A 1998.9.25

CN1253303A 2000.5.17

JP11-45072A 1999.2.16

US6067067A 2000.5.23

审查员 胡 婧

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 陈 红

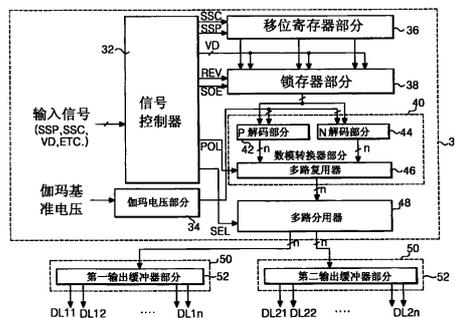
权利要求书 3 页 说明书 7 页 附图 5 页

[54] 发明名称

液晶显示器的数据驱动设备和方法

[57] 摘要

液晶显示器的数据驱动设备包括：缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲器集成电路；多个数模转换器集成电路，每个电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲器集成电路的输入端上，以便将输入的像素数据转换成多个像素信号并选择性地至少两个输出缓冲器集成电路输出多个像素信号；定时控制装置，其控制多个数模转换器集成电路并将像素数据的时间分成至少两个区域以便依次向多条数据线提供像素数据。



1. 液晶显示器的数据驱动设备，包括：

缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲器集成电路；

多个数模转换器集成电路，每个电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲器集成电路的输入端上，以便将输入的像素数据转换成多个像素信号并选择性地向至少两个输出缓冲器集成电路输出多个像素信号；

定时控制装置，其控制多个数模转换器集成电路并对像素数据进行时间分割使之成为至少两个区域以便依次向多条数据线提供像素数据，

其中所述多个数模转换器集成电路中的每一个包括：移位寄存器装置，其在定时控制装置的控制下依次输出采样信号；锁存器装置，其响应定时控制装置的控制和采样信号依次锁存从定时控制装置输入的像素数据并且同时输出锁存的像素数据；数模转换装置，其利用输入的伽玛电压将像素数据转换成正、负像素信号并响应来自定时控制装置的极性控制信号输出像素信号；和多路分用器，其响应来自定时控制装置的选择控制信号选择性地将来自数模转换器的像素信号输出到至少两个输出缓冲器集成电路中。

2. 根据权利要求1所述的数据驱动设备，其中多个数模转换器集成电路安装在与定时控制装置相连的印刷电路板上，而且多个输出缓冲器集成电路安装在带状载体封装中，所述带状载体封装电性连接在印刷电路板和设有多条数据线的液晶显示板之间。

3. 根据权利要求1所述的数据驱动设备，其中多个数模转换器集成电路中的每一个进一步包括：

信号控制器，其将来自定时控制装置的各种控制信号和像素数据进行对接并向移位寄存器装置、锁存器装置、数模转换装置和多路分用器提供控制信号；和

伽玛电压装置，其对输入的伽玛基准电压进行细分以产生伽玛电压。

4. 根据权利要求1所述的数据驱动设备，其中从定时控制装置施加到数模转换器集成电路的每个控制信号和像素信号所具有的频率增加至少两倍。

5. 根据权利要求1所述的数据驱动设备，其中定时控制装置在控制锁存装置输出的每个输出使能信号周期使选择控制信号的逻辑状态反转，由此可将像素信号依次施加到至少两个输出缓冲器集成电路中。

6. 液晶显示器的数据驱动设备，包括：

缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲器

集成电路；

多个数模转换器集成电路，每个电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲集成电路的输入端上，以便将输入的像素数据转换成多个像素信号并按照像素信号的时分方式向至少两个输出缓冲器集成电路输出多个像素信号，

其中多个数模转换器集成电路中的每一个包括：移位寄存器装置，其在时序信号的控制下依次输出采样信号；锁存器装置，其响应时序信号和采样信号依次锁存像素数据并且同时输出锁存的像素数据；数模转换装置，其利用输入的伽玛电压将像素数据转换成正、负像素信号并按照时分的方式输出像素信号。

7. 根据权利要求6所述的数据驱动设备，进一步包括：

定时控制装置，其控制多个数模转换器集成电路和对象素数据进行时分使之成为至少两个区域，从而向多条数据线依次提供像素数据。

8. 一种驱动数据驱动设备的方法，该方法可驱动设在液晶显示板上的多条数据线，其中，驱动设备包括：与多条数据线相连接的多个输出缓冲器集成电路；和多个数模转换器集成电路，这些电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲集成电路的输入端上，所述方法包括：

对将要输送到多个数模转换器集成电路中每个电路上的像素数据进行时分使之成为至少两个区；

把像素数据转换成模拟像素信号；和

选择性地将在转换的像素信号送到至少两个输出缓冲器集成电路和多条数据线上。

9. 根据权利要求8所述的方法，其中把像素数据转换成像素信号的步骤包括：

产生连续的采样信号；

响应采样信号对象素数据进行连续采样和锁存像素数据；

利用伽玛电压把像素数据转换成多个正、负像素信号；和

选择多个正、负像素信号中的任何一个信号输出像素信号。

10. 根据权利要求8所述的方法，其中像素数据的采样速度和像素数据向像素信号的转换速度增加至少两倍。

11. 驱动液晶显示板的数据驱动设备的方法，其中该数据驱动设备包括与多条数据线相连接的多个输出缓冲器集成电路；和多个数模转换器集成电路，这些电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲集成电路的输入端上，所述方法包括：

将输入的像素数据转换成多个模拟像素信号；

按照像素信号的时分方式将转换的像素信号输出到至少两个输出缓冲器集成电路中。

液晶显示器的数据驱动设备和方法

本申请要求 2001 年 10 月 13 日在韩国申请的第 2001-63207 号韩国专利申请权益，所述专利申请在本申请中以引用的形式加以结合。

技术领域

本发明涉及一种液晶显示器，更确切地说，涉及液晶显示器的数据驱动设备和方法，其中分别集成数模转换器和输出缓冲器，从而极大地降低了因带状载体封装（tape carrier package）质量不好而导致的损失。而且，本发明还涉及一种液晶显示器的数据驱动设备和方法，其中以时分为基础驱动数模转换器，从而减少了为提供数模转换功能所需的集成电路数量。

背景技术

通常，液晶显示器（LCD）利用电场控制液晶的光透射率来显示图象。为达到此目的，LCD 包括液晶显示板和驱动电路，所述液晶显示板带有设置成矩阵的液晶盒，驱动电路用于驱动液晶显示板。

在液晶显示板中，栅极线和数据线设置成相互交叉的方式。液晶盒位于栅极线和数据线的每个交叉区上。液晶显示板上设有向每个液晶盒施加电场的象素电极和公用电极。通过作为开关装置的薄膜晶体管上的源极和漏极将每个象素电极与每一条数据线相连。薄膜晶体管的栅极与每一条栅极线相连，通过栅极线可将象素电压信号施加到每一条线的象素电极上。

驱动电路包括驱动栅极线的栅极驱动器，驱动数据线的的数据驱动器，和驱动公用电极的公用电压发生器。栅极驱动器向栅极线顺序施加扫描信号从而以一次一条线的方式按顺序驱动液晶显示板上的液晶盒。只要在任何一条栅极线上施加了栅极信号，数据驱动器便向每条数据线施加数据电压信号。公用电压发生器向公用电极提供公用电压信号。因此，LCD 根据每个液晶盒的数据电压信号，通过在象素电极和公用电极之间施加的电场控制透光率，进而显示图象。每个数据驱动器和栅极驱动器都是由集成电路（IC）芯片构成的。这些芯片安装在带状载体封装（TCP）内并且大部分通过带的自粘（TAB）系统与液晶显示板相连。

图 1 示意性地示出了现有 LCD 中的数据驱动块。

参见图 1, 数据驱动块包括通过 TCP 6 与液晶显示板 2 连接的数据驱动 IC 4, 和通过 TCP 6 与数据驱动 IC 4 相连的数据印刷电路板 (PCB) 8。

数据 PCB8 从定时控制器 (未示出) 接收各种控制信号, 和从功率发生器 (未示出) 接收数据信号和驱动电压信号并将这些信号接至数据驱动 IC 4。每个 TCP6 均电性连接到设在液晶显示板 2 上部的数据垫片和设在每个数据 PCB8 上的输出垫片上。数据驱动 IC 4 将数字像素数据转换成模拟像素信号并将所述信号输送到数据线。

为此, 如图 2 所示, 每个数据驱动 IC 4 包括提供连续采样信号的移位寄存器部分 14。锁存器部分 16 响应采样信号依次锁存像素数据 VD 并且同时输出像素数据 VD。数模转换器 (DAC) 18 将来自锁存器部分 16 的像素数据 VD 转换成像素信号。输出缓冲器部分 26 缓冲来自 DAC18 的像素信号并将其输出。此外, 每个数据驱动 IC 4 均包括一个信号控制器 10 用于接入来自定时控制器 (未示出) 的各种控制信号和像素数据 VD。伽玛电压部分 12 向 DAC 提供所需的正负伽玛电压。每个数据驱动 IC 4 驱动 n 条数据线 DL1-DLn。

信号控制器 10 控制例如, SSP、SSC、SOE、REV 和 POL 等各种控制信号和像素数据 VD, 并将这些信号输出到相应的元件中。伽玛电压部分 12 针对每个灰度级从伽玛基准电压发生器 (未示出) 细分出几个伽玛基准电压并且输出细分的伽玛基准电压。

移位寄存器部分 14 中包含的移位寄存器响应源采样时钟信号 SSC 使来自信号控制器 10 的源启动脉冲 SSP 依次移位从而输出作为采样信号的源启动脉冲 SSP。

包含在锁存器部分 16 中的多个 (n 个) 锁存器响应来自移位寄存器部分 14 的采样信号对信号控制器 10 输出的像素数据 VD 进行依次采样并将采样数据锁存。接着, n 个锁存器响应来自信号控制器 10 的电源输出使能信号 SOE 同时输出锁存的像素数据 VD。在这种情况下, 锁存器部分 16 存储调制的像素数据 VD 并输出像素数据 VD, 所述像素数据的调制方式是使像素数据具有与数据翻转选择信号 REV 相应的较低跃迁比特数 (transition bit number)。这是因为提供的是跃迁比特数超过基准值的像素数据 VD, 所以可以对其进行调制使得像素数据具有较低跃迁比特数, 从而在从定时控制器传输数据时最大限度地减小电磁干扰 (EMI)。

DAC18 把来自锁存器部分 16 的像素数据 VD 同时转换成正负像素信号并将这些信号输出。为此, DAC18 包括正 (P) 解码部分 20 和负 (N) 解码部分 22, 每个解码部分共同连接到锁存器部分 16 和用于选择 P 解码部分 20 和 N 解码部分 22 输出信号的多路复用器 (MUX) 24。

包含在 P 解码部分 20 中的多个 (n 个) P 解码器借助于来自伽玛电压部

分 12 的正伽玛电压把从锁存器部分 16 输入的 n 个像素数据同时转换成正像素信号。包含在 N 解码部分 22 中的多个 (n 个) N 解码器借助于来自伽玛电压部分 12 的负伽玛电压把从锁存器部分 16 输入的 n 个像素数据同时转换成负像素信号。多路复用器 24 响应来自信号控制器 10 的极性控制信号 POL 选择性地输出来自 P 解码部分 20 的正像素信号或是来自 N 解码部分 22 的负像素信号。

包含在输出缓冲器部分 26 中的多个 (n 个) 输出缓冲器由电压跟随器构成, 这些电压跟随器串联连接到 n 条数据线 DL1—DL n 上。这些输出缓冲器缓冲来自 DAC18 的像素信号并把这些信号提供给数据线 DL1—DL n 。

如上所述, 每个传统的数据驱动 IC4 都有 n 个锁存器和 $2n$ 个解码器, 以便驱动 n 条数据线 DL1—DL n 。因此, 传统的数据驱动 IC4 的缺点在于其结构复杂而且制造成本较高。

此外, 如图 1 示, 每个传统的数据驱动 IC4 都固定在单个芯片 TCP6 上, 芯片 TCP6 粘接到液晶显示板 2 和数据 PCB8 上。因此, TCP 极有可能例如发生断裂或短路。因此, 由于当 TCP6 断裂或短路时, 安装在 TCP6 上的数据驱动 IC4 同样也无法使用, 所以会造成很大的成本损失。

发明内容

因此, 本发明涉及的是一种液晶显示器的数据驱动设备和方法, 其基本上克服了因现有技术的局限性和缺点而导致的一个或多个问题。

本发明的目的在于提供一种液晶显示器的数据驱动设备和方法, 其中分别集成数模转换器和输出缓冲器, 从而明显减小了因带状载体封装质量不好而引起的损失。

本发明的另一个目的是提供一种液晶显示器的驱动设备和方法, 其中以时分为基础驱动数模转换器, 从而减少了为设置数模转换功能需要集成的电路数量。

本发明的其它特征和优点将在下面的说明中给出, 其中一部分特征和优点可以从说明中明显得出或是通过本发明的实践而得到。通过在文字说明部分、权利要求书以及附图中特别指出的结构, 可以实现和获得本发明的目的和其它优点。

为了得到这些和其它优点并根据本发明的目的, 作为概括性的和广义的描述, 本发明所述液晶显示器的数据驱动设备包括: 缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲集成电路; 多个数模转换器集成电路, 每个电路共同连接到多个输出缓冲集成电路中至少两个输出缓冲集成电路的输入端上, 以便将输入的像素数据转换成多个像素信号并选择性地向至少两

个输出缓冲器集成电路输出多个像素信号；定时控制装置，其控制多个数模转换器集成电路并将像素数据的时间分成至少两个区域以便依次向多条数据线提供像素数据，其中所述多个数模转换器集成电路中的每一个包括：移位寄存器装置，其在定时控制装置的控制下依次输出采样信号；锁存器装置，其响应定时控制装置的控制和采样信号依次锁存从定时控制装置输入的像素数据并且同时输出锁存的像素数据；数模转换装置，其利用输入的伽玛电压将像素数据转换成正、负像素信号并响应来自定时控制装置的极性控制信号输出像素信号；和多路分用器，其响应来自定时控制装置的选择控制信号选择性地将来自数模转换器的像素信号输出到至少两个输出缓冲器集成电路中。

按照本发明另一方面所述的液晶显示器的数据驱动设备包括：缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲器集成电路；多个数模转换器集成电路，每个电路共同连接到多个输出缓冲器集成电路中的至少两个输出缓冲器集成电路的输入端上，以便将输入的像素数据转换成多个像素信号并按照像素信号的时分方式向至少两个输出缓冲器集成电路输出多个像素信号，其中多个数模转换器集成电路中的每一个包括：移位寄存器装置，其在时序信号的控制下依次输出采样信号；锁存器装置，其响应时序信号和采样信号依次锁存像素数据并且同时输出锁存的像素数据；数模转换装置，其利用输入的伽玛电压将像素数据转换成正、负像素信号并按照时分的方式输出像素信号。

另一方面，本发明提供一种驱动数据驱动设备的方法，该方法可驱动设在液晶显示板上的多条数据线，其中，驱动设备包括：与多条数据线相连接的多个输出缓冲器集成电路；多个数模转换器集成电路，这些数模转换器电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲器集成电路的输入端上，所述方法包括：对将要输送到多个数模转换器集成电路中每个电路上的像素数据进行时分使之成为至少两个区；把像素数据转换成模拟像素信号；和选择性地转换的像素信号送到至少两个输出缓冲器集成电路和多条数据线上。

按照本发明另一方面，本发明提供的驱动液晶显示板的数据驱动设备的方法，其中该数据驱动设备包括与多条数据线相连接的多个输出缓冲器集成电路；和多个数模转换器集成电路，这些电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲器集成电路的输入端上，所述方法包括：将输入的像素数据转换成多个模拟像素信号；按照像素信号的时分方式将转换的像素信号输出到至少两个输出缓冲器集成电路中。

很显然，上面的一般性描述和下面的详细说明都是示例性和解释性的，其意在对本发明的权利要求作进一步解释。

附图说明

本申请所包含的附图用于进一步理解本发明，其与说明书相结合并构成说明书的一部分，所述附图表示本发明的实施例并与说明书一起解释本发明的原理。

图 1 是表示传统液晶显示器中数据驱动块的示意图。

图 2 是表示图 1 中数据驱动集成电路结构的方框图。

图 3 是表示按照本发明的实施例所述液晶显示器中数据驱动器结构的方框图。

图 4A 和 4B 是图 2 中所示锁存器部分和图 3 中所示锁存器部分的驱动信号比较波形图，而图 4C 是图 3 中所示多路分用器的驱动信号波形图。

图 5 是表示包括图 3 所示数据驱动器的液晶显示器中数据驱动块的示意图。

具体实施方式

现在将详细说明本发明的实施例，所述实施例的实例示于附图中。

图 3 是表示按照本发明实施例所述液晶显示器数据驱动设备之结构的方框图。

参照图 3，数据驱动设备主要分成具有数模转换功能的 DAC 装置和具有输出缓冲功能的缓冲器装置，两个装置集成成为独立的芯片。换句话说，数据驱动设备带有的 DAC IC30 和至少两个分别构成的输出缓冲器 IC50。特别是，DAC IC30 以时间为基础至少分成两个区，由此使至少两个输出缓冲器 IC50 共同连接到用于驱动的单个 DAC IC30 上以便提供 DAC 功能。

下面将以举例的方式描述将两个输出缓冲器 IC50 共同连接到单个 DAC IC30 上的情形。

DAC IC30 包括用于提供连续采样信号的移位寄存器部分 36。锁存器部分 38 响应采样信号依次锁存像素数据 VD 并同时输出像素数据 VD。数模转换器 (DAC) 40 把来自锁存器部分 38 的像素数据 VD 转换成像素信号。多路分用器 48 把从 DAC40 输出的像素信号依次送到两个输出缓冲器 IC50。此外，DAC IC30 包括用于将来自定时控制器 (未示出) 的各种控制信号和像素数据 VD 对接的信号控制器 32。伽玛电压部分 34 提供 DAC40 中所需的正、负伽玛电压。在时分的基础上驱动每个 DAC IC30 以便以 n 条数据线为一组逐组地依次将输出像素信号输送到 2n 条数据线 DL11—DL1n 以及 DL21—DL2n 上。

为了使 DAC IC30 能够驱动的数据线数量相当于传统数据驱动 IC 中数据线数量的两倍，驱动信号的频率应是传统数据驱动 IC 频率的两倍。

信号控制器 32 控制来自定时控制器的各种控制信号，例如，SSP、SSC、

SOE、REV 和 POL，以及像素数据 VD，并将这些信号和数据输出到相应的元件中。在这种情况下，定时控制器使得各种控制信号和像素数据 VD 的频率为现有技术两倍。特别是，定时控制器对 $2n$ 个像素数据 VD 进行时分，使之成为对应于 $2n$ 条数据线 DL11—DL1n 和 DL21—DL2n 的两个区，从而以 n 条数据线为一组逐组地依次输送像素数据。

伽玛电压部分 34 针对每个灰度级对从伽玛基准电压发生器（未示出）输出的多个伽玛基准电压进行细分并输出经细分的伽玛基准电压。

包含在移位寄存器部分 36 中的移位寄存器响应电源采样时钟信号 SSC 依次移动来自信号控制器 32 的电源启动脉冲 SSP，并输出作为采样信号的电源启动脉冲 SSP。在这种情况下，移位寄存器部分 36 响应频率加倍的电源启动脉冲 SSP 和电源采样信号 SSC，并以现有技术两倍的速度输出采样信号。

包含在锁存器部分 38 中的多个（ n 个）锁存器响应来自移位寄存器部分 36 的采样信号对来自信号控制器 32 的像素数据 VD 进行连续采样并将采样数据锁存。然后， n 个锁存器响应来自信号控制器 32 的电源输出使能信号 SOE 并同时输出锁存的像素信号 VD。在这种情况下，锁存器存储调制的像素数据 VD，然后输出像素数据 VD，所述像素数据的调制方式是使像素数据具有与数据翻转选择信号（inversion selecting signal）REV 相应的较低跃迁比特数。这是因为提供的是跃迁比特数超过基准值的像素数据，所以可以将所述像素数据调制到具有较低跃迁比特数，以便根据从定时控制器输出的数据传输率最大限度地降低电磁干扰（EMI）。

在此，如在图 4A 和图 4B 中分别用“NSSC”和“NSOE”表示的那样，输送到移位寄存器部分 36 和锁存器部分 38 的电源采样时钟信号 SSC 和电源输出使能信号 SOE 的频率是图 2 中所示输送到传统移位寄存器部分 14 和锁存器部分 16 的“SSC”和“SOC”的两倍。

DAC40 把来自锁存器部分 38 的像素数据 VD 同时转换成正和负像素信号并将这些信号输出。为此，DAC40 包括正（P）解码部分 42 和负（N）解码部分 44，每个解码部分共同连接到锁存器部分 38 和用于选择 P 解码部分 42、N 解码部分 44 输出信号的多路复用器（MUX）46 上。

包含在 P 解码部分 42 中的多个（ n 个）P 解码器借助于伽玛电压部分 34 输出的正伽玛电压把从锁存器部分 38 同时输入的 n 个像素数据转换成正像素信号。包含在 N 个解码部分 44 中的多个（ n 个）N 解码器借助于伽玛电压部分 34 输出的负伽玛电压把从锁存器部分 38 同时输入的 n 个像素数据转换成负像素信号。多路复用器 46 响应来自信号控制器 32 的极性控制信号 POL 选择性地输出来自 P 解码部分 42 的正像素信号或来自 N 解码部分 44 的负像素信号。DAC40 以两倍于传统 DAC18 的速度把以 n 为一组的像素数据逐组转换成

像素信号，从而把 $2n$ 个像素数据转换成像素信号。

如图 4C 所示，多路分用器 48 响应从信号控制器 32 输入的选择控制信号 SEL 把来自多路复用器 46 的 n 个像素信号输出到第一输出缓冲器 IC50 或第二输出缓冲器 IC50。选择控制信号 SEL 在供给锁存器部分 38 的电源输出使能信号 SOE 的每个周期都有反转的(inverted)逻辑值，因此可以将 n 个像素信号中的每个信号依次输出到第一输出缓冲器 IC50 和第二输出缓冲器 IC50 中。

第一和第二输出缓冲器 IC50 中的每一个包括输出缓冲器部分 52，输出缓冲器部分 52 将来自 DAC IC30 的像素信号缓冲后输出到 n 条数据线 DL11—DL1n 或 DL21—DL2n。包括在每个输出缓冲器部分 52 中的 n 个输出缓冲器，由电压跟随器构成，这些电压跟随器与 n 条数据线 DL11—DL1n 或 DL21—DL2n 串联连接。这些输出缓冲器对来自 DAC18 的像素信号进行缓冲并将缓冲后的信号送到数据线 DL11—DL1n 或 DL21—DL2n。

如图 5 所示，DAC IC30 安装在数据 PCB68 上而输出缓冲器 IC50 安装在 TCP66 上。数据 PCB68 把来自定时控制器（未示出）的各种控制信号和数据信号发送到 DAC IC30，并通过 TCP66 把来自 DAC IC30 的像素信号发送到输出缓冲器 IC50。TCP66 与设在液晶显示板 62 上部的数据垫片和设在 PCB68 上的输出垫片电性连接。如上所述，在 TCP66 上安装仅有缓冲功能的简单结构的输出缓冲器 IC50，这样，当 TCP66 损坏时，只损坏输出缓冲器 IC50。结果，明显降低了现有技术中因 TCP66 损坏导致不能使用昂贵的数据驱动 IC 而造成的较大成本损失。此外，DAC IC30 以时间为基础进行划分，从而可以将像素数据以 n 为一组逐组连续提供给至少两个输出缓冲器 IC50。因此，DAC IC30 的数量减少到现有技术所设数量的 $1/2$ ，所以能够降低生产成本。

如上所述，按照本发明，将 DAC 装置和输出缓冲器装置集成到独立芯片上，因此，只需把简单结构的输出缓冲器 IC 安装到极可能出现断裂或短路的 TCP 上即可。所以能明显降低在现有技术中因 TCP 损坏而导致不能使用昂贵的数据驱动器 IC 所造成的损失。

此外，按照本发明，借助于较高频率的驱动信号以时分为基础驱动 DAC IC，并因此把单个 DAC IC 同时连接到至少两个输出缓冲器 IC 上，从而能够减少 DAC IC 的数量和降低生产成本。

对于熟悉本领域的技术人员来说，很显然，在不脱离本发明构思或范围的情况下，可以对本发明的液晶显示器数据驱动设备和方法做出各种改进和变型。因此，本发明意在覆盖那些落入所附权利要求及其等同物范围内的改进和变型。

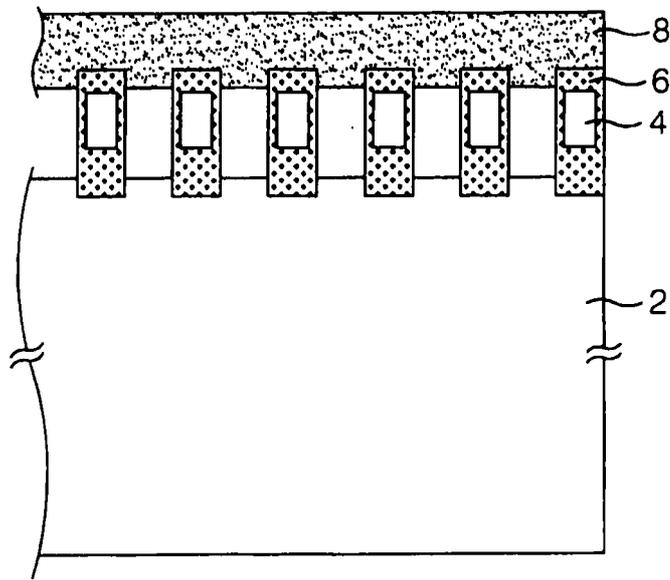


图 1

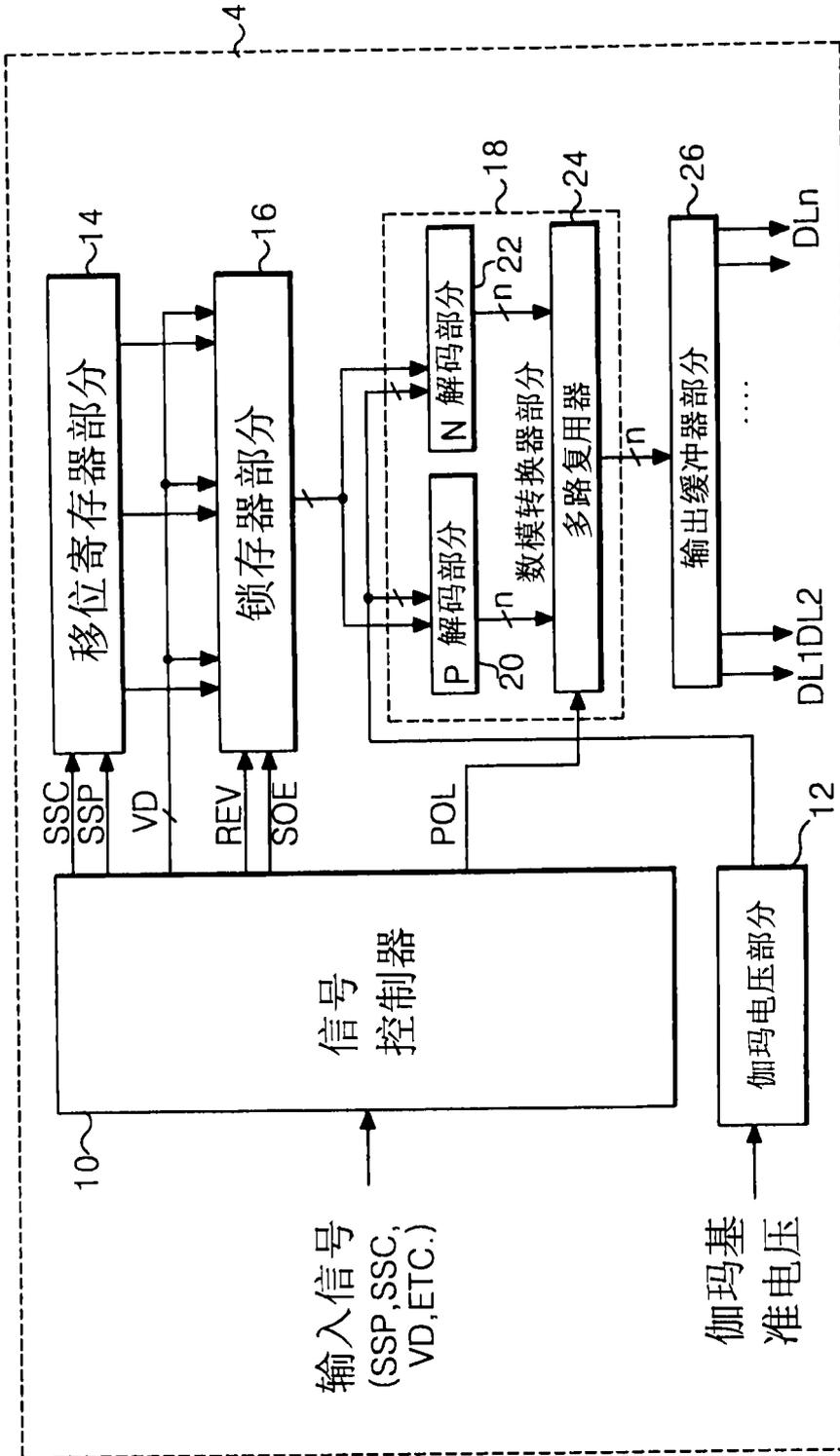


图 2

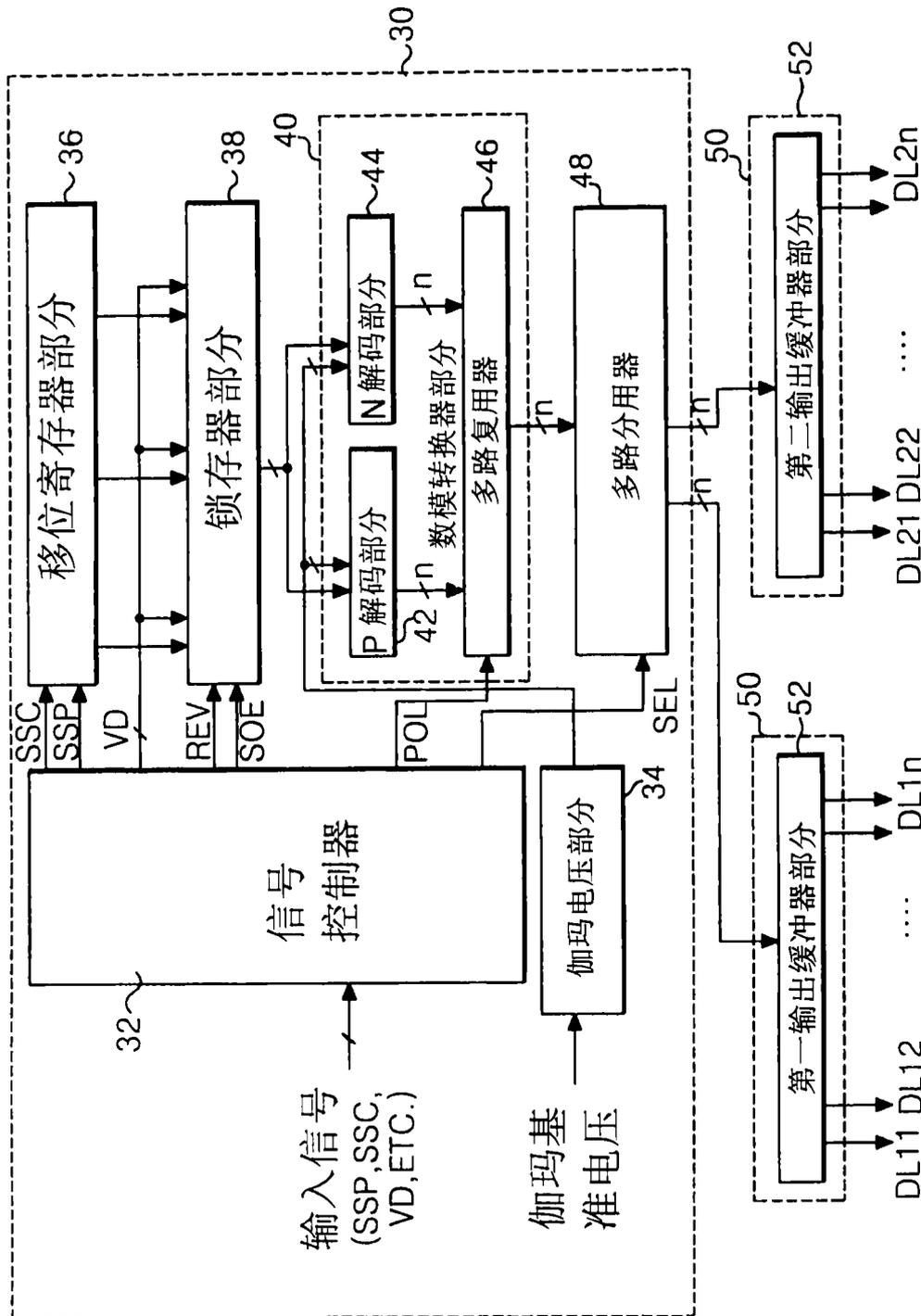


图 3

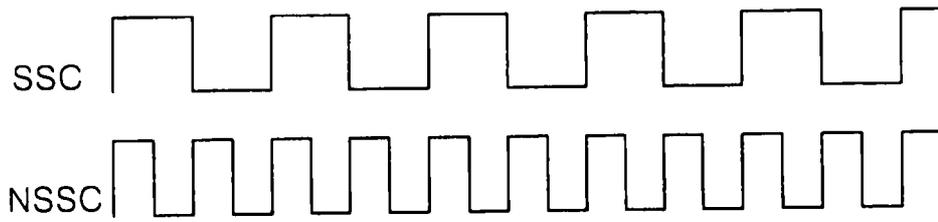


图 4A

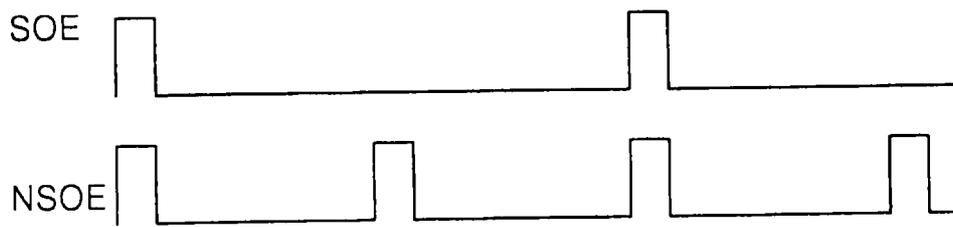


图 4B

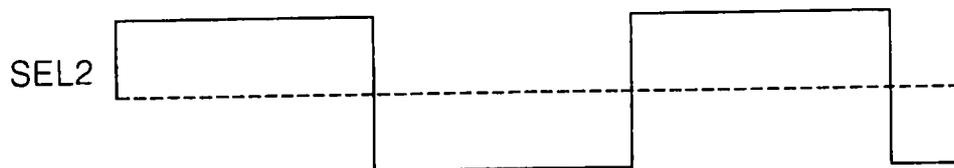


图 4C

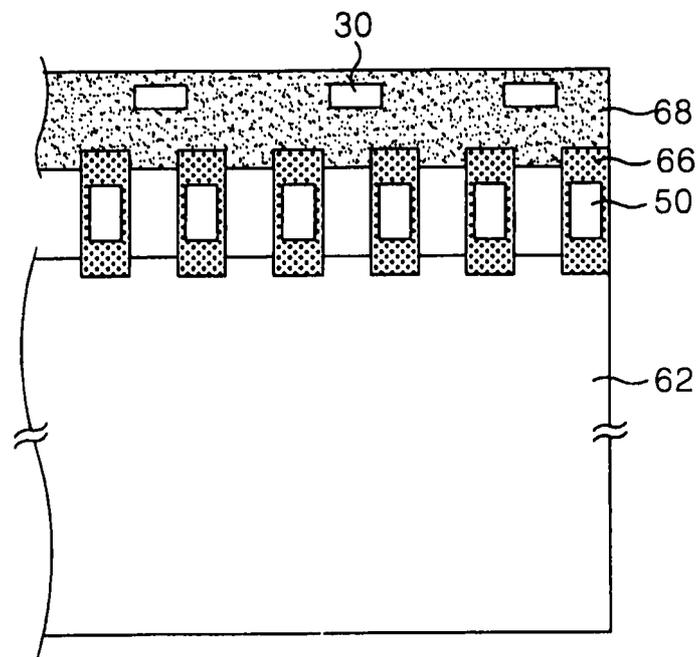


图 5

专利名称(译)	液晶显示器的数据驱动设备和方法		
公开(公告)号	CN1299252C	公开(公告)日	2007-02-07
申请号	CN02122826.4	申请日	2002-06-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	李锡雨 崔秀敬		
发明人	李锡雨 崔秀敬		
IPC分类号	G09G3/36 G02F1/1345 G02F1/133 G09G3/20		
CPC分类号	G09G2310/027 G09G3/3688 G09G3/2011 G09G3/3614 G09G2310/0297		
代理人(译)	徐金国 陈红		
优先权	1020010063207 2001-10-13 KR		
其他公开文献	CN1412736A		
外部链接	Espacenet SIPO		

摘要(译)

液晶显示器的数据驱动设备包括：缓冲多个像素信号并向多条数据线输出多个像素信号的多个输出缓冲器集成电路；多个数模转换器集成电路，每个电路共同连接到多个输出缓冲器集成电路中至少两个输出缓冲器集成电路的输入端上，以便将输入的像素数据转换成多个像素信号并选择性地向至少两个输出缓冲器集成电路输出多个像素信号；定时控制装置，其控制多个数模转换器集成电路并将像素数据的时间分成至少两个区域以便依次向多条数据线提供像素数据。

