



(12) 发明专利

(10) 授权公告号 CN 102456331 B

(45) 授权公告日 2014. 09. 10

(21) 申请号 201110327820. 8

CN 101763831 A, 2010. 06. 30,

(22) 申请日 2011. 10. 25

KR 10-2010-0076595 A, 2010. 07. 06,

(30) 优先权数据

审查员 彭海良

10-2010-0103921 2010. 10. 25 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 朴万奎 洪镇铁

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 吕俊刚

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101377908 A, 2009. 03. 04,

CN 101059941 A, 2007. 10. 24,

KR 10-2009-0061458 A, 2009. 06. 16,

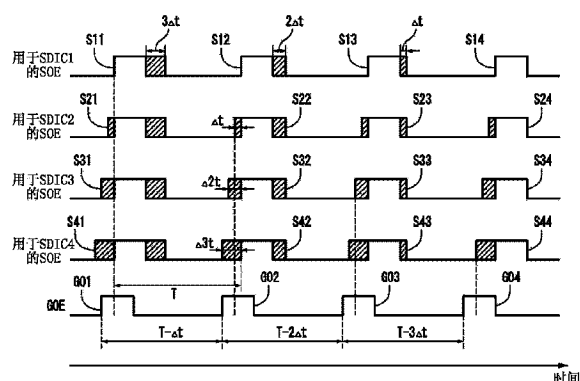
权利要求书2页 说明书13页 附图10页

(54) 发明名称

液晶显示器

(57) 摘要

本发明涉及一种液晶显示器,其包括:第一数据驱动电路,其响应于第一源输出使能信号,向位于液晶显示面板的屏面上的第一部分和第三部分中的数据线提供数据电压;以及第二数据驱动电路,其响应于第二源输出使能信号,向位于液晶显示面板的屏面上的第二部分和第四部分中的数据线提供数据电压;所述第一源输出使能信号控制所述第一数据驱动电路的数据电压输出定时和电荷共享定时。所述第二源输出使能信号以不同于所述第一数据驱动电路的方式,控制所述第二数据驱动电路的数据输出定时和电荷共享定时。



1. 一种液晶显示器,该液晶显示器包括:

液晶显示面板,其具有彼此交叉的数据线和选通线以及按照所述数据线和所述选通线的交叉结构排列的液晶单元的矩阵;

第一选通驱动电路,其响应于选通输出使能信号,向位于所述液晶显示面板的屏面的第一部分和第二部分中的选通线顺序提供选通脉冲,其中所述第二部分在水平方向上与所述第一部分分开;

第二选通驱动电路,其响应于所述选通输出使能信号,向位于所述液晶显示面板的屏面的第三部分和第四部分中的选通线顺序提供选通脉冲,其中所述第三部分在垂直方向上与所述第一部分分开,并且所述第四部分在水平方向上与所述第三部分分开;

第一数据驱动电路,其响应于第一源输出使能信号,向位于所述液晶显示面板的屏面的所述第一部分和所述第三部分中的数据线提供数据电压;

第二数据驱动电路,其响应于第二源输出使能信号,向位于所述液晶显示面板的屏面的所述第二部分下方的所述第四部分和所述第二部分中的数据线提供数据电压;以及

定时控制器,其生成所述选通输出使能信号、所述第一源输出使能信号以及所述第二源输出使能信号,以控制所述选通驱动电路的选通脉冲输出定时和所述第一数据驱动电路和所述第二数据驱动电路的数据电压输出定时和电荷共享定时,

其中,所述第一源输出使能信号控制所述第一数据驱动电路的所述数据电压输出定时和电荷共享定时,并且

所述第二源输出使能信号以与所述第一数据驱动电路不同的方式,控制所述第二数据驱动电路的所述数据电压输出定时和电荷共享定时,

其中,所述第二源输出使能信号的上升沿定时比所述第一源输出使能信号的上升沿定时快,以及

其中,所述第一源输出使能信号包括第一脉冲和第二脉冲,所述第二脉冲的宽度小于所述第一脉冲的宽度。

2. 根据权利要求1所述的液晶显示器,其中,所述第一数据驱动电路响应于所述第一源输出使能信号的所述第一脉冲,共享位于所述第一部分中的数据线的电荷,并且在所述第一脉冲后的低逻辑周期期间,向位于所述第一部分中的数据线输出数据电压;并且

所述第一数据驱动电路响应于所述第一源输出使能信号的第二脉冲,共享位于所述第三部分中的数据线的电荷,并且在所述第二脉冲后的低逻辑周期期间,向位于所述第三部分中的数据线输出数据电压。

3. 根据权利要求2所述的液晶显示器,其中,所述第二源输出使能信号包括:具有比所述第一源输出使能信号的第一脉冲的上升沿定时快的上升沿定时并且与所述第一源输出使能信号的第一脉冲相交叠的第一脉冲;以及具有比所述第一源输出使能信号的第二脉冲的上升沿定时快的上升沿定时并且与所述第一源输出使能信号的第二脉冲相交叠的第二脉冲。

4. 根据权利要求3所述的液晶显示器,其中,所述第二数据驱动电路响应于所述第二源输出使能信号的第一脉冲,共享位于所述第二部分中的数据线的电荷,并且在所述第二源输出使能信号的所述第一脉冲后的低逻辑周期期间,向位于所述第二部分中的数据线输出数据电压;并且

所述第二数据驱动电路响应于所述第二源输出使能信号的第二脉冲,共享位于所述第四部分中的数据线的电荷,并且在所述第二源输出使能信号的所述第二脉冲后的低逻辑周期期间,向位于所述第四部分中的数据线输出数据电压。

5. 根据权利要求4所述的液晶显示器,其中,所述第二源输出使能信号的第二脉冲的脉冲宽度小于所述第二源输出使能信号的第一脉冲的脉冲宽度。

6. 根据权利要求1所述的液晶显示器,其中,所述选通输出使能信号包括具有相同脉冲宽度和不同脉冲周期的第一脉冲和第二脉冲。

7. 根据权利要求6所述的液晶显示器,其中,所述第二脉冲的脉冲周期比所述第一脉冲的脉冲周期短。

8. 根据权利要求7所述的液晶显示器,其中,所述第一选通驱动电路在所述选通输出使能信号的第一脉冲后的低逻辑周期期间,向位于所述第一部分和所述第二部分中的选通线输出选通脉冲,并且

所述第二选通驱动电路在所述选通输出使能信号的第二脉冲后的低逻辑周期期间,向位于所述第三部分和所述第四部分中的选通线输出选通脉冲。

液晶显示器

技术领域

[0001] 本文涉及液晶显示器。

背景技术

[0002] 本申请要求 2010 年 10 月 25 日提交的韩国专利申请 NO. 10-2010-0103921 的优先权,在此通过引用并入其全部内容,如同全面在此阐述一样。

[0003] 有源矩阵驱动型液晶显示器通过使用薄膜晶体管(此后称为“TFT”)作为开关元件来显示运动图像。液晶显示器与阴极射线管(CRT)相比尺寸小,因此在电视以及移动信息装置、办公设备、计算机等的显示器领域迅速替代了阴极射线管(CRT)。

[0004] 液晶显示器包括:液晶显示面板、向液晶显示面板上照射光的背光单元、向液晶显示面板的数据线提供数据电压的源驱动集成电路(IC)、向液晶显示面板的选通线(或扫描线)提供选通脉冲(或者扫描脉冲)的选通驱动 IC、控制上述 IC 的控制电路和用于驱动背光单元的光源的光源驱动电路等。

[0005] 随着源驱动 IC 输出相对高的模拟电压,源驱动 IC 的功率消耗和发热高。源驱动 IC 需要用于减少功率消耗和发热的措施。然而,源驱动 IC 的操作定时应该与选通驱动 IC 的操作定时同步,并且用于控制驱动 IC 的控制信号的延迟量根据驱动 IC 的位置而改变,由此难以实现可减少所有源驱动 IC 的功率消耗和发热的最佳设计。

发明内容

[0006] 本文的一个方面是提供一种可以优化驱动液晶显示面板的全部源驱动 IC 的功率消耗和温度的液晶显示装置。

[0007] 在一个方面,液晶显示器包括:液晶显示面板,其具有彼此交叉的数据线和选通线和按照数据线和选通线的交叉结构排列的液晶单元的阵列;第一选通驱动电路,其响应于选通输出使能信号,向位于液晶显示面板的屏面的第一部分和第二部分中的选通线顺序提供选通脉冲;第二选通驱动电路,其响应于所述选通输出使能信号,向位于液晶显示面板的屏面的第三部分和第四部分中的选通线顺序提供选通脉冲;第一数据驱动电路,其响应于第一源输出使能信号,向位于液晶显示面板的屏面的第一部分和第三部分中的数据线提供数据电压;第二数据驱动电路,其响应于第二源输出使能信号,向位于液晶显示面板的屏面的第二部分和第四部分中的数据线提供数据电压;以及定时控制器,其生成选通输出使能信号、第一源输出使能信号以及第二源输出使能信号,以控制选通驱动电路的选通脉冲输出定时和第一数据驱动电路和第二数据驱动电路的数据电压输出定时和电荷共享定时。

[0008] 第二部分在水平方向上与第一部分分开。第三部分在垂直方向上与第一部分分开。第四部分在水平方向上与第三部分分开。

[0009] 第一源输出使能信号控制第一数据驱动电路的数据输出定时和电荷共享定时。第二源输出使能信号以不同于第一数据驱动电路的方式,控制第二数据驱动电路的数据输出定时和电荷共享定时。

[0010] 第二源输出使能信号的上升沿定时比第一源输出使能信号的上升沿定时快。

[0011] 第一源输出使能信号包括第一脉冲和第二脉冲,第二脉冲的宽度小于第一脉冲的宽度。

[0012] 第一数据驱动电路响应于第一源输出使能信号的第一脉冲,共享位于第一部分中的数据线的电荷,并且在第一脉冲后的低逻辑周期期间,向位于第一部分中的数据线输出数据电压。

[0013] 第一数据驱动电路响应于第一源输出使能信号的第二脉冲,共享位于第三部分中的数据线的电荷,并且在第二脉冲后的低逻辑周期期间,向位于第三部分中的数据线输出数据电压。

[0014] 第二源输出使能信号包括具有比第一源输出使能信号的第一脉冲更快的上升沿定时并且与第一源输出使能信号的第一脉冲相交叠的第一脉冲,以及具有比第一源输出使能信号的第二脉冲更快的上升沿定时并且与第一源输出使能信号的第二脉冲相交叠的第二脉冲。

[0015] 第二数据驱动电路响应于第二源输出使能信号的第一脉冲,共享位于第二部分中的数据线的电荷,并且在所述第二源输出使能信号的第一脉冲后的低逻辑周期期间,向位于第二部分中的数据线输出数据电压。

[0016] 第二数据驱动电路响应于第二源输出使能信号的第二脉冲,共享位于第四部分中的数据线的电荷,并且在所述第二源输出使能信号的第二脉冲后的低逻辑周期期间,向位于第四部分中的数据线输出数据电压。

[0017] 第二源输出使能信号的第二脉冲的脉冲宽度小于第二源输出使能信号的第一脉冲的脉冲宽度。

[0018] 选通输出使能信号包括具有相同脉冲宽度和不同脉冲周期的第一脉冲和第二脉冲。第二脉冲的脉冲周期比第一脉冲的脉冲周期短。

[0019] 第一选通驱动电路在选通输出使能信号的第一脉冲后的低逻辑周期期间,向位于第一部分和第二部分中的选通线输出选通脉冲。

[0020] 第二选通驱动电路在选通输出使能信号的第二脉冲后的低逻辑周期期间,向位于第三部分和第四部分中的选通线输出选通脉冲。

[0021] 在示例实施方式的描述中,第一部分可以视为部分 A(图 1),第二部分可视为部分 B(图 1),第三部分可视为部分 C(图 1),并且第四部分可视为部分 D(图 1)。在示例性实施方式的描述中,第一源输出使能信号可以视为第一源输出使能信号(图 9A-图 9D 和图 10 的用于 SDIC1 的 SOE),并且第二源输出使能信号可以视为第四源输出使能信号(图 9A-图 9D 和图 10 的用于 SDIC4 的 SOE)。在示例性实施方式的描述中,第一数据驱动电路可视为第一源驱动 IC(图 1 的 SDIC1),而第二数据驱动电路可视为第四源驱动 IC(图 1 的 SDIC4)。在示例性实施方式的描述中,第一选通驱动电路可视为第一选通驱动 IC(图 1 的 GDIC1),而第二选通驱动电路可视为第四选通驱动 IC(图 1 的 GDIC4)。

附图说明

[0022] 参照下面的附图详细描述本文的实施,附图中相同的参考标号指相同的元件。

[0023] 图 1 是示出了根据本发明的示例性实施方式的液晶显示器的图;

- [0024] 图 2 是示出图 1 所示的液晶显示面板的像素的等效图；
- [0025] 图 3 是详细示出了图 1 所示的源驱动 IC 的图；
- [0026] 图 4 是详细示出了图 1 所示的选通驱动 IC 的图；
- [0027] 图 5A 到 5D 是示出了控制用于驱动图 1 所示的屏面部分 A、B、C 以及 D 的源驱动 IC 和选通驱动 IC 的输出定时的源输出使能信号和选通输出使能信号的波形图；
- [0028] 图 6 是详细示出了图 3 所示的电荷共享电路的图；
- [0029] 图 7 是示出源输出使能信号和电荷共享操作定时的定时图；
- [0030] 图 8 是示出源驱动 IC 的温度随着电荷共享时间的变化而变化的试验结果图；
- [0031] 图 9A 到 9D 是示出本发明的用于控制用于驱动图 1 所示的屏面部分 A、B、C 以及 D 的源驱动 IC 和选通驱动 IC 的输出定时的源输出使能信号和选通输出使能信号的波形图；
- [0032] 图 10 是示出经过本发明的定时控制器调整的源输出使能信号和选通输出使能信号的波形图；
- [0033] 图 11 是示出了根据本发明的另一个示例性实施方式的液晶显示器的图；以及
- [0034] 图 12 是详细示出了图 11 所示的电平转换器 LS 的电路图。

具体实施方式

[0035] 下面将参照附图来详细地描述本发明的示例性实施方式。说明书通篇采用相同的参考标记来指示实质相同的部件。此外，在下文的描述中，将不详细描述与本发明相关的已知功能或者构造，以免在不必要的细节上对本发明造成混淆。

[0036] 参照图 1 和图 2，根据本发明的示例性实施方式的液晶显示器包括：具有像素阵列的液晶显示面板 10、用于向液晶显示面板 10 的数据线 DL 提供数据电压的数据驱动电路、用于向液晶显示面板 10 的选通线 GL 顺序提供选通脉冲（或者扫描脉冲）的选通驱动电路、以及用于控制数据驱动电路和选通驱动电路的操作定时的定时控制器 TCON 等。用于向液晶显示面板均匀照射光线的背光单元可设置在液晶显示面板 10 的下方。

[0037] 液晶显示面板 10 包括 TFT（薄膜晶体管）阵列基板和滤色器阵列基板，TFT 阵列基板和滤色器阵列基板彼此相对且中间夹有液晶层。TFT 阵列基板包括：数据线 DL、与数据线 DL 交叉的选通线 GL、以及形成在由数据线 DL 与选通线 GL 所限定的像素区内的像素。每个像素包括 R、G 以及 B 子像素，并且每个子像素包括形成在数据线 DL 与选通线 GL 的交叉处的 TFT、连接到 TFT 的液晶单元 Clc、连接到液晶单元 Clc 的像素电极的存储电容器 Cst 等。在滤色器阵列基板上形成有黑底、滤色器以及公共电极。在全部像素中形成的公共电极电连接在一起，并且公共电压 Vcom 被施加至公共电极。在垂直电场驱动方式（诸如扭曲向列（TN）模式或者垂直对准（VA）模式）中，公共电极形成在上玻璃基板上。另一方面，在水平电场驱动方式（诸如面内切换（IPS）模式或者边缘场切换（FFS）模式）中，公共电极与像素电极一起形成在下玻璃基板上。偏振器分别附接到 TFT 阵列基板和滤色器阵列基板，并且在偏振器上形成有用于设置液晶的预倾角的取向膜。

[0038] 除了 TN 模式、VA 模式、IPS 模式以及 FFS 模式之外，液晶显示面板 10 可按照任何液晶模式来实施。本发明的液晶显示器可以按照任何形式来实施，包括：透射式液晶显示器、半透射式液晶显示器以及反射式液晶显示器。透射式液晶显示器和半透射式液晶显示器需要背光单元。背光单元可以实现为直下式背光单元或者边缘式背光单元。

[0039] 数据驱动电路包括多个源驱动 IC SDIC1 到 SDIC4。选通驱动电路包括多个选通驱动 IC GDIC1 到 GDIC4。

[0040] 定时控制器 TCON 安装在控制印制电路板 CPCB 上。定时控制器 TCON 经由接口从外部主机系统接收数字视频数据 RGB, 接口是诸如 LVDS (低压差分信令) 接口和 TMDS (最小化传输差分信令) 接口。定时控制器 TCON 将从主计算机接收到的数字视频数据 RGB 发送给源驱动 IC SDIC1 到 SDIC4。DC-DC 转换器 (未示出) 可安装在控制印制电路板 CPCB 上。DC-DC 转换器生成要提供给液晶显示面板 10 的模拟驱动电压。驱动电压包括: 正 / 负伽马基准电压、公共电压 V_{com} 、选通高电压 V_{GH} 、选通低电压 V_{GL} 等。控制印制电路板 CPCB 经由柔性扁平电缆 (FFC) 电连接到源印制电路板 SPCB。

[0041] 定时控制器 TCON 经由 LVDS 或者 TMDS 接口接收电路, 从主机系统接收定时信号, 诸如垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、数据使能信号 DE、以及主时钟 MCLK。定时控制器 TCON 参照来自主机系统的定时信号, 生成定时控制信号, 该定时控制信号用于控制源驱动 IC SDIC1 到 SDIC4 和选通驱动 IC GDIC1 到 GDIC4 的操作定时。定时控制信号包括: 用于控制选通驱动 IC GDIC1 到 GDIC4 的操作定时的选通定时控制信号、和用于控制源驱动 IC SDIC1 到 SDIC4 的操作定时以及数据电压的极性的数据定时控制信号。

[0042] 选通定时控制信号包括: 选通起始脉冲 GSP、选通移位时钟 GSC、闪烁控制信号 FLK、选通输出使能信号 GOE 等。选通起始脉冲 GSP 控制输入到第一选通驱动 IC GDIC1 并从第一选通驱动 IC GDIC1 输出的第一选通脉冲的输出定时。选通移位时钟 GSC 控制选通起始脉冲 GSP 的移位定时。闪烁控制信号 FLK 控制调制定时, 该调制定时用于在选通脉冲的下降沿, 将选通高电压调制为低电压以减少闪烁。选通输出使能信号 GOE 控制选通驱动 IC GDIC1 到 GDIC4 的输出定时。经由形成在控制印刷电路板 CPCB 上的选通定时控制信号总线、FFC、形成在源印刷电路板 SPCB 上的选通定时控制信号总线、形成在源驱动 IC SDIC1 到 SDIC4 中的至少一个的 TCP 上的选通定时控制信号总线、以及形成在液晶显示面板 10 的 TFT 阵列基板上的 LOG (Line On Glass) 线, 将选通定时控制信号发送至选通驱动 IC GDIC1 到 GDIC4。

[0043] 数据定时控制信号包括: 源起始脉冲 SSP、源采样时钟 SSC、极性控制信号 POL、源输出使能信号 SOE 等。源起始脉冲 SSP 控制源驱动 IC SDIC1 到 SDIC4 的移位起始定时。源采样时钟 SSC 控制源驱动 IC SDIC1 到 SDIC4 中的数据的采样定时。极性控制信号 POL 控制从源驱动 IC SDIC1 到 SDIC4 输出的数据电压的极性。源输出使能信号 SOE 控制源驱动 IC SDIC1 到 SDIC4 的数据电压输出定时和电荷共享定时。如果定时控制器 TCON 与源驱动 IC SDIC1 到 SDIC4 之间的数据传输接口是微型 LVDS 接口, 则可省略源起始脉冲 SSP 和源采样时钟 SSC。数据定时控制信号被发送至源驱动 IC SDIC1 到 SDIC4。

[0044] 源驱动 IC SDIC1 到 SDIC4 中的每一个接收来自定时控制器 TCON 的数字视频数据。源驱动 IC SDIC1 到 SDIC4 响应于来自定时控制器 TCON 的源定时控制信号, 将数字视频数据转换为正 / 负模拟数据电压, 并且将转换后的正 / 负模拟数据电压提供给液晶显示面板 10 的数据线 DL。源驱动 IC SDIC1 到 SDIC4 中的每一个都可通过 COG (玻璃上芯片) 处理接合到液晶显示面板 10 的 TFT 阵列基板上。源驱动 IC SDIC1 到 SDIC4 可安装到 TCP (载带封装) 上, 并且可通过 TAB (带式自动键合) 处理与液晶显示面板 10 的 TFT 阵列基板相接合, 且与源印制电路板 SPCB 相接合。

[0045] 选通驱动 IC GDIC1 到 GDIC4 响应于来自定时控制器 TCON 的选通定时控制信号,向液晶显示面板 10 的选通线 GL 顺序提供选通脉冲。选通脉冲在选通高电压 VGH 和选通低电压 VGL 之间摆动。选通高电压 VGH 被设置为比液晶显示面板 10 的 TFT 阵列处形成的 TFT 的阈值电压高的电平;而选通低电压 VGL 被设置为比液晶显示面板 10 的 TFT 阵列处形成的 TFT 的阈值电压低的电平。因此,TFT 阵列的 TFT 响应于来自选通线 GL 的选通脉冲而导通,以将来自数据线 DL 的数据电压提供给液晶单元 Clc 的像素电极。选通驱动 IC GDIC1 到 GDIC4 可以安装到 TCP 上,并且通过 TAB 处理与液晶显示面板 10 的 TFT 阵列基板相接合。如图 1 所示,选通驱动电路可接合至液晶显示面板 10 的两侧边缘,以向选通线 GL 的两端同时施加选通脉冲,由此减少选通脉冲的延迟。另选的是,选通驱动电路可接合至液晶显示面板 10 的一侧边缘处,以向液晶显示面板 10 的该侧边缘施加选通脉冲。如图 11 和图 12 所示,选通驱动电路可以实施为通过 GIP(面板内选通)处理与 TFT 阵列同时直接形成在 TFT 基板上的 GIP 电路。

[0046] 图 3 是示出了源驱动 IC SDIC1 到 SDIC4 的电路结构的图。

[0047] 参照图 3,源驱动 IC SDIC1 到 SDIC4 各驱动 m 条数据线 D1 到 Dm(m 为自然数),并且包括:数据恢复单元 21、移位寄存器 22、第一锁存阵列 23、第二锁存阵列 24、数模转换器(此后称为“DAC”)25、输出缓冲器 26 和电荷共享电路 27 等等。

[0048] 数据恢复单元 21 对按照微型 LVDS 接口方式接收的数字视频数据 RGBodd 和 RGBeven 进行恢复,以将数字视频数据 RGBodd 和 RGBeven 提供给第一锁存阵列 23。移位寄存器 22 根据源采样时钟 SSC 对采样信号进行移位。当将超过第一锁存阵列 23 中的锁存操作数的数据提供给第一锁存阵列 23 时,移位寄存器 22 生成进位信号 CAR。

[0049] 第一锁存阵列 23 响应于从移位寄存器 22 顺序接收的采样信号,对从数据恢复单元 21 串行接收的数字视频数据 RGBodd 和 RGBeven 进行采样和锁存,随后同时输出数字视频数据 RGBodd 和 RGBeven,以将串行格式的数字视频数据转换成并行格式的数字视频数据。第二锁存阵列 24 对从第一锁存阵列 23 接收的数据进行锁存。随后,第二锁存阵列 24 和其它源驱动 IC 的第二锁存阵列 24 同时输出所锁存的数字视频数据。

[0050] DAC 25 利用正伽马基准电压 PGMA 和负伽马基准电压 NGMA,将从第二锁存阵列 24 接收的数字视频数据转换成正模拟数据电压和负模拟数据电压。此外,DAC 25 根据极性控制信号 POL 的逻辑值来交替地选择并输出正数据电压和负数据电压。

[0051] 输出缓冲器 26 使得提供给数据线 D1 到 Dm 的数据电压的信号衰减最小。电荷共享电路 27 在源输出使能信号 SOE 的低逻辑周期期间向数据线 D1 到 Dm 提供正/负数据电压,并且在源输出使能信号 SOE 的高逻辑电平周期期间使得源驱动 ICSDIC1 到 SDIC4 的相邻数据输出通道短路,以向数据线 D1 到 Dm 输出正/负数据电压的平均值。

[0052] 下面将讨论源驱动 IC SDIC1 到 SDIC4 的排列和操作关系。第一源驱动 IC SDIC1 设置在屏面的左侧,并且第二到第四源驱动 IC SDIC2 到 SDIC4 按顺序设置在第一源驱动 IC SDIC1 的右方。第一源驱动 IC SDIC1 向设置在屏面左部分(包括 A 和 C)的数据线提供数据电压,而第四源驱动 IC SDIC4 向设置在屏面中央(或者右)部分(包括 B 和 D)的数据线提供数据电压。部分 B 在水平方向上与部分 A 分开,即远离部分 A。部分 C 在垂直方向上与部分 A 分开,即远离部分 A。部分 D 在水平方向上与部分 C 分开,即远离部分 C,并且在垂直方向上与部分 B 分开,即远离部分 B。第二和第三源驱动 IC SDIC2 和 SDIC3 向设置在 A/

C 与 B/D 之间的数据线提供数据电压。

[0053] 第一源驱动 IC SDIC1 响应于源起始脉冲 SSP 或者嵌在微型 LVDS 时钟内的复位时钟, 对与数据输出通道的数量相对应的串行数据进行顺序采样, 并且随后将第一进位信号 CAR 发送到第二源驱动 IC SDIC2。第二源驱动 IC SDIC2 响应于来自第一源驱动 IC SDIC1 的第一进位信号 CAR, 对与数据输出通道数量相对应的数据进行采样, 并且随后将第二进位信号 CAR 发送到第三源驱动 IC SDIC3。第三源驱动 IC SDIC3 响应于来自第二源驱动 IC SDIC2 的第二进位信号 CAR, 对与数据输出通道数量相对应的数据进行采样, 并且随后将第三进位信号 CAR 发送到第四源驱动 IC SDIC4。第四源驱动 IC SDIC4 响应于来自第三源驱动 IC SDIC3 的第三进位信号 CAR, 对与数据输出通道数量相对应的数据进行采样。这样, 源驱动 IC SDIC1 到 SDIC4 顺序地对串行输入数据进行采样和锁存, 以将串行格式的数据转换为并行格式的数据, 并且随后响应于源输出使能信号 SOE, 同时输出数据。

[0054] 图 4 是示出选通驱动 IC GDIC1 到 GDIC4 的电路结构的图。

[0055] 如图 4 所示, 选通驱动 IC 各包括: 移位寄存器 31、电平转换器 34、以及连接在移位寄存器 31 与电平转换器 34 之间的多个“与”门 32 等等。

[0056] 移位寄存器 31 响应于选通移位时钟 GSC, 利用多个级联的 D 触发器 (flip-flop) 对选通起始脉冲 GSP 进行顺序移位, 并随后生成进位信号 CAR。“与”门 32 各输出将移位寄存器 31 的输出信号与经过反相器 33 反相的选通输出使能信号 GOE 进行“与”运算的结果。

[0057] 电平转换器 34 将“与”门 32 的输出电压的摆幅宽度转换为选通高电压 VGH 与选通低电压 VGL 之间的摆幅宽度, 并且向选通线 G1 到 Gn 顺序提供输出电压。电平转换器 34 位于移位寄存器 31 前面。

[0058] 下面将讨论选通驱动 IC GDIC1 到 GDIC4 的排列和操作关系。第一选通驱动 ICGDIC1 设置在屏面的上端部, 并且第二到第四选通驱动 IC GDIC2 到 GDIC4 顺序设置在第一选通驱动 IC GDIC1 的下方。第一选通驱动 IC GDIC1 地向设置在屏面上端部分 (包括 A 和 B) 的选通线提供选通脉冲, 而第四选通驱动 IC GDIC4 顺序地向设置在屏面的下端部分 (包括 C 和 D) 的选通线提供选通脉冲。第二选通驱动 IC GDIC2 和第三选通驱动 IC GDIC3 顺序地向屏面上设置在 A/B 与 C/D 之间的选通线提供选通脉冲。

[0059] 第一选通驱动 IC GDIC1 通过与选通移位时钟 GSC 的上升沿同步地对选通起始脉冲 SSP 进行移位, 来顺序向选通线输出选通脉冲, 并且随后输出第一进位信号 CAR 作为第二选通驱动 IC GDIC2 的起始脉冲。第二选通驱动 IC GDIC2 通过与选通移位时钟 GSC 的上升沿同步地对第一进位信号 CAR 进行移位, 来顺序向选通线输出选通脉冲, 并且随后输出第二进位信号 CAR 作为第三选通驱动 IC GDIC3 的起始脉冲。第三选通驱动 IC GDIC3 通过与选通移位时钟 GSC 的上升沿同步地对第二进位信号 CAR 进行移位, 来顺序向选通线输出选通脉冲, 并且随后输出第三进位信号 CAR 作为第四选通驱动 IC GDIC4 的起始脉冲。第四选通驱动 IC GDIC4 通过与选通移位时钟 GSC 的上升沿同步地对第三进位信号 CAR 进行移位, 来顺序向选通线输出选通脉冲。

[0060] 图 5A 到图 5D 是根据屏面上的位置示出源输出使能信号 SOE、选通输出使能信号 GOE、源驱动 IC SDIC1 到 SDIC4 的输出以及选通驱动 IC GDIC1 到 GDIC4 的输出的波形图。

[0061] 分别参照图 5A 到图 5D, TA 表示位于部分 A 内的液晶单元 C1c 的数据充电时间, TB 表示位于部分 B 内的液晶单元 C1c 的数据充电时间, TC 表示位于部分 C 内的液晶单元 C1c

的数据充电时间,以及 TD 表示位于部分 D 内的液晶单元 Clc 的数据充电时间。

[0062] 来自源驱动 IC SDIC1 到 SDIC4 的数据电压输出和来自选通驱动 IC GDIC1 到 GDIC4 的选通脉冲输出被延迟 RC 延迟,该 RC 延迟是因数据线和选通线的线阻以及液晶显示面板 10 的电容所引起的。因此,由于数据电压和选通脉冲的延迟时间根据液晶显示面板 10 上的像素位置而变化,所以液晶单元 Clc 的数据充电量也随像素位置而变化。例如,在图 1 的屏面部分 A、B、C 以及 D 之中,具有液晶单元 Clc 的最差数据充电特性的部分为部分 C(参见图 5C),其中,源驱动 IC 的输出延迟时间长而选通驱动 IC 的输出延迟时间短。另一方面,具有液晶单元 Clc 的最好数据充电特性的部分为部分 B(参见图 5B),其中,源驱动 IC 的输出延迟时间短而选通驱动 IC 的输出延迟时间长。位于部分 A 和 D 中的液晶单元 Clc 的充电特性比位于部分 C 中的液晶单元 Clc 的充电特性好,而比位于部分 B 中的液晶单元 Clc 的充电特性差。

[0063] 针对液晶显示面板 10 上具有最差充电特性的部分,可以调整源驱动 IC SDIC1 到 SDIC4 的操作定时和选通驱动 IC GDIC1 到 GDIC4 的操作定时。例如,如果基于具有液晶单元 Clc 的最差充电特性的部分 C 确定源输出使能信号 SOE 和选通输出使能信号 GOE 的最佳定时并且将该最佳定时应用于屏面的全部区域,则无法对用于驱动除部分 C 之外的部分 A、B 以及 D 的源驱动 IC SDIC1 到 SDIC4 的功率消耗和温度进行优化。通过延长电荷共享定时能够改善源驱动 IC SDIC1 到 SDIC4 的功率消耗和温度。

[0064] 图 6 是详细示出了图 3 所示的电荷共享电路的图。图 7 是示出了源输出使能信号和电荷共享操作定时的定时图。

[0065] 参照图 6 和图 7,源驱动 IC SDIC1 到 SDIC4 的电荷共享电路 27 包括:串联连接在输出缓冲器 BUF 与数据输出通道之间的第一开关 SW1,和连接在相邻数据输出通道之间的第二开关 SW2。源驱动 IC SDIC1 到 SDIC4 的数据输出通道一对一地连接到液晶显示面板 10 的数据线 D1 到 D3,以从输出缓冲器 BUF 向数据线 D1 到 D3 提供正 / 负数据电压。

[0066] 每个第一开关 SW1 在源输出使能信号 SOE 的低逻辑周期期间接通,以向数据线 D1 到 D3 提供数据电压。另一方面,第一开关 SW1 在源输出使能信号 SOE 的高逻辑电平周期期间断开,以连接输出缓冲器 BUF 与数据线 D1 到 D3 之间的电流通路。因此,源驱动 IC SDIC1 到 SDIC4 在源输出使能信号 SOE 的低逻辑周期期间(或者脉冲关断周期)输出正 / 负数据电压。此时,生成与数据电压的摆幅宽度成正比的电流,由此导致功率消耗。

[0067] 每个第二开关 SW2 在源输出使能信号 SOE 的高逻辑电平周期期间接通,以连接相邻数据输出通道,并且使得数据线 D1 到 D3 短路。相反极性的数据电压被提供给相邻数据线。因此,在源输出使能信号 SOE 的高逻辑电平周期(或者脉冲导通周期 W1)期间,由于正数据电压与负数据电压之间的电荷共享,数据线被控制为具有正数据电压和负数据电压的平均电压。由于在数据线的电荷共享时间期间,在源驱动 IC SDIC1 到 SDIC4 中几乎不生成电流,所以降低了源驱动 IC SDIC1 到 SDIC4 的功率消耗。另一方面,第二开关 SW2 在源输出使能信号 SOE 的低逻辑周期期间断开,以使得相邻数据输出通道之间的电流通路断开连接。

[0068] 如从图 6 和图 7 可以看出,通过延长源输出使能信号 SOE 所确定的电荷共享时间,可以减少源驱动 IC SDIC1 到 SDIC4 的功率消耗。随着电荷共享时间变长,液晶单元的数据充电时间变短。因此,通过把液晶单元的数据充电时间考虑进来,来优化电荷共享时间。

[0069] 源驱动 IC SDIC1 到 SDIC4 之间的电荷共享对源驱动 IC SDIC1 到 SDIC4 的温度以及源驱动 IC SDIC1 到 SDIC4 的功率消耗具有显著影响。在电荷共享时间期间,在源驱动 IC SDIC1 到 SDIC4 中几乎不生成电流。因此,通过延长电荷共享时间,可以降低源驱动 IC SDIC1 到 SDIC4 的温度。

[0070] 图 8 是示出了源驱动 IC SDIC1 到 SDIC4 的温度随着电荷共享时间的变化而变化的试验结果图。如从图 8 所见,如果在没有任何电荷共享的情况下驱动源驱动 IC SDIC1 到 SDIC4,则它们产生的热量,使得温度超过 90℃。相反,如果在执行电荷共享的情况下驱动源驱动 IC SDIC1 到 SDIC4,则它们产生的热量,使得温度低于 90℃。电荷共享时间越长,即源输出使能信号 SOE 的脉冲宽度越宽,则源驱动 IC SDIC1 到 SDIC4 的温度越低。

[0071] 如上所讨论的,如果基于屏面的某些部分来设置源输出使能信号 SOE 和选通输出使能信号 GOE 并且将设置的定时应用于整个屏面,则无法对用于驱动屏面其它部分的源驱动 IC SDIC1 到 SDIC4 的功率消耗和温度进行优化。如图 9A 到 9D 和图 10 所示,本发明的定时控制器 TCON 对源输出使能信号 SOE 和选通输出使能信号 GOE 进行调整,以便对所有源驱动 IC SDIC1 到 SDIC4 的功率消耗和温度进行优化。

[0072] 图 9A 到 9D 是示出本发明的控制用于驱动图 1 所示的屏面部分 A、B、C 以及 D 的选通驱动 IC GDIC1 到 GDIC4 和源驱动 IC SDIC1 到 SDIC4 的输出定时的源输出使能信号和选通输出使能信号的波形图。图 10 是示出由定时控制器 TCON 调整后的源输出使能信号和选通输出使能信号的波形图。

[0073] 参照图 9A 到 9D 以及图 10,第一源驱动 IC SDIC1 响应于用于 SDIC1 的第一源输出使能信号 SOE,向位于屏面的部分 A 和 C 的数据线输出数据电压,并且在数据线之间共享电荷。第四源驱动 IC SDIC4 响应于用于 SDIC4 的第四源输出使能信号 SOE,向位于屏面的部分 B 和 D 的数据线输出数据电压,并且共享数据线的电荷。第二源驱动 IC SDIC2 和第三源驱动 IC SDIC3 响应于用于 SDIC2 的第二源输出使能信号 SOE 和用于 SDIC3 的第三源输出使能信号 SOE,向位于屏面的部分 A/C 与 B/D 之间的部分中的数据线的输出数据电压。

[0074] 第一选通驱动 IC GDIC1 响应于选通输出使能信号 GOE,向位于屏面的部分 A 和 B 内的选通线顺序输出选通脉冲。第四选通驱动 IC GDIC4 响应于选通输出使能信号 GOE,向位于屏面的部分 C 和 D 内的选通线顺序输出选通脉冲。第二选通驱动 IC GDIC2 和第三选通驱动 IC GDIC3 响应于选通输出使能信号 GOE,向位于屏面的部分 A/B 与 C/D 之间的部分中的选通线顺序输出选通脉冲。

[0075] 定时控制器 TCON 基于用于驱动屏面的部分 C 的源输出使能信号 SOE 和选通输出使能信号 GOE,来调整选通输出使能信号 GOE 的周期和用于 SDIC1 到 SDIC4 的第一到第四源输出使能信号 SOE 的周期以及脉冲宽度。

[0076] 用于 SDIC1 的第一源输出使能信号 SOE 的脉冲 S11 到 S15 的上升沿定时等于前一脉冲的上升沿定时。相对照的是,将用于 SDIC1 的第一源输出使能信号 SOE 的脉冲 S11 到 S14 的至少一些脉冲的下降沿定时调整得较慢。用于 SDIC1 的第一源输出使能信号 SOE 的第一脉冲 S11 限定了提供给位于屏面的部分 A 内的数据线的输出定时和这些数据线的电荷共享定时。第一脉冲 S11 的下降沿定时可以比前一脉冲的下降沿进一步延迟近似 $3\Delta t$ 。在这种情况下,第一脉冲 S11 的脉冲宽度变得比前一脉冲的脉冲宽度宽 $3\Delta t$ (图 9A 和图 10 的斜线部分)。

[0077] 将用于 SDIC1 的第一源输出使能信号 SOE 的第二脉冲 S12 的下降沿定时调整得比前一脉冲慢比第一脉冲 S11 的调整宽度小的调整宽度。例如,第二脉冲 S12 的下降沿定时可以比前一脉冲的下降沿定时进一步延迟近似 $2\Delta t$ 。在这种情况下,第二脉冲 S12 的脉冲宽度变得比前一脉冲的脉冲宽度宽 $2\Delta t$ (参见图 9A 和图 10)。

[0078] 将用于 SDIC1 的第一源输出使能信号 SOE 的第三脉冲 S13 的下降沿定时调整得比前一脉冲慢比第二脉冲 S12 的调整宽度小的调整宽度。例如,第三脉冲 S13 的下降沿定时可以比前一脉冲的下降沿定时进一步延迟近似 Δt 。在这种情况下,第三脉冲 S13 的脉冲宽度变得比前一脉冲的脉冲宽度宽 Δt (参见图 10)。

[0079] 用于 SDIC1 的第一源输出使能信号 SOE 的第四脉冲 S14 限定了提供给位于屏面的部分 C 内的数据线的输出定时和这些数据线的电荷共享定时。将第四脉冲 S14 的下降沿调整比第三脉冲 S13 的调整宽度小的调整宽度。例如,第四脉冲 S14 的下降沿定时可以被设置为等于前一脉冲的下降沿定时。在这种情况下,第四脉冲 S14 的脉冲宽度等于前一脉冲的脉冲宽度(参见图 9C 和图 10)。

[0080] 将用于 SDIC2 的第二源输出使能信号 SOE 的脉冲 S21 到 S24 中的至少一些脉冲的上升沿定时调整得比用于 SDIC1 的第一源输出使能信号 SOE 的脉冲的上升沿定时更快。将用于 SDIC2 的第二源输出使能信号 SOE 的脉冲 S21 到 S24 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的脉冲的下降沿定时。可将用于 SDIC2 的第二源输出使能信号 SOE 的第一脉冲 S21 的上升沿定时设置得比用于 SDIC1 的第一源输出使能信号 SOE 的第一脉冲 S11 的上升沿定时快近似 Δt 。可将用于 SDIC2 的第二源输出使能信号 SOE 的第一脉冲 S21 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第一脉冲 S11 的下降沿定时。在这种情况下,第一脉冲 S21 的脉冲宽度变得比用于 SDIC1 的第一源输出使能信号 SOE 的第一脉冲 S11 的脉冲宽度大 Δt (参见图 10)。

[0081] 可将用于 SDIC2 的第二源输出使能信号 SOE 的第二脉冲 S22 的上升沿定时设置得比用于 SDIC1 的第一源输出使能信号 SOE 的第二脉冲 S12 的上升沿定时快近似 Δt 。可将用于 SDIC2 的第二源输出使能信号 SOE 的第二脉冲 S22 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第二脉冲 S12 的下降沿定时。在这种情况下,第二脉冲 S22 的脉冲宽度变得比用于 SDIC1 的第一源输出使能信号 SOE 的第二脉冲 S12 的脉冲宽度大 Δt (参见图 10)。

[0082] 可将用于 SDIC2 的第二源输出使能信号 SOE 的第三脉冲 S23 的上升沿定时设置得比用于 SDIC1 的第一源输出使能信号 SOE 的第三脉冲 S13 的上升沿定时快近似 Δt 。可将用于 SDIC2 的第二源输出使能信号 SOE 的第三脉冲 S23 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第三脉冲 S13 的下降沿定时。在这种情况下,第三脉冲 S23 的脉冲宽度变得比用于 SDIC1 的第一源输出使能信号 SOE 的第三脉冲 S13 的脉冲宽度大 Δt (参见图 10)。

[0083] 可将用于 SDIC2 的第二源输出使能信号 SOE 的第四脉冲 S24 的上升沿定时设置得比用于 SDIC1 的第一源输出使能信号 SOE 的第四脉冲 S14 的上升沿定时快近似 Δt 。可将用于 SDIC2 的第二源输出使能信号 SOE 的第四脉冲 S24 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第四脉冲 S14 的下降沿定时。在这种情况下,第四脉冲 S24 的脉冲宽度变得比用于 SDIC1 的第一源输出使能信号 SOE 的第四脉冲 S14 的脉冲宽度

大 Δt (参见图 10)。

[0084] 将用于 SDIC3 的第三源输出使能信号 SOE 的脉冲 S31 到 S34 中的至少一些脉冲的上升沿定时调整得比用于 SDIC2 的第二源输出使能信号 SOE 的脉冲的上升沿定时更快。将用于 SDIC3 的第三源输出使能信号 SOE 的脉冲 S31 到 S34 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 和用于 SDIC2 的第二源输出使能信号 SOE 的脉冲的下降沿定时。可将用于 SDIC3 的第三源输出使能信号 SOE 的第一脉冲 S31 的上升沿定时设置得比用于 SDIC2 的第二源输出使能信号 SOE 的第一脉冲 S21 的上升沿定时快近似 Δt 。可将用于 SDIC3 的第三源输出使能信号 SOE 的第一脉冲 S31 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第一脉冲 S11 和用于 SDIC2 的第二源输出使能信号 SOE 的第一脉冲 S21 的下降沿定时。在这种情况下,第一脉冲 S31 的脉冲宽度变得比用于 SDIC2 的第二源输出使能信号 SOE 的第一脉冲 S21 的脉冲宽度大 Δt (参见图 10)。

[0085] 可将用于 SDIC3 的第三源输出使能信号 SOE 的第二脉冲 S32 的上升沿定时设置得比用于 SDIC2 的第二源输出使能信号 SOE 的第二脉冲 S22 的上升沿定时快近似 Δt 。可将用于 SDIC3 的第三源输出使能信号 SOE 的第二脉冲 S32 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第二脉冲 S12 和用于 SDIC2 的第二源输出使能信号 SOE 的第二脉冲 S22 的下降沿定时。在这种情况下,第二脉冲 S32 的脉冲宽度变得比用于 SDIC2 的第二源输出使能信号 SOE 的第二脉冲 S22 的脉冲宽度大 Δt (参见图 10)。

[0086] 可将用于 SDIC3 的第三源输出使能信号 SOE 的第三脉冲 S33 的上升沿定时设置得比用于 SDIC2 的第二源输出使能信号 SOE 的第三脉冲 S23 的上升沿定时快近似 Δt 。可将用于 SDIC3 的第三源输出使能信号 SOE 的第三脉冲 S33 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第三脉冲 S13 和用于 SDIC2 的第二源输出使能信号 SOE 的第三脉冲 S23 的下降沿定时。在这种情况下,第三脉冲 S33 的脉冲宽度变得比用于 SDIC2 的第二源输出使能信号 SOE 的第三脉冲 S23 的脉冲宽度大 Δt (参见图 10)。

[0087] 可将用于 SDIC3 的第三源输出使能信号 SOE 的第四脉冲 S34 的上升沿定时设置得比用于 SDIC2 的第二源输出使能信号 SOE 的第四脉冲 S24 的上升沿定时快近似 Δt 。可将用于 SDIC3 的第三源输出使能信号 SOE 的第四脉冲 S34 的下降沿定时设置为等于用于 SDIC1 的第一源输出使能信号 SOE 的第四脉冲 S14 和用于 SDIC2 的第二源输出使能信号 SOE 的第四脉冲 S24 的下降沿定时。在这种情况下,第四脉冲 S34 的脉冲宽度变得比用于 SDIC2 的第二源输出使能信号 SOE 的第四脉冲 S24 的脉冲宽度大 Δt (参见图 10)。

[0088] 将用于 SDIC4 的第四源输出使能信号 SOE 的脉冲 S41 到 S45 中的至少一些脉冲的上升沿定时调整得比用于 SDIC3 的第三源输出使能信号 SOE 的脉冲的上升沿定时更快。将用于 SDIC4 的第四源输出使能信号 SOE 的脉冲 S41 到 S45 的下降沿定时设置为等于用于 SDIC1 到 SDIC3 的第一到第三源输出使能信号 SOE 的脉冲的下降沿定时。用于 SDIC4 的第四源输出使能信号 SOE 的第一脉冲 S41 限定了提供给位于屏面的部分 B 内的数据线的数据电压的输出定时和这些数据线的电荷共享定时。可将用于 SDIC4 的第四源输出使能信号 SOE 的第一脉冲 S41 的上升沿定时设置得比用于 SDIC3 的第三源输出使能信号 SOE 的第一脉冲 S31 的上升沿定时快近似 Δt 。可将用于 SDIC4 的第四源输出使能信号 SOE 的第一脉冲 S41 的下降沿定时设置为等于用于 SDIC1 到 SDIC3 的第一到第三源输出使能信号 SOE 的第一脉冲 S11、S21、S31 的下降沿定时。在这种情况下,第一脉冲 S41 的脉冲宽度变得比用

于 SDIC3 的第三源输出使能信号 SOE 的第一脉冲 S31 的脉冲宽度大 Δt (参见图 9B 和图 10)。

[0089] 可将用于 SDIC4 的第四源输出使能信号 SOE 的第二脉冲 S42 的上升沿定时设置得比用于 SDIC3 的第三源输出使能信号 SOE 的第二脉冲 S32 的上升沿定时快近似 Δt 。可将用于 SDIC4 的第四源输出使能信号 SOE 的第二脉冲 S42 的下降沿定时设置为等于用于 SDIC1 到 SDIC3 的第一到第三源输出使能信号 SOE 的第二脉冲 S12、S22、S32 的下降沿定时。在这种情况下,第二脉冲 S42 的脉冲宽度变得比用于 SDIC3 的第三源输出使能信号 SOE 的第二脉冲 S32 的脉冲宽度大 Δt (参见图 10)。

[0090] 可将用于 SDIC4 的第四源输出使能信号 SOE 的第三脉冲 S43 的上升沿定时设置得比用于 SDIC3 的第三源输出使能信号 SOE 的第三脉冲 S33 的上升沿定时快近似 Δt 。可将用于 SDIC4 的第四源输出使能信号 SOE 的第三脉冲 S43 的下降沿定时设置为等于用于 SDIC1 到 SDIC3 的第一到第三源输出使能信号 SOE 的第三脉冲 S13、S23、S33 的下降沿定时。在这种情况下,第三脉冲 S43 的脉冲宽度变得比用于 SDIC3 的第三源输出使能信号 SOE 的第三脉冲 S33 的脉冲宽度大 Δt (参见图 10)。

[0091] 用于 SDIC4 的第四源输出使能信号 SOE 的第四脉冲 S44 限定了提供给位于屏面的部分 D 内的数据线的数据电压的输出定时和这些数据线的电荷共享定时。可将用于 SDIC4 的第四源输出使能信号 SOE 的第四脉冲 S44 的上升沿定时设置得比用于 SDIC3 的第三源输出使能信号 SOE 的第四脉冲 S34 的上升沿定时快近似 Δt 。可将用于 SDIC4 的第四源输出使能信号 SOE 的第四脉冲 S44 的下降沿定时设置为等于用于 SDIC1 到 SDIC3 的第一到第三源输出使能信号 SOE 的第四脉冲 S14、S24、S34 的下降沿定时。在这种情况下,第四脉冲 S44 的脉冲宽度变得比用于 SDIC3 的第三源输出使能信号 SOE 的第四脉冲 S34 的脉冲宽度大 Δt (参见图 9D 和图 10)。

[0092] 通过这样调整源驱动 IC SDIC1 到 SDIC4,可以对屏面上所有位置处的源驱动 ICSDIC1 到 SDIC4 的功率消耗和温度进行优化。另外,应该将屏面上所有位置处的液晶单元的数据充电特性 TA 到 TD 优化到相同水平。为此,如图 10 中所示,本发明的定时控制器 TCON 通过考虑了用于 SDIC1 到 SDIC4 的源输出使能信号 SOE,来调整选通输出使能信号 GOE。假设用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 的脉冲周期为 T,则如图 10 中所示,对选通输出使能信号 GOE 的脉冲周期进行调整。

[0093] 选通输出使能信号 GOE 的脉冲 G01 到 G04 的脉冲宽度被设置为彼此相等。选通输出使能信号 GOE 的第一脉冲 G01 与用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 的第一脉冲 S11、S21、S31 以及 S41 相交叠,并且控制向位于屏面的部分 A 和 B 中的选通线提供的选通脉冲的输出定时。第一脉冲 G01 的上升沿与第二脉冲 G02 的上升沿之间的第一脉冲周期被设置为 $T - \Delta t$ (参见图 9A、9B 以及图 10)。

[0094] 选通输出使能信号 GOE 的第二脉冲 G02 与用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 的第二脉冲 S12、S22、S32 以及 S42 相交叠。可将第二脉冲 G02 的上升沿与第三脉冲 G03 的上升沿之间的第二脉冲周期设置得比第一脉冲周期短。例如,可将第二脉冲周期设置为 $T - 2\Delta t$ (参见图 10)。

[0095] 选通输出使能信号 GOE 的第三脉冲 G03 与用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 的第三脉冲 S13、S23、S33 以及 S43 相交叠。可将第三脉冲 G03 的上升沿与第四脉冲

G04 的上升沿之间的第三脉冲周期设置为比第二脉冲周期短。例如,可将第三脉冲周期设置为 $T-3\Delta t$ (参见图 10)。

[0096] 选通输出使能信号 G0E 的第四脉冲 G04 与用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 的第四脉冲 S14、S24、S34 以及 S44 相交叠,并且控制向位于屏面的部分 C 和 D 中的选通线提供的选通脉冲的输出定时。可将第四脉冲 G04 的上升沿与第五脉冲 G05 的上升沿之间的第四脉冲周期设置为比第三脉冲周期短 (参见图 9C、9D 以及图 10)。

[0097] 在图 9A-图 9D 和图 10 中,可根据液晶显示面板 10 的面板特性适当调节 Δt 。

[0098] 与图 5A-图 5D 相比,如图 9A-图 9D 和图 10 中所示,定时控制器 TCON 通过调整用于 SDIC1 到 SDIC4 的源输出使能信号 SOE,能够增加第一源驱动 IC SDIC1、第二源驱动 IC SDIC2 以及第四源驱动 IC SDIC4 的电荷共享时间。因此,使第一源驱动 IC SDIC1、第二源驱动 IC SDIC2 以及第四源驱动 IC SDIC4 的功率消耗和温度最小化。此外,定时控制器 TCON 通过根据用于 SDIC1 到 SDIC4 的经调整的源输出使能信号 SOE 的定时来调整选通输出使能信号 G0E,能够均匀地控制屏面所有位置处的液晶单元的数据充电特性。

[0099] 在选通驱动 IC GDIC1 到 GDIC4 仅设置在液晶显示面板 10 的一侧上并且仅设置一个源印制电路板 SPCB 的单列驱动中,定时控制器 TCON 生成分别用于 SDIC1 到 SDIC4 的第一到第四源输出使能信号 SOE,以便分别控制源驱动 IC SDIC1 到 SDIC4 的数据输出定时和电荷共享定时。如图 1 所示,在选通驱动 IC GDIC1 到 GDIC4 设置在液晶显示面板 10 的两侧上并且设置两个源印制电路板 SPCB 的双列驱动中,定时控制器 TCON 能够将用于 SDIC1 到 SDIC4 的第一到第四源输出使能信号 SOE 提供给左右对称设置的源驱动 IC SDIC1 到 SDIC4,由此生成数量等于源驱动 IC SDIC1 到 SDIC4 的一半数量的信号。如图 10 所示,定时控制器 TCON 生成一个选通输出使能信号 G0E,并且将该选通输出使能信号 G0E 共同提供给选通驱动 IC GDIC1 到 GDIC4。

[0100] 图 11 是示出了根据本发明的另一示例性实施方式的应用了 GIP 电路的液晶显示器的图。

[0101] 参照图 11,除了选通驱动电路外,本发明的第二示例性实施方式的其他部件与在前示例性实施方式的部件基本相同。

[0102] 选通驱动电路包括:形成在控制印制电路板 CPCB 上的电平转换器 LS 和直接形成在液晶显示面板的 TFT 阵列基板上的移位寄存器 GIP1 和 GIP2。因此,用于控制源驱动 IC SDIC1 到 SDIC4 的用于 SDIC1 到 SDIC4 的源输出使能信号 SOE 与图 9A 至图 9D 和图 10 中的基本相同。

[0103] 电平转换器 LS 在选通输出使能信号 G0E 的低逻辑周期期间将从定时控制器 TCON 输入的选通移位时钟 GCLK1 的高逻辑电压转换为选通高电压 VGH,并且将选通移位时钟 GCLK1 到 GCLKn 的低逻辑电压转换为选通低电压 VGL。选通输出使能信号 G0E 与图 10 中的基本相同。

[0104] 移位寄存器 GIP1 和 GIP2 响应于从电平转换器 LS 输入的时钟信号 CLK,对从定时控制器 TCON 输入的选通起始脉冲 GSP 进行移位,以顺序向液晶显示面板 10 的选通线提供选通脉冲。

[0105] 图 12 是详细示出了图 11 所示的电平转换器 LS 的电路图。

[0106] 参照图 12,电平转换器 LS 包括多个调整电路 121 到 126,其用于分别调整 6 相选

通移位时钟 GCLK1 到 GCLK6, 并且调整电路 121 到 126 各括“与”门 AND、晶体管 T1 和 T2 等等。调整电路可进一步包括用于响应于闪烁控制信号 FLK 在选通移位时钟 GCLK1 到 GCLK6 的下降沿处调整选通高电压 VGH 的晶体管。第一晶体管 T1 可以被实施为 n 型 MOS TFT (金属氧化物半导体 TFT), 并且第二晶体管 T2 可以被实施为 p 型 MOS TFT。

[0107] “与”门 AND 对选通移位时钟 GCLK1 到 GCLK6 和反相信号执行“与”运算, 反相信号是反相器 INV 对选通输出使能信号 GOE 进行反相所获得的, 并且“与”门 AND 将“与”运算结果提供至第一晶体管 T1 和第二晶体管 T2 的栅极。

[0108] 第一晶体管 T1 响应于选通移位时钟 GCLK1 到 GCLK6 的高逻辑电压, 向输出节点提供选通高电压 VGH, 以将输入到移位寄存器 GIP1 和 GIP2 的时钟信号 CLK1 到 CLK6 的电压升高至选通高电压 VGH。第一晶体管 T1 响应于选通移位时钟 GCLK1 到 GCLK6 的低逻辑电压而截止。第一晶体管 T1 的源极被施加选通高电压 VGH, 并且第一晶体管 T1 的漏极连接到电平转换器 LS 的输出节点。“与”门 AND 的输出信号被施加至第一晶体管 T1 的栅极。

[0109] 第二晶体管 T2 响应于选通移位时钟 GCLK1 到 GCLK6 的低逻辑电压, 向电平转换器 LS 的输出节点提供选通低电压 VGL, 以将时钟信号 CLK1 到 CLK6 的电压降低至选通低电压 VGL。第二晶体管 T2 响应于选通移位时钟 GCLK1 到 GCLK6 的高逻辑电压而截止。“与”门 AND 的输出信号被施加至第二晶体管 T2 的栅极。第二晶体管 T2 的漏极连接到电平转换器 LS 的输出节点。第二晶体管 T2 被施加选通低电压 VGL。

[0110] 如上, 本发明可以将源输出使能信号的定时调整到对于每个源驱动 IC 都优化的定时。因此, 可以对用于驱动液晶显示面板的全部源驱动 IC 的功率消耗和温度进行优化。

[0111] 尽管参照多个示例性实施方式描述了实施方式, 但应理解的是本领域技术人员可想到落入本公开的原理的范围内的许多其他修改和实施方式。更具体地说, 可以在本公开、附图及所附权利要求的范围内对本主题组合结构的组成部件和 / 结构进行各种变型和修改。除对组成部件和 / 或结构的变型和修改外, 替代性使用对本领域的技术人员也是明显的。

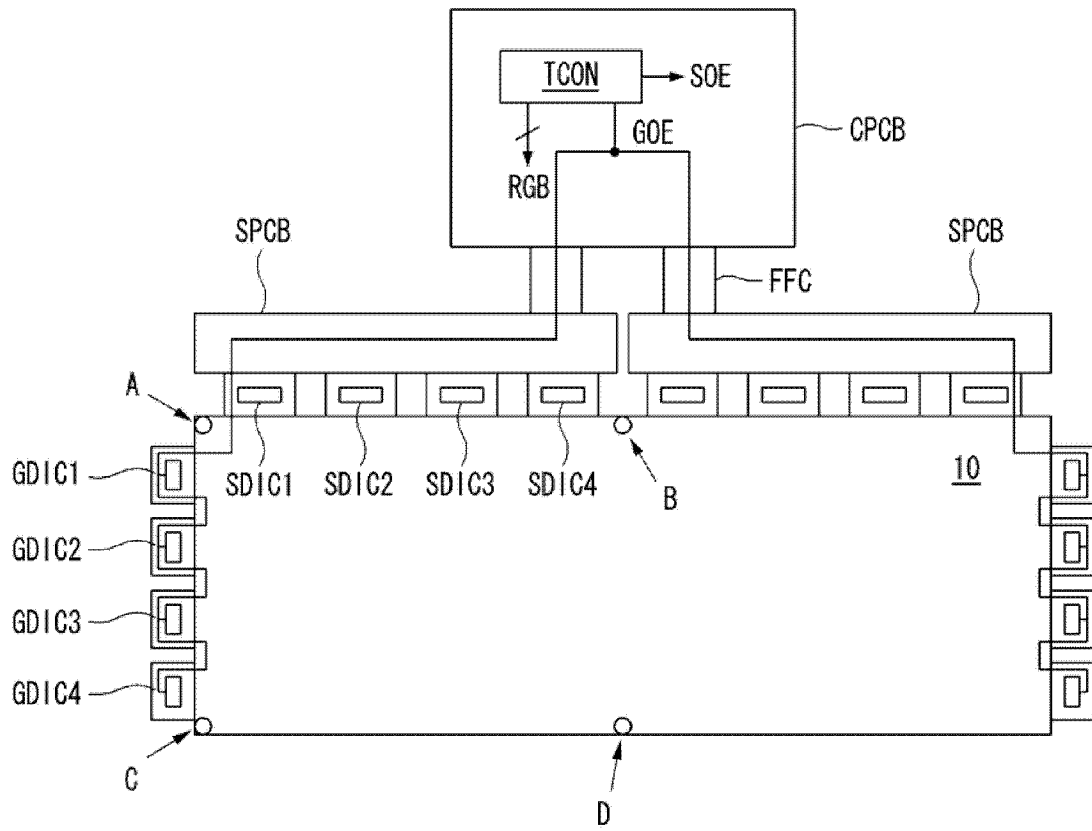


图 1

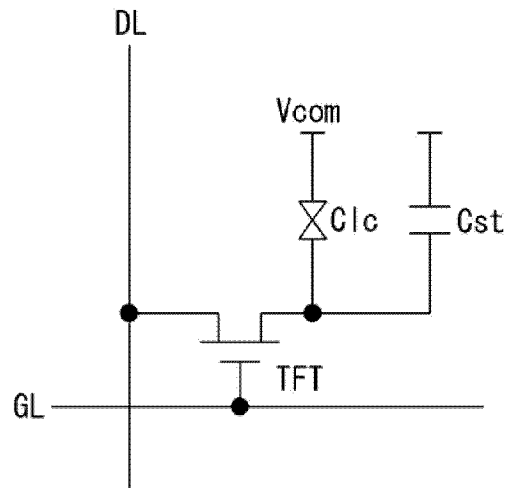


图 2

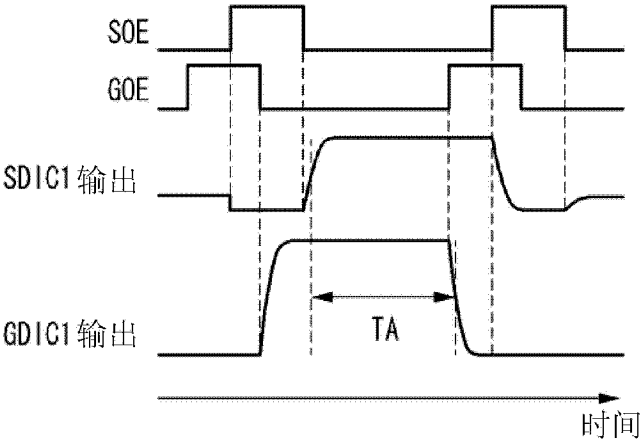


图 5A

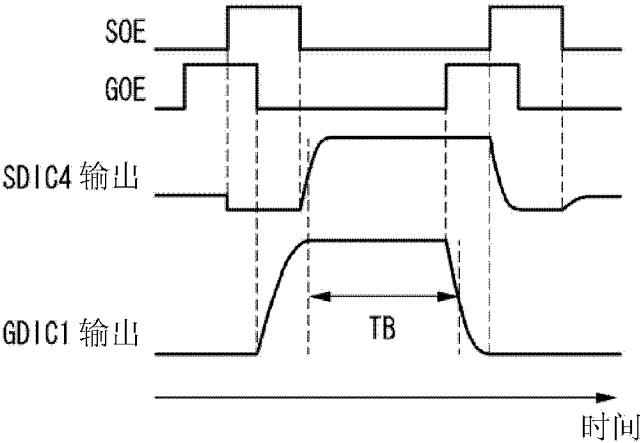


图 5B

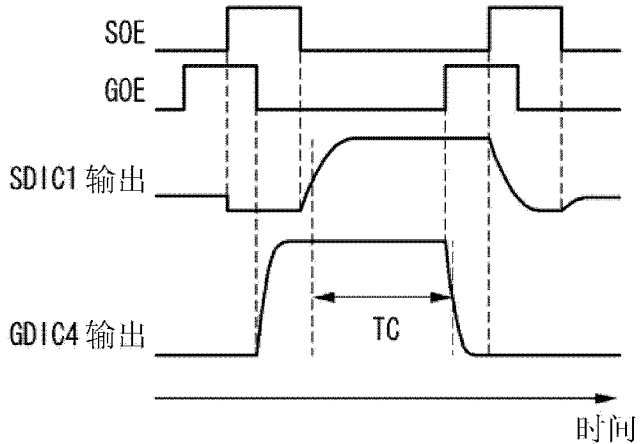


图 5C

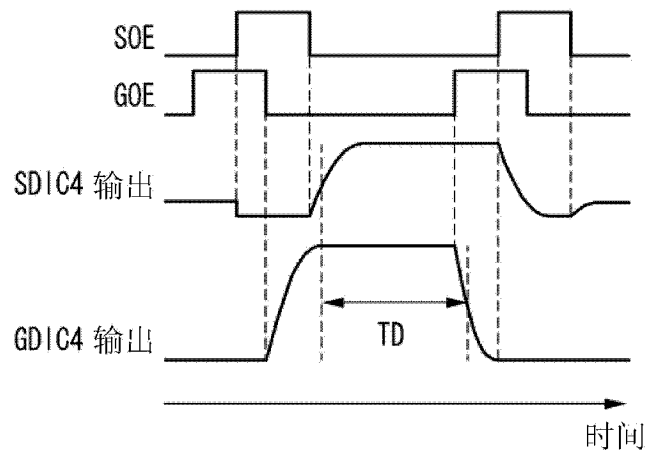


图 5D

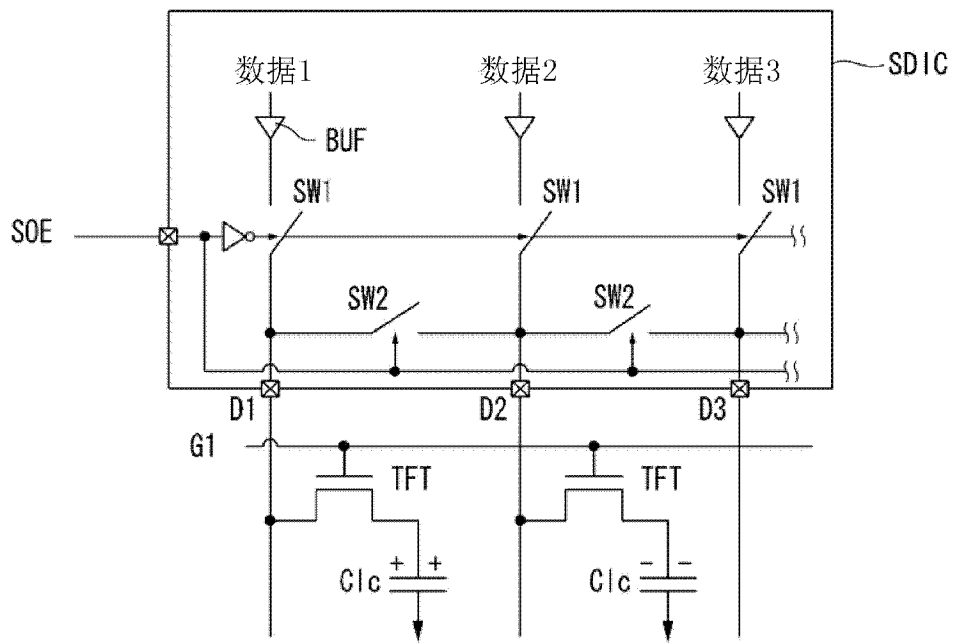


图 6

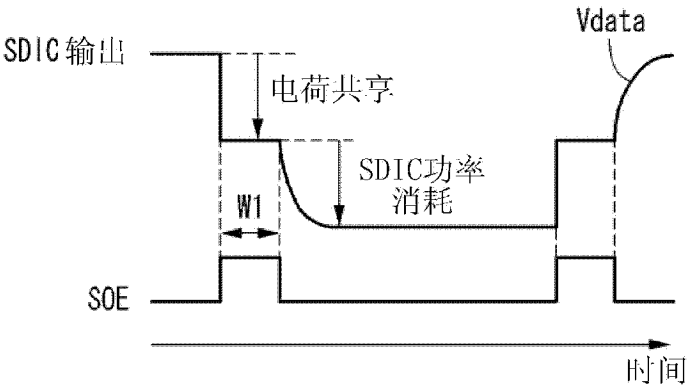


图 7

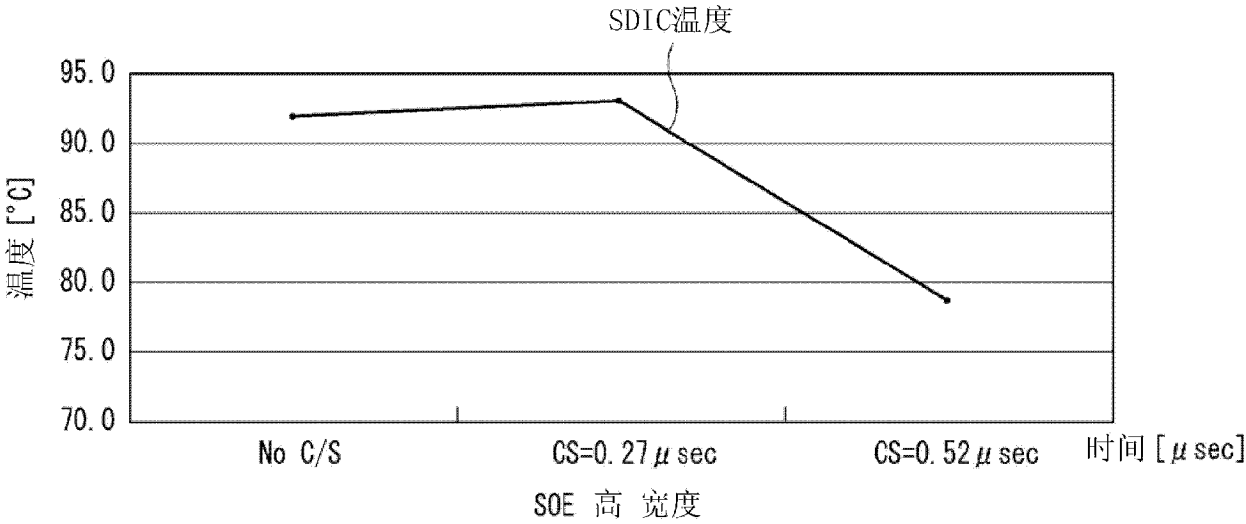


图 8

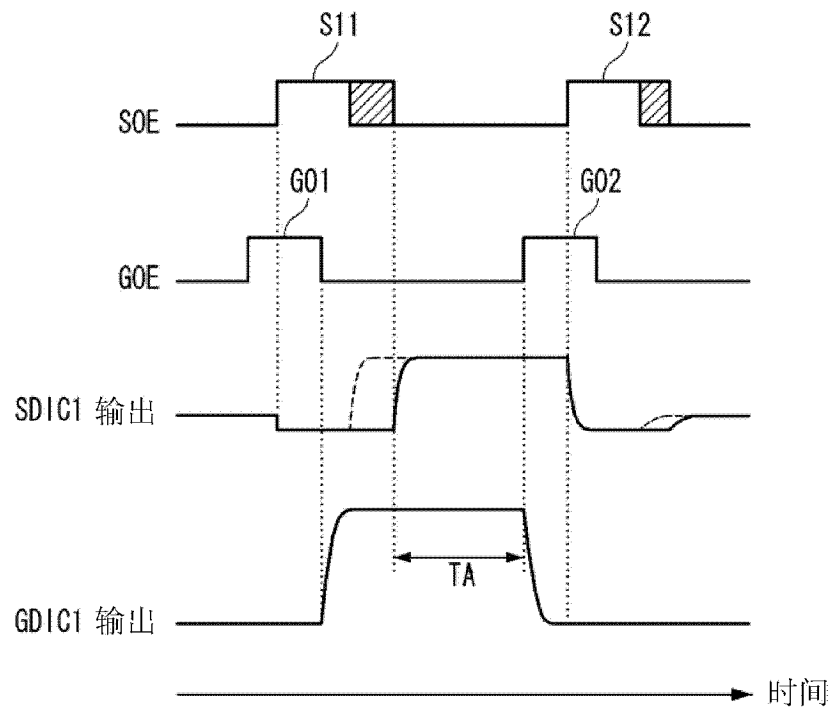


图 9A

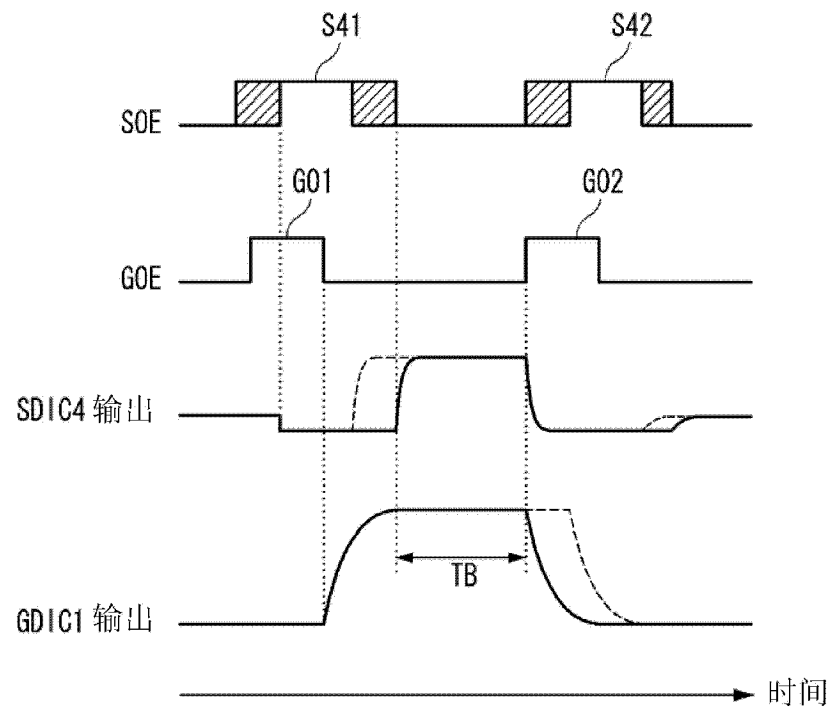


图 9B

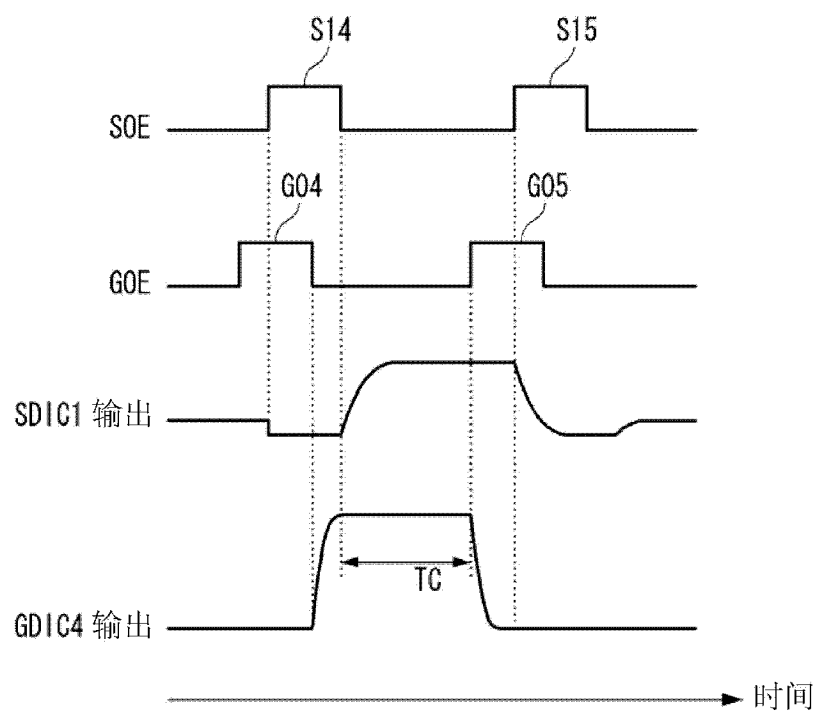


图 9C

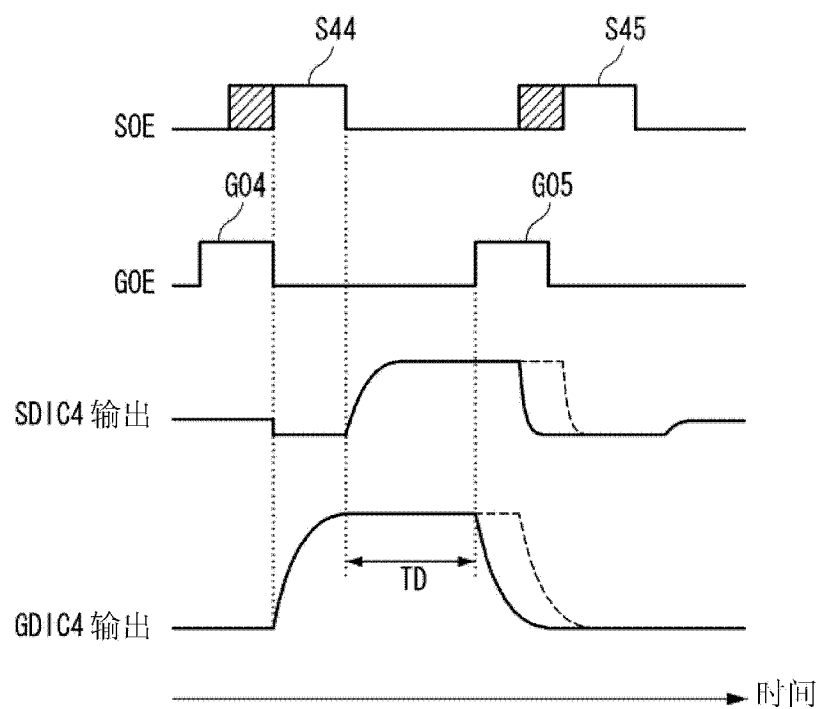


图 9D

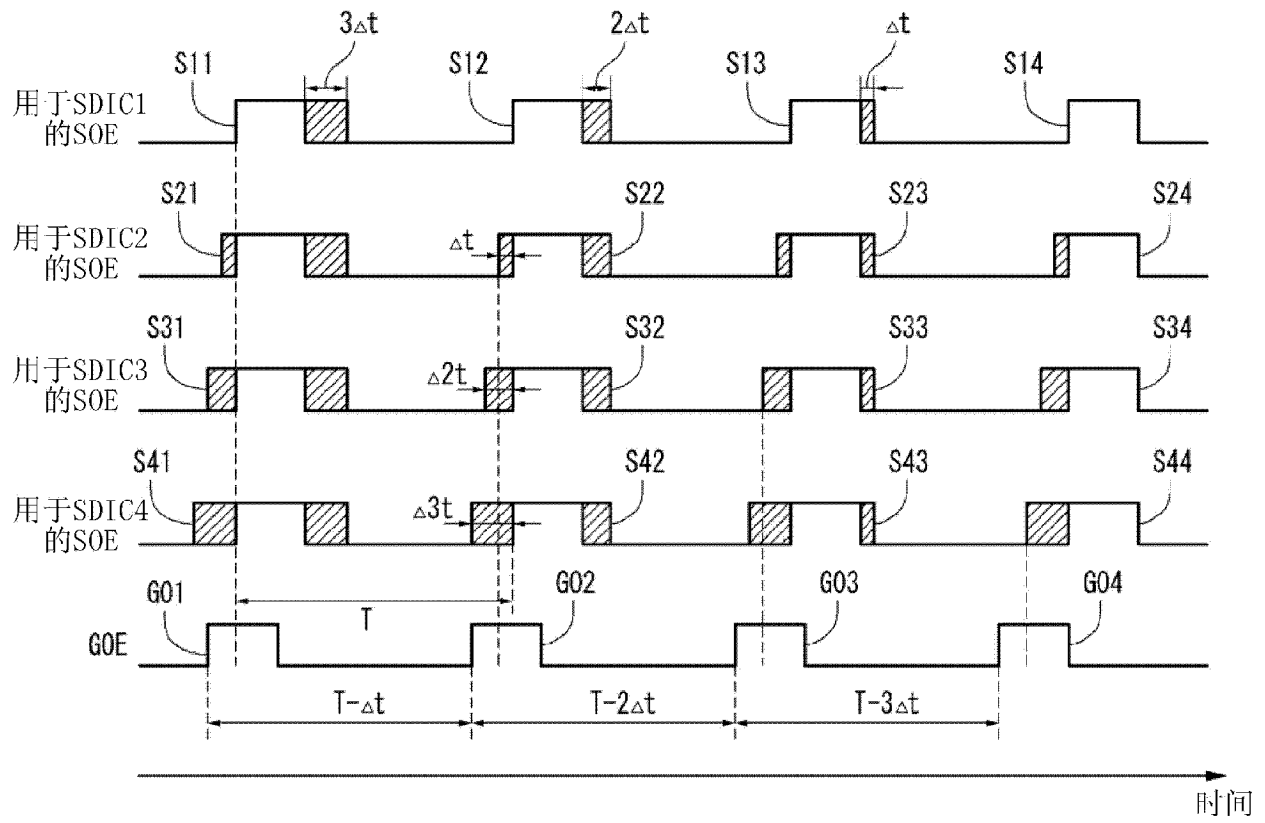


图 10

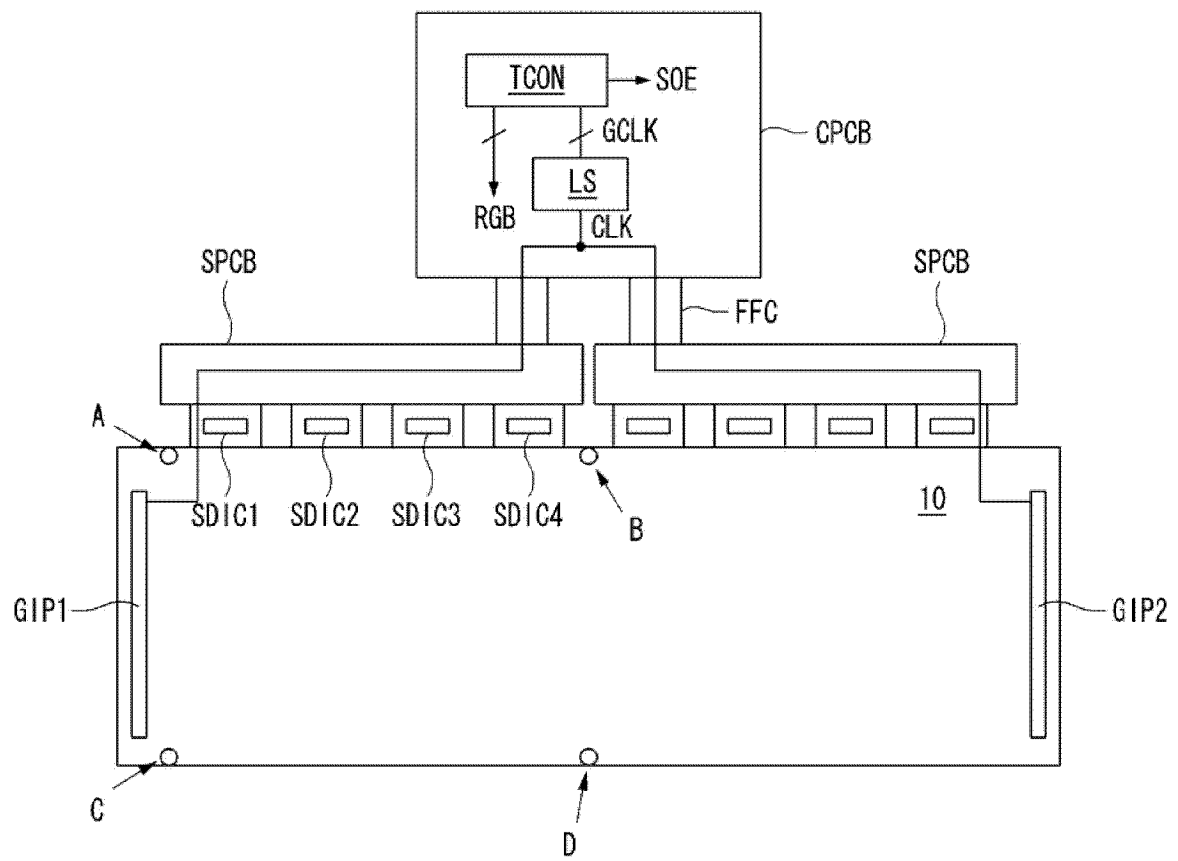


图 11

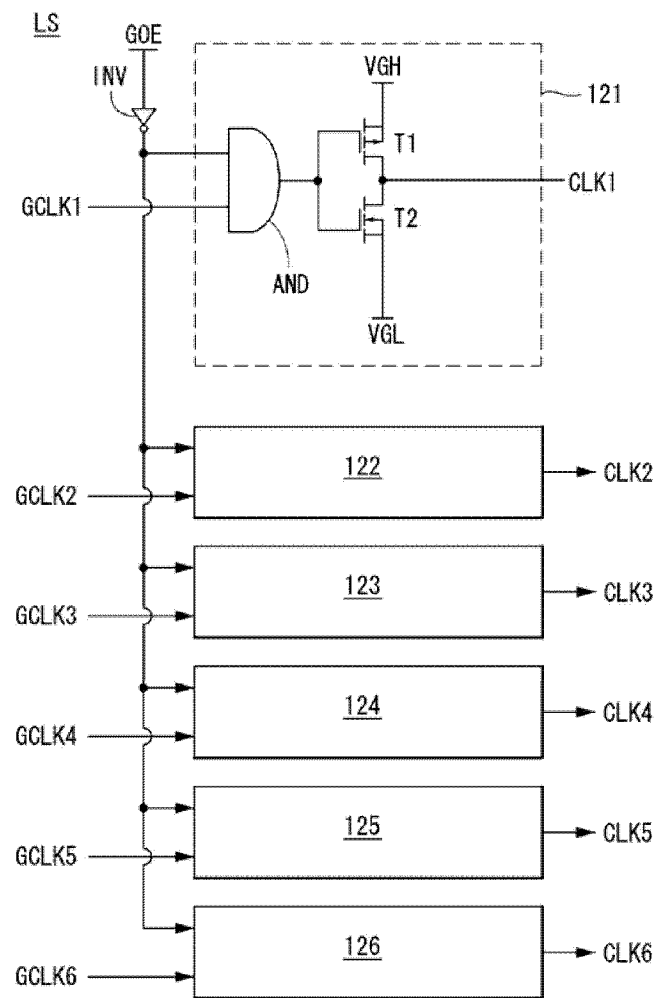


图 12

专利名称(译)	液晶显示器		
公开(公告)号	CN102456331B	公开(公告)日	2014-09-10
申请号	CN201110327820.8	申请日	2011-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴万奎 洪镇铁		
发明人	朴万奎 洪镇铁		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0251 G09G3/3677 G09G3/3611 G09G2310/0281 G09G3/3688 G09G2310/08 G09G2330/021 G09G2370/08 G09G2310/0289		
代理人(译)	李辉		
审查员(译)	彭海良		
优先权	1020100103921 2010-10-25 KR		
其他公开文献	CN102456331A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器，其包括：第一数据驱动电路，其响应于第一源输出使能信号，向位于液晶显示面板的屏面上的第一部分和第三部分中的数据线提供数据电压；以及第二数据驱动电路，其响应于第二源输出使能信号，向位于液晶显示面板的屏面上的第二部分和第四部分中的数据线提供数据电压；所述第一源输出使能信号控制所述第一数据驱动电路的数据电压输出定时和电荷共享定时。所述第二源输出使能信号以不同于所述第一数据驱动电路的方式，控制所述第二数据驱动电路的数据输出定时和电荷共享定时。

