



(12) 发明专利

(10) 授权公告号 CN 102338947 B

(45) 授权公告日 2016. 05. 11

(21) 申请号 201110204239. 7

CN 1783702 A, 2006. 06. 07,

(22) 申请日 2011. 07. 20

审查员 彭予泓

(30) 优先权数据

10-2010-0069828 2010. 07. 20 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 金学洙 金美京

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 吕俊刚

(51) Int. Cl.

G02F 1/133(2006. 01)

G09G 3/36(2006. 01)

(56) 对比文件

CN 1952739 A, 2007. 04. 25,

US 2009/0160836 A1, 2009. 06. 25,

US 2010/0026619 A1, 2010. 02. 04,

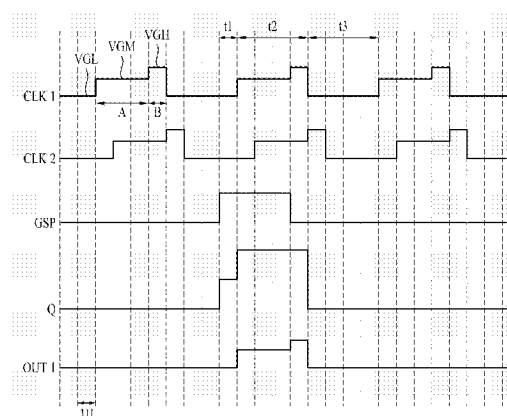
权利要求书1页 说明书7页 附图6页

(54) 发明名称

液晶显示器及其驱动方法

(57) 摘要

公开了一种液晶显示器及其驱动方法, 该液晶显示器及其驱动方法减小了选通驱动电路的功耗。该液晶显示器包括: 液晶面板, 其具有通过多条选通线和多条数据线的交叉限定的像素区域; 定时控制器, 其输出时钟脉冲和数据控制信号, 所述时钟脉冲选择性地具有电压电平不同的第一电压电平、第二电压电平和第三电压电平; 选通驱动单元, 其响应于所述时钟脉冲来驱动所述选通线; 以及数据驱动单元, 其响应于所述数据控制信号来驱动所述数据线。



1. 一种液晶显示器,该液晶显示器包括:

液晶面板,其具有通过多条选通线和多条数据线的交叉限定的像素区域;

定时控制器,其输出数据控制信号和多个时钟脉冲,所述多个时钟脉冲中的每个时钟脉冲具有仅三个电压电平;

选通驱动单元,其响应于所述时钟脉冲来驱动所述选通线;以及

数据驱动单元,其响应于所述数据控制信号来驱动所述数据线;

其中,所述三个电压电平具有第一电压电平、第二电压电平和第三电压电平,所述第一电压电平具有比所述第三电压电平高的电平,所述第二电压电平具有介于所述第一电压电平和所述第三电压电平之间的电平,并且所述第三电压电平用于禁能时段,而所述第一电压电平和所述第二电压电平用于使能时段,

其特征在于,

所述使能时段被划分成保持所述第二电压电平的第一时段和保持所述第一电压电平的时段,所述第一时段长于所述时段,并且

所述第一电压电平的输出之后紧跟所述第三电压电平的输出。

2. 根据权利要求 1 所述的液晶显示器,其中,所述第二电压电平大于或等于与所述第一电压电平的一半相当的电压电平。

3. 一种驱动液晶显示器的方法,该方法包括以下步骤:

输出多个时钟脉冲,所述多个时钟脉冲中的每个时钟脉冲具有仅三个电压电平;以及响应于所述时钟脉冲来驱动多条选通线,

其中,所述三个电压电平具有第一电压电平、第二电压电平和第三电压电平,所述第一电压电平具有比所述第三电压电平高的电平,所述第二电压电平具有介于所述第一电压电平和所述第三电压电平之间的电平,并且所述第三电压电平用于禁能时段,而所述第一电压电平和所述第二电压电平用于使能时段,

其特征在于,

所述使能时段被划分成保持所述第二电压电平的第一时段和保持所述第一电压电平的时段,所述第一时段长于所述时段,并且

所述第一电压电平的输出之后紧跟所述第三电压电平的输出。

4. 根据权利要求 3 所述的方法,其中,所述第二电压电平大于或等于与所述第一电压电平的一半相当的电压电平。

液晶显示器及其驱动方法

技术领域

[0001] 本发明涉及一种液晶显示装置及其驱动方法,该液晶显示装置及其驱动方法减小了液晶显示装置的选通驱动电路的功耗。

背景技术

[0002] 本申请要求 2010 年 7 月 20 日提交的韩国专利申请 10-2010-0069828 的优先权,特此以引证的方式并入其内容,如同全面在此阐述一样。

[0003] 近年来,已经开发了面板内栅极 (GIP: Gate in panel) 型液晶显示装置,在该 GIP 型液晶显示装置中,液晶显示装置的选通驱动电路设置在面板内,以减小液晶显示器的体积和重量,由此降低制造成本。

[0004] 在 GIP 型液晶显示装置中,使用非晶硅 (a-Si) 薄膜晶体管 (此后称为“TFT”) 的选通驱动电路被设置在液晶面板的非显示区域。选通驱动电路包括用于依次向多条选通线提供扫描脉冲的移位寄存器。移位寄存器包括用于从定时控制器接收时钟脉冲并输出扫描脉冲的输出缓冲单元和用于控制输出缓冲单元的输出的输出控制器。

发明内容

[0005] 本发明开创性地发现输出缓冲单元对选通驱动单元的功耗具有巨大贡献。

[0006] 具体地说,选通驱动单元的功耗取决于下式。

[0007] [数据式 1]

[0008] $P = IV = CV^2f$

[0009] 在选通驱动电路处构成输出缓冲单元的多个薄膜晶体管 (TFT) 的功耗最大。具体地说,参照数据式 1,功耗 P 与电流 I 、电压 V 、电容 C 和频率 f 成正比。输出缓冲单元接收具有最高驱动频率的时钟脉冲。而且,在选通驱动电路处构成输出缓冲单元的 TFT 的尺寸最大,并因此,TFT 的接收时钟脉冲的栅极和漏极之间产生的寄生电容器的电容 C 最高。结果,构成输出缓冲单元的 TFT 的驱动频率 f 最高,并且寄生电容器的电容 C 最大,从而选通驱动电路的功耗最大。

[0010] 同时,利用选通驱动集成电路的显示器也以与 GIP 型液晶显示器同样的方式包括输出缓冲单元。在该选通驱动集成电路中,输出缓冲单元由多晶硅 TFT 构成。与 a-SiTFT 相比,多晶硅 TFT 的寄生电压器的电容 C 较低。

[0011] 因此,由于输出缓冲单元由 a-Si TFT 构成,因此与利用选通驱动集成电路的显示器相比,GIP 型液晶显示器的寄生电容器的电容 C 较高,从而功耗增大。

[0012] 因此,本发明致力于一种液晶显示器及其驱动方法,其基本上消除了由于现有技术的限制和缺点而导致的一个或更多个问题。

[0013] 本发明的目的是提供一种减小了选通驱动电路的功耗的液晶显示器及其驱动方法。

[0014] 本发明的其它优点、目的及特征一部分将在以下的说明书中进行阐述,并且一部

分对于本领域的技术人员来说将在研读以下内容后变得清楚,或者可以从本发明的实践获知。本发明的这些目的和其它优点可以通过在本书面描述及其权利要求书及附图中具体指出的结构来实现和获得。

[0015] 为了实现这些目的和其它优点,并且根据本发明的目的,如这里所具体实施和广泛描述的,一种液晶显示器包括:液晶面板,其具有通过多条选通线和多条数据线的交叉限定的像素区域;定时控制器,其输出时钟脉冲和数据控制信号,每个时钟脉冲选择性地具有电压电平不同的栅高电压、栅中电压和栅低电压;选通驱动单元,其响应于所述时钟脉冲来驱动所述选通线;以及数据驱动单元,其响应于所述数据控制信号来驱动所述数据线。

[0016] 栅高电压可以具有比栅低电压高的电压电平,而栅中电压可以具有介于该栅高电压和该低电压之间的电压电平。

[0017] 时钟脉冲可以具有用于禁能时段的栅低电压和用于使能时段的栅中电压和栅高电压。

[0018] 使能时段可以划分成保持所述栅中电压的第一时段和保持栅高电压的第二时段,所述第一时段长于或等于所述第二时段。

[0019] 所述栅中电压可以大于或等于与所述栅高电压的一半相当的电压电平。

[0020] 选通驱动单元可以包括配置成根据一组节点的逻辑状态来导通或截止并在导通时将从所述定时控制器提供的时钟脉冲输出作为扫描脉冲的上拉(pull-up)开关装置。

[0021] 在本发明的另一个方面,一种驱动液晶显示器的方法包括以下步骤:输出时钟脉冲和数据控制信号,每个时钟脉冲选择性地具有电压电平不同的栅高电压、栅中电压和栅低电压,并响应于所述时钟脉冲来驱动多条选通线。

[0022] 栅高电压可以具有比栅低电压高的电压电平,而栅中电压可以具有介于该栅高电压和该低电压之间的电压电平。

[0023] 时钟脉冲可以具有用于禁能时段的栅低电压和用于使能时段的栅中电压和栅高电压,并且所述使能时段可以划分成保持所述栅中电压的第一时段和保持栅高电压的第二时段,所述第一时段长于或等于所述第二时段。

[0024] 所述栅中电压可以大于或等于与所述栅高电压的一半相当的电压电平。

[0025] 在根据本发明的具体实施方式的液晶显示器中,输出选择性地具有电压电平不同的栅高电压、栅中电压和栅低电压的时钟脉冲。因此,减小了接收时钟脉冲的选通驱动单元的上拉 TFT 的功耗。

[0026] 应该理解,对本发明的以上概述和以下详述都是示例性和解释性的,并旨在对所要求保护的本发明提供进一步的解释。

附图说明

[0027] 附图被包括在本申请中以提供对本发明的进一步理解,并结合到本申请中且构成本申请的一部分,这些附图例示了本发明的各个实施方式,且与说明书一起用于解释本发明的原理。附图中:

[0028] 图 1 是根据本发明的一个实施方式的液晶显示器的构造图;

[0029] 图 2 是图 1 中所示定时控制器的构造图;

[0030] 图 3 是根据本发明的一个实施方式的时钟脉冲的输出波形图;

- [0031] 图 4 是图 1 中所示选通驱动单元的构造图；
[0032] 图 5 是图 4 中所示第一级的构造图；
[0033] 图 6 是图 5 中所示第一级的工作波形图；
[0034] 图 7 是根据本发明的第二实施方式的时钟脉冲的输出波形图；以及
[0035] 图 8 是根据本发明的第三实施方式的时钟脉冲的输出波形图。

具体实施方式

[0036] 下面将详细参照本发明的优选实施方式进行描述，在附图中例示出了本发明的优选实施方式的示例。尽可能在整个附图中用相同的标号代表相同或类似部件。

[0037] 图 1 是根据本发明的一个实施方式的液晶显示装置的构造图。

[0038] 参照图 1，液晶显示装置包括具有通过多条选通线 GL1 到 GLn 和多条数据线 DL1 到 DLn 的交叉限定的像素区域的液晶面板 6、用于输出选通控制信号 GCS 和数据控制信号 DCS 的定时控制器 2、根据数据控制信号 DCS 驱动数据线 DL1 到 DLm 的数据驱动单元 4、以及根据选通控制信号 GCS 驱动选通线 GL1 到 GLn 的选通驱动单元 8。选通驱动单元 8 被设置在液晶面板 6 中。

[0039] 同时，从定时控制器 2 输出的选通控制信号 GCS 选择性地具有三个电压电平，由此减小选通驱动单元 8 的功耗。下面来详细描述选通控制信号 GCS。

[0040] 液晶面板 6 包括多条选通线 GL1 到 GLn 和多条数据线 DL1 到 DLm。选通线 GL1 到 GLn 和数据线 DL1 到 DLm 限定了像素区域。各像素区域包括薄膜晶体管（此后，称为“TFT”）、连接到 TFT 的液晶电容器 Clc 和存储电容器 Cst。液晶电容器 Clc 包括连接到 TFT 的像素电极和与像素电极一起生成电场的公共电极。TFT 响应于从各选通线 GLi (i = 1 到 n) 提供的扫描脉冲向像素电极提供来自各数据线 DLj (j = 1 到 m) 的图像信号。液晶电容器 Clc 被充入施加给像素电极的图像信号和施加给公共电极的公共电压 Vcom 之间的差电压，并且基于该差电压来改变液晶分子的排列以调整透光率，由此实现灰度。存储电容器 Cst 并联连接到液晶电容器 Clc，以保持液晶电压器 Clc 中充入的电压，直到施加下一图像信号为止。

[0041] 图 2 是图 1 中所示的定时控制器的构造图。

[0042] 参照图 2，定时控制器 2 包括图像配置单元 10、数据控制器 14 和选通控制器 12。

[0043] 图像配置单元 10 基于液晶面板 6 的分辨率来配置从外部输入的图像数据 RGB，并向数据驱动单元 4 提供所配置的图像数据。

[0044] 数据控制器 14 利用从外部输入的同步信号来生成数据控制信号 DCS，并向数据驱动单元 4 提供所生成的数据控制信号 DCS。

[0045] 数据控制信号 DCS 包括用于控制数据驱动单元 4 的输出时段的源输出使能 (SOE)、用于指示数据采样开始的源开始脉冲 (SSP)、用于控制数据采样定时的源移位时钟 (SSC) 和用于控制数据的电压极性的极性控制信号。

[0046] 选通控制器 12 利用从外部输入的同步信号（即，水平同步信号 (HSync)、垂直同步信号 (VSync)、点时钟 (DCLK) 和数据使能信号 (DE)）来生成选通控制信号 GCS，并向选通驱动单元 8 提供所生成的选通控制信号 GCS。

[0047] 选通控制信号 GCS 包括时钟脉冲 CLK 和用于指示选通驱动单元 8 的驱动开始的栅

启动脉冲 GSP。时钟脉冲 CLK 包括循环输出的第一时钟脉冲 CLK1 到第八时钟脉冲 CLK8, 同时这些时钟脉冲具有不同相位。在本实施方式中, 时钟脉冲 CLK 包括具有不同相位的八个时钟脉冲 CLK。然而, 时钟脉冲的数量不限于此。例如, 可以使用两个或更多个时钟脉冲。

[0048] 输出选通控制信号 GCS 的时钟脉冲 CLK1-CLK8, 同时各时钟脉冲 CLK1-CLK8 选择性地具有三个电压电平, 由此减小选通驱动单元 8 的功耗。在该实施方式中, 时钟脉冲 CLK1-CLK8 中的每个时钟脉冲选择性地具有三个不同电压电平。然而, 不同电压电平的数量不限于此。例如, 可以使用三个或更多个电压电平。

[0049] 此后, 将描述在各时钟脉冲 CLK1-CLK8 选择性地具有三个电压电平时输出时钟脉冲 CLK1-CLK8 的示例。

[0050] 图 3 是根据本发明的一个实施方式的时钟脉冲的输出波形图。

[0051] 参照图 3, 在各时钟脉冲 CLK1-CLK4 选择性地具有三个电压电平 (即, 栅低电压 VGL、栅中电压 VGM 和栅高电压 VGH) 时输出时钟脉冲 CLK1-CLK4。栅高电压 VGH 具有比栅低电压 VGL 更高的电压电平。栅中电压 VGM 具有介于栅高电压 VGH 和栅低电压 VGL 之间的电压电平。

[0052] 对于禁能时段, 各时钟脉冲 CLK1-CLK4 具有栅低电压 VGL。对于使能时段, 各时钟脉冲 CLK1-CLK4 具有栅中电压 VGM 和栅高电压 VGH。具体地说, 各时钟脉冲 CLK1-CLK4 具有对应于四个水平时段 4H 的使能时段。使能时段被划分为具有三个水平时段 3H 的栅中电压 VGM 的第一时段 A 和具有一个水平时段 1H 的栅高电压 VGH 的第二时段 B。

[0053] 选择性地具有三个电压电平的时钟脉冲 CLK 被提供给选通驱动单元 8 的输出缓冲单元 P1 (见图 5), 因此, 减小了输出缓冲单元 P1 的功耗。将在描述输出缓冲单元 P1 之前描述选通驱动单元 8 的构造。

[0054] 应当注意的是, 图 3 示出了相邻时钟脉冲彼此交叠三个水平时段 3H 的情形。但是, 时钟脉冲不限于此。

[0055] 图 4 是图 1 中所示选通驱动单元的构造图。

[0056] 图 1 所示的选通驱动单元 8 包括用于依次向选通线 GL1 到 GLn 提供扫描脉冲 OUT1 到 OUTn 的移位寄存器。

[0057] 移位寄存器包括用于响应于从定时控制器 2 提供的时钟脉冲 CLK1-CLK8 和栅启动脉冲 GSP 而依次输出扫描脉冲 OUT1 到 OUTn 的第一级 S1 到第 n 级 Sn。S1 级到 Sn 级每帧一次地输出扫描脉冲 OUT1 到 OUTn。第一级 S1 到第 n 级 Sn 按顺序输出扫描脉冲 OUT1 到 OUTn。

[0058] 为此, 从定时控制器 2 提供的第一时钟脉冲 CLK1 到第八时钟脉冲 CLK8 之一和高电势电压 VDD、低电势电压 VSS 被施加到各级 S1 到 Sn。高电势电压 VDD 和低电势电压 VSS 是直流电压。高电势电压 VDD 高于低电势电压 VSS。例如, 高电势电压 VDD 可以表示正极性, 而低电势电压 VSS 可以表示负极性。另一方面, 低电势电压 VSS 可以是接地电压。

[0059] 第一级 S1 到第 n 级 Sn 从前一级接收扫描脉冲, 并在使能状态下输出扫描脉冲 OUT1 到 OUTn。此外, 第一级 S1 到第 n 级 Sn 还从下一级接收扫描脉冲, 并在禁能状态下输出扫描脉冲 OUT1 到 OUTn。然而, 由于在第一级 S1 之前没有级, 因此第一级 S1 从定时控制器 2 接收栅启动脉冲 GSP。而且, 第 n 级响应于从伪级 (未示出) 提供的扫描脉冲在禁能状态下输出扫描脉冲 OUTn。

[0060] 此后,将描述例如第一级 S1 输出扫描脉冲 OUT1 的过程。

[0061] 图 5 是图 4 中所示的第一级的构造图,而图 6 是图 5 中所示第一级的工作波形图。

[0062] 参照图 5,第一级 S1 包括输出控制器 P2 和输出缓冲单元 P1。输出控制器 P2 包括用于控制输出缓冲单元 P1 的第一 TFT T1 到第五 TFT T5。输出缓冲单元 P1 包括用于根据输出控制器 P2 来输出第一扫描脉冲 OUT1 的上拉 TFT Tup 和下拉 TFT Tdn。

[0063] 第一 TFT T1 根据栅启动脉冲 GSP 导通或截止。当导通时,第一 TFT T1 使高电势电压 VDD 线与第一节点 Q 互联。

[0064] 第二 TFT T2 根据从高电势电压 VDD 线提供的高电势电压 VDD 导通或截止。当导通时,第二 TFT T2 使高电势电压 VDD 线与第二节点 QB 互联。

[0065] 第三 TFT T3 根据第一节点 Q 的逻辑状态导通或截止。当导通时,第三 TFT T3 使低电势电压 VSS 线与第二节点 QB 互联。

[0066] 第四 TFT T4 根据从第二级 S2 提供的第二扫描脉冲 OUT2 导通或截止。当导通时,第四 TFT T4 使低电势电压 VSS 线与第一节点 Q 互联。

[0067] 第五 TFT T5 根据第二节点 QB 的逻辑状态导通或截止。当导通时,第五 TFT T5 使低电势电压 VSS 线与第一节点 Q 互联。

[0068] 上拉 TFT Tup 根据第一节点 Q 的逻辑状态导通或截止。当导通时,上拉 TFT Tup 输出第一时钟脉冲 CLK1,作为第一扫描脉冲 OUT1。

[0069] 下拉 TFT Tdn 根据第二节点 QB 的逻辑状态导通或截止。当导通时,下拉 TFT Tdn 输出从低电势电压 VSS 线提供的低电势电压 VSS 作为第一扫描脉冲 OUT1。

[0070] 第一级 S1 操作如下。

[0071] 参照图 6,在第一级 S1 中,在设定时段 t1 向第一 TFT T1 的栅极提供处于使能状态下的栅启动脉冲 GSP。结果,第一 TFT T1 导通,并且高电势电压 VDD 通过第一 TFT T1 提供给第一节点 Q 和第三 TFT T3 的栅极。因此,第一节点 Q 在使能状态下预充电。第三 TFT T3 导通,从而,第二节点 QB 被禁能。

[0072] 然后,在第一级 S1,在设定时段 t1 之后的输出时段 t2 向上拉 TFT Tup 的漏极提供使能状态下的第一时钟脉冲 CLK1。结果,由于上拉 TFT Tup 的栅极和漏极之间提供寄生电容器 Cgd 导致的耦合现象造成经过预充电的第一节点 Q 的电压被自举 (bootstrapped)。因而,上拉 TFT Tup 完全导通,并且通过导通的上拉 TFT Tup 向输出终端提供使能状态下的第一时钟脉冲 CLK1 作为第一扫描脉冲 OUT1。第二节点 QB 保持禁能。

[0073] 然后,在第一级 S1,在输出时段 t2 之后的复位时段 t3,向第四 TFT T4 的栅极提供使能状态下的第二扫描脉冲 OUT2。结果,第四 TFT T4 导通,并且通过第四 TFT T4 向第一节点 Q 提供低电势电压 VSS,从而上拉 TFT Tup 和第三 TFT T3 截止。因而,通过第二 TFT T2 向第二节点 QB 提供高电势电压 VDD,从而下拉 VDD Tdn 导通。而且,通过下拉 TFT Tdn 向输出端子提供低电势电压 VSS 作为第一扫描脉冲 OUT1。

[0074] 同时,当 TFT 导通时,可以从源极向漏极或从漏极向源极发送信号。

[0075] 在如上述操作的各级 S1 到 Sn 中,上拉 TFT Tup 的尺寸最大,并且上拉 TFT Tup 的功耗最大。在该实施方式,向上拉 TFT Tup 提供时钟脉冲 CLK,同时该时钟脉冲 CLK 选择性地具有三个电压电平,以便减小上拉 TFT Tup 的功耗。

[0076] 参照数学式 1,上拉 TFT Tup 的功耗与驱动频率 f、寄生电容器 Cgd 的电容 C 和电

压 V 的平方成正比。在本实施方式,如上所述,提供给上拉 TFT T_{up} 的时钟脉冲 CLK 的使能时段被分成具有三个水平时段 3H 的栅中电压 VGM 的第一时段 A 和具有一个水平时段 1H 的栅高电压 VGH 的第二时段 B。因此,在本实施方式中,与向上拉 TFT T_{up} 提供仅具有使能状态下的栅高电压 VGH 的时钟脉冲相比,减小了上拉 TFT T_{up} 的功耗。

[0077] 具体地说,当向上拉 TFT T_{up} 提供仅具有使能状态下的栅高电压 VGH 的时钟脉冲 CLK 时,与数学式 1 相应的电压 V 的平方值等于栅高电压 VGH 和栅低电压 VGL 之间的电压差的平方值,由此上拉 TFT T_{up} 消耗功率。在本实施方式中,另一方面,与数学式 1 相应的电压 V 的平方值在上拉 TFT T_{up} 消耗功率的第一时段 A 等同于栅中电压 VGM 和栅低电压 VGL 之间的电压差的平方值,并且在上拉 TFT T_{up} 消耗功率的第二时段 B 等同于栅高电压 VGH 和栅低电压 VGL 之间的电压差的平方值。因此,在本实施方式中,功耗可以与输出具有使能状态下的栅中电压 VGM 的时钟脉冲的第一时段 A 的长度成比例地减小。

[0078] 同时,时钟脉冲 CLK 的第一时段 A 是对液晶面板 6 的驱动 TFT 预充电的时段,而时钟脉冲 CLK 的第二时段 B 是对液晶面板 6 的驱动 TFT 放电的时段。因此,可以考虑液晶面板 6 的驱动特性来调节时钟脉冲的第一时段 A 和第二时段 B 的长度。具体地说,时钟脉冲 CLK 的第一时段 A 可以设定为足以对液晶面板 6 的驱动 TFT 进行预充电的时段,并且第一时段 A 可以长于或等于第二时段 B。

[0079] 而且,与第一时段 A 相对应的栅中电压 VGM 可以设定为能够足以对液晶面板 6 的驱动 TFT 进行预充电的电压电平,并且栅中电压 VGM 的电压电平可以大于或等于与栅高电压 VGH 的一半相当的电压电平。

[0080] 图 7 是根据本发明的第二实施方式的时钟脉冲的输出波形图。图 7 示出了相邻时钟脉冲彼此交叠两个水平时段 2H 的情形。

[0081] 参照图 7,输出时钟脉冲 CLK1-CLK4,同时每个时钟脉冲 CLK1-CLK4 选择性地具有三个电压电平(即,栅低电压 VGL、栅中电压 VGM 和栅高电压 VGH)。栅高电压 VGH 具有比栅低电压 VGL 更高的电压电平。栅中电压 VGM 具有介于栅高电压 VGH 和栅低电压 VGL 之间的电压电平。

[0082] 对于禁能时段,每个时钟脉冲 CLK1-CLK4 具有栅低电压 VGL。对于使能时段,每个时钟脉冲 CLK1-CLK4 具有栅中电压 VGM 和栅高电压 VGH。具体地说,每个时钟脉冲 CLK1-CLK4 具有对应于三个水平时段 3H 的使能时段。使能时段被划分为具有两个水平时段 2H 的栅中电压 VGM 的第一时段 A 和具有一个水平时段 1H 的栅高电压 VGH 的第二时段 B。

[0083] 图 8 是根据本发明的第三实施方式的时钟脉冲的输出波形图。图 8 示出了相邻时钟脉冲彼此交叠一个水平时段 1H 的情形。

[0084] 参照图 8,输出时钟脉冲 CLK1-CLK4,同时每个时钟脉冲 CLK1-CLK4 选择性地具有三个电压电平(即,栅低电压 VGL、栅中电压 VGM 和栅高电压 VGH)。栅高电压 VGH 具有比栅低电压 VGL 更高的电压电平。栅中电压 VGM 具有介于栅高电压 VGH 和栅低电压 VGL 之间的电压电平。

[0085] 对于禁能时段,每个时钟脉冲 CLK1-CLK4 具有栅低电压 VGL。对于使能时段,每个时钟脉冲 CLK1-CLK4 具有栅中电压 VGM 和栅高电压 VGH。具体地说,每个时钟脉冲 CLK1-CLK4 具有对应于两个水平时段 2H 的使能时段。使能时段被划分为具有一个水平时段 1H 的栅中电压 VGM 的第一时段 A 和具有一个水平时段 1H 的栅高电压 VGH 的第二时段 B。

[0086] 在根据上述该实施方式的液晶显示器中,输出选择性地具有不同电压电平的栅高电压、栅中电压和栅低电压的时钟脉冲 CLK。因此,减小了接收时钟脉冲 CLK 的选通驱动单元的上拉 TFT 的功耗。

[0087] 对于本领域技术人员而言,很明显,可以在不脱离本发明的精神或范围的情况下对本发明做出各种修改和变型。因此,本发明旨在涵盖本发明的落入所附权利要求及其等同物范围内的这些修改例和变化例。

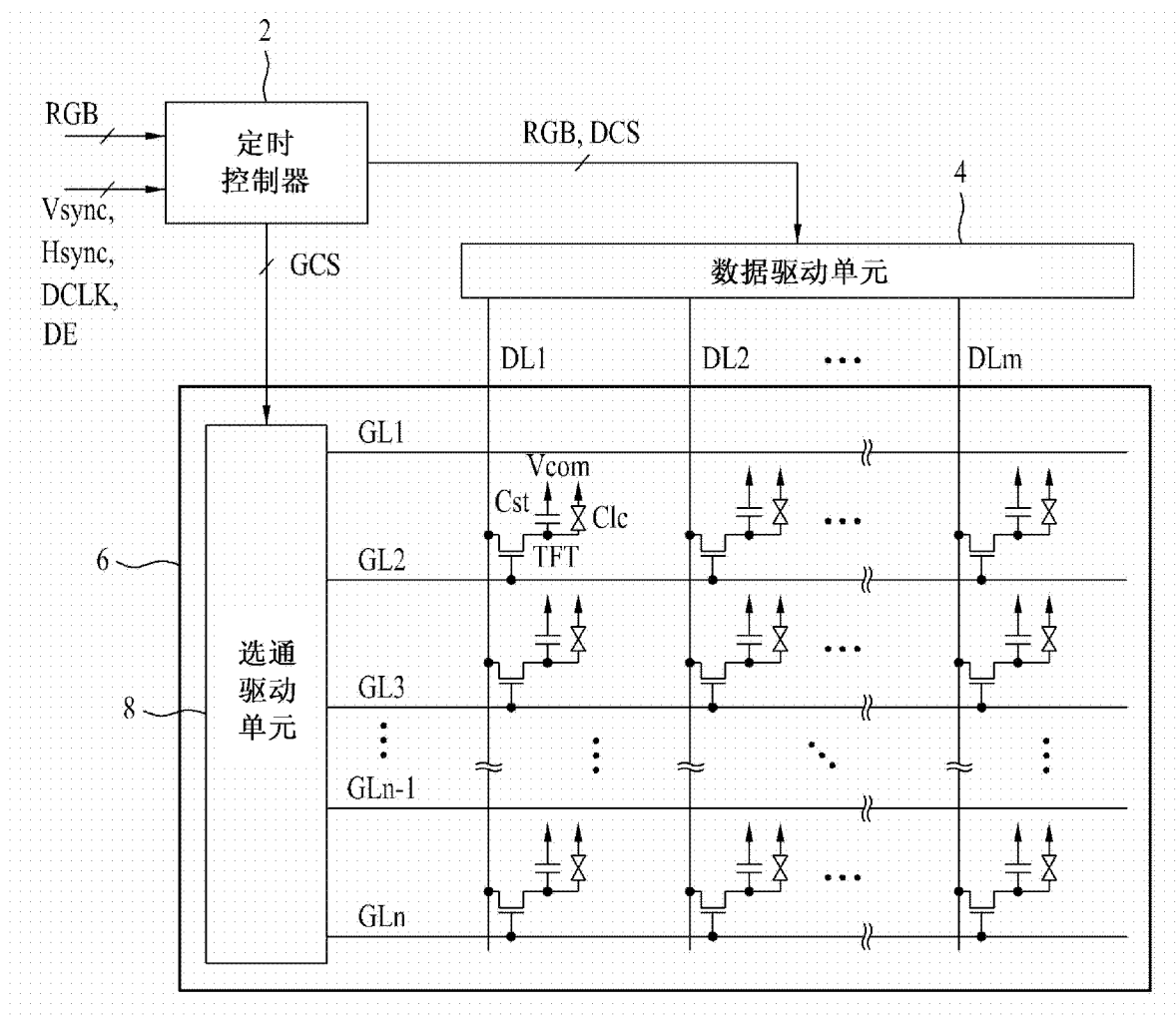


图 1

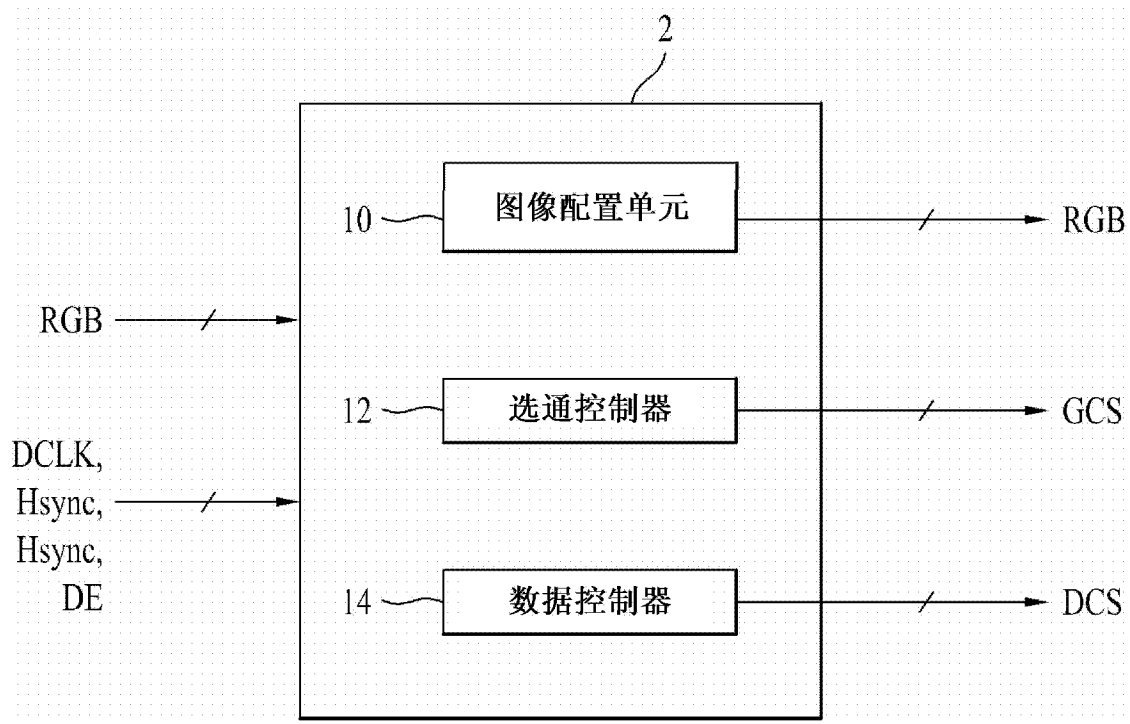


图 2

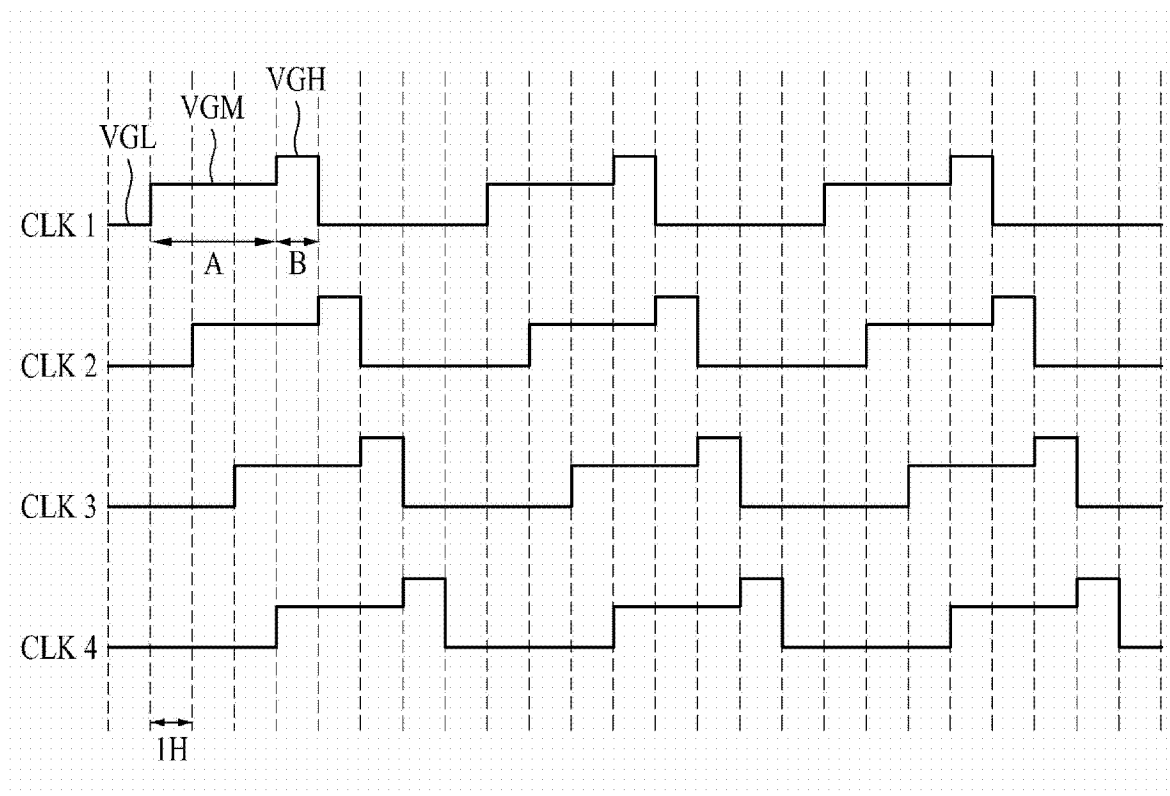


图 3

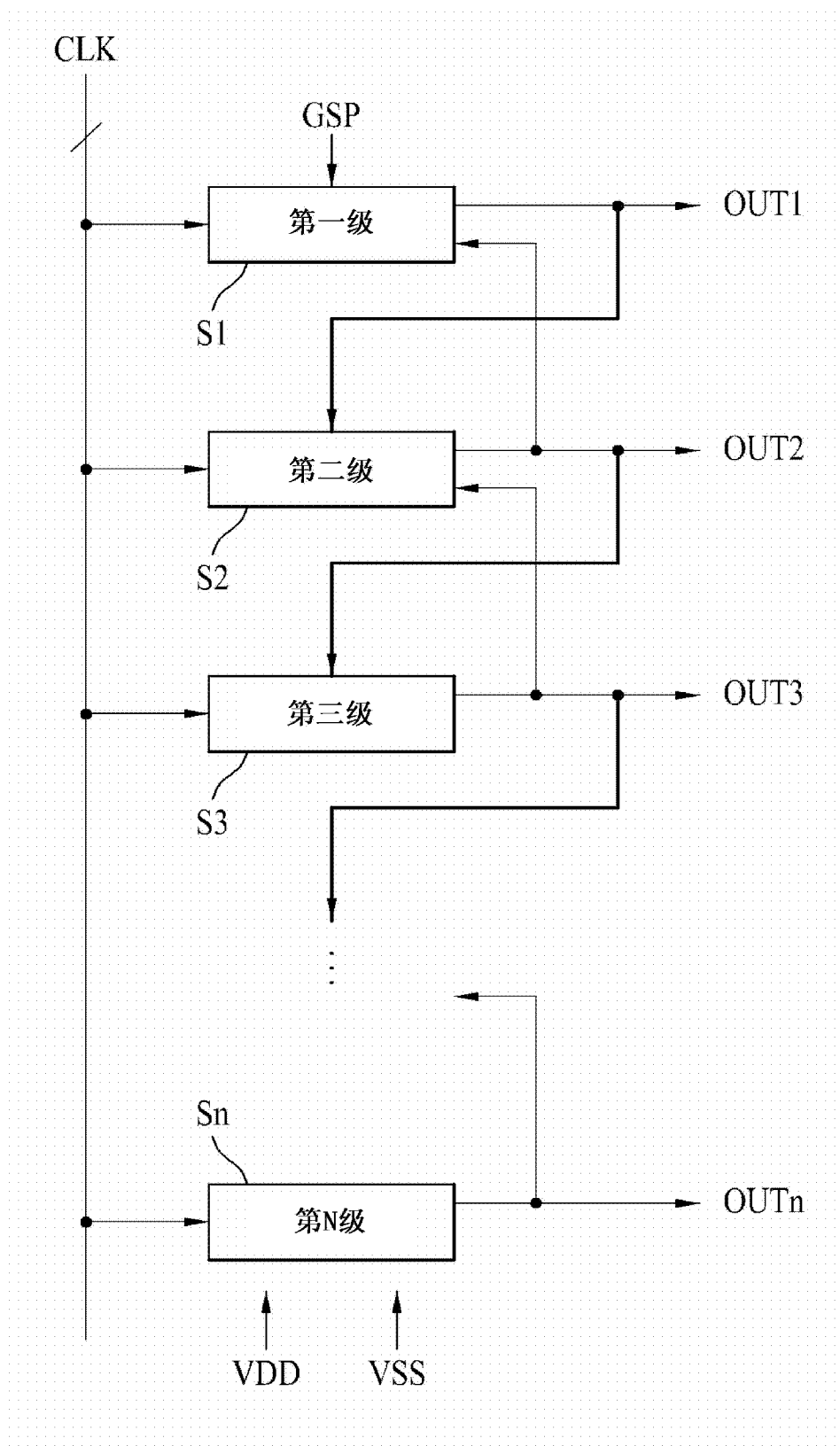


图 4

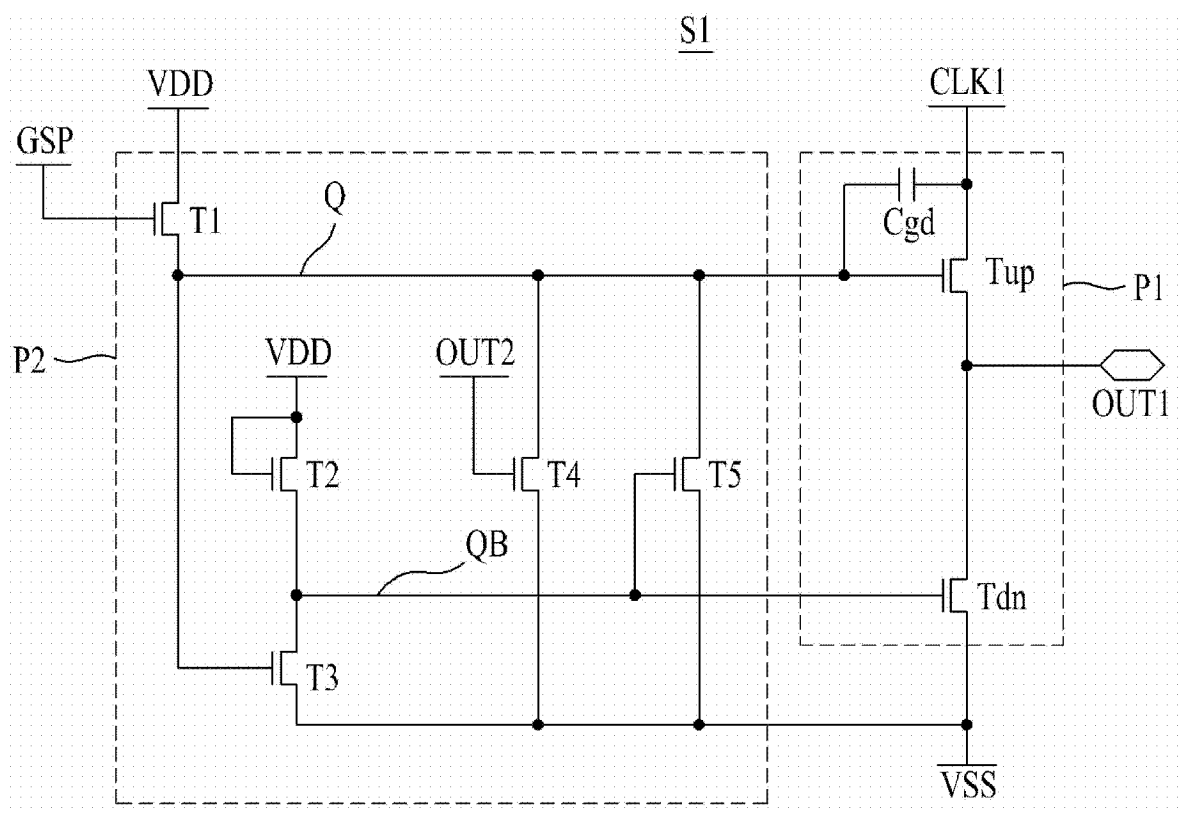


图 5

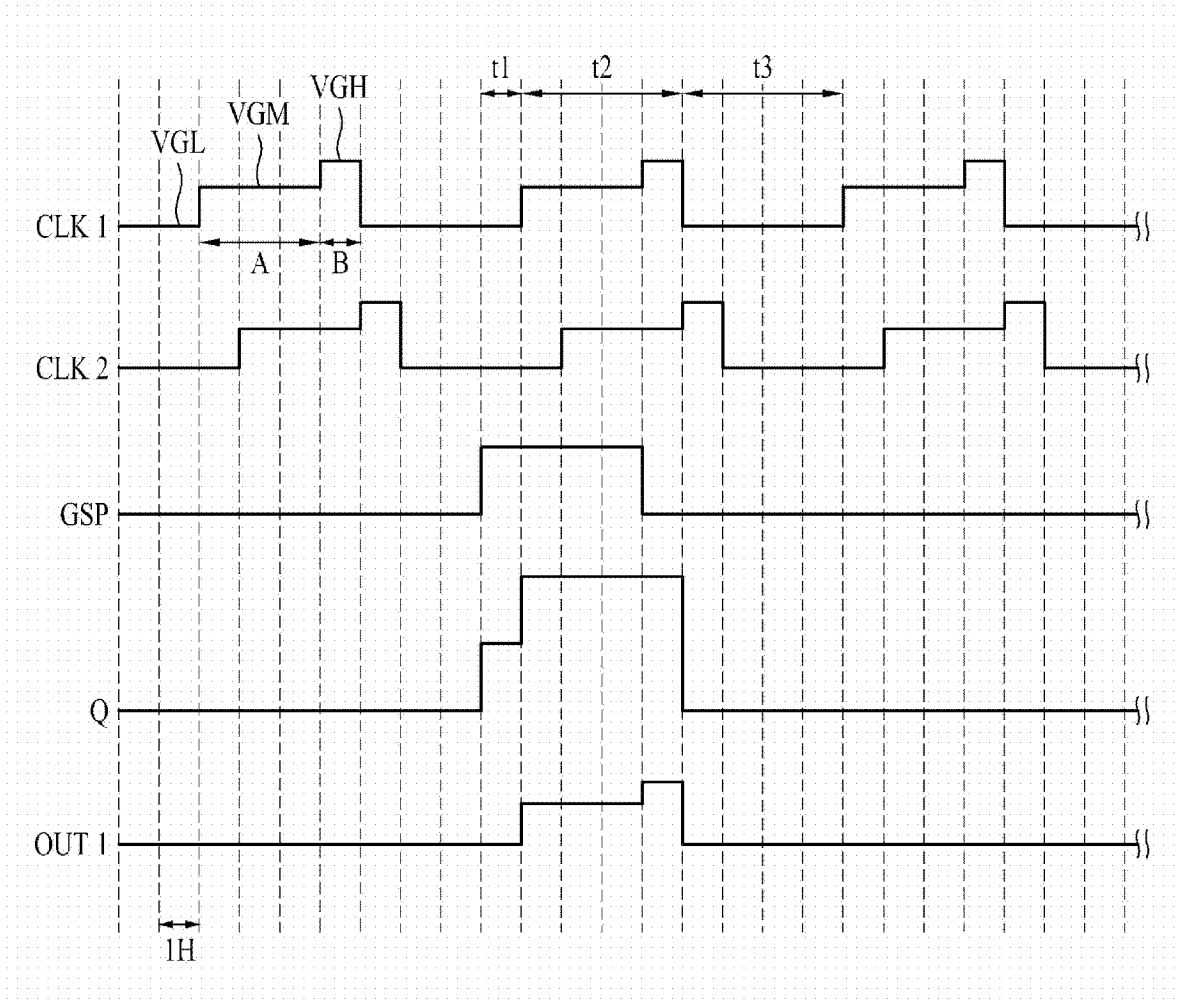


图 6

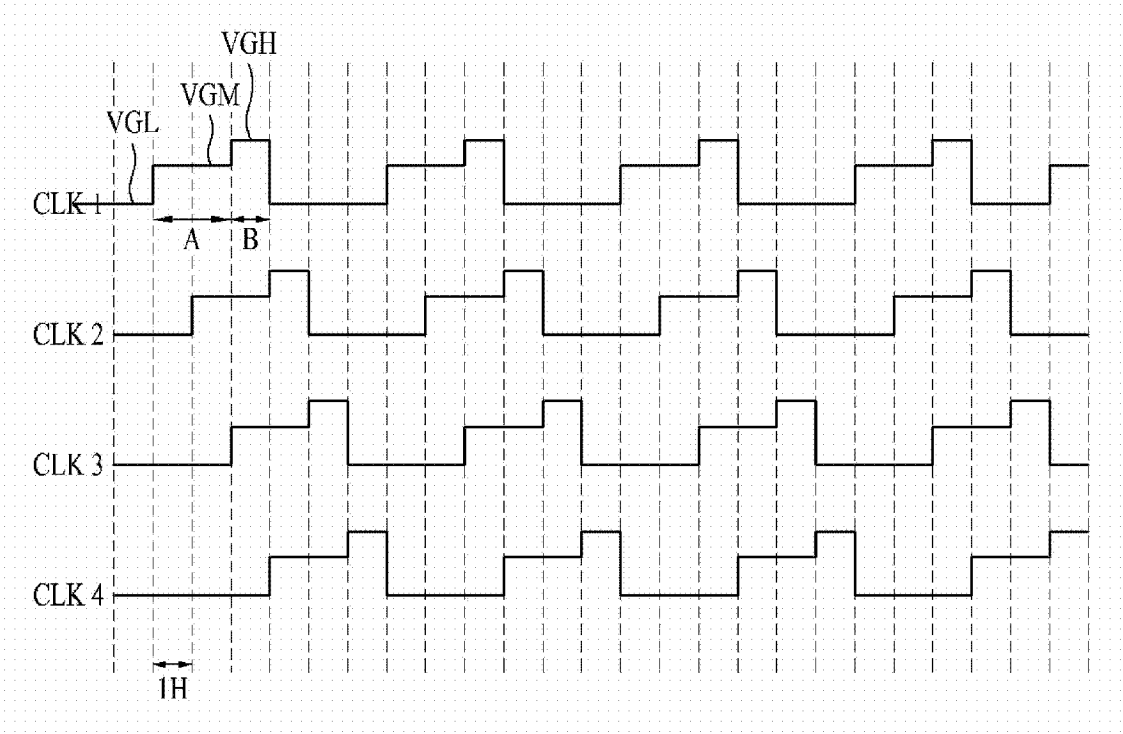


图 7

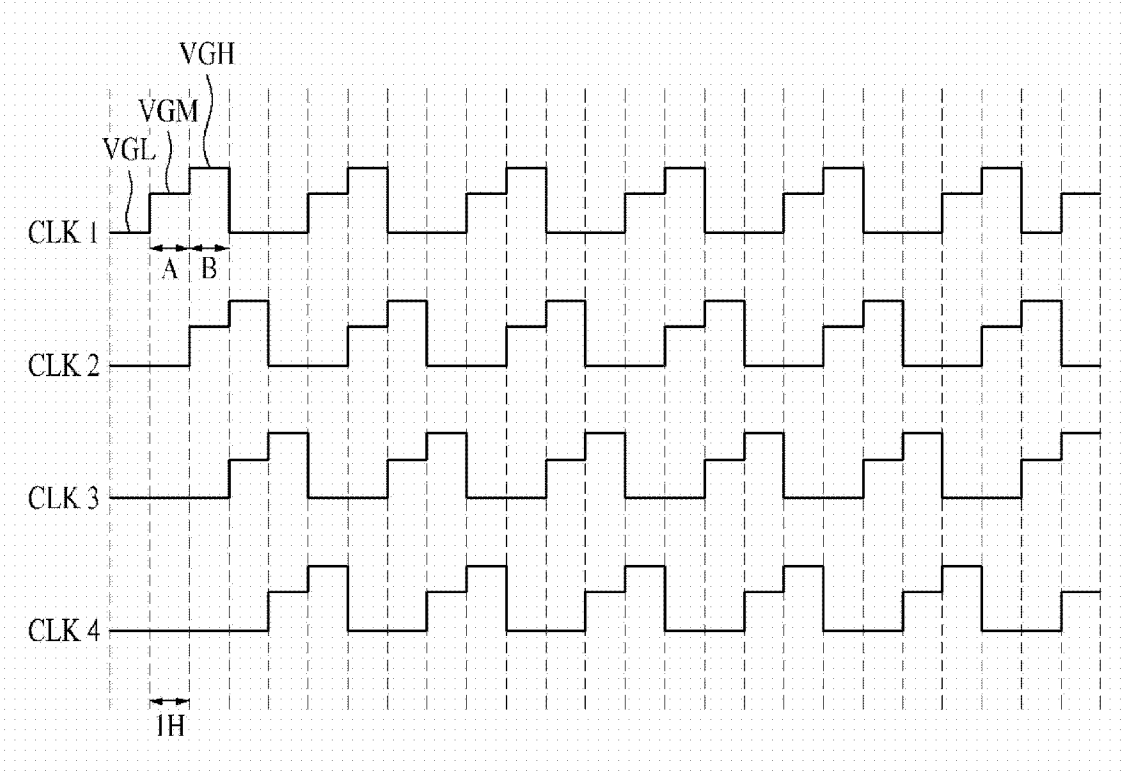


图 8

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	CN102338947B	公开(公告)日	2016-05-11
申请号	CN201110204239.7	申请日	2011-07-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	金学洙 金美京		
发明人	金学洙 金美京		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G09G2310/0286 G09G2330/021 G11C19/28		
代理人(译)	李辉		
优先权	1020100069828 2010-07-20 KR		
其他公开文献	CN102338947A		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示器及其驱动方法，该液晶显示器及其驱动方法减小了选通驱动电路的功耗。该液晶显示器包括：液晶面板，其具有通过多条选通线和多条数据线的交叉限定的像素区域；定时控制器，其输出时钟脉冲和数据控制信号，所述时钟脉冲选择性地具有电压电平不同的第一电压电平、第二电压电平和第三电压电平；选通驱动单元，其响应于所述时钟脉冲来驱动所述选通线；以及数据驱动单元，其响应于所述数据控制信号来驱动所述数据线。

