



(12) 发明专利申请

(10) 申请公布号 CN 102270437 A

(43) 申请公布日 2011. 12. 07

(21) 申请号 201010625111. 3

(22) 申请日 2010. 12. 23

(30) 优先权数据

10-2010-0053257 2010. 06. 07 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 徐慧琳 辛千基 蔡志恩

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉 王凯

(51) Int. Cl.

G09G 3/36 (2006. 01)

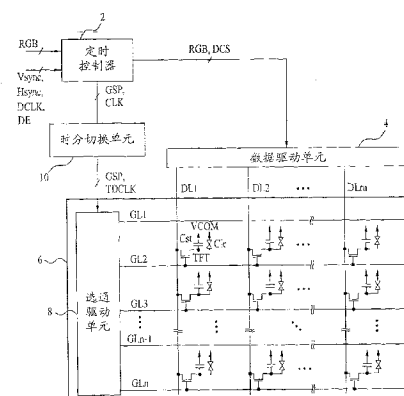
权利要求书 2 页 说明书 9 页 附图 11 页

(54) 发明名称

液晶显示设备及其驱动方法

(57) 摘要

公开了一种液晶显示设备及其驱动方法,其能够减少选通驱动电路的能耗。所述液晶显示设备包括:液晶面板,其包括由选通线和数据线限定的多个像素区域;定时控制器,其用于输出多个数据控制信号、多个时钟脉冲、以及起始脉冲;时分切换单元,其用于将各个时钟脉冲时分成至少两个时分时钟脉冲,并用于输出多个时分时钟脉冲;数据驱动单元,其用于根据所述多个数据控制信号来驱动所述数据线;选通驱动单元,其包括用于根据所述起始脉冲和所述多个时分时钟脉冲顺序地输出扫描脉冲的多个级,其中,所述多个级被分组为多个块,各个块接收至少两个时分时钟脉冲,其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。



1. 一种液晶显示设备,该液晶显示设备包括:
液晶面板,其包括由选通线和数据线限定的多个像素区域;
定时控制器,其用于输出多个数据控制信号、多个时钟脉冲、以及起始脉冲;
时分切换单元,其用于将各个时钟脉冲时分成至少两个时分时钟脉冲,并用于输出多个时分时钟脉冲;
数据驱动单元,其用于根据所述多个数据控制信号来驱动所述数据线;以及
选通驱动单元,其包括用于根据所述起始脉冲和所述多个时分时钟脉冲顺序地输出扫描脉冲的多个级,
其中,所述多个级被分组为多个块,各个块接收至少两个时分时钟脉冲,其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。
2. 根据权利要求1所述的液晶显示设备,其中所述时分时钟脉冲中的每一个在 $1/n$ 帧周期内具有时钟脉冲,其中 $n \geq 2$, n 是自然数。
3. 根据权利要求2所述的液晶显示设备,其中:
所述多个级被分组成 n 个块,各个块包括相同数量的级,并且
所述 n 个块以 $1/n$ 帧周期为单位顺序地接收所述多个时分时钟脉冲。
4. 根据权利要求3所述的液晶显示设备,其中所述多个级中的每一级根据设置节点的逻辑状态而导通或截止,并且包括上拉开关元件,所述上拉开关元件被构造为当导通时将所述多个时分时钟脉冲的任一条传输线与所述级的输出端进行连接。
5. 根据权利要求1所述的液晶显示设备,其中所述选通驱动单元安装在所述液晶面板中。
6. 根据权利要求1所述的液晶显示设备,其中所述时分切换单元安装在所述定时控制器中。
7. 根据权利要求1所述的液晶显示设备,其中所述多个时钟脉冲包括第一时钟脉冲和第二时钟脉冲,且所述多个级被分组成两个块,并且
其中所述第一时钟脉冲被时分成第一时分时钟脉冲和第二时分时钟脉冲,所述第二时钟脉冲被时分成第三时分时钟脉冲和第四时分时钟脉冲,并且
各个块接收第一和第三时分时钟脉冲,或第二和第四时分时钟脉冲。
8. 根据权利要求1所述的液晶显示设备,其中所述多个时钟脉冲包括第一时钟脉冲和第二时钟脉冲,且所述多个级被分组成三个块,并且
其中所述第一时钟脉冲被时分成第一时分时钟脉冲、第二时分时钟脉冲和第三时分时钟脉冲,所述第二时钟脉冲被时分成第四时分时钟脉冲、第五时分时钟脉冲和第六时分时钟脉冲,并且
各个块接收第一和第四时分时钟脉冲、第二和第五时分时钟脉冲、或第三和第六时分时钟脉冲。
9. 根据权利要求1所述的液晶显示设备,其中所述多个时钟脉冲包括第一时钟脉冲和第二时钟脉冲,且所述多个级被分组成四个块,并且
所述第一时钟脉冲被时分成第一至第四时分时钟脉冲,所述第二时钟脉冲被时分成第五至第八时分时钟脉冲,并且
各个块接收第一和第五时分时钟脉冲、第二和第六时分时钟脉冲、第三和第七时分

钟脉冲、或第四和第八时分时钟脉冲。

10. 一种用于驱动包括选通驱动单元的液晶显示设备的方法,其中所述选通驱动单元包括多个级以顺序地输出扫描脉冲,所述方法包括以下步骤:

输出多个时钟脉冲和起始脉冲;

将所述多个时钟脉冲中的每一个时分成至少两个时分时钟脉冲,并输出多个时分时钟脉冲;以及

根据所述多个时分时钟脉冲和所述起始脉冲通过所述多个级来输出所述扫描脉冲,

其中所述多个级被分组成多个块,各个块接收至少两个时分时钟脉冲,其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。

11. 根据权利要求 10 所述的方法,其中所述时分时钟脉冲中的每一个在 $1/n$ 帧周期内具有时钟脉冲,其中 $n \geq 2$, n 是自然数。

12. 根据权利要求 11 所述的方法,其中:

所述多个级被分组成 n 个块,各个块包括相同数量的级,并且

所述 n 个块以 $1/n$ 帧周期为单位顺序地接收所述多个时分时钟脉冲。

13. 根据权利要求 12 所述的方法,其中所述多个级中的每一级根据设置节点的逻辑状态而导通或截止,并且包括上拉开关元件,所述上拉开关元件被构造为当导通时将所述多个时分时钟脉冲的任一条传输线与所述级的输出端进行连接。

液晶显示设备及其驱动方法

技术领域

[0001] 本发明涉及液晶显示设备,更具体地,涉及能够减少选通驱动电路能耗的液晶显示设备及其驱动方法。

背景技术

[0002] 本申请要求 2010 年 6 月 7 日提交的韩国专利申请 No. 10-2010-0053257 的权益,此处以引证的方式并入其内容,就像在此进行了完整阐述一样。

[0003] 近来,作为移动设备的显示设备,液晶显示设备由于其出色的图像质量、重量降低、纤薄和低能耗的特性,已被广泛使用。

[0004] 已经引入了面板内选通 (GIP) 型液晶显示设备,其中选通驱动电路安装在面板中以实现小体积,重量降低和低制造成本。

[0005] 在 GIP 型液晶显示设备中,使用由非晶硅 (a-Si) 形成的薄膜晶体管 (TFT) 的选通驱动电路被安装在液晶面板的非显示区域中。选通驱动电路包括顺序给多条选通线提供扫描脉冲的移位寄存器。移位寄存器包括用于从定时控制器接收时钟脉冲并输出扫描脉冲的输出缓冲单元和用于控制输出缓冲单元的输出的输出控制单元。输出缓冲单元由多个 TFT 组成。

[0006] 式 1 :

$$[0007] \quad P = IV = CV^2f$$

[0008] 此时,构成输出缓冲单元的 TFT 的能耗在选通驱动单元中是最大的。详细地,参照式 1,能耗 P 与电流 I ,电压 V ,电容 C 和频率 f 成比例。此时,输出缓冲单元接收的时钟脉冲具有最高的驱动频率。此外,构成输出缓冲单元的 TFT 的尺寸是选通驱动电路中最大的,因此接收时钟脉冲时的栅极和漏极之间产生的寄生电容器的电容 C 在 TFT 中是最大的。由此,由于构成输出缓冲单元的 TFT 具有最高的驱动频率 f 和寄生电容器的最大的电容 C ,所以该 TFT 的能耗在选通驱动电路中是最大的。

[0009] 使用选通驱动集成电路的显示设备也包括输出缓冲单元,这与 GIP 型液晶显示设备相似。在选通驱动集成电路中,输出缓冲单元由多晶硅 TFT 构成,该多晶硅 TFT 的寄生电容器的电容 C 小于非晶硅 TFT 的寄生电容器的电容。

[0010] 由此,由于 GIP 型液晶显示设备使用了由非晶硅 TFT 形成的输出缓冲单元,所以寄生电容器的电容 C 要大于使用了由多晶硅 TFT 形成的选通驱动集成电路的显示设备的寄生电容器的电容。因此,耗能将增加。

发明内容

[0011] 因此,本发明涉及一种液晶显示设备及其驱动方法,其能够基本上克服因相关技术的局限和缺点带来的一个或更多个问题。

[0012] 本发明的目的是提供一种能够减少选通驱动电路的能耗的液晶显示设备及其驱动方法。

[0013] 本发明的附加优点、目的和特征将在下面的描述中部分描述且将对于本领域普通技术人员在研究下文后变得明显,或可以通过本发明的实践来了解。通过书面的说明书及其权利要求以及附图中特别指出的结构可以实现和获得本发明的目的和其它优点。

[0014] 为了实现这些和其它优点,按照本发明的目的,作为具体和广义的描述,一种液晶显示设备包括:液晶面板,其包括由选通线和数据线限定的多个像素区域;定时控制器,其用于输出多个数据控制信号、多个时钟脉冲、以及起始脉冲;时分切换单元,其用于将各个时钟脉冲时分成至少两个时分时钟脉冲,并用于输出多个时分时钟脉冲;数据驱动单元,其用于根据所述多个数据控制信号来驱动所述数据线;以及选通驱动单元,其包括用于根据所述起始脉冲和所述多个时分时钟脉冲顺序地输出扫描脉冲的多个级,其中,所述多个级被分组为多个块,各个块接收至少两个时分时钟脉冲,其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。

[0015] 所述时分时钟脉冲中的每一个在 $1/n$ 帧周期内具有时钟脉冲,其中 $n \geq 2$, n 是自然数。

[0016] 所述多个级被分组成 n 个块,各个块包括相同数量的级,并且所述 n 个块以 $1/n$ 帧周期为单位顺序地接收所述多个时分时钟脉冲。

[0017] 所述多个级中的每一级根据设置节点的逻辑状态而导通或截止,并且包括上拉开关元件,所述上拉开关元件被构造为当导通时将所述多个时分时钟脉冲的任一条传输线与所述级的输出端进行连接。

[0018] 所述选通驱动单元安装在所述液晶面板中。

[0019] 所述时分切换单元安装在所述定时控制器中。

[0020] 在本发明的另一个方面,一种用于驱动包括选通驱动单元的液晶显示设备的方法,其中所述选通驱动单元包括多个级以顺序地输出扫描脉冲,所述方法包括以下步骤:输出多个时钟脉冲和起始脉冲;将所述多个时钟脉冲中的每一个时分成至少两个时分时钟脉冲,并输出多个时分时钟脉冲;以及根据所述多个时分时钟脉冲和所述起始脉冲通过所述多个级来输出所述扫描脉冲,其中所述多个级被分组成多个块,各个块接收至少两个时分时钟脉冲,其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。

[0021] 所述时分时钟脉冲中的每一个在 $1/n$ 帧周期内具有时钟脉冲,其中 $n \geq 2$, n 是自然数。

[0022] 所述多个级被分组成 n 个块,各个块包括相同数量的级,并且所述 n 个块以 $1/n$ 帧周期为单位顺序地接收所述多个时分时钟脉冲。

[0023] 所述多个级中的每一级根据设置节点的逻辑状态而导通或截止,并且包括上拉开关元件,所述上拉开关元件被构造为当导通时将所述多个时分时钟脉冲的任一条传输线与所述级的输出端进行连接。

[0024] 在根据本发明实施方式的液晶显示设备及其驱动方法中,各个时钟脉冲被时分成 p 个时分时钟脉冲,所述 p 个时分时钟脉冲被提供给选通驱动单元的多个级。与时钟脉冲被时分成 p 个时分时钟脉冲相对应地,多个级被分组为 p 个块, p 个块接收不同的时分时钟脉冲。因此,时分时钟脉冲被提供给多个级的上拉开关元件所通过的传输线的负载减少到时钟脉冲在未被时分的情况下被提供给多个级的上拉开关元件时的负载的 $1/p$ 。接着,上拉开关元件中产生的寄生电容器的电容减少到时钟脉冲在未被时分的情况下被提供给多个级

的上拉开关元件时的电容的 $1/p$, 并且因此选通驱动单元的能耗减少到时钟脉冲在未被时分的情况下被提供给多个级的上拉开关元件时的能耗的 $1/p$ 。

[0025] 此外, 当上拉开关元件中产生的寄生电容器的电容减少到时钟脉冲在未被时分的情况下被提供给多个级的上拉开关元件时的电容的 $1/p$ 时, 根据时间常数 RC , 扫描脉冲的上升时间将减少, 由此提高了图像质量。

[0026] 应当理解, 本发明的上述一般描述和下述详细描述是示例性和说明性的, 且旨在提供所要求保护的本发明的进一步解释。

附图说明

[0027] 附图被包括在本申请中以提供对本发明的进一步理解, 并结合到本申请中且构成本申请的一部分, 附图示出了本发明的实施方式, 且与说明书一起用于解释本发明的原理。附图中:

[0028] 图 1 是示出了根据本发明的实施方式的液晶显示设备的结构的图;

[0029] 图 2 是示出了图 1 中所示的时分切换单元的结构的图;

[0030] 图 3 是示出了图 2 中所示的时分切换单元的操作的波形图;

[0031] 图 4 是示出了图 1 中所示的选通驱动单元的结构的图;

[0032] 图 5 是示出了图 4 中所示的第一级的结构的图;

[0033] 图 6 是示出了图 5 中所示的第一级的操作的波形图;

[0034] 图 7 是示出了图 1 中所示的时分切换单元的结构的图;

[0035] 图 8 是示出了图 7 中所示的时分切换单元的操作的波形图;

[0036] 图 9 是示出了图 1 中所示的时分切换单元的结构的图;

[0037] 图 10 是示出了根据本发明的另一实施方式的选通驱动单元的结构的图; 以及

[0038] 图 11 是示出了根据本发明的另一实施方式的时分切换单元的操作的波形图。

具体实施方式

[0039] 以下, 参考附图将详细描述根据本发明实施方式的液晶显示设备及其驱动方法。

[0040] 图 1 是示出了根据本发明的实施方式的液晶显示设备的结构的图。

[0041] 图 1 示出的液晶显示设备包括液晶面板 6, 定时控制器 2, 数据驱动单元 4, 时分切换单元 10 和选通驱动单元 8。选通驱动单元 8 安装在液晶面板 6 中。

[0042] 液晶面板 6 包括多条选通线 $GL1$ 至 GLn 和多条数据线 $DL1$ 到 DLm 。多条选通线 $GL1$ 至 GLn 和多条数据线 $DL1$ 到 DLm 限定了各像素区域。各个像素区域包括薄膜晶体管 (TFT), 液晶电容器 Clc 和连接到 TFT 的存储电容器 Cst 。液晶电容器 Clc 包括连接到 TFT 的像素电极和与像素电极一起将电场施加给液晶的公共电极。TFT 响应于提供至各条选通线 GLi ($i = 1$ 至 n) 的扫描脉冲, 将各条数据线 DLj ($j = 1$ 至 m) 的图像信号提供给像素电极。液晶电容器 Clc 充入被提供给像素电极的图像信号与提供给公共电极的公共电压 $VCOM$ 之间的差电压, 并且根据该差电压改变液晶分子的排列, 由此实现灰度。存储电容器 Cst 与液晶电容器 Clc 并联连接, 使得充入到液晶电容器 Clc 中的电压能保持到下一个图像信号被提供。

[0043] 定时控制器 2 控制数据驱动单元 4 和选通驱动单元 8 的驱动定时。详细地, 定时控制器 2 利用外部输入的同步信号 (也就是, 水平同步信号 $HSync$ 、垂直同步信号 $VSyn$ 、点

时钟 DCLK 和数据使能信号 DE) 来生成并输出多个选通控制信号和多个数据控制信号 DCS。

[0044] 多个选通控制信号包括时钟脉冲 CLK 和指示选通驱动单元 8 的驱动起始的选通起始脉冲 GSP。时钟脉冲 CLK 包括具有不同相位的第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2。虽然在本发明的该实施方式中,时钟脉冲 CLK 包括两个具有不同相位的时钟脉冲 CLK,但时钟脉冲 CLK 的个数可以是 2 或者更多。

[0045] 多个数据控制信号 DCS 包括:源输出使能信号 SOE,其用于控制数据驱动单元的输出周期;源起始脉冲 SSP,其指示数据采样的起始;源移位时钟 SSC,其用于控制数据采样定时;极性控制信号,其用于控制数据的电压极性;等等。定时控制器 2 向数据驱动单元 4 提供数据控制信号 DCS。定时控制器 2 根据液晶面板 6 的驱动方法来排列图像数据 RGB,并向数据驱动单元 4 提供经排列的图像数据。

[0046] 数据驱动单元 4 根据定时控制器 2 的数据控制信号 DCS 利用基准伽玛电压将从定时控制器 2 接收到的图像数据 RGB 转换成图像信号,并且将已转换的图像信号提供到数据线 DL1 至 DLm。详细地,数据驱动单元 4 产生顺序的采样信号,同时根据源移位时钟在一个水平周期内将来自定时控制器 2 的源起始脉冲进行移位。此外,数据驱动单元 4 响应于采样信号,顺序地锁存从定时控制器 2 接收到的图像数据 RGB。数据驱动单元 4 并行锁存对应于一条水平线的图像数据,将锁存的图像数据转换成图像信号,并向数据线 DL1 至 DLm 提供已转换的图像信号。

[0047] 时分切换单元 10 对从定时控制器 2 接收到的时钟脉冲 CLK 进行时分,并且生成时分时钟脉冲 TDCLK 并将其提供到选通驱动单元 8。详细地,由时分切换单元 10 以 1/2、1/3 或 1/4 帧周期为单位对时钟脉冲 CLK 进行时分。因此,时钟脉冲 CLK 被时分成 2、3 或 4 个时分时钟脉冲 TDCLK。例如,如果时钟脉冲 CLK 以 1/2 帧周期为单位被时分,则第一时钟脉冲 CLK1 被时分成两个时分时钟脉冲,也就是,第一和第二时分时钟脉冲 CLK1a 和 CLK1b。此外,第二时钟脉冲 CLK2 被分成两个时分时钟脉冲,也就是,第三和第四时分时钟脉冲 CLK2a 和 CLK2b。

[0048] 选通驱动单元 8 利用从时分切换单元 10 接收到的时分时钟 TDCLK 和选通起始脉冲 GSP,顺序地将扫描脉冲提供至多条选通线 GL1 至 GLn。

[0049] 虽然在图 1 中时分切换单元 10 和定时控制器 2 是分开安装的,但时分切换单元 10 可以安装在定时控制 2 内。

[0050] 图 2 是示出了图 1 中所示的时分切换单元的结构图。图 3 是示出了图 2 中所示的时分切换单元的操作的波形图。

[0051] 如上所述,时钟脉冲 CLK 可由时分切换单元 10 以 1/2、1/3 或 1/4 帧周期为单位进行时分。然而,图 2 和图 3 中,假设时钟脉冲 CLK 以 1/2 帧周期为单位进行时分。

[0052] 参照图 2,时分切换单元 10 包括用于从定时控制器 2 接收第一时钟脉冲 CLK1 的第一切换单元 12 和用于从定时控制器 2 接收第二时钟脉冲 CLK2 的第二切换单元 14,其中所述第一切换单元 12 以 1/2 帧周期为单位对第一时钟脉冲 CLK1 进行时分,并输出时分时钟脉冲 CLK1a 和 CLK1b,所述第二切换单元 14 以 1/2 帧周期为单位对第二时钟脉冲 CLK2 进行时分,并输出时分时钟脉冲 CLK2a 和 CLK2b。

[0053] 第一切换单元 12 包括第一 TFT T1 和第二 TFT T2,所述第一 TFT T1 根据外部输入的第一选择信号 S1 来导通或截止,并在导通时输出接收到的第一时钟脉冲 CLK1,所述第

二 TFT T2 根据外部输入的第二选择信号 S2 导通或截止,并在导通时输出接收到的第一时钟脉冲 CLK1。也就是说,第一切换单元 12 根据第一和第二选择信号 S1 和 S2 将第一时钟脉冲 CLK1 分成第一和第二时分时钟脉冲 CLK1a 和 CLK1b。

[0054] 第二切换单元 14 包括第三 TFT T3 和第四 TFT T4,所述第三 TFT T3 根据外部输入的第一选择信号 S1 来导通或截止,并在导通时输出接收到的第二时钟脉冲 CLK2,所述第四 TFT T4 根据外部输入的第二选择信号 S2 导通或截止,并在导通时输出接收到的第二时钟脉冲 CLK2。也就是说,第二切换单元 14 根据第一和第二选择信号 S1 和 S2 将第二时钟脉冲 CLK2 分成第三和第四时分时钟脉冲 CLK2a 和 CLK2b。

[0055] 现在将详细描述时分切换单元 10 的操作。

[0056] 参照图 3,第一和第二时钟脉冲 CLK1 和 CLK2 互相延迟一个水平周期并循环输出。第一和第二选择信号 S1 和 S2 交替地在每帧的 1/2 帧周期内处于高状态(使能状态)。也就是说,第一选择信号 S1 从帧起始点开始在 1/2 帧周期内处于高状态,随后第二选择信号 S2 在剩下的 1/2 帧周期内处于高状态。

[0057] 因此,第一切换单元 12 从帧起始时间在 1/2 帧周期内输出第一时分时钟脉冲 CLK1a,然后在剩下的 1/2 帧周期内输出第二时分时钟脉冲 CLK1b。此外,第二切换单元 14 从帧起始时间在 1/2 帧周期内输出第三时分时钟脉冲 CLK2a,然后在剩下的 1/2 帧周期内输出第四时分时钟脉冲 CLK2b。

[0058] 时分切换单元 10 以 1/2 帧周期为单位对第一时钟脉冲 CLK1 进行时分,生成并输出第一和第二时分时钟脉冲 CLK1a 和 CLK1b,并且以 1/2 帧周期为单位对第二时钟脉冲 CLK2 进行时分,生成并输出第三和第四时分时钟脉冲 CLK2a 和 CLK2b。

[0059] 图 4 是示出了图 1 中所示的选通驱动单元的结构图。

[0060] 参照图 4,选通驱动单元 8 包括用于将扫描脉冲 Vout1 至 Voutn 顺序地提供至多条选通线 GL1 至 GLn 的移位寄存器。移位寄存器包括第 1 级 ST1 至第 n 级 STn,其响应于从时分切换单元 10 接收到的时分时钟脉冲 TDCLK 和从定时控制器 2 接收到的选通起始脉冲 GSP,顺序地输出扫描脉冲 Vout1 至 Voutn。此时,级 ST1 至 STn 在每帧一次分别输出扫描脉冲 Vout1 至 Voutn,并且按照从第一级 ST1 至第 n 级 STn 的顺序输出扫描脉冲 Vout1 至 Voutn。

[0061] 与将时钟脉冲 CLK 时分成两个时分时钟脉冲 TDCLK 相对应地,将第一级 ST1 至第 n 级 STn 分组用于接收不同的时分时钟脉冲 TDCLK 的至少两个块。详细地,选通驱动单元 8 接收通过将时钟脉冲 CLK1 和时钟脉冲 CLK2 中的每一个时分成两个时分时钟脉冲而得到的第一至第四时分时钟脉冲 CLK1a, CLK1b, CLK2a 和 CLK2b。因此,第一级 ST1 至第 n 级 STn 被分成两个块,也就是说,用于接收第一和第三时分时钟脉冲 CLK1a 和 CLK2a 的第一块 16,以及用于接收第二和第四时分时钟脉冲 CLK1b 和 CLK2b 的第二块 18。第一块 16 和第二块 18 中包括的级数是相等的。因此,第一块 16 包括第一级 ST1 至第 (n/2) 级 STn/2,第二块 18 包括第 (n/2)+1 级 ST(N/2)+1 至第 n 级 STn。也就是说,第一级 ST1 至第 (n/2) 级 STn/2 接收第一和第三时分时钟脉冲 CLK1a 和 CLK2a,第 (n/2)+1 级 ST(N/2)+1 至第 n 级 STn 接收第二和第四时分时钟脉冲 CLK1b 和 CLK2b。

[0062] 在根据本发明实施方式的液晶显示设备及其驱动方法中,各个时钟脉冲 CLK 被时分成两个时分时钟脉冲,并且两个时分时钟脉冲被提供到选通驱动单元 8 的级 ST1 至 STn。

与将时钟脉冲 CLK 时分成分时钟脉冲 TDCLK 相对应地,将级 ST1 至 STn 分组成两个块 16 和 18,两个块 16 和 18 接收不同的时分时钟脉冲。时分时钟脉冲 TDCLK 被提供至级 ST1 至 STn 所通过的传输线的负载被减少到时钟脉冲在未被时分的情况下被提供至 ST1 至 STn 时的负载的 1/2。如果时分时钟脉冲 TDCLK 被提供至级 ST1 至 STn 所通过的传输线的负载被减少到时钟脉冲在未被时分的情况下被提供至 ST1 至 STn 时的负载的 1/2,则可以减少包括在用于接收时分时钟脉冲 TDCLK 和输出扫描脉冲的级 ST1 至 STn 内的输出缓冲单元的能耗,且可以减少选通驱动单元 8 的能耗。

[0063] 现在将详细描述选通驱动单元 8 的操作。

[0064] 第一级 ST1 至第 n 级 STn 接收高电位侧电压 VDD,低电位侧电压 VSS,彼此相差 180 度相位的第一交流电压 VDD_0 和第二交流电压 VDD_E。在此,高电位侧电压 VDD 和低电位侧电压 VSS 是直流电压,高电位侧电压 VDD 具有比低电位侧电压 VSS 相对较高的电位。例如,高电位侧电压 VDD 具有正极性,低电位侧电压 VSS 具有负极性。低电位侧电压 VSS 可以是接地电压。

[0065] 第一级 ST1 至第 n 级 STn 中的每一级用于接收前一级的扫描脉冲并输出高状态的扫描脉冲,并且用于接收下一级的扫描脉冲并输出低状态(禁用状态)的扫描脉冲。由于第一级 ST1 没有前一级,因此第一级 ST1 从定时控制器接收选通起始脉冲 GSP。此外,第 n 级 STn 响应于从虚设级(未示出)接收到的信号,输出低状态的扫描脉冲。

[0066] 下文,例如,将描述在级 ST1 至 STn 中的第一级输出扫描脉冲的操作。

[0067] 图 5 是示出了图 4 中所示的第一级的结构的图。图 6 是示出了图 5 中所示的第一级的操作的波形图。

[0068] 参照图 5,第一级 ST1 包括输出控制单元 OC 和输出缓冲单元。输出缓冲单元包括上拉 TFT Tup 和下拉 TFTTd1 和 Td2。

[0069] 输出控制单元 OC 根据选通起始脉冲 GSP、来自第二级 ST2 的第二扫描脉冲 Vout2、以及彼此相差 180 度相位的第一和第二交流电压 VDD_0 和 VDD_E,来控制第一至第三节点 Q, QB_odd 和 QB_even 的逻辑状态。输出控制单元 OC 包括第五 TFT T5 至第十四 TFT T14。

[0070] 第五 TFT T5 根据选通起始脉冲 GSP 导通或截止,并且当导通时彼此连接高电位侧电压 VDD 线和第一节点 Q。

[0071] 第六 TFT T6 根据从第二级 ST2 提供的扫描脉冲 Vout2 导通或截止,并且当导通时彼此连接第一节点 Q 和低电位侧电压 VSS 线。

[0072] 第七 TFT T7 根据第二节点 QB_odd 的逻辑状态导通或截止,并且当导通时彼此连接第一节点 Q 和低电位侧电压 VSS 线。

[0073] 第八 TFT T8 根据从第一交流电压 VDD_0 线提供的第一交流电压 VDD_0 导通或截止,并且当导通时彼此连接第一交流电压线 VDD_0 和第二节点 QB_odd。

[0074] 第九 TFT T9 根据第一节点 Q 的逻辑状态导通或截止,并且当导通时彼此连接低电位侧电压 VSS 线和第二节点 QB_odd。

[0075] 第十 TFT T10 根据选通起始脉冲 GSP 导通或截止,并且当导通时彼此连接第二节点 QB_odd 和低电位侧电压 VSS 线。

[0076] 第十一 TFT T11 根据第三节点 QB_even 的逻辑状态导通或截止,并且当导通时彼此连接第一节点 Q 和低电位侧电压 VSS 线。

[0077] 第十二 TFT T12 根据从第二交流电压 VDD_{even} 线提供的第二交流电压 VDD_{even} 导通或截止,并且当导通时彼此连接第二交流电压 VDD_{even} 线和第三节点 QB_{even}。

[0078] 第十三 TFT T13 根据第一节点 Q 的逻辑状态导通或截止,并且当导通时彼此连接第三节点 QB_{even} 和低电位侧电压 VSS 线。

[0079] 第十四 TFT T14 根据选通起始脉冲 GSP 导通或截止,并且当导通时彼此连接第三节点 QB_{even} 和低电位侧电压 VSS 线。

[0080] 输出缓冲单元 Tup, Td1 和 Td2 根据第一至第三节点 Q、QB_{odd} 和 QB_{even} 的逻辑状态输出第一扫描脉冲 Vout1。

[0081] 详细地,在上拉 TFT Tup 中,栅极连接至第一节点 Q,第一时分时钟脉冲 CLK1a 提供至漏极,源极连接至输出端。上拉 TFT Tup 根据第一节点 Q 的逻辑状态导通或截止,并且当导通时输出第一时分时钟脉冲 CLK1a 作为第一扫描脉冲 Vout1。

[0082] 在第一下拉 TFT Td1 中,栅极连接至第二节点 QB_{odd},低电位侧电压 VSS 提供至源极,漏极连接至输出端。第一下拉 TFT Td1 根据第二节点 QB_{odd} 的逻辑状态导通或截止,并且在当导通时输出低电位侧电压 VSS 作为第一扫描脉冲 Vout1。

[0083] 在第二下拉 TFT Td2 中,栅极连接至第三节点 QB_{even},低电位侧电压 VSS 提供至源极,漏极连接至输出端。第二下拉 TFT Td2 根据第三节点 QB_{even} 的逻辑状态导通或截止,并且当导通时输出低电位侧电压 VSS 作为第一扫描脉冲 Vout1。

[0084] 当 TFT 导通时信号传输方向为源极至漏极,或漏极至源极。

[0085] 第一级 ST1 的操作顺序如下所述。

[0086] 参照图 6,在第一级 ST1 中,高状态的选通起始脉冲 GSP 在设置期间 K1 内提供至第五 TFT T5 的栅极。然后,第五 TFT T5 导通,高电位侧电压 VDD 通过第五 TFT T5 提供至第一节点 Q 和第九 TFT T9。因此,第一节点 Q 在高状态时被预充。第九 TFT T9 导通,低电位侧电压 VSS 提供至第二节点 QB_{odd},第二节点 QB_{odd} 切换为低状态。

[0087] 随后,在第一级 ST1 中,高状态的第一时分时钟脉冲 CLK1a 在设置期间 K1 之后的输出时段 K2 被提供至上拉 TFT Tup 的漏极。然后,预充的第一节点 Q 的电压由于上拉 TFT Tup 的栅极和漏极之间的寄生电容器 Cgd 的耦合现象而被自举。然后,上拉 TFT Tup 完全导通,高状态的第一时分时钟脉冲 CLK1a 通过导通的上拉 TFT Tup 提供至输出端作为第一扫描脉冲 Vout1。第二节点 QB_{odd} 保持在低状态。

[0088] 随后,在第一级 ST1 中,高状态的第二扫描脉冲 Vout2 在输出时段 K2 之后的复位时段 K3 中被提供至第六 TFT T6 的栅极。然后,第六 TFT T6 导通,低电位侧电压 VSS 通过第六 TFT T6 提供至第一节点 Q,上拉 TFT Tup 和第九 TFT T9 截止。然后,第一交流电压 VDD₀ 通过第八 TFT T8 提供至第二节点 QB_{odd},第二节点 QB_{odd} 切换为高状态,第一下拉 TFT Td1 导通,低电位侧电压 VSS 提供至输出端作为第一扫描脉冲 Vout1。

[0089] 在进行上述操作的第一级 ST1 至第 n 级 STn 中的每一级中,上拉 TFT Tup 的能耗是最大的。详细地,上拉 TFT Tup 接收的时分时钟脉冲 TDCLK 具有最高的驱动频率。上拉 TFT Tup 的尺寸在级 ST1 至 STn 中的每一级中是最大的,因此,上拉 TFT Tup 中产生的寄生电容器 Cgd 的电容 C 也是最大的。因此,由于上拉 TFT Tup 具有最高的驱动频率 f 和最大的寄生电容器的电容 C,所以选通驱动单元 8 中上拉 TFT 的能耗是最大的(参见式 1)。

[0090] 此时,如上所述,时分时钟脉冲 TDCLK 被分别提供至级 ST1 至 STn 的第一和第二块

16 和 18。因此,时分时钟脉冲 TDCLK 被提供至级 ST1 至 STn 的上拉 TFT Tup 所通过的传输线的负载减少至时钟脉冲 CLK 在未被时分的情况下被提供至上拉 TFTTup 时的负载的 1/2。然后,上拉 TFT Tup 中产生的寄生电容器 Cgd 的电容 C 减少至时钟脉冲 CLK 在未被时分的情况下被提供至上拉 TFT Tup 时的电容的 1/2,因此,选通驱动单元 8 的能耗减少至时钟脉冲 CLK 在未被时分的情况下被提供至上拉 TFT Tup 时的能耗的 1/2。

[0091] 虽然图 2 和 3 中时分切换单元 10 以 1/2 帧周期为单位对时钟脉冲 CLK1 和 CLK2 进行时分,时分切换单元 10 也可以以 1/4 帧周期为单位对时钟脉冲 CLK1 和 CLK2 进行时分,如图 7 和 8 所示,在这种情况下,时钟脉冲 CLK 中的每一个被分成 4 个时分时钟脉冲。然后,如图 9 所示,选通驱动单元 8 的第一级 ST1 至第 n 级 STn 被分组成至少四个块 20, 22, 24 和 26,以用于与时钟脉冲 CLK 被时分成 4 个时分时钟脉冲相对应地接收不同的时分时钟脉冲 TDCLK。因此,时分时钟脉冲 TDCLK 被提供至级 ST1 至 STn 的上拉 TFT Tup 所通过的传输线的负载减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的负载的 1/4。然后,上拉 TFT Tup 中产生的寄生电容器 Cgd 的电容 C 减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的电容的 1/4,因此,选通驱动单元 8 的能耗减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFTTup 时的能耗的 1/4。

[0092] 在图 4 中,级 ST1 至 STn 被分组成第一和第二块 16 和 18,选通起始脉冲 GSP 仅提供至第一块 16 的第一级 ST1。然而,如图 10 所示,第一选通起始脉冲 GSP1 提供至与第一块 16 的第一级相对应的第一级 ST1,第二选通起始脉冲 GSP2 提供至与第二块 18 的第一级相对应的第 (n/2+1) 级 STn/2+1。也就是说,如果级 ST1 至 STn 被分组成 p 个块 (p 是自然数) 用于接收不同的时分时钟脉冲 TDCLK,则不同的选通起始脉冲被提供至 p 块的相应的第一级。然后,通过不同的选通起始脉冲来开始 p 个块操作。

[0093] 虽然如图 3 所示时分切换单元 10 以 1/2 帧周期为单位对时钟脉冲 CLK 进行时分,但也可以采用任何方法作为通过时分切换单元 10 对时钟脉冲 CLK 进行时分的方法。例如,如图 11 所示,时分切换单元 10 将第一时钟脉冲 CLK1 时分成第一和第二时分时钟脉冲 CLK1a 和 CLK1b,其在每四个水平周期处于高状态,且具有彼此延迟了两个水平周期的相位。第二时钟脉冲 CLK2 可以被时分成第三和第四时分时钟脉冲 CLK2a 和 CLK2b,其在每四个水平周期处于高状态,且具有彼此延迟了两个水平周期的相位。

[0094] 在根据本发明的实施方式的液晶显示设备中,时钟脉冲 CLK 被时分成 p 个时分时钟脉冲,p 个时分时钟脉冲提供至选通驱动单元 8 的级 ST1 至 STn。与时钟脉冲 CLK 被时分成 p 个时分时钟脉冲向对应地,级 ST1 至 STn 被分组成 p 个块,p 个块接收不同的时分时钟脉冲 TDCLK。因此,时分时钟脉冲 TDCLK 被提供至级 ST1 至 STn 的上拉 TFT Tup 所通过的传输线的负载减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的负载的 1/p。然后,上拉 TFT Tup 中产生的寄生电容器 Cgd 的电容 C 减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的电容的 1/p,因此,选通驱动单元 8 的能耗减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的能耗的 1/p。

[0095] 此外,当上拉 TFT Tup 中产生的寄生电容器 Cgd 的电容 C 减少至时钟脉冲 CLK 在未被时分的情况下被提供至级 ST1 至 STn 的上拉 TFT Tup 时的电容的 1/p 时,扫描脉冲 Vout1

至 V_{outn} 的上升时间根据时间常数 RC 而减少,因而提高了图像质量。

[0096] 在本发明中,时分切换单元 10 可对时钟脉冲 CLK 进行时分并将时分时钟脉冲提供至选通驱动单元 8 的移位寄存器,同时,对被提供至源驱动单元 4 的源移位时钟进行时分,并输出时分源移位时钟。详细地,时分切换单元 10 对从定时控制器 2 提供的源移位时钟进行时分,并将时分源移位时钟提供至数据驱动单元 4。然后,数据驱动单元 4 中包括的移位寄存器被分成多个块,多个块中的每一块接收不同的时分源移位时钟。因此,减少了源移位时钟被提供至数据驱动单元 4 的移位寄存器所通过的线的负载,并且可以减少数据驱动单元 4 的能耗。

[0097] 对于本领域技术人员而言很明显,在不偏离本发明的精神或范围的条件下,可以在本发明中做出各种修改和变型。因而,本发明旨在涵盖落入所附权利要求及其等同物的范围内的本发明的修改和变型。

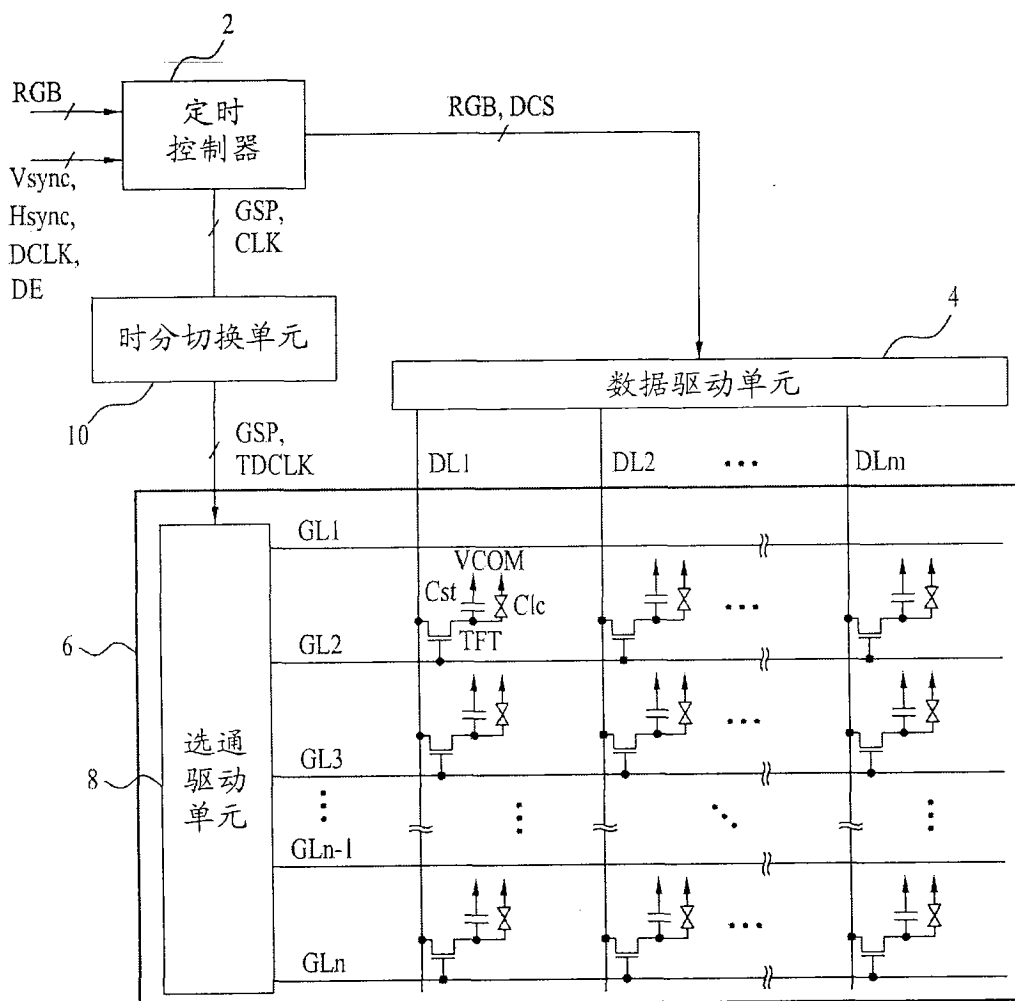


图 1

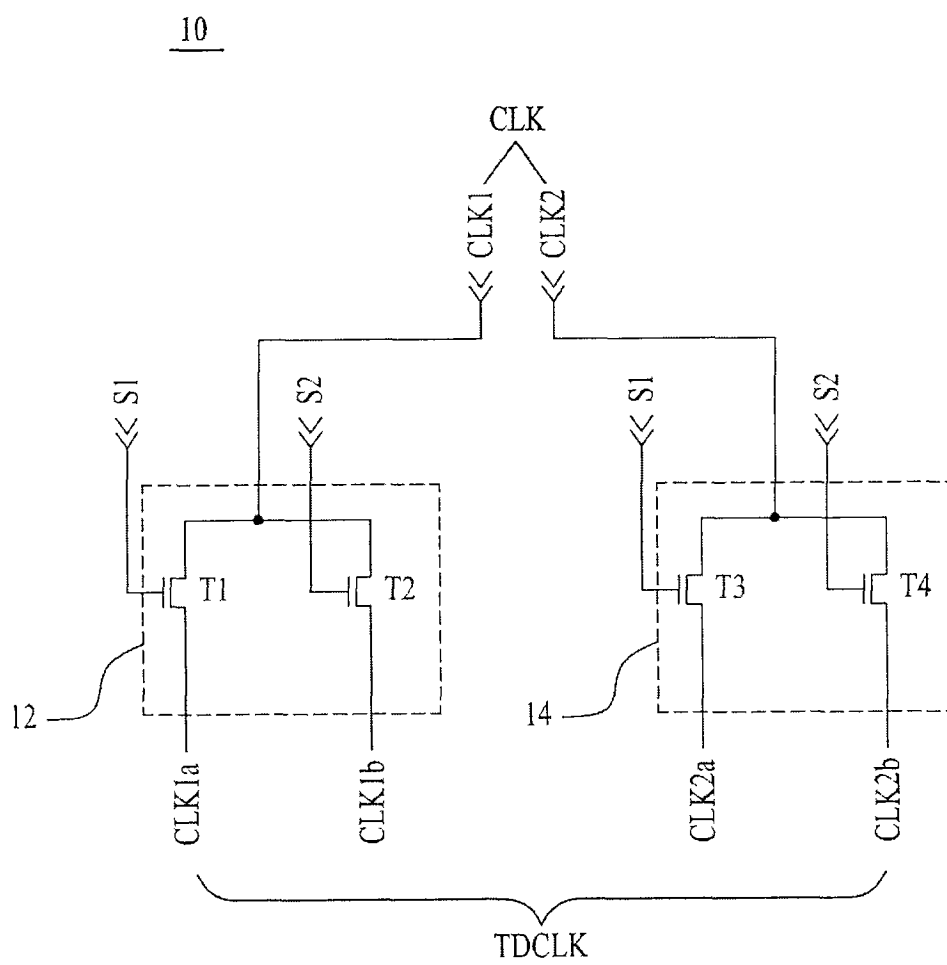


图 2

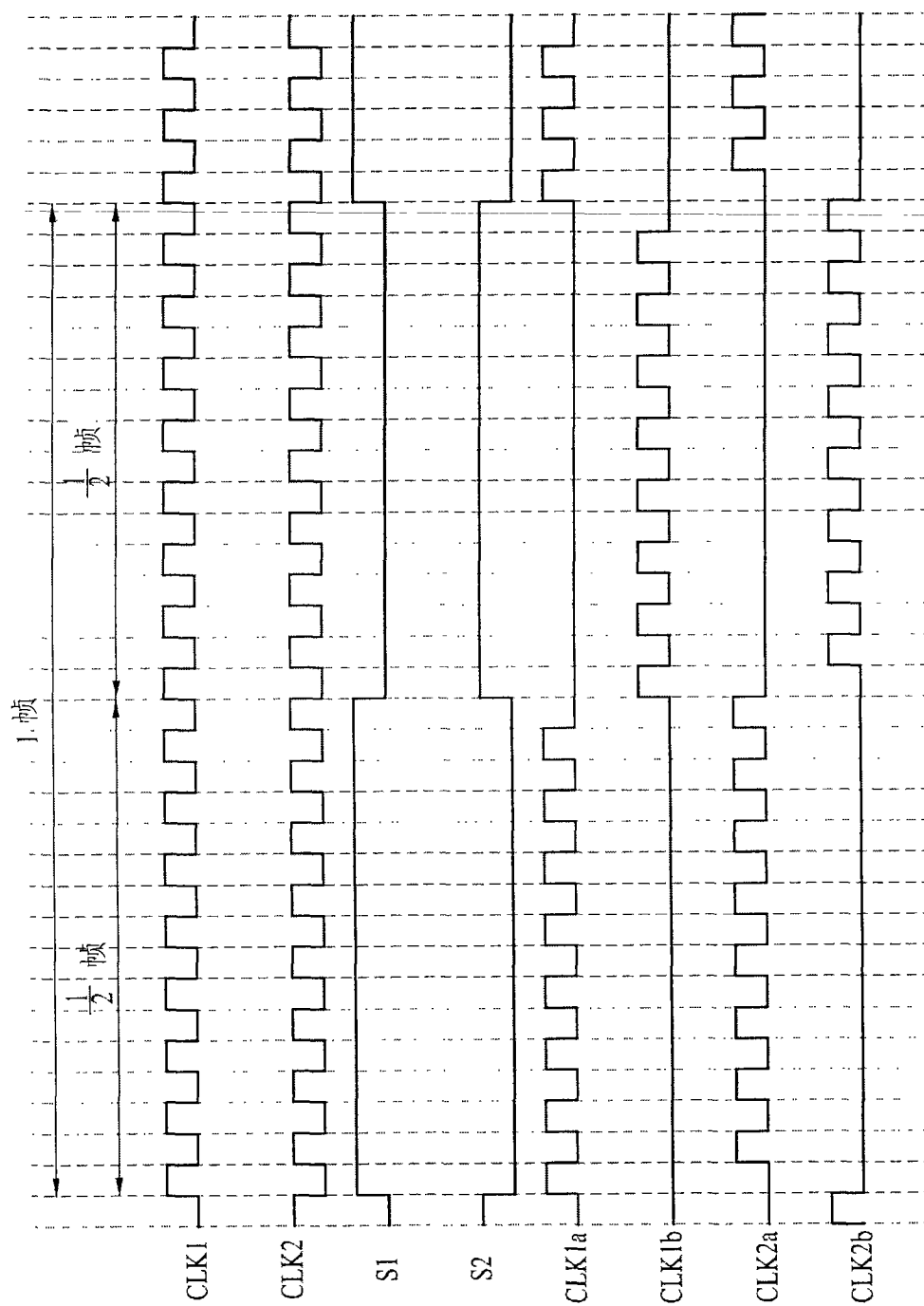


图 3

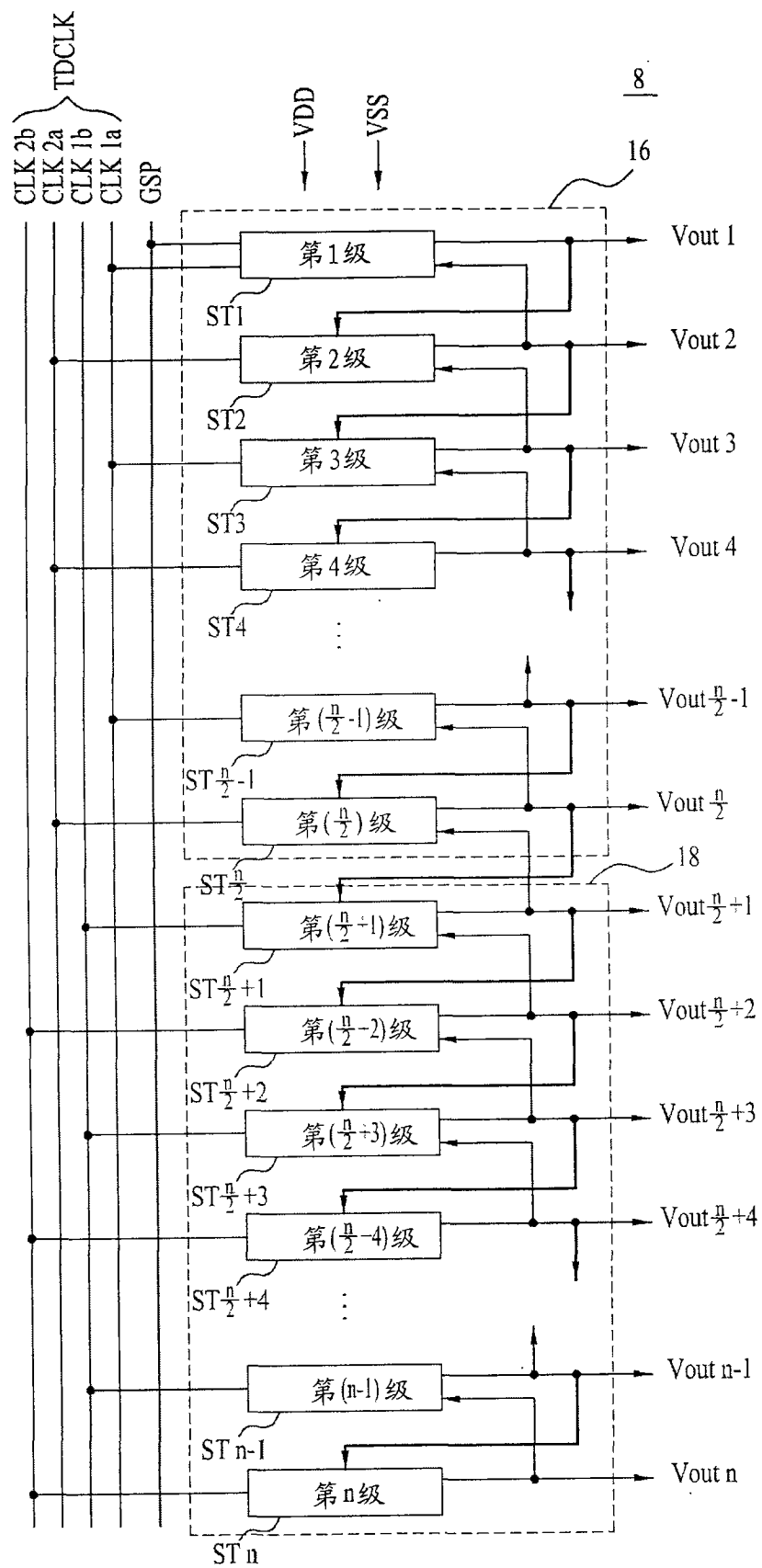


图 4

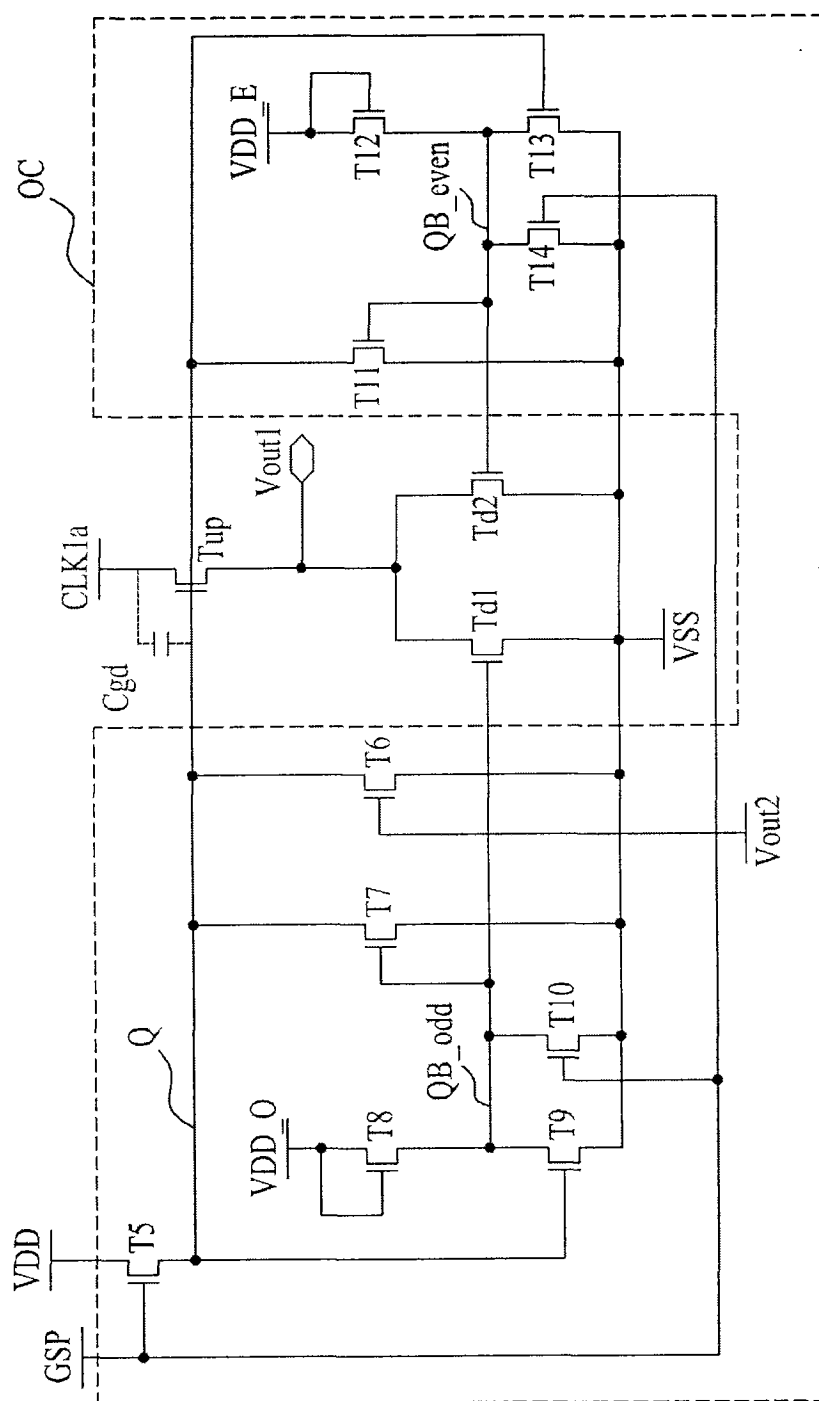


图 5

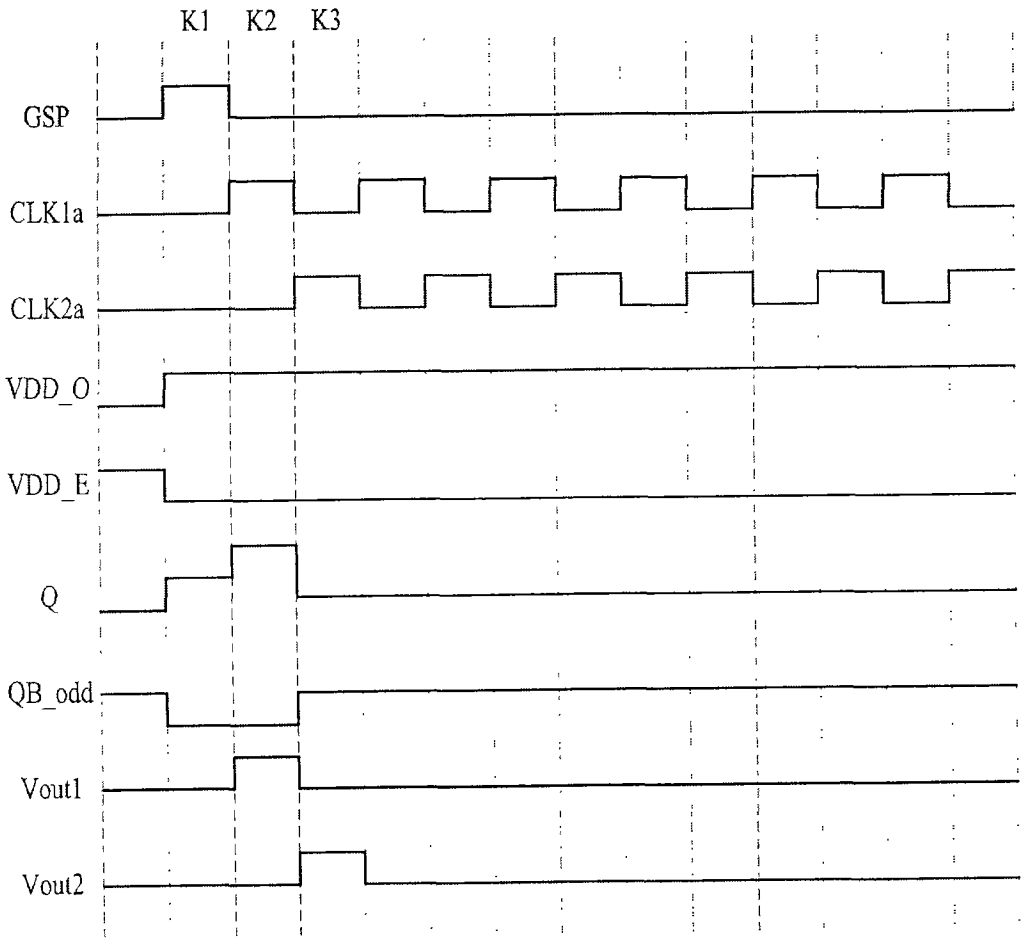


图 6

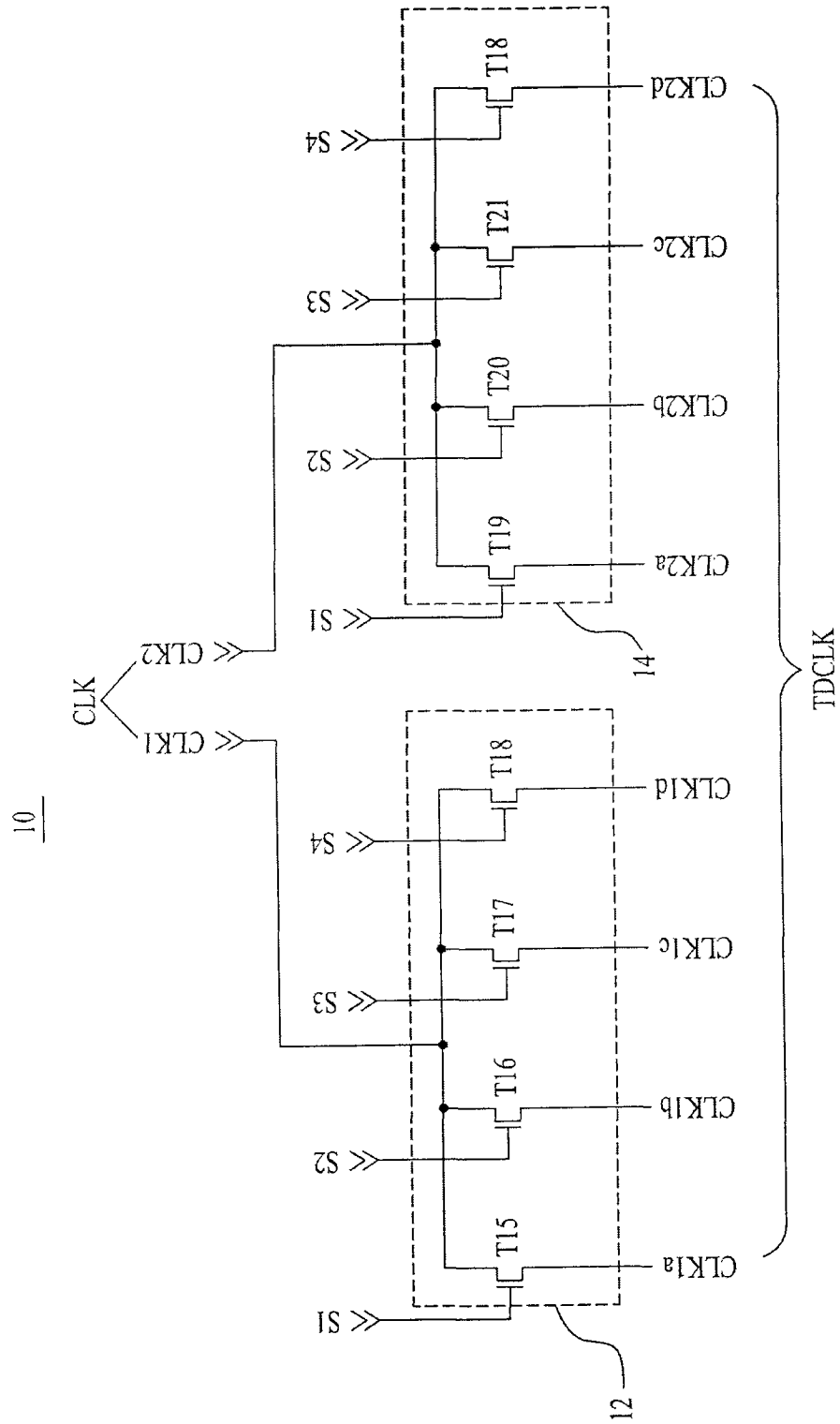


图 7

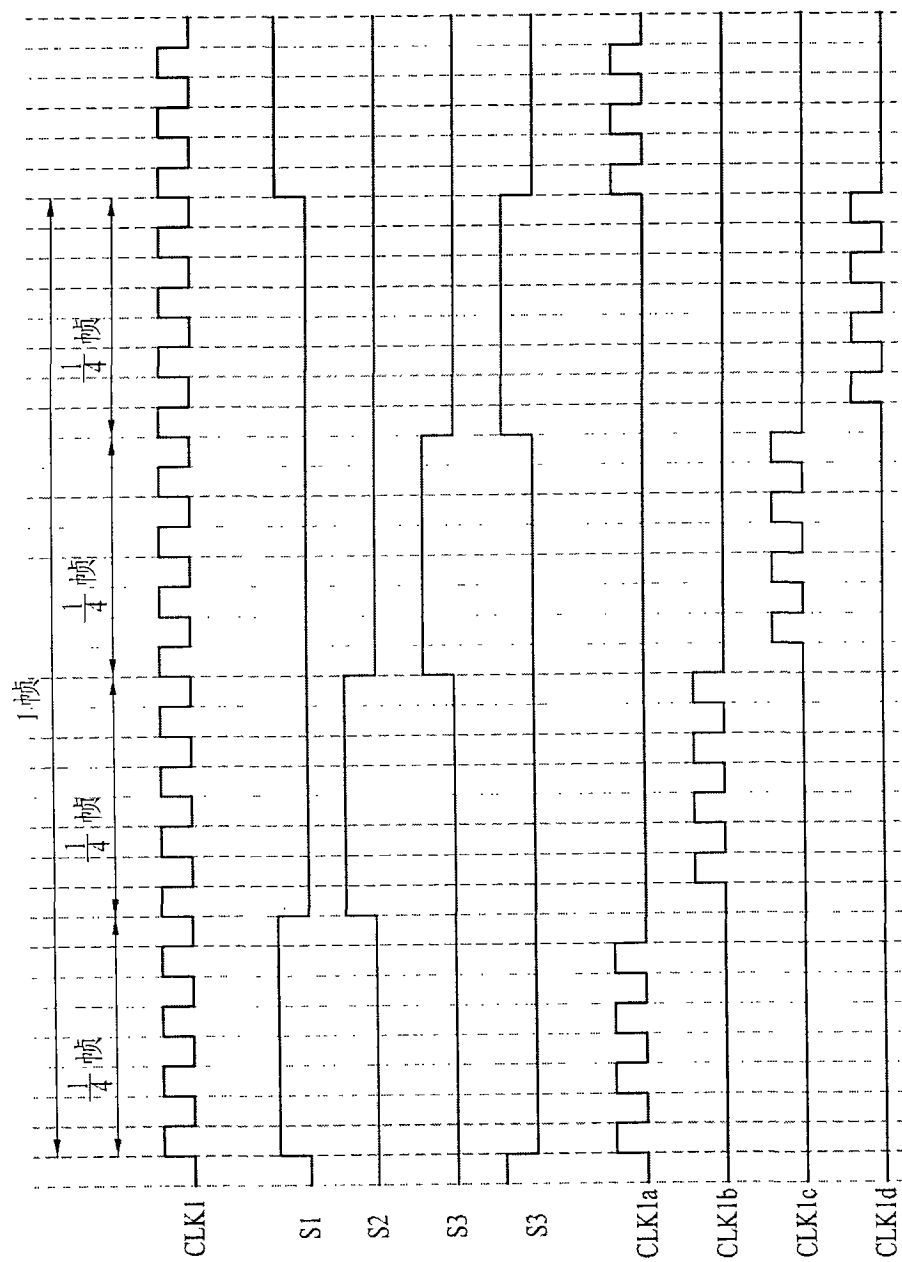


图 8

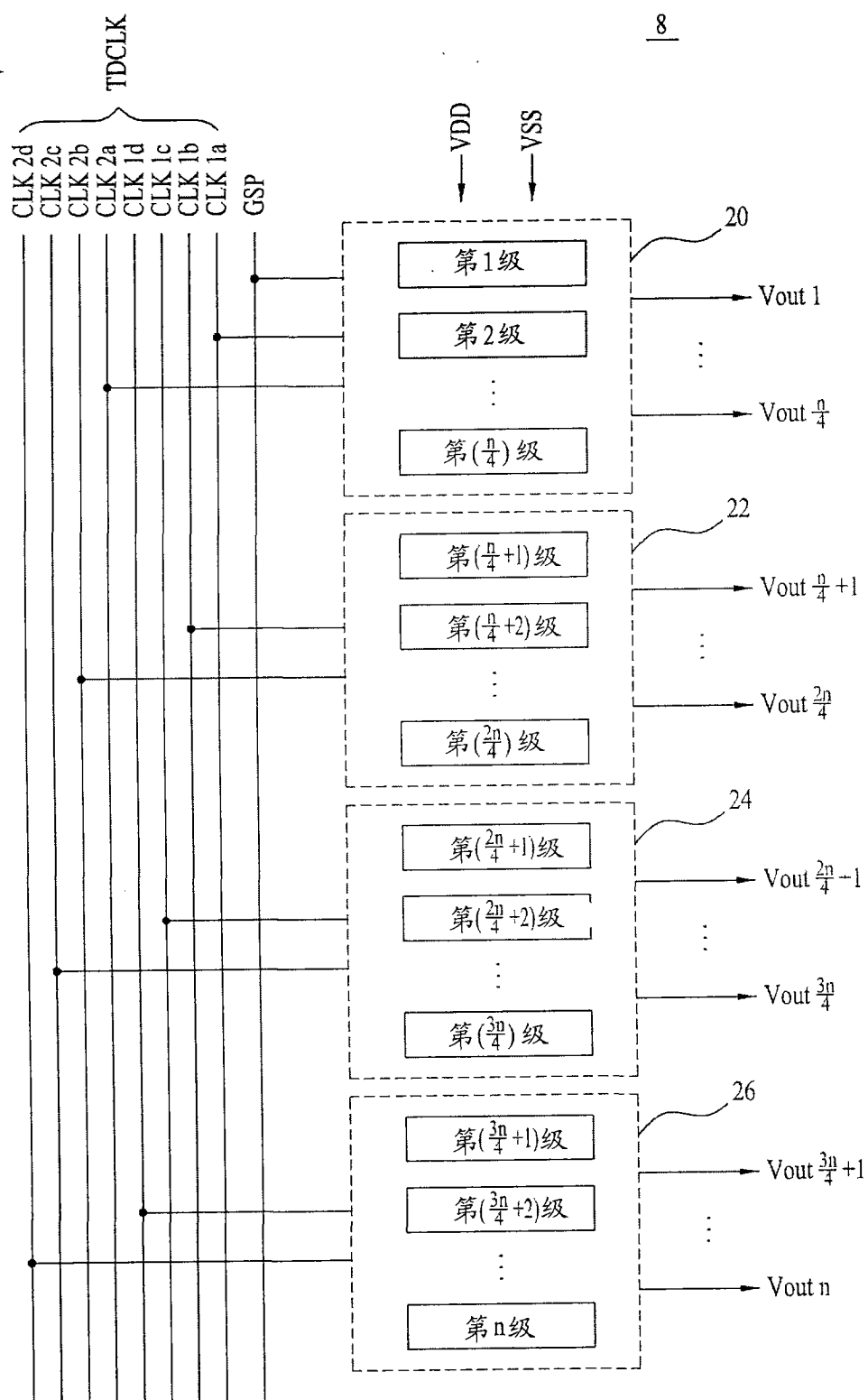


图 9

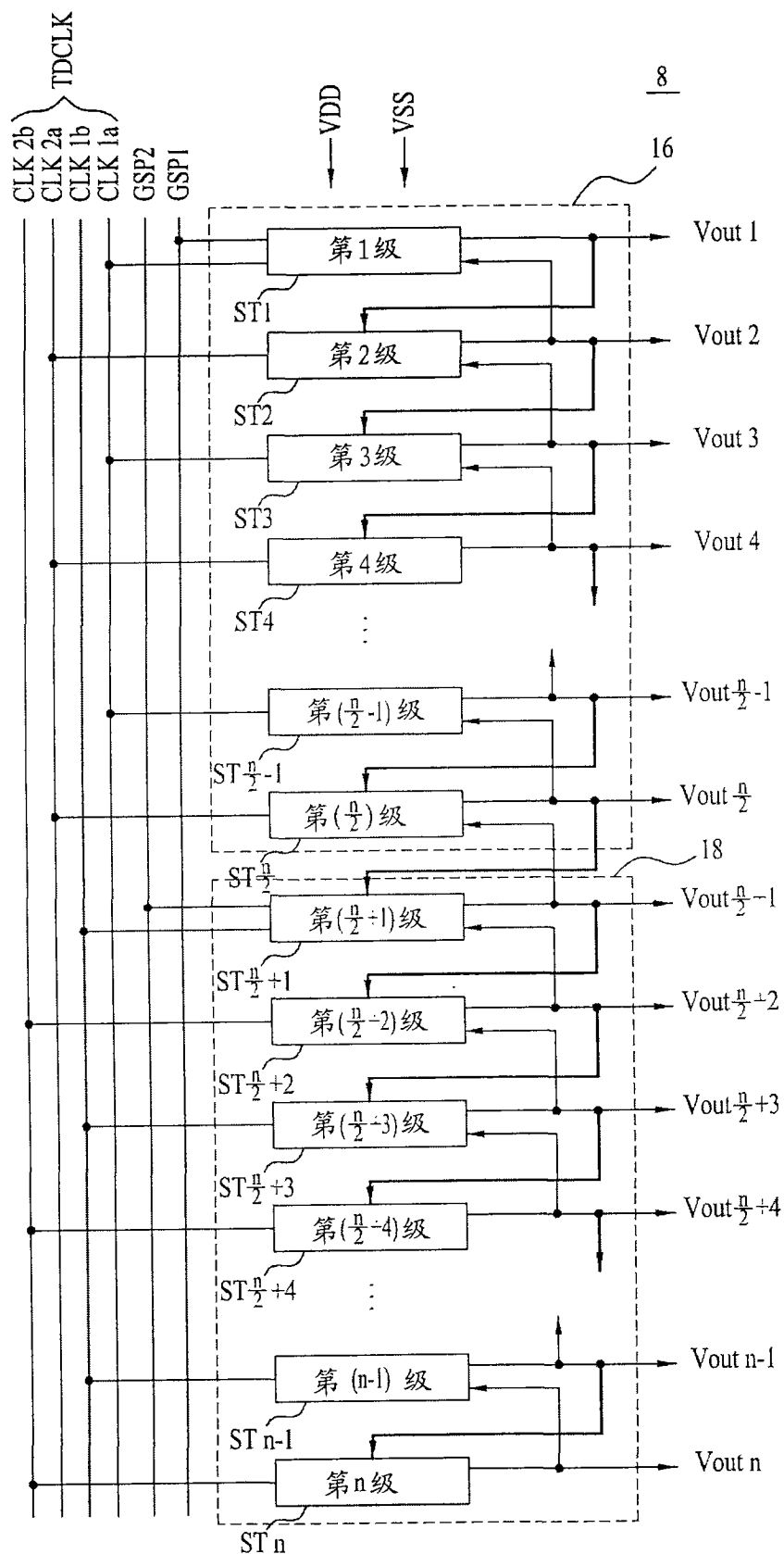


图 10

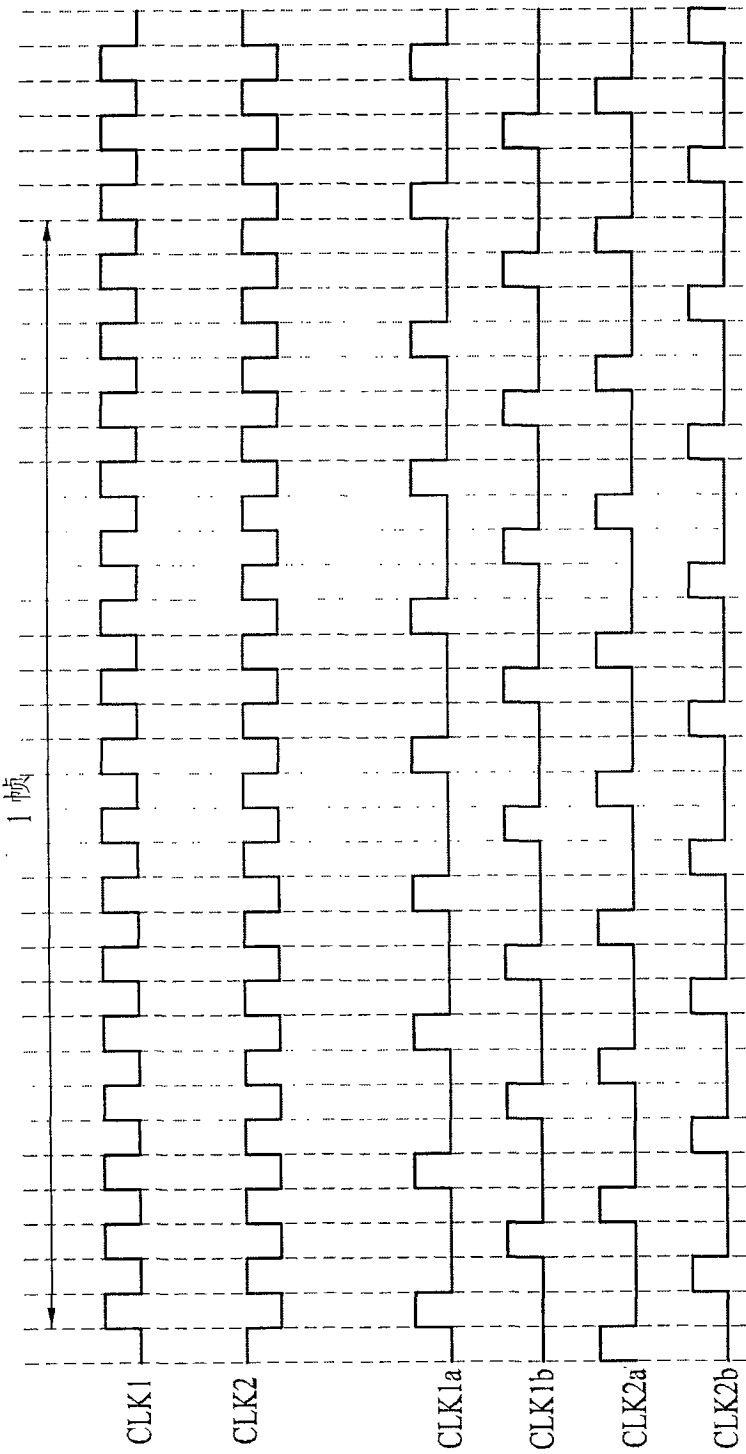


图 11

专利名称(译)	液晶显示设备及其驱动方法		
公开(公告)号	CN102270437A	公开(公告)日	2011-12-07
申请号	CN201010625111.3	申请日	2010-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	徐慧琳 辛千基 蔡志恩		
发明人	徐慧琳 辛千基 蔡志恩		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2310/08		
代理人(译)	李辉 王凯		
优先权	1020100053257 2010-06-07 KR		
其他公开文献	CN102270437B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示设备及其驱动方法，其能够减少选通驱动电路的能耗。所述液晶显示设备包括：液晶面板，其包括由选通线和数据线限定的多个像素区域；定时控制器，其用于输出多个数据控制信号、多个时钟脉冲、以及起始脉冲；时分切换单元，其用于将各个时钟脉冲时分成至少两个时分时钟脉冲，并用于输出多个时分时钟脉冲；数据驱动单元，其用于根据所述多个数据控制信号来驱动所述数据线；选通驱动单元，其包括用于根据所述起始脉冲和所述多个时分时钟脉冲顺序地输出扫描脉冲的多个级，其中，所述多个级被分组为多个块，各个块接收至少两个时分时钟脉冲，其中各个时分时钟脉冲来自于所述多个时钟脉冲之一。

