



(12) 发明专利申请

(10) 申请公布号 CN 102096251 A

(43) 申请公布日 2011.06.15

(21) 申请号 201010536196.8

G02F 1/1368 (2006.01)

(22) 申请日 2007.05.08

H01L 27/12 (2006.01)

(30) 优先权数据

2006-263506 2006.09.27 JP

(62) 分案原申请数据

200780023933.0 2007.05.08

(71) 申请人 夏普株式会社

地址 日本大阪府

(72) 发明人 村井淳人

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张鑫

(51) Int. Cl.

G02F 1/1343 (2006.01)

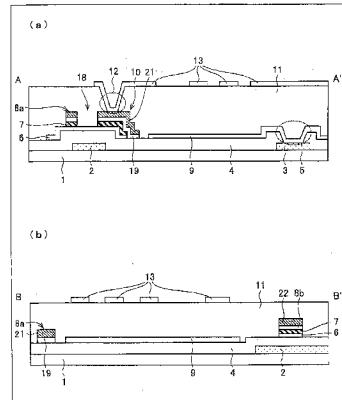
权利要求书 1 页 说明书 16 页 附图 21 页

(54) 发明名称

有源矩阵基板及具备该有源矩阵基板的液晶
显示装置

(57) 摘要

本发明为具有绝缘性基板(1)；相互正交配
置于绝缘性基板(1)上的栅极布线(2)及源极布
线(8a)；及配置于这些信号线(2)•(8a)的交点
并由栅极(2)、源极电极(8a)和漏极电极(10)所
构成的TFT(18)的有源矩阵基板，作为源极(8a)
及漏极(10)的下层使用而形成的透明导电膜
(19)，在由相互邻接的源极布线(8a)和相互邻接
的栅极布线(2)所包围的像素区域作为共用电极
(9)来使用，并且作为平行于源极布线(8a)而连
接相互邻接的共用电极(9)所形成的共用电极布
线(8b)来使用。由此，本发明提供一种减小由电
阻所造成的信号延迟及由寄生电容所造成的信号
延迟的有源矩阵基板。



1. 一种有源矩阵基板, 具有:

绝缘性基板;

相互交叉配置于该绝缘性基板上的视频信号线及扫描信号线; 及

配置于这些信号线的交点的具备栅极电极、源极电极和漏极电极而构成的薄膜晶体管, 其特征在于,

作为源极电极及漏极电极的下层使用而形成的透明电极层, 在由相互邻接的视频信号线和相互邻接的扫描信号线所包围的像素区域作为共用电极来使用, 并且作为平行于所述视频信号线而连接相互邻接的所述共用电极所形成的共用电极布线来使用。

2. 如权利要求 1 所述的有源矩阵基板, 其特征在于, 用于形成所述栅极电极而形成的金属膜, 作为平行于所述扫描信号线而形成的辅助共用电极布线来使用, 该辅助共用电极布线与所述共用电极通过接触孔电连接。

3. 如权利要求 2 所述的有源矩阵基板, 其特征在于, 所述共用电极包括在所述接触孔的外缘的外侧及内侧分别具有端部的开口部,

具有接触电极焊盘, 该接触电极焊盘在所述共用电极中的所述接触孔的外缘的外侧的端部侧与所述辅助共用电极布线相连接, 并且与所述共用电极中的所述接触孔的外缘的内侧的端部侧相连接。

4. 如权利要求 3 所述的有源矩阵基板, 其特征在于, 在所述像素区域设置像素电极, 所述接触电极焊盘利用与该像素电极相同的材料及相同的制造工序而形成。

5. 如权利要求 2 至 4 的任一项所述的有源矩阵基板, 其特征在于, 所述辅助共用电极布线设置在邻接的所述扫描信号线的大约中间附近。

6. 如权利要求 2 至 4 的任一项所述的有源矩阵基板, 其特征在于, 所述辅助共用电极布线设置在邻接的所述扫描信号线的一侧的扫描信号线的附近。

7. 如权利要求 2 至 4 的任一项所述的有源矩阵基板, 其特征在于, 所述辅助共用电极布线在所述共用电极的外周部平行于所述视频信号线而延伸。

8. 如权利要求 7 所述的有源矩阵基板, 其特征在于, 所述辅助共用电极布线在所述共用电极的外周部进一步也平行于所述扫描信号线而延伸。

9. 如权利要求 1 至 4 的任一项所述的有源矩阵基板, 其特征在于, 设置作为所述源极电极及所述漏极电极的上层使用而层叠的金属层, 使其包围所述共用电极的外周。

10. 如权利要求 9 所述的有源矩阵基板, 其特征在于, 用以包围所述共用电极的外周而设置的金属层, 也形成在形成共用电极布线的部分。

11. 如权利要求 1 至 4 的任一项所述的有源矩阵基板, 其特征在于, 在所述共用电极布线和所述扫描信号线的交叉部上设置金属层。

12. 如权利要求 1 至 4 的任一项所述的有源矩阵基板, 其特征在于, 具备至少具有由无机膜所构成的层和由低介电常数有机材料所构成的层的 2 层的层间绝缘膜。

13. 一种液晶显示装置, 其特征在于, 具备权利要求 1 至 4 的任一项所述的有源矩阵基板。

有源矩阵基板及具备该有源矩阵基板的液晶显示装置

[0001] 本发明申请是国际申请号为 /JP2007/059513, 国际申请日为 2007 年 5 月 8 日, 进入中国国家阶段的申请号为 200780023933.0, 名称为“有源矩阵基板及具备该有源矩阵基板的液晶显示装置”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种使用 TFT 的有源矩阵基板及具备该有源矩阵基板的液晶显示装置。

背景技术

[0003] 以往, 已知有 FFS(边缘场转换 :Fringe Field Switching) 模式的液晶显示装置。在 FFS 模式的液晶显示装置中, (a) 利用如 ITO(铟锡氧化物) 那样的透明物质形成对向电极和像素电极, (b) 形成对向电极和像素电极, 使其具有比上・下基板间的间隔要窄的间隔, 再进一步, (c) 形成对向电极和像素电极的宽度, 使其具有能够驱动配置于电极上部的所有液晶分子的程度的宽度。

[0004] 该 FFS 模式的液晶显示装置通过利用透明物质形成电极等, 能够得到相比 IPS(平面控制 :In Plain Switching) 模式的液晶显示装置有更高的开口率 (即通过在电极部产生光透射可得到相比 IPS 模式有更高的开口率)。

[0005] 图 21(a) 为专利文献 1 中记载的 FFS 模式的液晶显示装置所使用的有源矩阵基板的俯视图, 图 21(b) 为图 21(a) 的 A-A' 剖视图。

[0006] 如图 21(a) 所示, 该有源矩阵基板主要具备: 相互正交的多个栅极母线 101 及多个源极母线 107、在由这些母线所包围的像素区域以梳状且平行于源极母线 107 而设置的多个像素电极 109、在栅极母线 101 向像素区域侧分岔的部分设置的 TFT103、及平行于栅极母线 101 而设置的共用电极用布线 (CS 布线) 110。

[0007] 再进一步, 如图 21(b) 所示, 该有源矩阵基板在绝缘性基板上设置由透明导电膜构成的共用电极 (下层栅极母线) 106, 在该共用电极 106 上设置上层栅极母线 101 及 CS 布线 110。另外, 通过栅极绝缘膜 102, 在上层栅极母线 101 上, 层叠半导体层 103、接触层 104、上层源极・漏极电极 107, 而形成 TFT。另外, 在有源矩阵基板的最上层, 通过层间绝缘膜 (钝化膜) 108 设置像素电极 109。

[0008] 上述专利文献 1 中记载的有源矩阵基板由于在下层栅极母线 106 设置形成 CS 布线 110 的共用电极, 因此有如下 2 个问题。

[0009] 即, 如图 22 所示, 共用电极及上层栅极母线变粗糙, 并且形成 TFT 沟道部 111 的栅极绝缘膜 102 上的半导体层 103、接触层 104、及上层源极・漏极电极 107 变粗糙。特别是, 使用一般性的透明金属膜作为透明电极时, 会产生平坦性变低、TFT 的沟道部 111 的凹凸变大、迁移率降低的问题。

[0010] 另外, 透明电极其结晶化的转变温度非常低, 即在 150 度 ~ 200 度左右就从非晶态开始多晶硅化 (结晶化)。对结晶化后的状态和非晶的状态进行比较时, 其刻蚀率有较大

的差别。因此,需要刻蚀相当长的时间。即,如图 23 所示,需要进行过刻蚀。从而栅极母线 101 成为倒锥形(帽檐状),栅极绝缘膜 102 不能覆盖该栅极母线 101,产生导致与上层形成的金属膜发生泄漏等的合格品率降低的问题。

[0011] 另外,专利文献 2 所记载的有源矩阵基板中,在栅极绝缘膜上设置共用电极。即,在比栅极母线更上侧的层设置共用电极。因而,可解决上述 2 个问题。

[0012] 但是,专利文献 1 及 2 由于都使用在液晶显示部的横向所配置的栅极母线的金属层,形成与栅极母线平行的共用电极,因此如图 24 所示,即横向设置 CS 布线 123。一般液晶显示装置中,由于多数的液晶显示部横向较长,因此与源极母线相比,栅极母线较长。从而,由 CS 布线 123 所形成的共用电极的电阻变大,产生信号延迟的问题。为解决此问题,以减小电阻为目的而加粗 CS 布线 123 的宽度时,产生开口率降低的问题。

[0013] 与此不同的是,专利文献 3 中,如图 25 所示,在像素电极的上侧设置共用电极(透明电极材料,例如 ITO),在共用电极的狭缝部以外的所有区域保留透明电极材料,从而形成共用电极。再进一步,如图 26 所示,在源极母线及栅极母线上的几乎整个表面设置透明电极材料(CS 布线)。如此,通过设置也平行于源极母线的 CS 布线,解决上述信号延迟问题。

[0014] 专利文献 1:日本国公开专利公报「特开 2001-235763 号公报(公开日:平成 13 年 8 月 31 日)」

[0015] 专利文献 2:日本国公开专利公报「特开 2002-90781 号公报(公开日:平成 14 年 3 月 27 日)」

[0016] 专利文献 3:国际公开号 WO 01/18597(公开日:平成 13 年 3 月 15 日)

[0017] 专利文献 4:日本国公开专利公报「特开 2001-221992 号公报(公开日:平成 13 年 8 月 17 日)」

[0018] 专利文献 5:日本国公开专利公报「特开平 9-230380 号公报(公开日:平成 9 年 9 月 5 日)」

发明内容

[0019] 然而,上述专利文献 3 所揭示的技术中,形成 CS 布线使其覆盖图 26 中的源极母线和栅极母线的整个表面。因此,会有短路等缺陷的危险,且栅极母线和源极母线与 CS 布线的寄生电容变大。

[0020] 本发明是鉴于上述问题所完成的,其目的在于,提供一种减小由电阻所造成的信号延迟及由寄生电容所造成的信号延迟的有源矩阵基板及具备该有源矩阵基板的液晶显示装置。

[0021] 为解决上述课题,本发明的有源矩阵基板为具有绝缘性基板;相互交叉配置于该绝缘性基板上的视频信号线及扫描信号线;及配置于这些信号线的交点的具备栅极电极、源极电极和漏极电极而构成的薄膜晶体管的有源矩阵基板,其中,作为源极电极及漏极电极的下层使用而形成的透明电极层,在由相互邻接的视频信号线和相互邻接的扫描信号线所包围的像素区域作为共用电极来使用,并且作为平行于上述视频信号线而连接相互邻接的上述共用电极所形成的共用电极布线来使用。

[0022] 根据上述构成,共用电极其作为源极电极及漏极电极的下层使用而形成的透明电极层,在由相互邻接的视频信号线和相互邻接的扫描信号线所包围的像素区域作为共用电

极来使用，并且作为平行于上述视频信号线而连接相互邻接的上述共用电极所形成的共用电极布线来使用。即，利用作为源极电极及漏极电极的下层使用的透明电极层形成共用电极及共用电极布线。由此，共用电极实现了平行于和源极电极连接的视频信号线而连接并延伸。由于一般视频信号线比扫描信号线短，因此与平行于扫描信号线而延伸的情况相比，可减小电阻。

[0023] 再进一步，根据上述构成，形成上述共用电极布线，使其不具有与视频信号线交叉的部分，而在与扫描信号线正交的部分进行交叉。此处注意形成于相互邻接的视频信号线间的某一个共用电极时，由于一般视频信号线的数量比扫描信号线要多（视频信号线：扫描信号线 = 3 (RGB) : 1），相比在与视频信号线正交的部分进行交叉所形成的已有的构成，共用电极和各信号线（视频信号线、扫描信号线）的交叉部的数量变少，可减小共用电极布线的寄生电容。

[0024] 如上所述，本发明中，可减小共用电极及共用电极布线的电阻，并且可减小共用电极布线和信号线的寄生电容。因此，可减小共用电极布线的信号延迟。

[0025] 再进一步，根据上述构成，利用使用所谓的网目曝光的光刻法，在源极电极、漏极电极的下层形成透明电极层（ITO 等透明导电性材料），由于可利用与形成源极电极、漏极电极相同的光刻工序来形成共用电极，因此可简化制造方法。另外，由于如上述那样可利用相同的光刻工序来形成共用电极，相比如上述专利文献 2 那样利用不同的光刻工序形成共用电极和源极电极、漏极电极的情况，可防止由光定向偏离所造成的产品率降低及开口率降低。

[0026] 另外，本发明的有源矩阵基板中，最好用于形成上述栅极电极所成膜的金属膜作为平行于上述扫描信号线而形成的辅助共用电极布线来使用，将该辅助共用电极布线和上述共用电极通过接触孔电连接。

[0027] 根据上述构成，设置平行于扫描信号线的辅助共用电极布线，该辅助共用电极布线和共用电极通过设置于上述栅极绝缘膜的接触孔电连接。即，使用共用电极及共用电极布线和辅助共用电极布线形成网眼状的构成。因此，可近似于不取决于大小或材料、只由纵横比的关系即可决定电阻的构成（片电阻的概念）。因而，可减小任意 2 点间的电阻。再进一步，上述专利文献 2 所记载的技术中，如图 27 所示，由于利用源极金属（源极母线的金属层）122 连接共用电极 120 和共用电极布线 121，因此虽然无法取得欧姆接触时，会有像素缺陷的问题，但通过采用上述网眼状的构成，可使其具有 4 个方向的冗余性，即使产生上述无法取得欧姆接触的像素，再进一步即使发生任一个的共用电极及 / 或辅助共用电极断线，也能极力防止形成像素缺陷、和线缺陷。

[0028] 另外，本发明的有源矩阵基板中，最好是上述共用电极包括在上述接触孔的外缘的外侧及内侧分别具有端部的开口部，具有接触电极焊盘，该接触电极焊盘在上述共用电极中的上述接触孔的外缘的外侧的端部侧与上述辅助共用电极布线相连接，并且与上述共用电极中的所述接触孔的外缘的内侧的端部侧相连接。

[0029] 根据上述构成，上述共用电极包括在上述接触孔的外缘的外侧及内侧分别具有端部的开口部，具有接触电极焊盘，该接触电极焊盘在上述共用电极中的上述接触孔的外缘的外侧的端部侧与上述辅助共用电极布线相连接，并且与上述共用电极中的所述接触孔的外缘的内侧的端部侧相连接。因此，可使用该接触电极焊盘将共用电极和辅助共用电极布

线相互电连接。另外,可省去在形成源极布线·电极、及漏极电极前进行的形成用于连接共用电极及辅助共用电极布线的接触孔的工序。

[0030] 另外,本发明的有源矩阵基板中,最好在上述像素区域设置像素电极,上述接触电极焊盘利用与该像素电极相同的材料及相同的制造工序而形成。

[0031] 根据上述构成,利用互相相同的材料及相同的制造工序形成像素电极和接触焊盘。因此,可力图简化制造方法。

[0032] 另外,本发明的有源矩阵基板中,最好将上述辅助共用电极布线设置在邻接的上述扫描信号线的大约中间附近。

[0033] 根据上述构成,上述辅助共用电极布线设置在邻接的扫描信号线的大约中央附近。由于辅助共用电极布线与扫描信号线平行设置,因此通过将辅助共用电极布线设置在邻接的扫描信号线的大约中央附近,可将辅助共用电极布线与扫描信号线的距离取为最大。辅助共用电极布线与扫描信号线的距离变大时,可减少由图案不佳或附着污物所引起的、辅助共用电极布线与扫描信号线的短路的可能性。

[0034] 另外,本发明的有源矩阵基板中,最好将上述辅助共用电极布线设置在邻接的上述扫描信号线的一侧的扫描信号线的附近。

[0035] 根据上述构成,上述辅助共用电极布线设置在邻接的上述扫描信号线的一侧的扫描信号线的附近。扫描信号线的附近存在对开口没有用的区域。因而,由于能够将辅助共用电极布线的一部分设置在对开口没有用的区域,因此可实现高开口率。

[0036] 另外,本发明的有源矩阵基板中,最好将上述辅助共用电极布线在上述共用电极的外周部平行于上述视频信号线而延伸。

[0037] 共用电极的外周部存在所谓的无效区域(液晶不动的区域及产生液晶畴的区域)。根据上述构成,辅助共用电极布线在共用电极的外周部平行于视频信号线而延伸。因此,利用该辅助共用电极布线可对无效区域进行遮光,从而可得到较高的显示品质。

[0038] 另外,本发明的有源矩阵基板中,最好将上述辅助共用电极布线在上述共用电极的外周部进一步也平行于上述扫描信号线而延伸。

[0039] 根据上述构成,可减小辅助共用电极布线的电阻并对扫描信号线的无效区域进行遮光。

[0040] 另外,本发明的有源矩阵基板中,最好设置作为上述源极电极及上述漏极电极的上层使用而层叠的金属层,使其包围上述共用电极的外周。

[0041] 根据上述构成,设置作为源极电极及漏极电极的上层使用而层叠的金属层,使其包围上述共用电极的外周。因此,可使共用电极的周边具有遮光功能,并且可力图减小共用电极和辅助共用电极的电阻。

[0042] 另外,本发明的有源矩阵基板中,最好将包围上述共用电极的外周而设置的金属层,也形成在形成上述共用电极布线的部分。

[0043] 另外,本发明的有源矩阵基板中,最好在上述共用电极布线和上述扫描信号线的交叉部上设置金属层。

[0044] 根据上述构成,在上述共用电极布线和上述扫描信号线的交叉部上设置金属层。因此,可减小共用电极布线的电阻。再进一步,由于共用电极布线成为层叠透明电极层和金属层的结构,因此会减少与扫描信号线的交叉部的断线等不良情况。

[0045] 另外,本发明的有源矩阵基板中,最好具备至少具有由无机膜所构成的层和由低介电常数有机材料所构成的层的2层的层间绝缘膜。

[0046] 此处,所谓低介电常数有机材料可考虑是例如介电常数为5以下的材料。根据上述构成,层间绝缘膜至少具有由无机膜所构成的层和由低介电常数有机材料所构成的层的2层。通过设置低介电常数有机材料,可减小寄生电容。再进一步,通过如前述那样将层间绝缘膜采用2层以上的结构,由于可减少泄漏等不良情况,因此可实现高可靠性。

[0047] 另外,本发明的液晶显示装置,最好具备上述任一个有源矩阵基板。

[0048] 通过以下所示的叙述,可充分了解本发明的其它的目的、特征、及优点。另外,通过以下参照附图的说明可了解本发明的优点。

附图说明

[0049] 图1为示出本发明的实施方式的有源矩阵基板的1个像素区域的剖视图,(a)为图2所示的A-A'剖视图,(b)为图2所示的B-B'剖视图。

[0050] 图2为示出本实施方式的有源矩阵基板的1个像素区域的俯视图。

[0051] 图3为示出本发明的实施方式的有源矩阵基板的制造过程的剖视图,(a)~(i)为示出图1(a)所示的有源矩阵基板的制造过程的剖视图。

[0052] 图4为示出本发明的实施方式的第1变形例的剖视图,(a)为对应于上述图1(a)的A-A'剖视图,(b)为对应于上述图1(b)的B-B'剖视图。

[0053] 图5为示出本发明的实施方式的第2变形例的对应于图2的俯视图。

[0054] 图6为示出本发明的实施方式的第2变形例的剖视图,(a)为图5所示的A-A'剖视图,(b)为图5所示的B-B'剖视图。

[0055] 图7为示出本发明的实施方式的第3变形例的对应于图2的俯视图。

[0056] 图8为示出本发明的实施方式的第3变形例的剖视图,(a)为图7所示的A-A'剖视图,(b)为图7所示的B-B'剖视图。

[0057] 图9为示出本发明的实施方式的第4变形例的对应于图2的俯视图。

[0058] 图10为示出本发明的实施方式的第4变形例的剖视图,(a)为图9所示的A-A'剖视图,(b)为图9所示的B-B'剖视图。

[0059] 图11为示出本发明的实施方式的第5变形例的对应于图2的俯视图。

[0060] 图12为示出本发明的实施方式的图11所示的A-A'剖视图。

[0061] 图13为示出本发明的实施方式的图11所示的C部、即共用电极和辅助共用电极布线的交叉部的放大图。

[0062] 图14为示出本发明的实施方式的图13所示的B-B'剖视图。

[0063] 图15为示出本发明的实施方式的有源矩阵基板的制造过程的剖视图,(a)~(i)为示出图12(a)所示的有源矩阵基板的制造过程的剖视图。

[0064] 图16为示出本发明的实施方式的表示6张掩膜工艺中接触部的形成方法的剖视图及俯视图,(a)~(e)为剖视图,(f)~(j)为俯视图。

[0065] 图17为示出本发明的实施方式的表示5张掩膜工艺中接触部的形成方法的剖视图及俯视图,(a)~(e)为剖视图,(f)~(j)为俯视图。

[0066] 图18为示出本发明的实施方式的表示图13及图14的比较例的俯视图及剖视图,

(a) 为俯视图, (b) 为剖视图。

[0067] 图 19 为示出本发明的实施方式的表示图 13 及图 14 的比较例的俯视图及剖视图, (a) 为俯视图, (b) 为剖视图。

[0068] 图 20 为示出本发明的实施方式的第 6 变形例的俯视图, (a) (b) 为示出第 6 变形例的对应于图 2 的俯视图。

[0069] 图 21 为已有的 FFS 模式的液晶显示装置所使用的有源矩阵基板的俯视图及剖视图, (a) 为已有的 FFS 模式的液晶显示装置所使用的有源矩阵基板的俯视图, (b) 为 (a) 的 A-A' 剖视图。

[0070] 图 22 为示出已有的共用电极及上层栅极母线粗糙状态的有源矩阵基板的剖视图。

[0071] 图 23 为示出已有的栅极母线呈倒锥形 (帽檐状)、栅极绝缘膜不能覆盖栅极母线的状态的剖视图。

[0072] 图 24 为示出已有的共用电极布线的配置的 LCD (液晶显示器) 面板的俯视图。

[0073] 图 25 为示出已有的有源矩阵基板的剖视图。

[0074] 图 26 为示出已有的有源矩阵基板的俯视图。

[0075] 图 27 为示出已有的有源矩阵基板的剖视图。

[0076] 标号说明

[0077] 1 绝缘性基板

[0078] 2 栅极布线、栅极 (扫描信号线; 栅极电极; 用于形成栅极电极而成膜的金属膜)

[0079] 3 辅助共用电极布线

[0080] 4 栅极绝缘膜

[0081] 5 接触孔 (用于连接共用电极和辅助共用电极布线而形成)

[0082] 5' 接触孔 (用于连接共用电极和辅助共用电极布线而形成)

[0083] 8a 源极布线、源极 (视频信号线; 源极电极)

[0084] 8b 共用电极布线

[0085] 9 共用电极

[0086] 10 漏极 (漏极电极)

[0087] 12 接触孔 (用于连接漏极电极和像素电极而形成)

[0088] 17 接触电极焊盘

[0089] 18TFT (薄膜晶体管)

[0090] 19 透明导电膜 (透明电极层)

[0091] 21 金属层 (作为源极电极及漏极电极的上层使用而层叠的金属层)

[0092] 22 金属层

[0093] 23 无机膜

[0094] 24 由低介电常数有机材料构成的膜 (由低介电常数有机材料构成的层)

[0095] 25 遮光膜 (包围共用电极的外周而设置的金属层)

具体实施方式

[0096] 使用附图对本发明的实施方式之一进行说明。

[0097] (关于有源矩阵基板的构成)

[0098] 图2为示出本实施方式的有源矩阵基板的1个像素区域的俯视图。

[0099] 本实施方式的有源矩阵基板,如图2所示,具备:相互正交的多个源极布线8a及多个栅极布线(扫描信号线)2、在由这些布线所包围的区域(像素区域;后述)设置多个与源极布线(视频信号线)8a平行的矩形状(直梳齿形状)的像素电极13、配置于像素电极13的下侧的共用电极9、从该共用电极9平行于源极布线8a而延伸的共用电极布线8b、在邻接的栅极布线2之间与栅极布线2平行的辅助共用电极布线3、及作为开关元件的TFT(薄膜晶体管:Thin Film Transistor)18。

[0100] 此外,本说明书中,将由邻接的2根源极布线8a和邻接的2根栅极布线2所包围的区域称为像素区域(像点区域)。另外,如图2所示,共用电极布线3设置在邻接的栅极布线2之间。

[0101] 此外,以下说明中,为方便说明,对源极布线及形成TFT18的源极(源极电极)使用相同的参照标号,且对栅极布线及形成TFT18的栅极(栅极电极)使用相同的参照标号。

[0102] 另外,本实施方式中,在像素区域设置共用电极9,并设置与源极布线8a平行的共用电极布线8b,使其连接邻接的共用电极9,进一步设置通过接触孔与共用电极9连接的平行于栅极布线2的辅助共用电极布线3。

[0103] 共用电极9和辅助共用电极布线3在像素区域相互交叉,在该交叉部的共用电极9设置接触孔5(参照图1(a))。另一方面,在像素电极13设置用于连接TFT18的接触孔12(参照图1(a))。此外,不一定需要在所有的像素区域设置接触孔5,例如,也可隔1个、隔2个地设置。

[0104] 图1(a)为图2所示的A-A'剖视图。该A-A'剖面表示从TFT18到共用电极9与辅助共用电极布线3的交叉部的剖面。

[0105] 如图1(a)所示,在有源矩阵基板的最下层设置绝缘性基板1,在该绝缘性基板1上相互隔开地设置栅极2及辅助共用电极布线3。在栅极2上,通过栅极绝缘膜4按顺序形成构成沟道部的a-Si层6及n⁺-Si层7。再进一步,在这些沟道部上形成构成TFT18的源极8a及漏极(漏极电极)10。此处,本实施方式中,如同一图所示,源极8a及漏极10形成下层的透明导电膜(ITO)19和上层的金属层21的2层结构。再进一步,利用接触孔12,将漏极10的上层的金属层21与像素电极13相连接。另外,在接触孔12以外的地方的金属层21的上部设置层间绝缘膜11。

[0106] 另一方面,在辅助共用电极布线3上按栅极绝缘膜4及共用电极9的顺序来设置,利用接触孔5,将辅助共用电极布线3和共用电极9相互连接。特别是,由图1(a)可知,将配置于与源极8a及漏极10的下层的透明导电膜(ITO;透明电极层)19同一层的层作为共用电极9。另外,在共用电极9上通过层间绝缘膜11设置像素电极13。此外,层间绝缘膜11可由例如SiNx、SiO₂等构成的无机膜形成。

[0107] 图1(b)为图2所示的B-B'剖视图。该B-B'剖面表示从源极布线8a、通过像素电极直到栅极布线2与共用电极布线8b的交叉部的剖面。

[0108] 如图1(b)所示,在源极布线8a所对应的区域,按绝缘性基板1、栅极绝缘膜4、源极布线8a、层间绝缘膜11的顺序来设置。源极布线8a形成下层的透明导电膜(ITO)19和上层的金属层21的2层结构。另外,在像素区域,按绝缘性基板1、栅极绝缘膜4、共用电极

9、层间绝缘膜 11、及像素电极 13 的顺序来设置。再进一步，在栅极布线 2 和共用电极布线 8b 的交叉部所对应的区域，按绝缘性基板 1、栅极布线 2、栅极绝缘膜 4、a-Si 层 6、n⁺-Si 层 7、共用电极布线 8b、金属层 22、及层间绝缘膜 11 的顺序来设置。

[0109] 此外，由图 2 及图 1(b) 可知，上述金属层 22 设置在共用电极布线 8b 中、与栅极布线 2 的交叉部。

[0110] (关于有源矩阵基板的制造方法)

[0111] 接着，对上述有源矩阵基板的制造方法进行说明。此外，该有源矩阵基板的制造方法中，使用 6 张掩膜。不过，上述辅助共用电极布线 3 并非是必须的构成，由于在不设置该辅助共用电极布线 3 时，不需要制作接触孔 5 的工序，因此可用 5 张掩膜制造有源矩阵基板。

[0112] (工序 1)

[0113] 首先，如图 3(a) 所示，在绝缘性基板 1 上，利用溅射法形成 250nm 左右的 Ti/Al/Ti 等膜，利用光刻法相互隔开地形成栅极 2 及辅助共用电极布线 3。此外，该工序 1 中，使用第 1 张掩膜。

[0114] (工序 2)

[0115] 接着，利用等离子体 CVD(化学气相沉积 :chemical vapor deposition) 法按 300nm 左右的栅极绝缘膜(氮化硅;SiNx)4、150nm 左右的 a-Si 层 6、50nm 左右的 n⁺-Si 层 7 的顺序连续形成 3 层膜。成膜后，如图 3(b) 所示，利用光刻法，使栅极 2 及辅助共用电极布线 3 所对应的位置形成岛状图案。

[0116] 此外，该时刻还未形成 TFT18 的沟道部。此外，该工序 2 中，使用第 2 张掩膜。

[0117] (工序 3)

[0118] 接着，为形成接触孔 5、以及栅极布线 2 及源极布线 8b 的布线引出端子焊盘部(未图示)，如图 3(c) 所示，利用光刻法将设置于辅助共用电极布线 3 上的栅极绝缘膜 4 刻蚀成预定的图案。此外，该工序 3 中，使用第 3 张掩膜。

[0119] (工序 4)

[0120] 接着，利用溅射法连续在下层形成由 ITO 构成的 100nm 左右的透明导电膜，在上层形成 150nm 左右的 Mo/Al/MoN 等金属层膜。成膜后，如图 3(d) 所示，利用网目曝光法，形成感光胶 14，该感光胶 14 使同时除去透明导电膜及金属层的区域的感光胶的残膜量为 0nm，使同时保留透明导电膜及金属层的第 1 区域(形成源极 8a 或漏极 10 的区域)的残膜量为约 3000nm，使同时保留透明导电膜及金属层的第 2 区域(形成共用电极 9 的区域)的残膜量为约 1000nm。此外，此处虽未图示，但通过该工序，也在形成共用电极布线 8b 的区域形成残膜量约为 3000nm 的感光胶 14。此外，该工序中，使用第 4 张掩膜。

[0121] (工序 5)

[0122] 接着，利用湿法刻蚀，该湿法刻蚀采用使用磷酸-盐酸-硝酸系的刻蚀液的湿法刻蚀液，刻蚀上述金属层，并且利用使用氯化铁系的刻蚀剂的湿法刻蚀，刻蚀透明导电膜，如图 3(e) 所示，形成源极 8a 及漏极 10。

[0123] 另外，通过该工序，可形成下层为透明导电膜(ITO)19、上层为金属层 21 的 2 层结构的源极 8a 及漏极 10。还可同时形成共用电极 9。

[0124] 再进一步，由该工序及工序 4，应特别注意到，源极 8a 及漏极 10 其最下层为透明导电膜(ITO)19，该最下层的透明导电膜(ITO)19 也可作为共用电极 9 来使用。

[0125] 此外,此处虽未图示,但通过该工序,还可形成共用电极布线 8b。

[0126] (工序 6)

[0127] 接着,利用干法刻蚀,该干法刻蚀使用包含 O_2 的气体,如图 3(f) 所示,将设置于形成共用电极 9 的区域的感光胶 14 除去。

[0128] (工序 7)

[0129] 接着,如图 3(g) 所示,利用使用磷酸 - 盐酸 - 硝酸系的刻蚀液的湿法刻蚀除去形成共用电极 9 的区域的金属膜,接着,利用干法刻蚀,该干法刻蚀使用包含 SF_6 的气体,形成由 a-Si 层 6 和 n^+ -Si 层 7 构成的沟道部。由此,可对每 1 个像素形成开关元件的 TFT18。

[0130] (工序 8)

[0131] 接着,利用干法刻蚀,该干法刻蚀使用包含 O_2 的气体,如图 2(h) 所示,将形成源极 8a、共用电极布线 8b、及漏极 10 的区域的感光胶除去。

[0132] 此外,此处虽未图示,但通过该工序,还同时除去形成共用电极布线 8b 的区域的感光胶。

[0133] (工序 9)

[0134] 接着,利用等离子体 CVD 法,形成 250nm ~ 500nm 左右的氮化硅膜作为层间绝缘膜 11,为形成接触孔 12、以及栅极布线 2 及源极布线 8a 的布线引出端子焊盘部(未图示),利用光刻法将该层间绝缘膜 11 刻蚀成预定的图案(使用第 5 张掩膜)。然后,在层间绝缘膜 11 上,利用溅射法形成由 ITO 构成的 100nm 左右的透明导电膜,利用光刻法将像素电极 13 刻蚀成预定的图案(使用第 6 张掩膜)。通过以上工序,可形成如图 1(a) 所示的有源矩阵基板。

[0135] 如上所述,本实施方式的有源矩阵基板中,如图 1(a) 所示,采用将源极・漏极电极其最下层为透明电极的布线结构,再进一步,将该最下层的透明电极作为共用电极。本实施方式中,不是将共用电极设置在栅极电极・布线的最下层的 ITO(共用电极),而是将其设置在源极电极・布线及漏极电极・布线的最下层。以往,将 ITO 设置得与栅极电极・布线平行。

[0136] 与此不同的是,本实施方式中,利用透明导电膜(ITO)19 和设置于该 ITO19 的上层的不透明的金属层 21 形成源极电极・布线 8a 及漏极电极・布线 10。由此,可平行于源极布线而引出利用 ITO19 所形成的共用电极布线 8b。

[0137] 若如同以往那样,将 ITO 设置在栅极电极・布线的最下层时,由于栅极绝缘膜上的非晶硅位于 ITO 的上侧,因此具有栅极电极・布线上变粗糙的问题。栅极电极・布线上变粗糙时,平坦度变低,TFT 沟道部的凹凸变大,迁移率降低。与此不同的是,根据本实施方式,由于不将 ITO 配置在栅极电极・布线的最下层,因此可避免非晶硅变粗糙的问题。

[0138] 再进一步,若如同以往,将 ITO 设置在栅极电极・布线的最下层时,ITO 其结晶化的转变温度非常低,即在 150 度 ~ 200 度左右即从非晶态开始多晶化。若对结晶化后的状态和非晶的状态进行比较,则其刻蚀率有较大的差别。因此,需要刻蚀相当长的时间。即,需要进行过刻蚀。因此,具有栅极布线成为倒锥形(帽檐状)、不能覆盖栅极绝缘膜的问题。与此不同的是,根据本实施方式,由于不将 ITO 配置在栅极电极・布线的最下层,因此可避免这样的问题。

[0139] 再进一步,如上所述,将 ITO 设置在源极电极・布线及漏极电极・布线的最下层。

进一步采用平行于源极布线而引出利用 ITO 所形成的共用电极布线的构成。一般相比于栅极布线,源极布线较短。例如,XGA(扩展图案阵列)标准的情况下,布线数为纵 768×横 1024。因此,显示部分的纵横比成为 3 : 4。再进一步,在大型 TV(电视机)等中所采用的全高清(Full HD)标准的情况下,该布线数为纵 1080×横 1920,纵横比成为 9 : 16。

[0140] 因而,相比平行于栅极布线的布线,平行于源极布线的布线其由电阻所造成的信号延迟变小。

[0141] 再进一步,本实施方式中,不仅设置平行于上述源极布线·电极 8a 的共用电极布线 8b,还在邻接的栅极电极·布线 2 之间设置平行于栅极电极·布线 2 的辅助共用电极布线 3。即,通过进行连接的变化,将共用电极布线设置成网眼状。由此,可近似于不取决于显示部分的大小、只由纵横比的关系即可决定电阻的构成。因而,可减小任意 2 点间的电阻。此外,通过将共用电极布线设置成网眼状,可使其具有 4 个方向的冗余性。

[0142] 另外,如图 1(b) 所示,在栅极电极·布线 2 与共用电极布线 8b 的交叉部所对应的区域,将金属层 22 设置于共用电极布线 8b 的上层。由于共用电极布线 8b 较细,因此该交叉部断线的可能性较高,电阻的损耗较大。与此不同的是,如上所述,通过将金属层 22 设置在共用电极布线 8b 的上层,即使该金属层的下侧发生断线,也可保证利用金属层进行连接,并且通过装上低电阻的金属层 22,可减小电阻的损耗。

[0143] 再进一步,如图 1(b) 所示,在栅极电极·布线 2 与共用电极布线 8b 的交叉部所对应的区域,将由 a-Si 层 6 和 n⁺-Si 层 7 构成的半导体层设置于栅极电极·布线 2 与共用电极布线 8b 之间。因此,相比不设置该半导体层的构成,可将栅极电极·布线 2 与共用电极布线 8b 的距离取得较大,可减小电容。

[0144] 另外,如图 2 所示,将共用电极布线 3 设置在邻接的栅极电极·布线 2 与栅极电极·布线 2 的中央附近。由此,可将共用电极布线 3 与栅极电极·布线 2 的距离取得较大。从而,可减少发生由图案不佳或附着污物所引起的共用电极布线 3 和栅极电极·布线 2 的短路的可能性。

[0145] 接着,对上述实施方式的变形例进行说明。此外,以下所说明的变形例中,对于与上述实施方式的共同点省略其说明,并使用相同的参照标号。此外,以下为方便说明,将上述实施方式称为代表例。

[0146] (第 1 变形例)

[0147] 图 4(a) 为示出第 1 变形例的对应于上述图 1(a) 的 A-A' 剖视图,图 4(b) 为示出同样第 1 变形例的对应于上述图 1(b) 的 B-B' 剖视图。此外,由于第 1 变形例中的俯视图与上述图 2 相同,因此省略示出第 1 变形例的俯视图。

[0148] 上述代表例中,如图 1(a) 及图 1(b) 所示,层间绝缘膜 11 为 1 层的结构,与此不同的是,第 1 变形例中,如图 4(a) 及图 4(b) 所示,将层间绝缘层取为 2 层结构。具体而言,第 1 变形例中,使层间绝缘层 11 的结构成为由 SiNx、SiO₂ 等构成的无机膜 23 及由低介电常数有机材料构成的膜 24 的 2 层结构。

[0149] 由此,相比上述代表例可进一步减小寄生电容。由于相比上述代表例还可进一步减少泄漏等不良情况,因此可实现高可靠性。

[0150] 此处,对于利用上述第 1 变形例可减少泄漏等不良情况的理由进行说明。对于 2 层金属层夹住单层绝缘膜而交叉的结构,该单层绝缘膜存在针孔或缺陷时,会在上下金属

膜发生泄漏。再进一步,对于相同结构,当湿法刻蚀(湿法刻蚀)上层金属层时使用的刻蚀剂(刻蚀液)能够刻蚀下层金属层时,若在单层绝缘膜存在针孔或缺陷,则会刻蚀下层金属层,从而发生断线等。通常无论怎样进行灰尘管理,绝缘膜都会存在不少的针孔或缺陷。

[0151] 与此不同的是,由于在2层绝缘膜的同一位置产生针孔或缺陷的概率、相比在单层绝缘膜产生针孔或缺陷的可能性非常低,因此如上述变形例1的构成那样,通过将由2层金属层夹住的绝缘膜做成2层结构,可大幅减小上下金属膜发生泄漏的可能性及下层金属层断线的可能性。

[0152] 此外,该第1变形例在上述工序9中,可通过形成由SiNx、SiO₂等构成的150nm~350nm左右的无机膜、以及在该无机膜上层形成由低介电常数有机材料构成的2000nm~4000nm左右的膜,来制作层间绝缘膜。

[0153] 此外,第1变形例中,虽然记载了层间绝缘膜为2层结构的情况,但层间绝缘膜的结构不限于2层,也可通过任意层叠上述由SiNx、SiO₂等构成的无机膜23和由低介电常数有机材料构成的膜24,做成3层以上的结构。

[0154] (第2变形例)

[0155] 图5为示出第2变形例的对应于上述图2的俯视图。另外,图6(a)为图5所示的A-A'剖视图,图6(b)为图5所示的B-B'剖视图。

[0156] 上述代表例中,如图2所示,将辅助共用电极布线3配置在邻接的栅极布线2的中央处。与此不同的是,第2变形例中,将辅助共用电极布线3配置在邻接的栅极布线2中一侧栅极布线2的附近。更具体来讲,辅助共用电极布线3在源极布线8a延伸的方向具有一部分不与像素电极13相交的部分。即,辅助共用电极布线3在源极布线8a延伸的方向从像素电极13露出。另外至少在共用电极布线8b的一部分设置接触孔5'。

[0157] 对于图6(a)所示的A-A'剖面、即从设置TFT18的区域直到像素区域的中央附近的剖面,与图2(a)不同,不设置辅助共用电极布线3而构成。另一方面,对于图6(b)所示的B-B'剖面、即从栅极布线2所对应的区域→像素区域→直到栅极布线2和共用电极布线8b的交叉部所对应的区域的剖面,与图2(b)不同,在像素区域设置辅助共用电极布线3,通过形成于与一部分共用电极布线8b的区域重叠的位置的接触孔5',连接该辅助共用电极布线3和共用电极9(包含一部分共用电极布线8b)。

[0158] 由此,可在对开口无用的部分配置一部分辅助共用电极布线3。即,可减少无效区域(液晶不动的区域及液晶畴区域)。因此,可实现高开口率。

[0159] 此处,更具体地说明可实现该高开口率的理由。首先,定义无效区域。所谓无效区域,是指下面的(一)~(四)的区域。

[0160] (一)设置辅助共用电极布线3的部分

[0161] (二)共用电极9与像素电极13重叠的部分中,至少像素电极中平行于源极布线8a方向的两端部分(像素电极的梳齿汇总而连接的部分)的一部分

[0162] (三)其它根据设计上的规则,栅极电极·布线2与辅助共用电极布线3的间隙、及源极布线8与共用电极9的间隙

[0163] (四)由液晶的取向状态产生的无效区域

[0164] 第2变形例中,通过使(一)与(二)及(三)的区域的一部分重叠,从代表例中为无效区域的(一)+(二)+(三)+(四)的这些区域中减去重叠部分所得到的区域成为无

效区域。因而,第 2 变形例中,相比代表例可减小无效区域,可实现高开口率。

[0165] 该第 2 变形例在上述工序 1 中,可通过将设置辅助共用电极布线 3 的位置改变到更靠近栅极 2 的位置,来进行制作。

[0166] 此外,代表例中的辅助共用电极布线 3 的配置位置只是单纯的一个例子,只要在邻接的 2 根栅极布线 2 之间,可在任何位置。

[0167] (第 3 变形例)

[0168] 图 7 为示出第 3 变形例的上述图 2 所对应的俯视图。另外,图 8(a) 为图 7 所示的 A-A' 剖视图,图 8(b) 为图 7 所示的 B-B' 剖视图。

[0169] 第 3 变形例中,在上述代表例的构成的基础上,进一步如图 7 所示,将辅助共用电极布线 3 平行于源极布线 8a 在像素区域的外周部(无效区域)延伸。即,将辅助共用电极布线 3 平行于源极布线 8a 在共用电极 9 的周边部(外周部)延伸。即,如图 7 所示,将辅助共用电极布线 3 的平面形状做成 H 型。

[0170] 由于图 8(a) 的 A-A' 剖面不通过第 3 变形例的特征部分,因此与图 2(a) 相同。如图 8(b) 的 B-B' 剖面所示,在像素区域中的靠源极布线 8a 的无效区域(液晶不动的区域及产生液晶畴的区域),将辅助共用电极布线 3 设置于绝缘性基板 1 上。因而,相比代表例没有增加工序,可对无效区域进行遮光,从而可得到高显示品质。该第 3 变形例在上述工序 1 中,可通过将辅助共用电极布线 3 平行于源极布线 8a 形成在靠源极布线 8a 的无效区域,来进行制作。

[0171] 进一步也可设置成,将辅助共用电极布线 3 平行于源极布线 8a 在像素区域的外周部延伸,并且将其平行于栅极布线 2 在像素区域的外周部延伸,从而包围像素区域的外周部。即,也可将共用电极布线 3 在像素区域设置成环形。

[0172] (第 4 变形例)

[0173] 图 9 为示出第 4 变形例的上述图 2 所对应的俯视图。另外,图 10(a) 为图 9 所示的 A-A' 剖视图,图 10(b) 为图 9 所示的 B-B' 剖视图。

[0174] 第 4 变形例中,如图 9、图 10(a) 及图 10(b) 所示,在共用电极 9 的周边部(外周部),设置与源极 8a 及漏极 10 的上层设置的金属层 21 相同的金属层,作为用于遮住液晶畴的遮光膜(包围共用电极的外周而设置的金属层)25。再进一步,如图 9 所示,也可将遮光膜 25 设置成使其覆盖共用电极布线 8b 的整个表面。此外,此处遮光膜 25 所使用的金属层并不一定限定于具有作为遮光膜的功能的金属层。即,所谓遮光的功能只是单纯的一个例子。

[0175] 上述工序 7 中,可通过在除去金属膜时、不全部除去形成共用电极 9 的地方所对应的金属膜,而在共用电极 9 的周边部保留金属膜来形成该遮光膜 25。

[0176] 根据上述构成,可使共用电极 9 的周边具有遮光的功能,并且通过在共用电极 9 及辅助共用电极布线 3 设置由低电阻的金属层构成的遮光膜 25,可力图减小共用电极 9 及辅助共用电极布线 3 的电阻。

[0177] (第 5 变形例)

[0178] 图 11 为示出第 5 变形例的对应于上述图 2 的俯视图。另外,图 12 为图 11 所示的 A-A' 剖视图。图 13 为图 11 所示的 C 部、即共用电极 9 和辅助共用电极布线 3 的交叉部的放大图,图 14 为图 13 所示的 B-B' 剖视图。如图 11 所示,第 5 变形例所示的像素电极 13

在共用电极 9 和辅助共用电极布线 3 相互交叉的部分中断, 在该交叉的部分设置与像素电极 13 隔开的接触电极焊盘 17。接触电极焊盘 17 将共用电极 9 和辅助共用电极布线 3 相互电连接。

[0179] 图 13 所示的参照标号 16 表示共用电极 9 的开口部。即, 第 5 变形例中, 如图 12 及图 14 所示, 在共用电极 9 和辅助共用电极布线 3 的交叉部设置开口部。再进一步, 由图 12 及图 14 可知, 层间绝缘膜 11 及栅极绝缘膜 4 在设置接触电极焊盘 17 的位置被挖通。

[0180] 上述代表例中, 在栅极绝缘膜 4 设置接触孔 5, 从而将共用电极 9 和辅助共用电极布线 3 电连接。与此不同的是, 第 5 变形例中, 如图 12 及图 14 所示, 设置与共用电极 9 和辅助共用电极布线 3 的双方连接的接触电极焊盘 17。即, 利用接触电极焊盘 17 将共用电极 9 和辅助共用电极布线 3 相互连接。

[0181] 沿着层间绝缘膜 11 形成接触电极焊盘 17, 该接触电极焊盘 17 的一端与共用电极 9 连接, 并且另一端与辅助共用电极布线 3 连接。由此, 如图 14 的虚线所示, 辅助共用电极布线 3 与共用电极 9 电连接。上述接触电极焊盘 17 可在形成像素电极 13 的同时形成, 此外, 虽然此处接触电极焊盘 17 在源极布线 8a 延伸的方向连接共用电极 9 和辅助共用电极布线 3, 但这只是单纯的一个例子, 例如也可在栅极布线 2 延伸的方向连接共用电极 9 和辅助共用电极布线 3。

[0182] 另外, 对于将共用电极 9 的开口部 16 及接触电极焊盘 17 的构成做成如图 12・14 所示的构成的理由, 下面使用附图进行说明。

[0183] 上述代表例中, 对于有源矩阵基板的制作需要 6 张掩膜工艺。与此不同的是, 根据该第 5 变形例, 可实现 5 张掩膜工艺。该理由是由于省去了用于形成接触孔 5 的光刻工序, 可在对层间绝缘膜 11 进行光刻、图案形成时同时形成接触孔 5。

[0184] 接着, 对图 12 所示的有源矩阵基板的制造方法进行说明。

[0185] (工序 1)

[0186] 首先, 如图 15(a) 所示, 利用溅射法在绝缘性基板 1 上形成 250nm 左右的 Ti/A1/Ti 等膜, 利用光刻法相互隔开地形成栅极 2 及辅助共用电极布线 3。此外, 该工序 1 中, 使用第 1 张掩膜。

[0187] (工序 2)

[0188] 接着, 利用等离子体 CVD(化学气相沉积:chemical vapor deposition) 法按 300nm 左右的栅极绝缘膜(氮化硅;SiNx)4、150nm 左右的 a-Si 层 6、50nm 左右的 n⁺-Si 层 7 的顺序连续形成 3 层膜。成膜后, 如图 15(b) 所示, 利用光刻法, 使栅极 2 及辅助共用电极布线 3 所对应的位置形成岛状图案。此外, 该时刻还未形成 TFT18 的沟道部。此外, 该工序 2 中, 使用第 2 张掩膜。

[0189] (工序 3)

[0190] 接着, 利用溅射法连续在下层形成由 ITO 构成的 100nm 左右的透明导电膜, 在上层形成 150nm 左右的 Mo/A1/MoN 等金属层膜。成膜后, 如图 15(c) 所示, 利用网目曝光法, 形成感光胶 14, 该感光胶 14 使同时除去透明导电膜及金属层的区域的感光胶的残膜量为 0nm, 使同时保留透明导电膜及金属层的第 1 区域(形成源极 8a 的区域及形成漏极 10 的区域)的残膜量为约 3000nm, 使仅保留透明导电膜的第 2 区域(形成共用电极 9 的区域)的残膜量为约 1000nm。此外, 此处虽未图示, 但通过该工序, 也在形成共用电极布线 8b 的区域形成

残膜量约为 3000nm 的感光胶 14。此外,该工序 3 中,使用第 3 张掩膜。

[0191] (工序 4)

[0192] 接着,利用湿法刻蚀,该湿法刻蚀采用使用磷酸 - 盐酸 - 硝酸系的刻蚀液的湿法刻蚀液,刻蚀上述金属层,然后利用使用氯化铁系的刻蚀剂的湿法刻蚀,刻蚀透明导电膜,如图 15(d) 所示,形成源极 8a 及漏极 10。

[0193] 另外,通过该工序,可形成下层为透明导电膜 (ITO) 19、上层为金属层 21 的 2 层结构的源极 8a 及漏极 10。还可同时形成共用电极 9。

[0194] 此外,此处虽未图示,但通过该工序,还可形成共用电极布线 8b。

[0195] (工序 5)

[0196] 接着,利用干法刻蚀,该干法刻蚀使用包含 O_2 的气体,如图 15(e) 所示,将设置于形成共用电极 9 的区域的感光胶 14 除去。

[0197] (工序 6)

[0198] 接着,如图 15(f) 所示,利用使用磷酸 - 盐酸 - 硝酸系的刻蚀液的湿法刻蚀除去形成共用电极 9 的区域的金属膜,接着,利用干法刻蚀,该干法刻蚀使用包含 SF_6 的气体,形成由 a-Si 层 6 和 n^+ -Si 层 7 构成的沟道部。由此,可对每 1 个像素形成开关元件的 TFT18。

[0199] (工序 7)

[0200] 接着,利用干法刻蚀,该干法刻蚀使用包含 O_2 的气体,如图 15(g) 所示,将形成源极 8a、共用电极布线 8b、及漏极 10 的区域的感光胶除去。此外,此处虽未图示,但通过该工序,还可同时除去形成共用电极布线 8b 的区域的感光胶。

[0201] (工序 8)

[0202] 接着,利用等离子体 CVD 法,如图 15(h) 所示,形成 150nm ~ 650nm 左右的氮化硅膜作为层间绝缘膜 11,为形成接触孔 5 及接触孔 12、以及栅极布线 2 及源极布线 8a 的布线引出端子焊盘部(未图示),利用光刻法将该层间绝缘膜 11 刻蚀成预定的图案。同时,将层间绝缘膜 11 作为掩膜,干法刻蚀栅极绝缘膜 4,使接触孔 5 达到辅助共用电极布线 3。

[0203] 此外,该工序中,使用第 4 张掩膜。

[0204] (工序 9)

[0205] 接着,如图 15(i) 所示,在层间绝缘膜 11 上,利用溅射法形成由 ITO 构成的 100nm 左右的透明导电膜,利用光刻法将像素电极 13 及用于相互电连接共用电极 9 和辅助共用电极布线 3 的接触电极焊盘 17 刻蚀成预定的图案。通过以上工序,可形成如图 12 所示的有源矩阵基板。此外,该工序中,使用第 5 张掩膜。

[0206] 如上所述,该第 5 变形例中,可用 5 张掩膜来制造有源矩阵基板。

[0207] 接着,对于 5 张掩膜和 6 张掩膜各自的情况,进一步使用附图进行说明。

[0208] 图 16(a) ~ 图 16(e) 为示出 6 张掩膜的情况的有源矩阵基板的接触孔 5 的部分的制造过程的剖视图,图 16(f) ~ 图 16(j) 为示出图 16(a) ~ 图 16(e) 的各图的俯视的图解。

[0209] 第 1 张掩膜,如图 16(a) 所示,为形成辅助共用电极布线 3 而使用。2 张掩膜在未图示的半导体层的光刻法中使用。第 3 张掩膜,如图 16(b) 所示,为形成接触孔 5 而使用。第 4 张掩膜,如图 16(c) 所示,为形成共用电极 9 而使用。第 5 张掩膜,如图 16(d) 所示,为形成层间绝缘膜 11 的图案而使用。第 6 张掩膜,如图 16(e) 所示,为形成像素电极 13 而使用。

[0210] 另一方面,图 17(a) ~图 17(e) 为示出 5 张掩膜的情况的有源矩阵基板的接触孔 5 的部分的制造过程的剖视图,图 17(f) ~图 17(j) 为示出图 17(a) ~图 17(e) 的各图的俯视的图解。

[0211] 第 1 张掩膜,如图 17(a) 所示,为形成辅助共用电极布线 3 而使用。2 张掩膜在未图示的半导体层的光刻法中使用。第 3 张掩膜,如图 17(b) 所示,为形成共用电极 9 的开口部 16 而使用。第 4 张掩膜,如图 17(c) 所示,为形成层间绝缘膜 11 而使用。此处,如图 17(d) 所示,通过将层间绝缘膜 11 作为掩膜并干法刻蚀栅极绝缘膜 2,而形成达到辅助共用电极布线 3 的接触孔 5。因此,图 17(d) 中不需要新的掩膜。第 5 张掩膜,如图 17(e) 所示,为形成像素电极 13、及用于相互电连接共用电极和辅助共用电极布线 3 的接触电极焊盘 17 而使用。此外,图 17(d) 中,用虚线所示的箭头表示辅助共用电极布线 3 和共用电极 9 的电连接的流向。

[0212] 接着,对于第 5 变形例中,如图 12 所示,设置不规则的接触孔 5 的理由进行说明。为说明该理由,分别对本实施方式的第 5 变形例的 2 个比较例使用附图进行说明。

[0213] 图 18(a) 及图 18(b) 示出比较例,对于将共用电极 9 的开口部 16 做得比接触孔 5 的开口要大的情况,图 18(a) 示出俯视图,图 18(b) 示出图 18(a) 的 B-B' 剖视图。

[0214] 该比较例的情况下,如图 18(b) 所示,虽然接触电极焊盘 17 可与辅助共用电极布线 3 相互电连接,但接触电极焊盘 17 不能与共用电极 9 相互电连接。由于是显然的,因此省略理由。

[0215] 同样地,图 19(a) 及图 19(b) 示出比较例,对于将共用电极 9 的开口部 16 做得比接触孔的开口要小的情况,图 19(a) 示出俯视图、图 19(b) 示出图 19(a) 的 B-B' 剖视图。

[0216] 该比较例的情况下,如图 19(b) 所示,虽然接触电极焊盘 17 可与共用电极 9 相互电连接,但不能与辅助共用电极布线 3 相互电连接。其理由为,将层间绝缘膜 11 作为掩膜并干法刻蚀栅极绝缘膜 4、从而使接触孔 5 达到辅助共用电极布线 3 时,由于共用电极 9 由 ITO 等材料形成,因此不进行干法刻蚀,其结果,由于栅极绝缘膜 4 变为倒锥形、即帽檐状,因此接触电极焊盘 17 断开。

[0217] 根据这些比较例,本实施方式的第 5 变形例中的有源矩阵基板其构成为,接触电极焊盘 17 可与共用电极 9 和辅助共用电极布线 3 的双方进行电连接。即,其构成为将上述 2 个比较例的任一构成都进行采用。进一步换言之,接触电极焊盘 17 在接触孔 5 的外缘的外侧的端部侧与辅助共用电极布线 3 连接,并且与共用电极 9 中的接触孔 5 的外缘的内侧的端部侧连接。

[0218] 此外,通常的 6 张掩膜工艺中,为在形成源极、漏极前形成用于电连接共用电极 9 和辅助共用电极布线 3 的接触孔 5,增加一次光刻工序。5 张掩膜中,在形成源极、漏极前不进行形成上述接触孔 5 的光刻工序,在共用电极 9 的一部分预先设置开口部(用于之后将接触孔 5 贯通到最下层的辅助共用电极布线 3),在对层间绝缘膜 11 进行光刻、图案形成时同时形成接触孔 5,在接下来形成像素电极 13 时形成将共用电极 9 和辅助共用电极布线 3 进行电连接的接触电极焊盘 17,以此可使用 5 张掩膜。另外,权利要求 1 所述的构成中(无辅助共用电极布线),即使不施行上述那样的工序,也为 5 张掩膜工艺。这是由于原本就不存在形成上述源极、漏极前的接触孔 5 的光刻、图案形成工序。

[0219] (第 6 变形例)

[0220] 上述代表例中,将像素电极 13 做成直梳齿形状。与此不同的是,第 6 变形例中,对像素电极 13 的形状加以变形。

[0221] 例如,如图 20(a) 所示,也可将像素电极 13 做成 V 字形使其中心位于像素区域中的源极布线 8a 的中央,如图 20(b) 所示,也可将像素电极 13 做成 V 字形使其中心来到像素区域中的栅极布线 2 的中央。此外,本变形例中,在担心产生液晶畴的区域的共用电极 9 上保留源极 8a 的上层的金属层 21。即,如图 20(a) 及图 20(b) 所示,在共用电极 9 的一部分设置金属层 21(图中虚线部)。

[0222] 通过将像素电极 13 做成这样的形状,可实现由多畴所得到的宽视角。

[0223] 如上所述,本发明所涉及的有源矩阵基板为具有绝缘性基板;相互交叉配置于该绝缘性基板上的视频信号线及扫描信号线;及配置于这些信号线的交点的具备栅极电极、源极电极和漏极电极而构成的薄膜晶体管的有源矩阵基板,作为源极电极及漏极电极的下层使用而形成的透明电极层,在由相互邻接的视频信号线和相互邻接的扫描信号线所包围的像素区域作为共用电极来使用,并且作为平行于上述视频信号线而连接相互邻接的上述共用电极所形成的共用电极布线来使用。

[0224] 因而,可提供一种减小由电阻所造成的信号延迟及由寄生电容所造成的信号延迟的有源矩阵基板。

[0225] 发明的详细说明项中所完成的具体实施方式或实施例,始终是阐明本发明的技术内容的说明,不应仅限定于这样的具体例而狭义地进行解释,在本发明的精神及如上所述的权利要求的范围内,可作各种更改来进行实施。

[0226] 工业上的实用性

[0227] 本发明可适用于液晶显示装置,特别能够适用于特大型的电视机等。

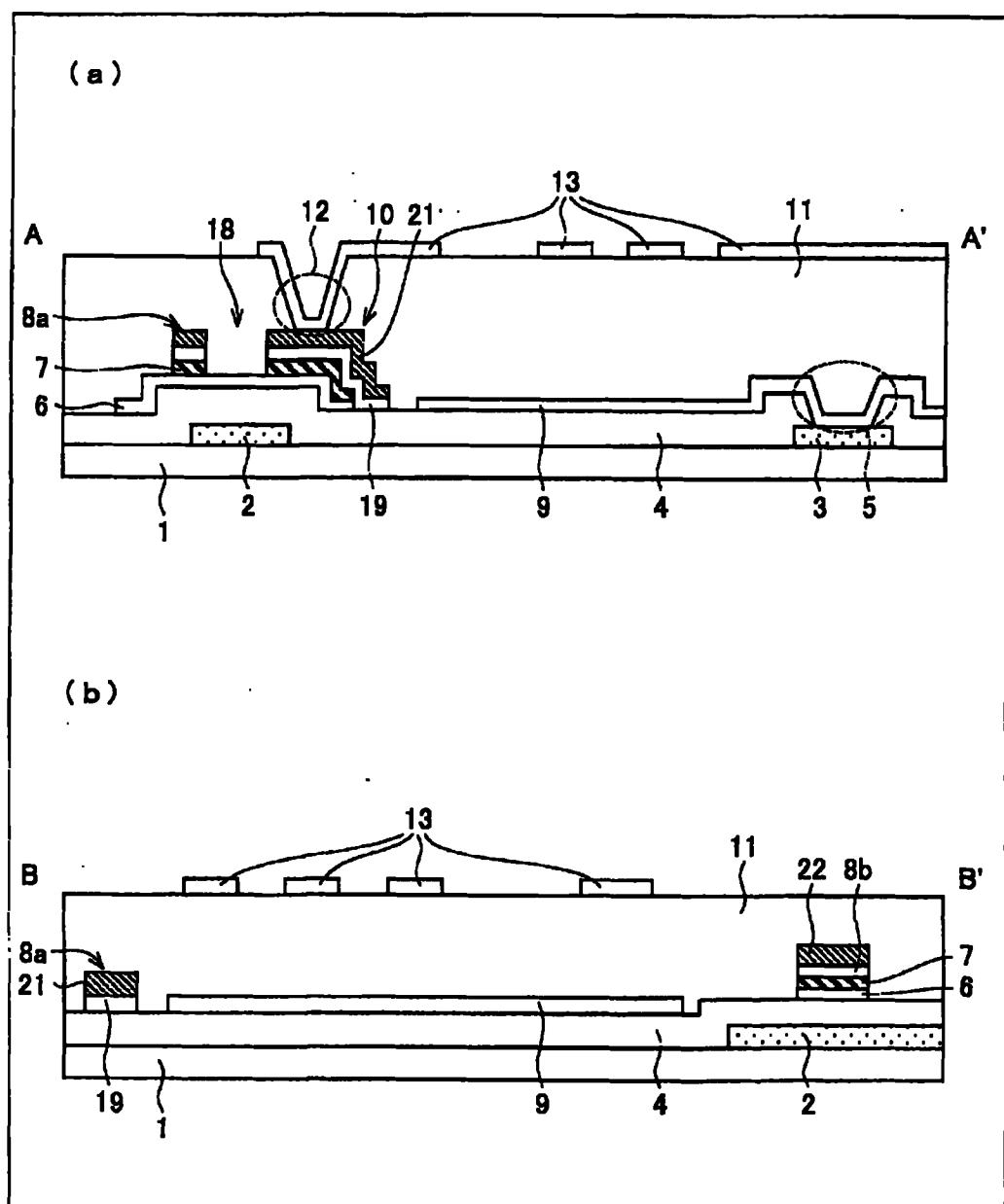


图 1

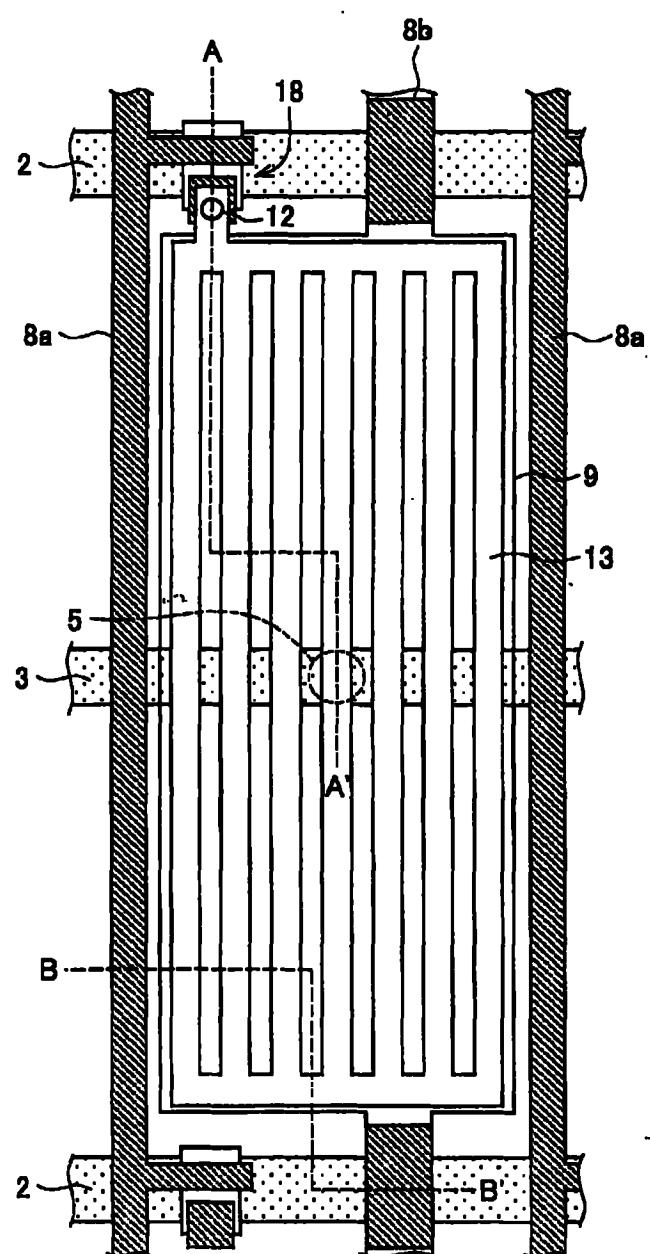


图 2

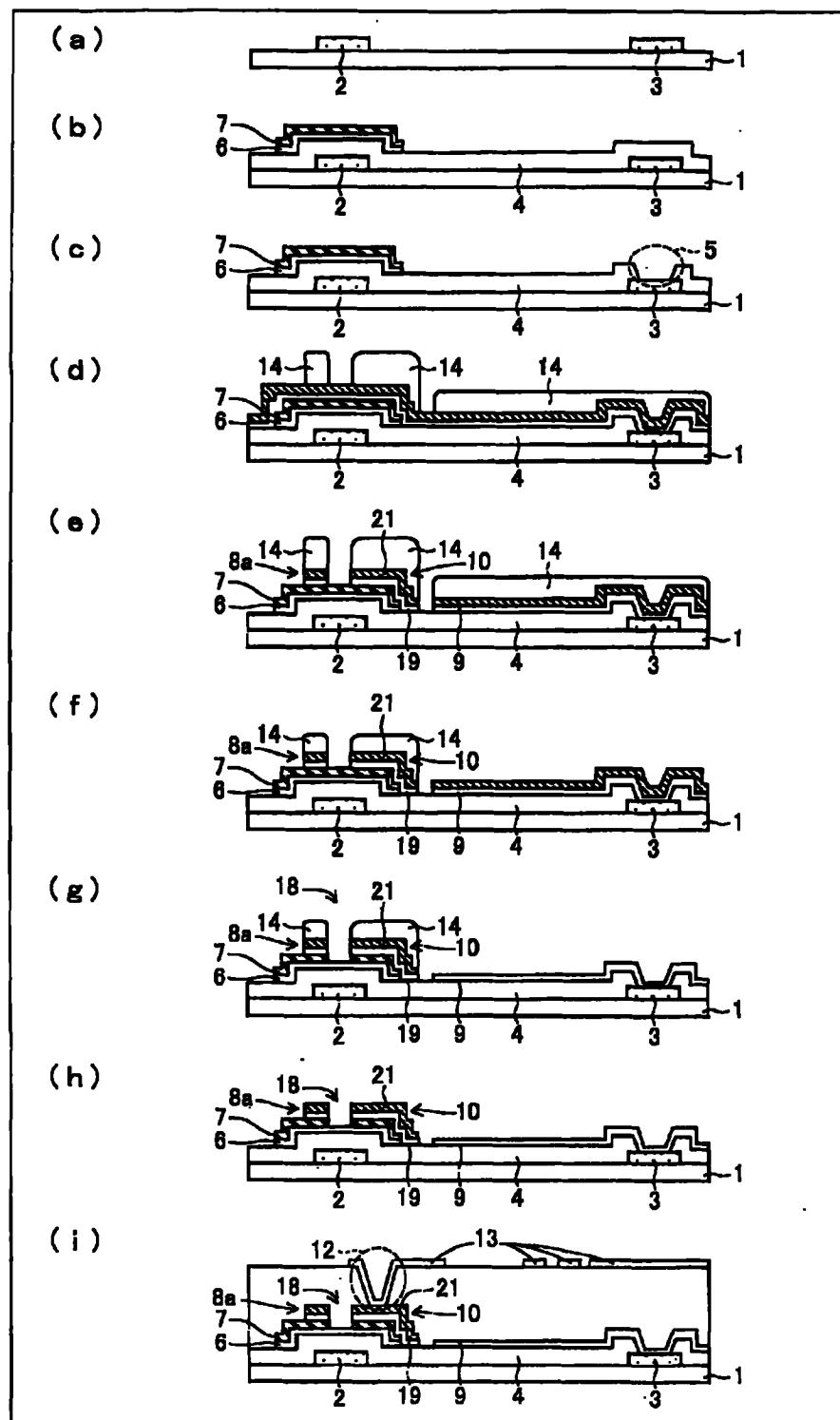


图 3

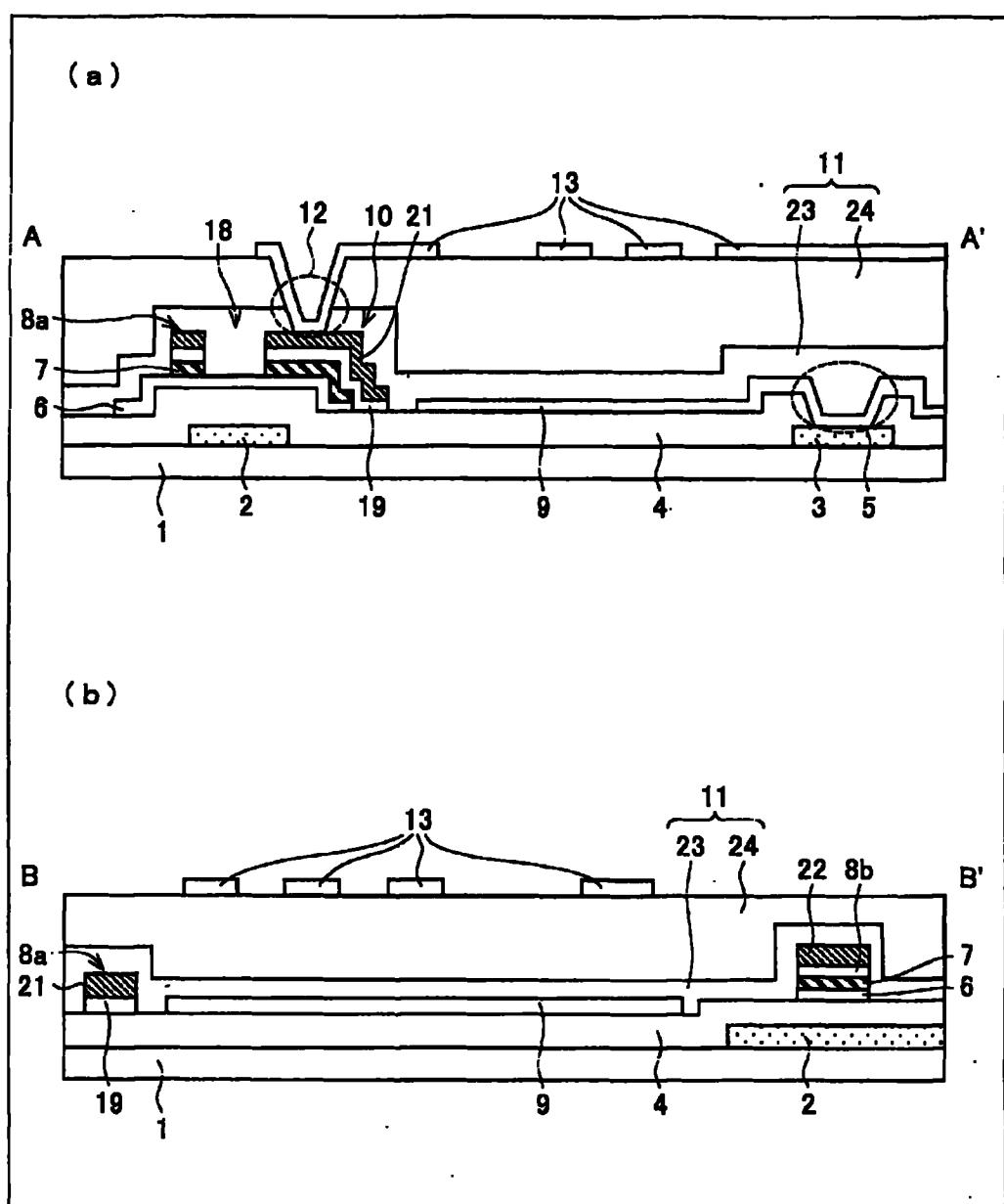


图 4

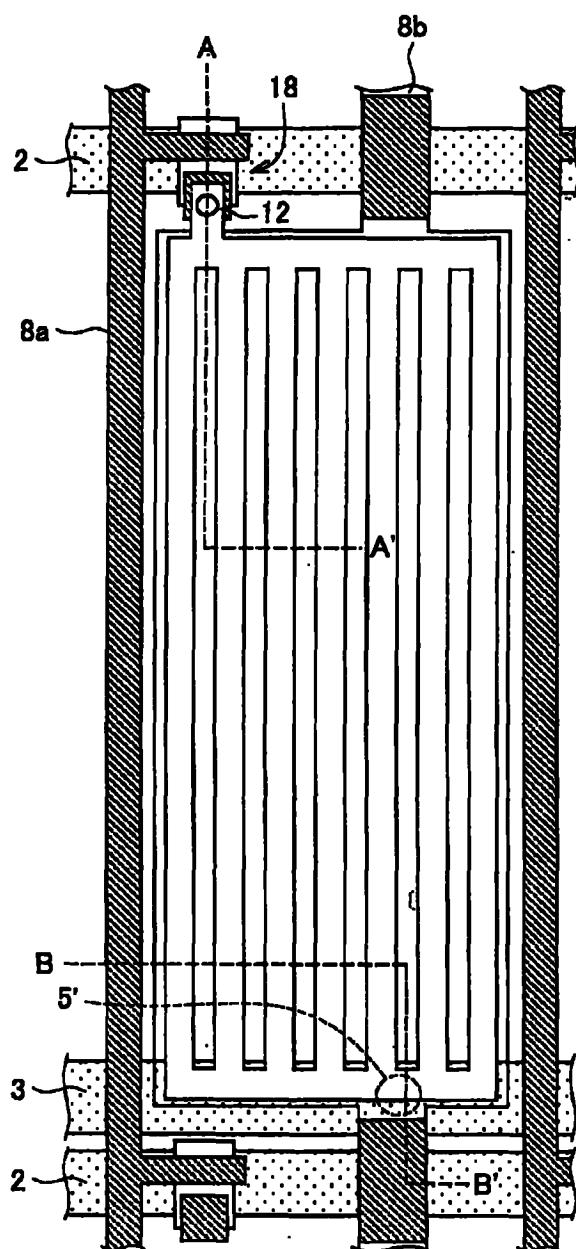


图 5

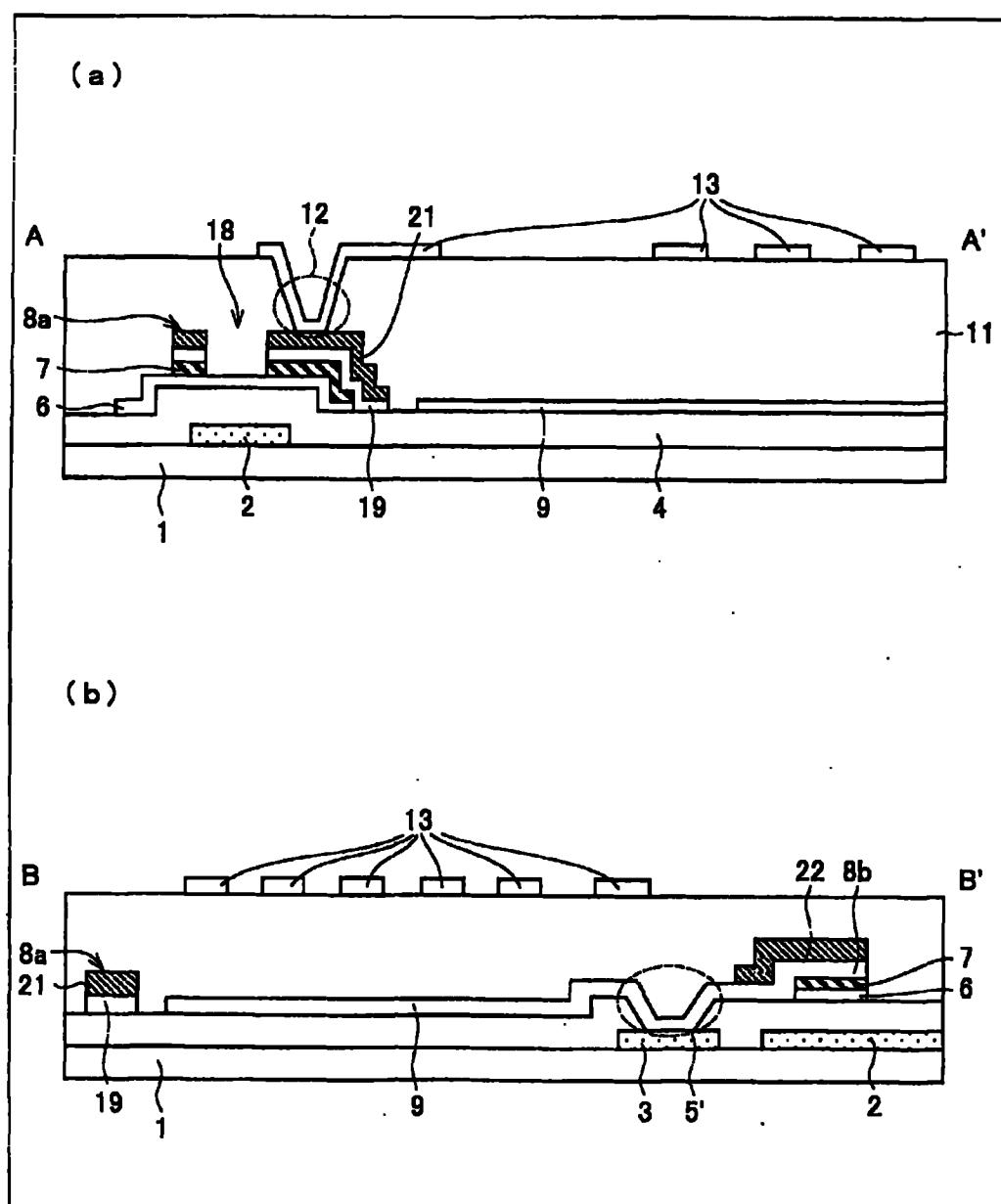


图 6

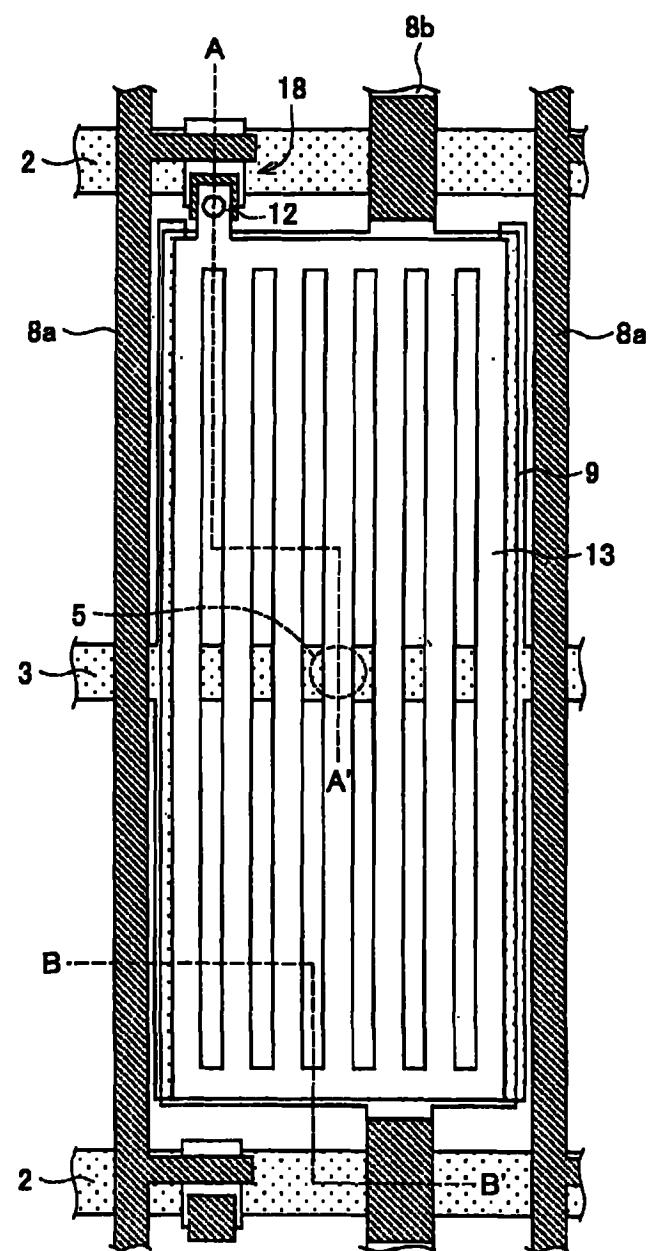


图 7

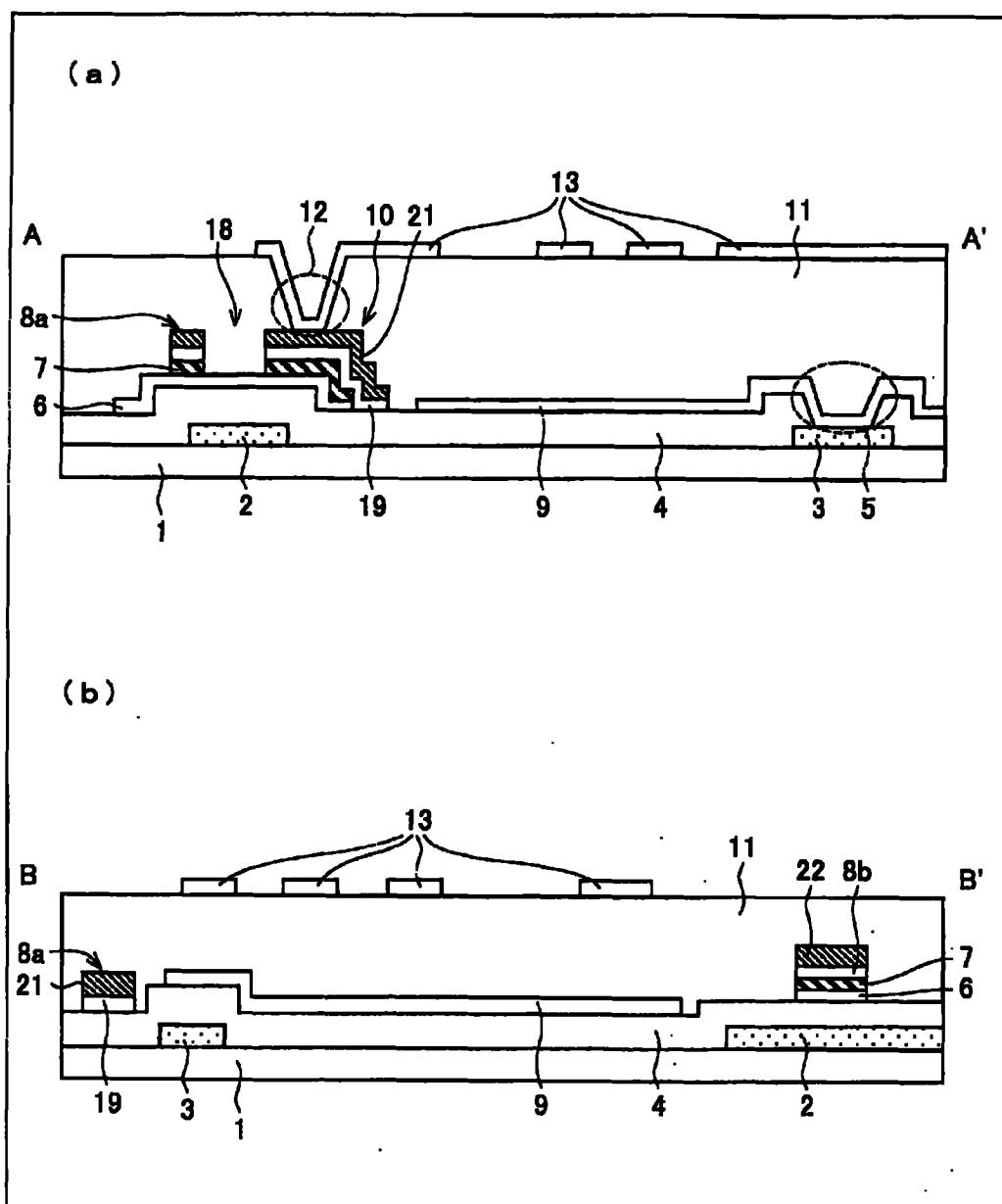


图 8

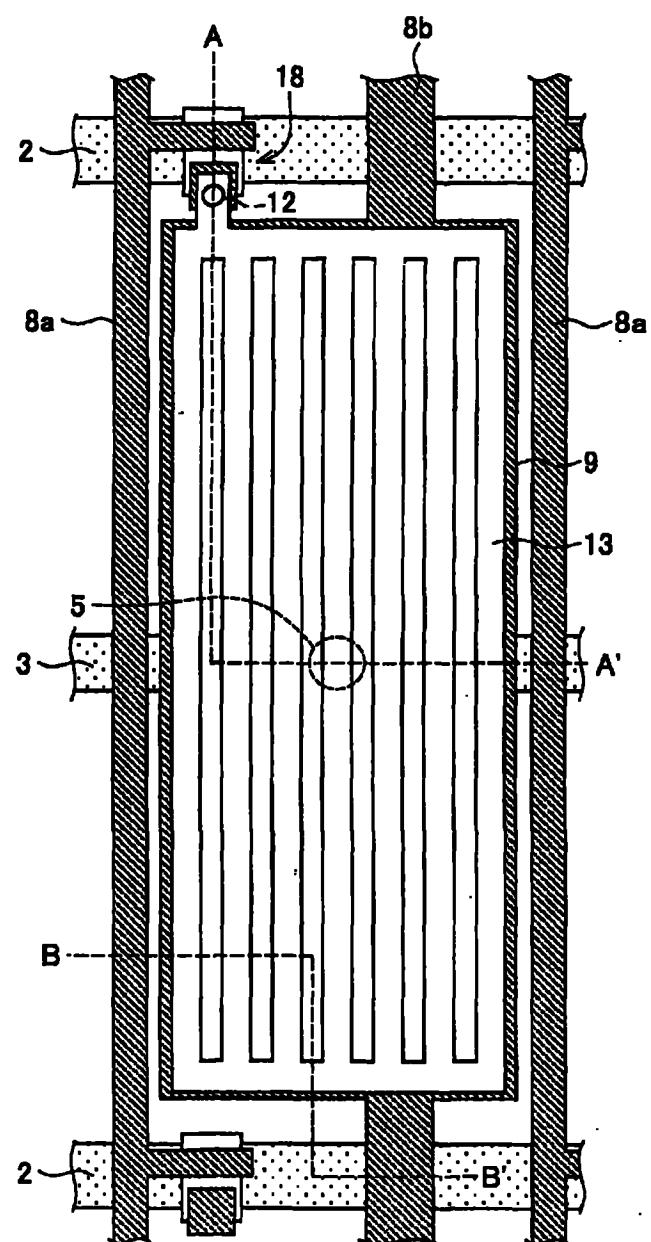


图 9

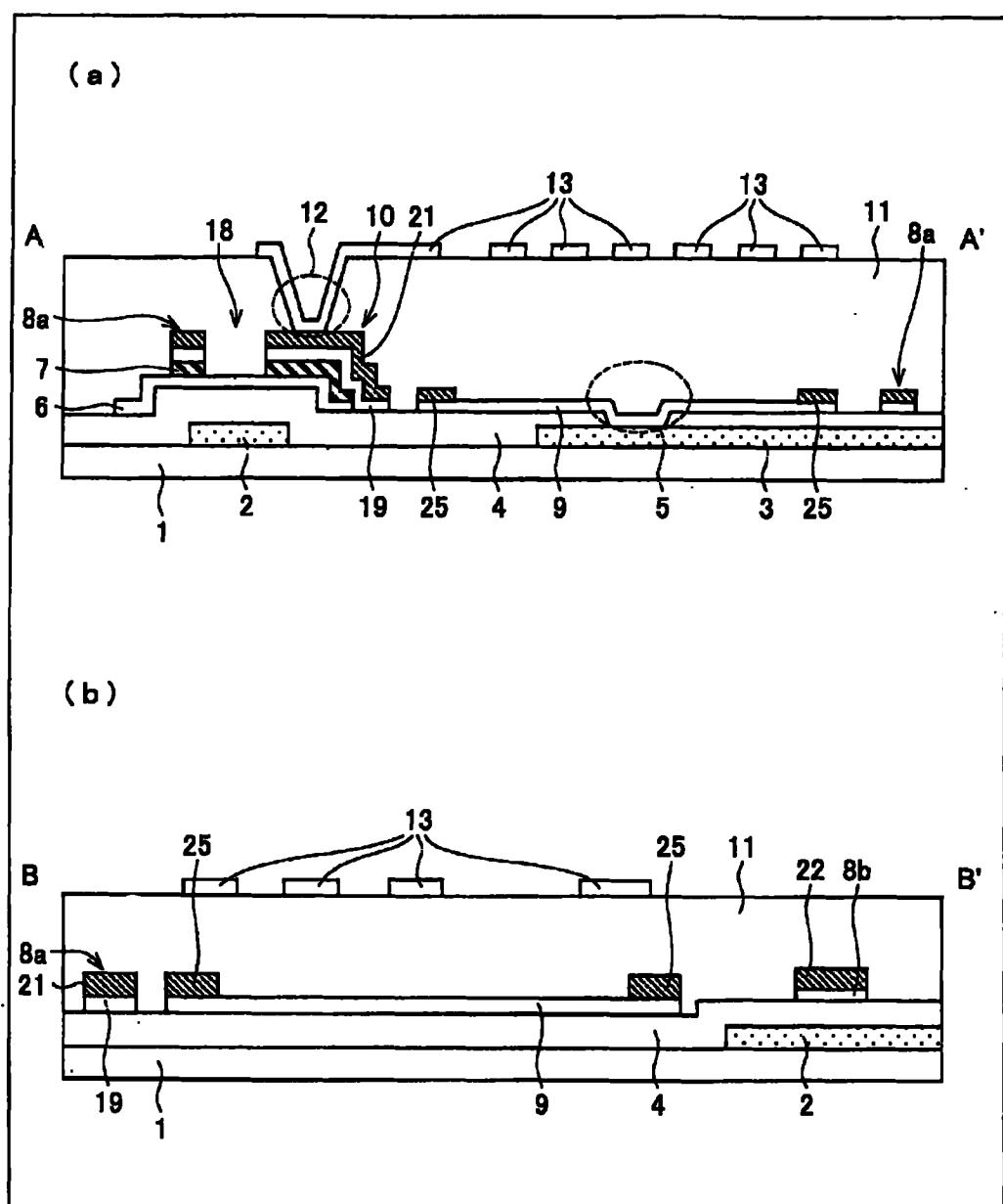


图 10

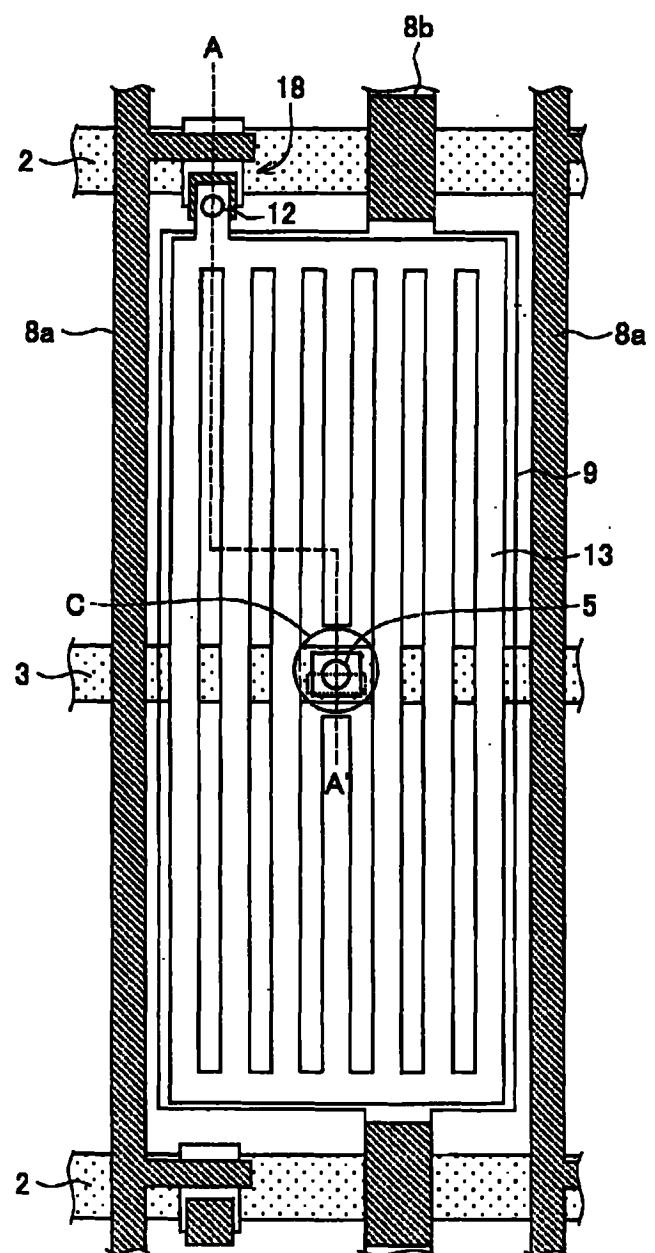


图 11

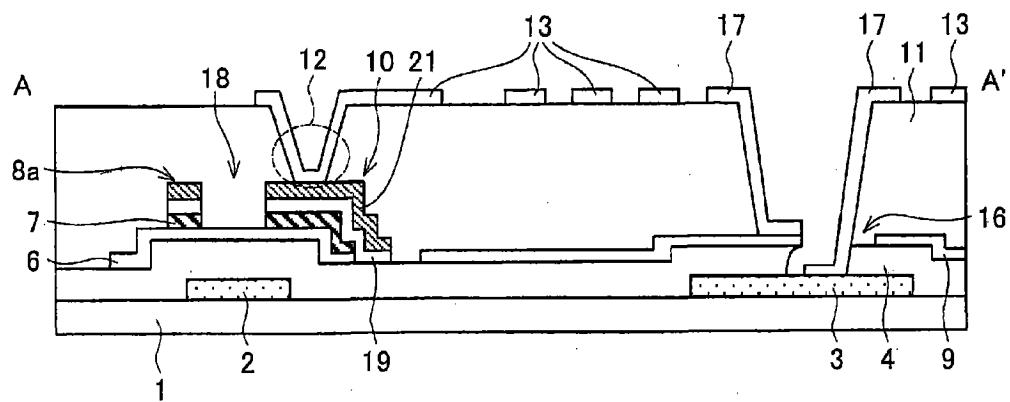
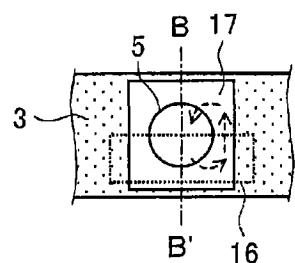
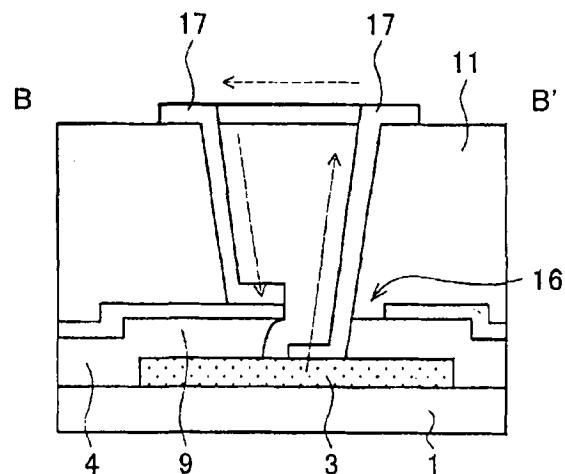


图 12



-----> : 辅助共用电极布线3和共用电极9的电连接的流向

图 13



-----> : 辅助共用电极布线3和共用电极9的电连接的流向

图 14

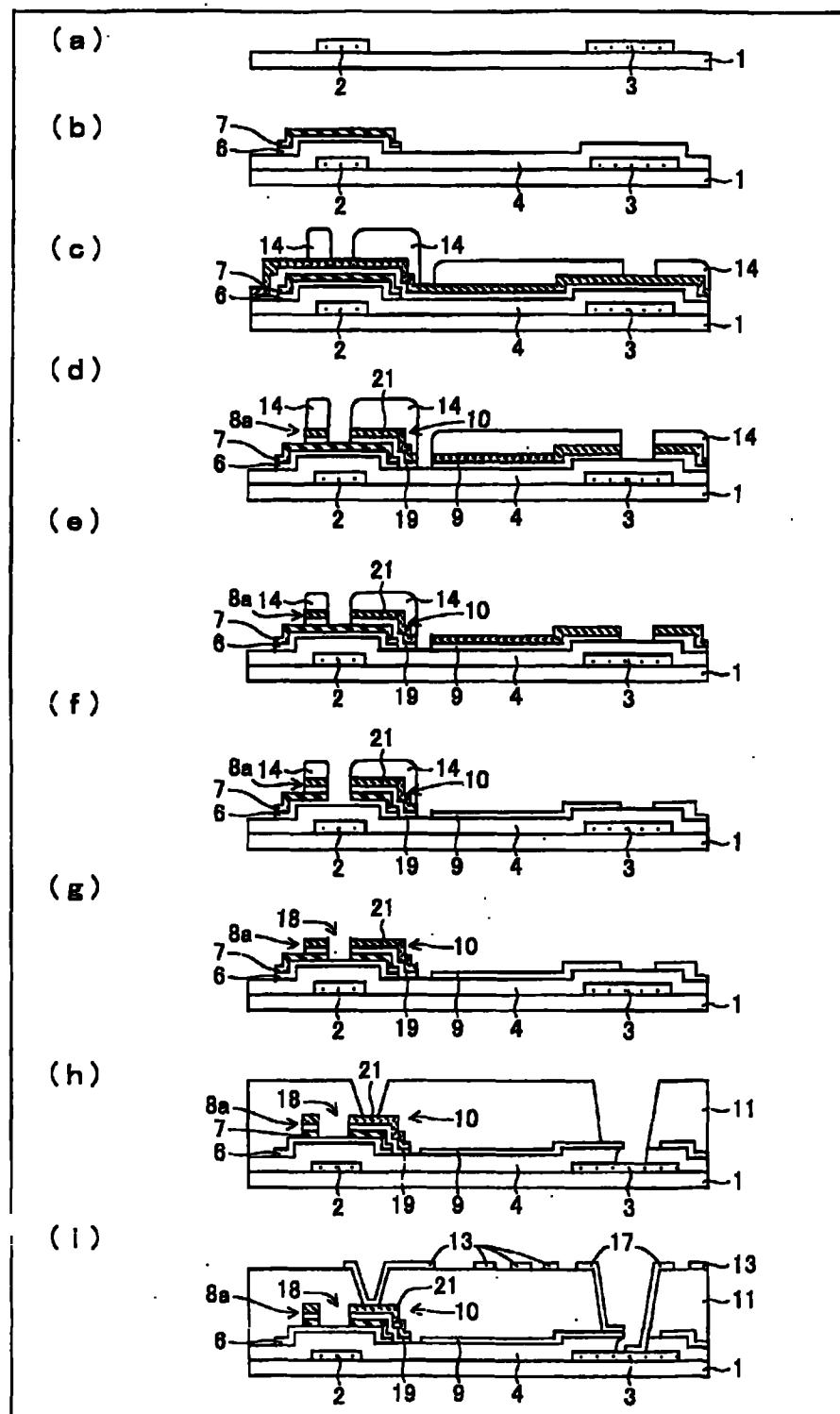


图 15

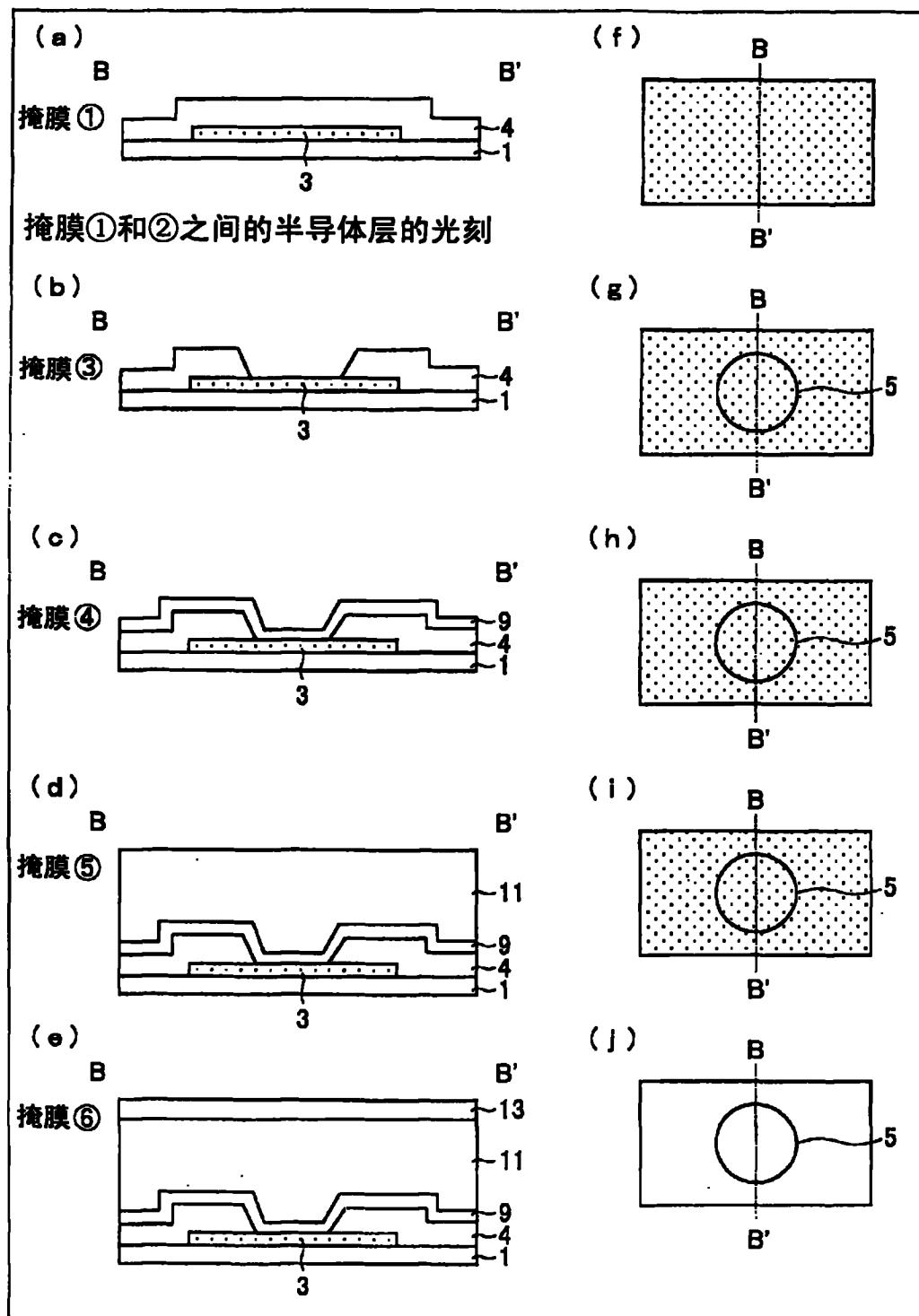


图 16

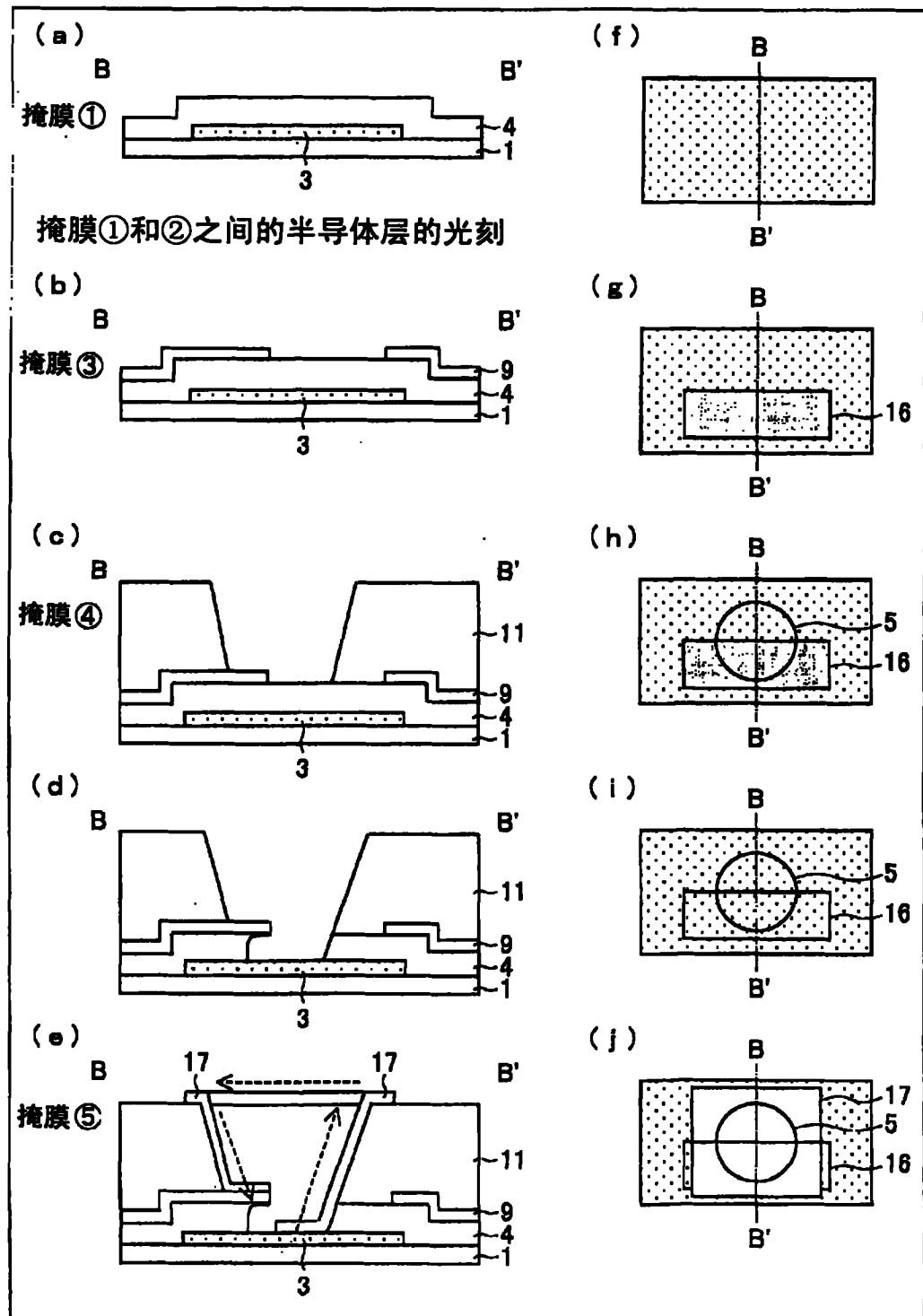


图 17

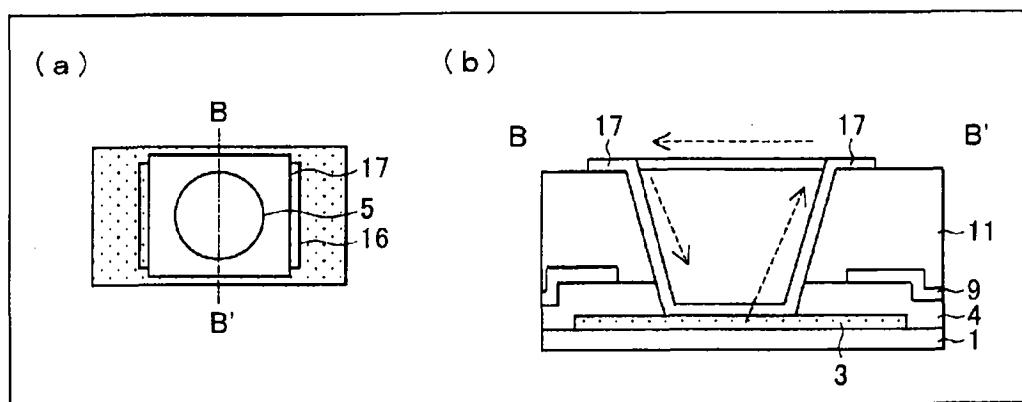


图 18

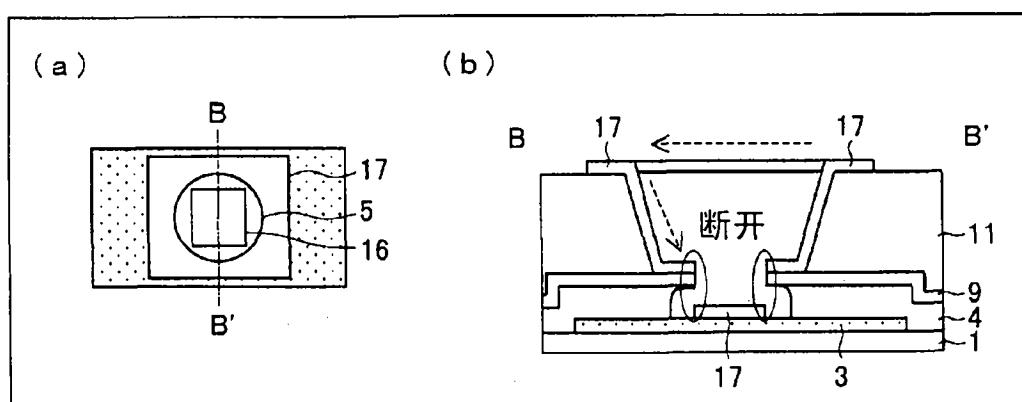


图 19

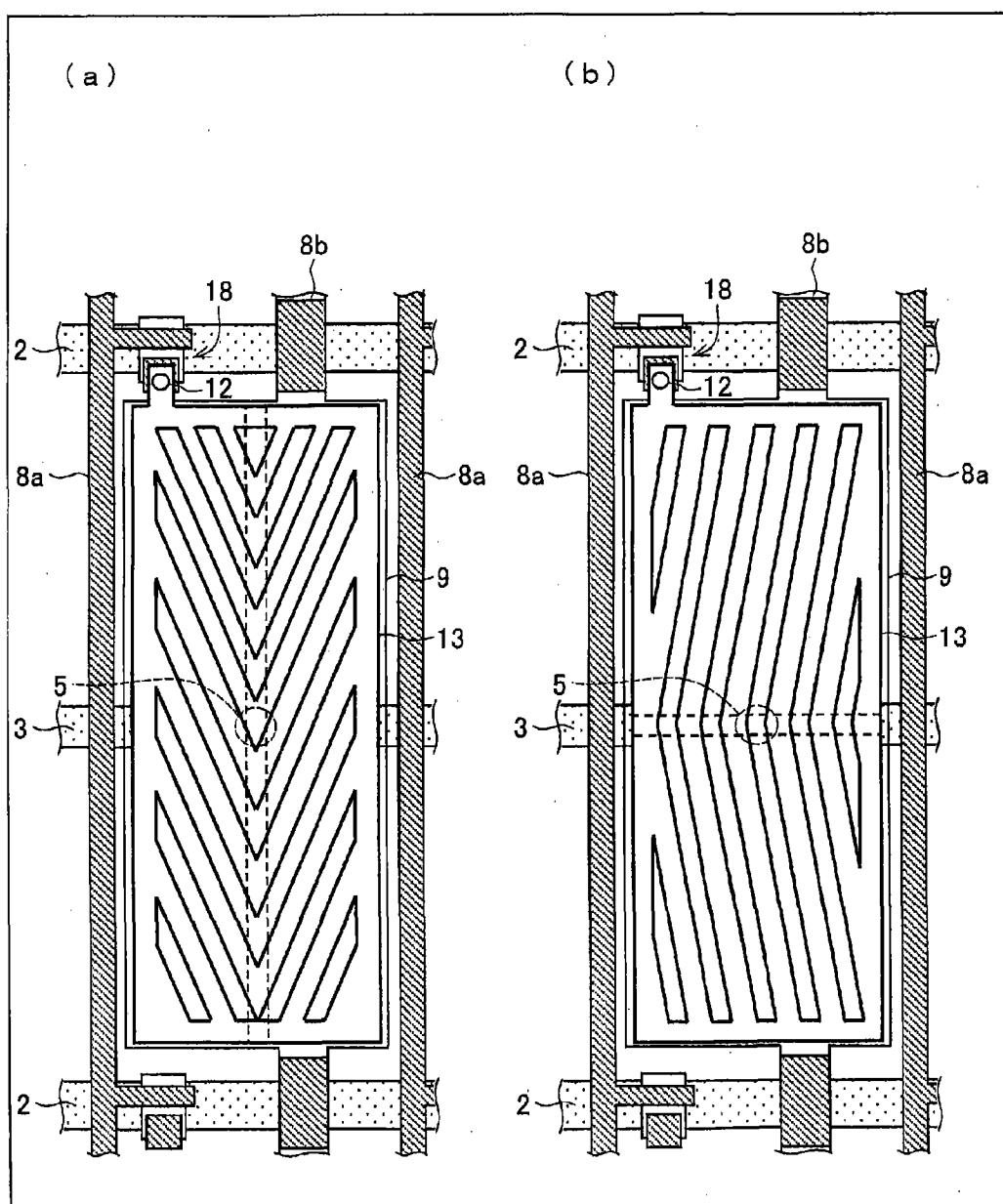


图 20

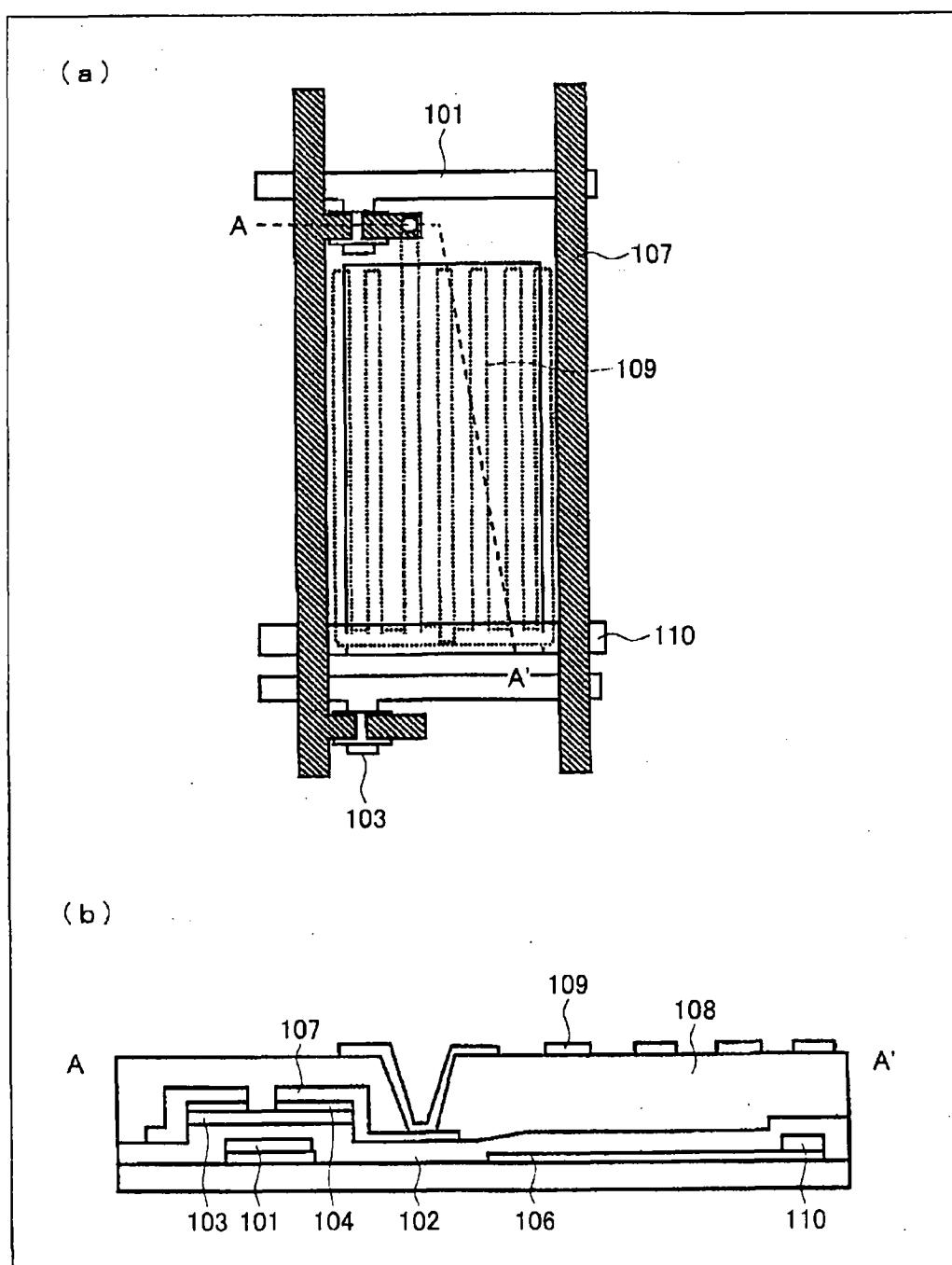


图 21

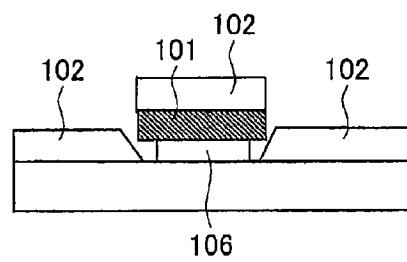
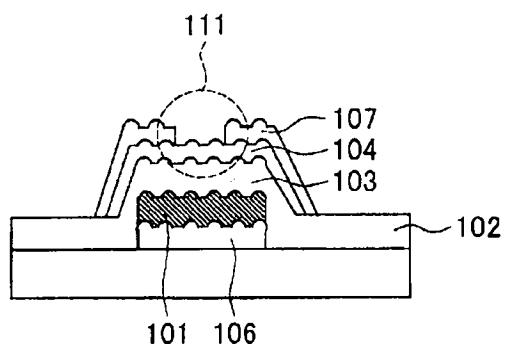


图 23

图 22

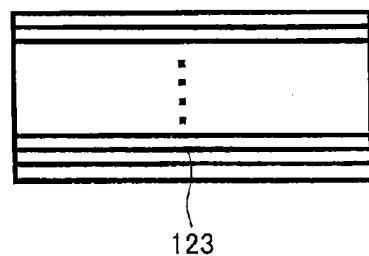


图 24

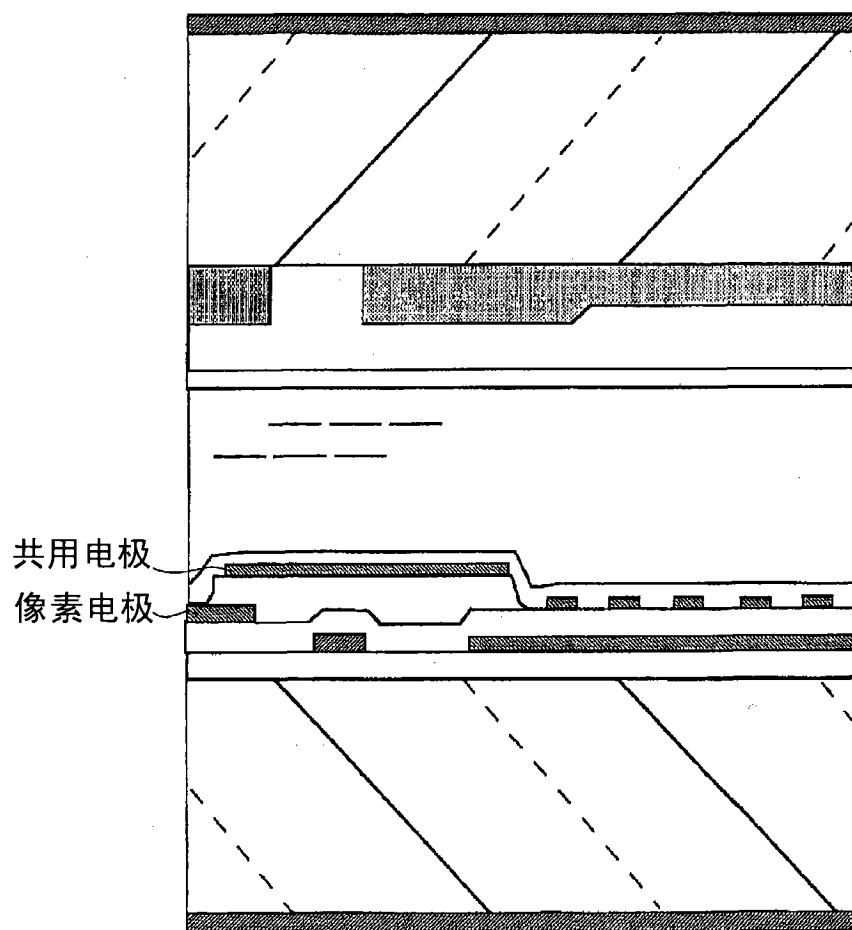


图 25

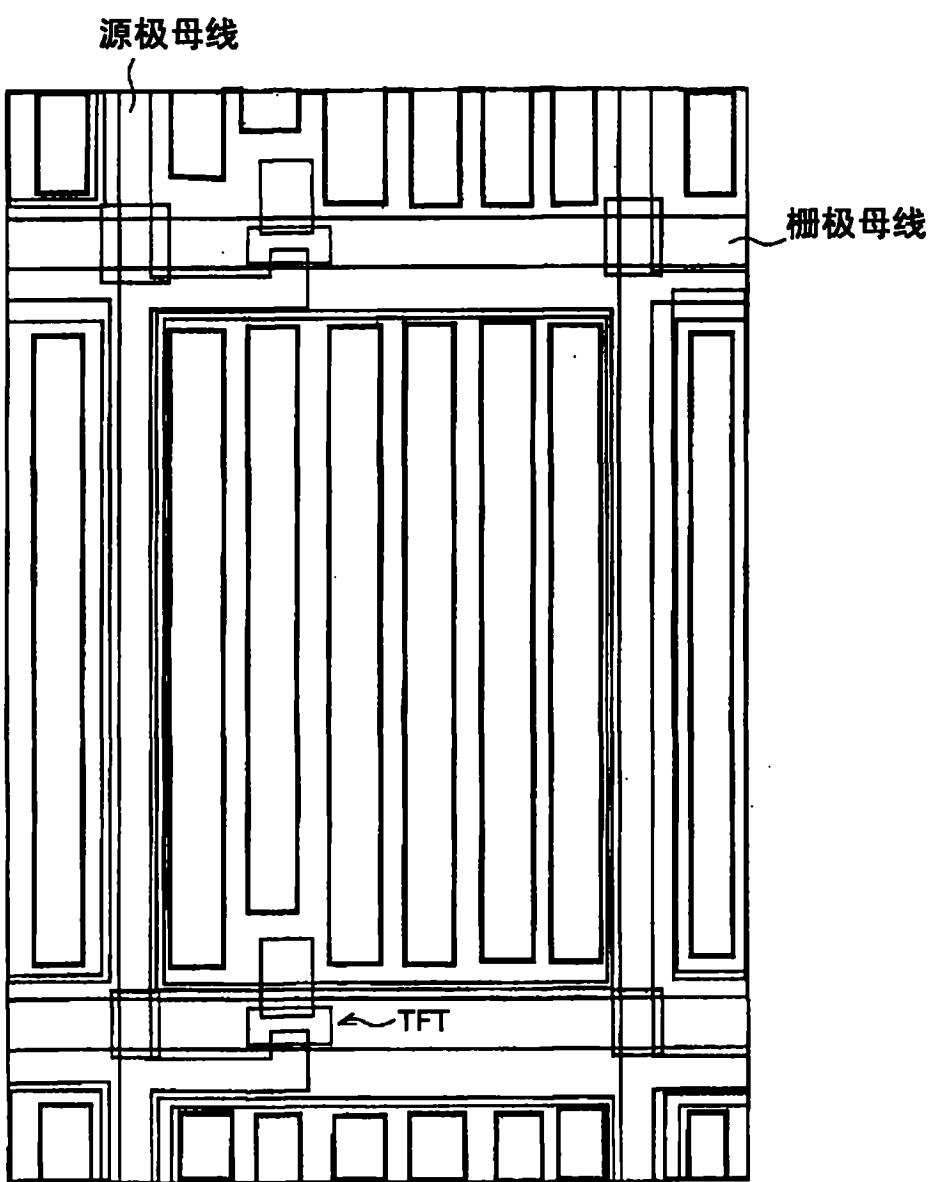


图 26

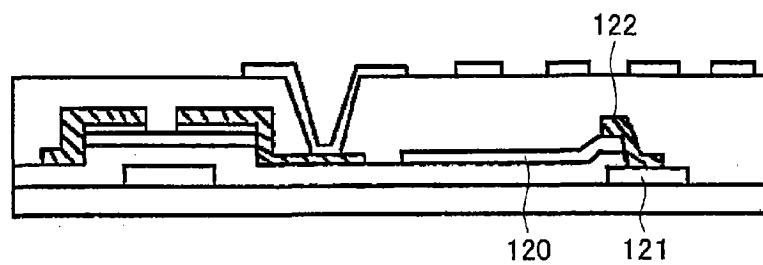


图 27

专利名称(译)	有源矩阵基板及具备该有源矩阵基板的液晶显示装置		
公开(公告)号	CN102096251A	公开(公告)日	2011-06-15
申请号	CN201010536196.8	申请日	2007-05-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	村井淳人		
发明人	村井淳人		
IPC分类号	G02F1/1343 G02F1/1368 H01L27/12		
CPC分类号	H01L27/1214 G02F1/1368 G02F1/136227 G02F2001/13606 G02F2001/136263 G02F1/134363 G02F2201/121 G02F2001/13629 H01L27/124 H01L27/1248		
代理人(译)	张鑫		
优先权	2006263506 2006-09-27 JP		
其他公开文献	CN102096251B		
外部链接	Espacenet Sipo		

摘要(译)

本发明为具有绝缘性基板(1)；相互正交配置于绝缘性基板(1)上的栅极布线(2)及源极布线(8a)；及配置于这些信号线(2)·(8a)的交点并由栅极(2)、源极电极(8a)和漏极电极(10)所构成的TFT(18)的有源矩阵基板，作为源极(8a)及漏极(10)的下层使用而形成的透明导电膜(19)，在由相互邻接的源极布线(8a)和相互邻接的栅极布线(2)所包围的像素区域作为共用电极(9)来使用，并且作为平行于源极布线(8a)而连接相互邻接的共用电极(9)所形成的共用电极布线(8b)来使用。由此，本发明提供一种减小由电阻所造成的信号延迟及由寄生电容所造成的信号延迟的有源矩阵基板。

