



(12) 发明专利申请

(10) 申请公布号 CN 101958106 A

(43) 申请公布日 2011. 01. 26

(21) 申请号 200910246700. 8

(22) 申请日 2009. 12. 01

(30) 优先权数据

10-2009-0064628 2009. 07. 15 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 朴万奎 洪镇铁

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 李辉

(51) Int. Cl.

G09G 3/36 (2006. 01)

权利要求书 2 页 说明书 9 页 附图 12 页

(54) 发明名称

液晶显示器

(57) 摘要

液晶显示器。提供了一种用于减小功耗和改善显示质量的液晶显示器。该液晶显示器包括：液晶显示板，其包括数据线和选通线以及液晶单元，且该液晶显示板被分割成第一、第二和第三区域；驱动第一区域的第一数据 IC；驱动第二区域的第二数据 IC；驱动第三区域的第三数据 IC；以及定时控制器，其对输入数字视频数据进行分析，产生用于控制是否使用电荷共享的第一选择信号和第二选择信号，且利用第一和第二选择信号来独立地控制第一、第二和第三数据 IC。

功能 \ DIC位置	DIC1	DIC2			DIC3
		BL1	BL2	BL3	
OP1	EN	EN	EN	EN	EN
OP2	EN	EN	EN	DLD	DIS
OP3	EN	DLD	DIS	ILD	EN
OP4	EN	DLD	DIS	DIS	DIS
OP5	DIS	ILD	EN	EN	EN
OP6	DIS	ILD	EN	DLD	DIS
OP7	DIS	DIS	DIS	ILD	EN
OP8	DIS	DIS	DIS	DIS	DIS

EN: 使用C/S  
DIS: 不使用C/S  
ILD: 增加的L/D  
DLD: 减少的L/D

1. 一种液晶显示器,该液晶显示器包括:

液晶显示板,其包括多条数据线、与数据线交叉的多条选通线以及分别形成在数据线和选通线的交叉处的液晶单元,所述液晶显示板被分割成第一区域、第二区域和第三区域;

驱动第一区域的第一数据集成电路 IC;

驱动第二区域的第二数据 IC;

驱动第三区域的第三数据 IC;以及

定时控制器,其对输入数字视频数据进行分析,产生用于控制是否使用电荷共享的第一选择信号和第二选择信号,且利用第一选择信号和第二选择信号来独立地控制第一、第二和第三数据 IC,

其中第二区域被分割成邻接第一区域的第一区块、邻接第三区域的第三区块以及位于第一区块和第三区块之间的第二区块;并且

第一选择信号控制是否针对第一和第三数据 IC 来使用电荷共享,并且第二选择信号控制是否针对第二区块来使用电荷共享,且控制第一或第三区块中的充入延迟偏差,使得充入延迟偏差在第二区块和第一区域之间或在第二区块和第三区域之间减少。

2. 根据权利要求 1 所述的液晶显示器,其中第一选择信号包括指示将使用电荷共享的使能信号和指示不使用电荷共享的禁止信号,且第二选择信号包括指示将使用电荷共享的使能信号和指示不使用电荷共享的禁止信号、控制第一或第三区块中的充入延迟逐渐增加的第一负载延迟信号、以及控制第一或第三区块中的充入延迟逐渐减小的第二负载延迟信号。

3. 根据权利要求 2 所述的液晶显示器,其中第二数据 IC 包括:

用于驱动第一区块的数据线的第一通道组;

用于驱动第二区块的数据线的第二通道组;以及

用于驱动第三区块的数据线的第三通道组,

其中通过使能信号、禁止信号、第一负载延迟信号和第二负载延迟信号之一来控制第一通道组和第三通道组,且通过使能信号和禁止信号之一来控制第二通道组。

4. 根据权利要求 3 所述的液晶显示器,其中根据邻接第一区块的左边区域和邻接第一区块的右边区域是否使用电荷共享来确定第一通道组的操作状态,且根据邻接第三区块的左边区域和邻接第三区块的右边区域是否使用电荷共享来确定第三通道组的操作状态。

5. 根据权利要求 4 所述的液晶显示器,其中第一和第三通道组受到控制以使得:当邻接区域执行电荷共享时执行与邻接区域的电荷共享,当邻接区域不执行电荷共享时不执行与邻接区域的电荷共享,当邻接的左边区域执行电荷共享而邻接的右边区域不执行电荷共享时使充入延迟随着其从左到右而逐渐减小,以及当邻接的左边区域不执行电荷共享而邻接的右边区域执行电荷共享时使充入延迟随着其从左到右而逐渐增加。

6. 根据权利要求 3 所述的液晶显示器,其中连接到第一和第三通道组的第二数据 IC 包括:

输出电路,其包括分别连接到多个输出通道的多个缓冲器;

多个第一开关,其每一个连接在相邻的输出通道之间;

多个第二开关,其分别连接在缓冲器的输出端子和输出通道之间;

第三开关,其通过使能信号或禁止信号来切换,以选择性地将源输出使能信号施加到第一和第二开关;

多个反相器,其使源输出使能信号反相;以及

源输出使能信号 SOE 延迟单元,其对施加到第一和第二开关的源输出使能信号进行延迟。

7. 根据权利要求 6 所述的液晶显示器,其中 SOE 延迟单元包括:

第一负载延迟部,其包括多个分压电阻器且对其第一端子和第二端子之间的电压进行分割;

第二负载延迟部,其包括多个分压电阻器且对其第一端子和第二端子之间的电压进行分割;

第一和第二选择器,其响应于第一或第二负载延迟信号,来选择性地操作第一和第二负载延迟部;以及

多个数字缓冲器,其接收从第一或第二负载延迟部提供的分割电压作为源电压,对源输出使能信号进行延迟,并且然后将延迟后的源输出使能信号施加到第一和第二开关,

其中第一和第二负载延迟部分别沿彼此相反的方向分割电压。

8. 根据权利要求 6 所述的液晶显示器,其中 SOE 延迟单元包括:

选择器,其响应于第一或第二负载延迟信号来输出选择信号;

第一 SOE 延迟部,其包括多个数字缓冲器,并且用于在选择器的控制下对源输出使能信号进行延迟,且将延迟后的源输出使能信号施加到第一和第二开关;以及

第二 SOE 延迟部,其包括多个数字缓冲器,并且用于在选择器的控制下对源输出使能信号进行延迟,且将延迟后的源输出使能信号施加到第一和第二开关,

其中第一和第二 SOE 延迟部分别沿彼此相反的方向对源输出使能信号进行延迟。

9. 根据权利要求 7 所述的液晶显示器,其中各个数字缓冲器包括第一反相器和第二反相器,各个反相器由 PMOS 和 NMOS 组成,且第一和第二反相器的输入/输出端子被级联。

10. 根据权利要求 8 所述的液晶显示器,其中各个数字缓冲器包括第一反相器和第二反相器,各个反相器由 PMOS 和 NMOS 组成,且第一和第二反相器的输入/输出端子被级联。

## 液晶显示器

### 发明领域

[0001] 本文件涉及一种液晶显示器 (LCD), 且更具体而言, 涉及一种用于减小功耗且改善显示质量的 LCD。

### 背景技术

[0002] 本申请要求 2009 年 7 月 15 日提交的韩国专利申请 No. 10-2009-0064628 的优先权, 此处以引证的方式并入其内容, 就像在此进行了完整阐述一样。

[0003] LCD 根据视频信号控制液晶单元的光透射率以显示图像。有源矩阵型 LCD 利用分别形成在液晶单元的薄膜晶体管来切换提供到液晶单元的数据电压, 以有源地控制数据, 且因而有源矩阵型 LCD 可以改善运动图像的显示质量。

[0004] LCD 反转每一组预定数目的液晶单元中所充入的数据电压的极性, 以减小 DC 偏移成分和液晶的劣化。然而, 只要数据电压的极性变化, 这种反转驱动方法就增加了提供到数据线的电压的摆动宽度, 且增加了数据驱动电路的温度, 导致显著地增加了功耗。

[0005] 为了减小数据电压的摆动宽度且降低数据驱动电路的温度和功耗, 提出了如图 1A 和 1B 所示的电荷共享法。该电荷共享法在源输出使能信号 SOE 的逻辑高周期中导通连接在数据驱动电路的相邻输出通道之间的电荷共享开关 SW1, 以共享面板中的正电荷和负电荷, 从而将数据驱动电路的初始输出值改变为中间值。

[0006] 然而, 该电荷共享法不能在所有时间都减小数据驱动电路的功耗。即, 该电荷共享法在显示如下数据模式 (data pattern) 时具有低功耗的优点: 该数据模式在通过相同通道连续输出的输出值之间具有大差异。当显示具有小输出值差异的数据模式时, 如图 2A 和 2B 所示, 在不使用电荷共享法的情况下, 在保持先前输出值的同时对输出电压进行输出对于实现低功耗而言更加有效。

[0007] 然而, 该常规的电荷共享法不考虑输入到数据驱动电路的数据模式的特性而确定是否使用了电荷共享功能, 且一律将确定结果应用到构成数据驱动电路的所有数据集成电路 (数据 IC)。在这种情况下, 根据是否使用电荷共享功能, 功耗差异大的数据模式可被分别输入到不同数据 IC。因此, 和其它数据 IC 相比, 特定数据 IC 的功耗显著增加, 且因而该常规的电荷共享法不能实现低功耗。例如, 如图 3 所示, 当使用电荷共享时具有低功耗优点的数据模式、合成数据模式、以及当不使用电荷共享时具有低功耗优点的数据模式被分别施加到第一、第二和第三数据 IC TAB1、TAB2 和 TAB3 时, 第三数据 IC TAB3 的功耗增加而第一数据 IC TAB1 的功耗减小。当电荷共享并不一律地用于数据 IC TAB1、TAB2 和 TAB3 时, 第三数据 IC TAB3 的功耗减小而第一数据 IC TAB1 的功耗增加。

### 发明内容

[0008] 本文件的目的是提供一种 LCD, 其用于分析输入数据模式且独立地确定是否针对相应的数据 IC 使用电荷共享以实现更合适功耗。

[0009] 本文件的另一目的是提供一种 LCD, 其用于独立地确定是否针对相应的数据 IC 使

用电荷共享以解决数据 IC 之间的区块发暗 (block dim)。

[0010] 根据本文件的一个方面,提供了一种液晶显示器,该液晶显示器包括:液晶显示板,其包括多条数据线、与数据线交叉的多条选通线以及分别形成在数据线和选通线的交叉处的液晶单元,所述液晶显示板被分割成第一区域、第二区域和第三区域;驱动第一区域的第一数据集成电路 (IC);驱动第二区域的第二数据 IC;驱动第三区域的第三数据 IC;以及

[0011] 定时控制器,其对输入数字视频数据进行分析,产生用于控制是否使用电荷共享的第一选择信号和第二选择信号,且利用第一选择信号和第二选择信号来独立地控制第一、第二和第三数据 IC,其中第二区域被分割成邻接第一区域的第一区块、邻接第三区域的第三区块以及位于第一区块和第三区块之间的第二区块;并且第一选择信号控制是否针对第一和第三数据 IC 来使用电荷共享,并且第二选择信号控制是否针对第二区块来使用电荷共享,且控制第一或第三区块中的充入延迟偏差,使得充入延迟偏差在第二区块和第一区域之间或在第二区块和第三区域之间减少。

#### 附图说明

[0012] 附图被包括在本说明书中以提供对本发明的进一步理解,并结合到本说明书中且构成本说明书的一部分,附图示出了本发明的实施方式,且与说明书一起用于解释本发明的原理。附图中:

[0013] 图 1A 和 1B 分别示出当使用常规的电荷共享法时的电路图和输出波形图;

[0014] 图 2A 和 2B 分别示出当不使用常规的电荷共享法时的电路图和输出波形图;

[0015] 图 3 示出当将电荷共享应用到所有数据 IC 和当电荷共享不应用到所有数据 IC 时,多个数据 IC 的功耗的增加/减小;

[0016] 图 4 是根据本文件的实施方式的 LCD 的框图;

[0017] 图 5 示出从定时控制器提供到数据驱动电路的选择信号;

[0018] 图 6 和 7 示出独立地控制是否针对包括相邻数据 IC 之间的边界区块的相应数据 IC 而使用电荷共享的示例;

[0019] 图 8A、8B、8C 和 8D 示出当图 6 应用于图 7 时获得的图;

[0020] 图 9 和 10 详细地示出第一数据 IC;

[0021] 图 11 详细地示出第二数据 IC;

[0022] 图 12 是示出图 11 所示的彼此相连的输出电路和电荷共享电路的示例性构造的电路图;

[0023] 图 13 是图 12 中示出的数字缓冲器的电路图;

[0024] 图 14 是用于解释图 12 中示出的数字缓冲器的功能的波形图;

[0025] 图 15 示出具有延迟的源输出使能信号以及根据该源输出使能信号的数据输出波形,其中当该源输出使能信号顺序地经过第一至第 k 通道时,延迟逐渐增加;

[0026] 图 16 示出具有延迟的源输出使能信号以及根据该源输出使能信号的数据输出波形,其中当该源输出使能信号顺序地经过第一至第 k 通道时,延迟逐渐减少;以及

[0027] 图 17 是示出图 11 中所示的彼此相连的输出电路和电荷共享电路的另一示例性构造的电路图。

## 具体实施方式

[0028] 将参考图 4 至 17 详细解释本发明的实施方式。

[0029] 图 4 是根据本文件的实施方式的 LCD 的框图。参考图 4, 根据本发明的本实施方式的 LCD 包括 LCD 面板 10、定时控制器 11、数据驱动电路 12 和选通驱动电路 13。

[0030] LCD 面板 10 包括分配在两个玻璃基板之间的液晶分子。而且, LCD 面板 10 包括多条数据线 DL、与数据线 DL 交叉的多条选通线 GL、以及以矩阵形式分别设置在数据线 DL 和选通线 GL 的交叉处的液晶单元 Clc。

[0031] 多条数据线 DL、多条选通线 GL、薄膜晶体管 (TFT)、分别连接到 TFT 的液晶单元 Clc 的像素电极 1、以及存储电容器 Cst 形成在 LCD 面板 10 的下玻璃基板上。

[0032] 黑底、滤色器和与像素电极 1 相对的公共电极 2 形成在 LCD 面板 10 的上玻璃基板上。在诸如扭曲向列 (TN) 模式和垂直对准 (VA) 模式的垂直电场驱动模式下, 公共电极 2 形成在上玻璃基板上, 而在诸如共面切换 (IPS) 模式和边缘场切换 (FFS) 模式的水平电场驱动模式下, 公共电极 2 与像素电极 1 一起形成在下玻璃基板上。

[0033] 具有彼此垂直的光轴的偏振器分别附接到 LCD 面板 10 的上和下玻璃基板上, 且用于设置液晶的预倾角的配向膜分别形成在上玻璃基板和下玻璃基板的与液晶接触的内侧上。

[0034] 定时控制器 11 接收诸如垂直和水平同步信号 Vsync 和 Hsync、数据使能信号 DE 和时钟信号 DCLK 的定时信号, 且产生包括用于控制数据驱动电路 12 和选通驱动电路 13 的操作定时的数据控制信号 DDC 和选通控制信号 GDC 的控制信号。选通控制信号 GDC 包括选通起始脉冲信号 GSP、选通移位时钟信号 GSC 和选通输出使能信号 GOE。数据控制信号 DDC 包括源起始脉冲信号 SSP、源采样时钟信号 SSC、源输出使能信号 SOE 和极性控制信号 POL。

[0035] 定时控制器 11 重新排列所输入的数字视频数据 RGB, 使得所输入的数字视频数据 RGB 变得适用于 LCD 面板 10, 且定时控制器 11 将数字视频数据 RGB 提供到数据驱动电路 12。具体地, 定时控制器 11 分析所输入的数字视频数据 RGB, 且基于分析结果产生用于独立地控制是否针对相应数据 IC 使用电荷共享的第一和第二选择信号 SEL1 和 SEL2。这里, 第一选择信号 SEL 1 用于控制是否针对相应数据 IC 使用电荷共享。第二选择信号 SEL2 不仅用于控制是否针对相应数据 IC 使用电荷共享, 而且还逐渐地改变在应用电荷共享的数据 IC 和不应用电荷共享的数据 IC 之间的边界区块中的突然充入延迟偏差 (abrupt charging delay variation)。

[0036] 选通驱动电路 13 包括多个选通 IC, 且顺序地输出具有对应于约一个水平周期的脉冲宽度的扫描脉冲。选通 IC 具有移位寄存器、用于改变移位寄存器的输出信号以使得输出信号具有适于操作液晶单元的 TFT 的摆动宽度的电平转换器、以及连接在电平转换器和选通线 G1 至 Gn 之间的输出缓冲器。扫描脉冲被提供到选通线 GL 以选择施加了数据电压的水平线。

[0037] 数据驱动电路 12 在定时控制器 11 的控制下锁存数字视频数据 RGB, 将数字视频数据 RGB 转换成模拟正 / 负伽马补偿电压以产生正 / 负数据电压, 且将正 / 负数据电压提供到数据线 D1 至 Dm。

[0038] 图 5 示出了从定时控制器 11 提供到数据驱动电路 12 的选择信号 SEL1 和 SEL2。

[0039] 参考图 5, 数据驱动电路 12 包括多个数据 IC DIC1、DIC2 和 DIC3。

[0040] 多个数据 IC DIC1、DIC2 和 DIC3 分别安装在源膜上芯片 (COF) 上。源 COF 可以被源带载封装 (TCP) 代替。源 COF 的输入端子电连接到源印刷电路板 (PCB) (未示出) 的输出端子, 且源 COF 的输出端子电连接到形成在 LCD 面板 10 的下玻璃基板上的数据焊盘。LCD 面板 10 具有被数据 IC DIC1、DIC2 和 DIC3 独立地驱动的三个区域 AREA1、AREA2 和 AREA3。尽管为了方便说明在实施方式中描述了三个数据 IC, 但是本文件的技术精神不限于此, 且数据 IC 的数量可以是 4 个或更多个。LCD 面板 10 的第二区域 AREA 2 被分割成邻接第一区域 AREA1 的第一区块 BL1、邻接第三区域 AREA3 的第三区块 BL3、以及位于该第一和第三区块 BL1 和 BL3 之间的第二区块 BL2。根据第二选择信号 SEL2 来独立地驱动第一、第二和第三区块 BL1、BL2 和 BL3。

[0041] 第一和第三数据 IC DIC1 和 DIC3 分别驱动 LCD 面板 10 的第一和第三区域 AREA1 和 AREA3, 且根据第一和第三区域 AREA1 和 AREA3 中要显示的数据的属性来接收使能信号 EN 和禁止信号 DIS 之一作为第一选择信号 SEL1。使能信号 EN 是用于指示当使用电荷共享时具有低功耗优点的数据模式将使用电荷共享的控制信号。禁止信号 DIS 是指示当不使用电荷共享时具有低功耗优点的数据模式不使用电荷共享的控制信号。第一和第三数据 IC DIC1 和 DIC3 响应于使能信号 EN 在源输出使能信号 SOE 的逻辑高周期中对  $n$  ( $n$  是正整数) 个输出通道执行电荷共享。而且, 第一和第三数据 IC DIC1 和 DIC3 响应于禁止信号 DIS 不对  $n$  个输出通道执行电荷共享, 且在保持原先值的同时输出数据输出。

[0042] 第二数据 IC DIC2 驱动位于 LCD 面板 10 的第一和第三区域 AREA1 和 AREA3 之间的第二区域 AREA2, 且根据在第二区域 AREA2 中要显示的数据的属性来接收使能信号 EN 和禁止信号 DIS 之一、以及用于控制充入延迟逐渐增加的负载延迟信号 ILD (此后, 称为第一负载延迟信号) 和用于控制充入延迟逐渐减小的负载延迟信号 DLD (此后, 称为第二负载延迟信号) 之一作为第二选择信号 SEL2。在第二数据 IC DIC2 的  $n$  ( $n$  是正整数) 个输出通道中, 左边的  $k$  ( $k \leq n/2$ ) 个输出通道 (第一通道组) 和右边的  $k$  个通道 (第三通道组) 分别驱动第一区块 BL1 和第三区块 BL3, 且接收使能信号 EN、禁止信号 DIS、第一负载延迟信号 ILD 和第二负载延迟信号 DLD 之一作为第二选择信号 SEL2。第二数据 IC DIC2 的输出通道中的  $(n-2k)$  个中间通道 (第二通道组) 接收使能信号 EN 和禁止信号 DIS 之一作为第二选择信号 SEL2。使能信号 EN 和禁止信号 DIS 已经在上面进行了解释。第一负载延迟信号 IDL 是用于在充入延迟突然增加的边界区块 BL1 或 BL3 中逐渐增加充入延迟的控制信号。第二负载延迟信号 DLD 是用于在充入延迟突然减小的边界区块 BL1 或 BL3 中逐渐减少充入延迟的控制信号。此处, 充入延迟被定义为数据充入时间的延迟程度。液晶单元中充入的数据的量随着充入延迟增加而减小, 因为 TFT 的选通截止时间根据扫描脉冲信号而是固定的 (即, 单个水平周期是固定的)。使用充入共享时的充入延迟大于不使用充入共享时的充入延迟。

[0043] 第二数据 IC DIC 2 响应于使能信号 EN 在源输出使能信号 SOE 的逻辑高周期对中间的  $(n-2k)$  个通道执行电荷共享, 以将初始输出值改变为中间值。第二数据 IC DIC 2 响应于禁止信号 DIS 不对中间的  $(n-2k)$  个通道执行电荷共享, 且在保持先前值的同时输出数据输出。

[0044] 第二数据 IC DIC2 响应于第一负载延迟信号 ILD 逐渐延迟源输出使能信号 SOE, 以

在源输出使能信号 SOE 通过左边和 / 或右边的  $k$  个通道从左到右地传输时, 逐渐增加充入延迟。第二数据 IC DIC 2 响应于第二负载延迟信号 DLD 逐渐延迟源输出使能信号 SOE, 以在源输出使能信号 SOE 通过左边和 / 或右边的  $k$  个通道从左到右地传输时, 逐渐减少充入延迟。

[0045] 当具有位于其间的边界区块 BL1 或 BL3 的相邻区域 (例如, AREA1 和 BL2、或 BL2 和 AREA3) 中的充入延迟彼此相等且被保持时, 第二数据 IC DIC2 响应于使能信号 EN 对左边和 / 或右边的  $k$  个通道执行电荷共享, 或响应于禁止信号 DIS 不对左边和 / 或右边的  $k$  个通道执行电荷共享, 以使得边界区块 BL1 或 BL3 中的充入延迟对应于相邻区域的充入延迟。

[0046] 上面的描述是参考图 6 和 7 进行的。

[0047] 第一和第三数据 IC DIC1 和 DIC3 根据施加到其上的数据的属性通过使能信号 EN 和禁止信号 DIS 之一来进行控制, 以对所有通道执行电荷共享或对所有通道不执行电荷共享。

[0048] 第二数据 IC DIC2 根据施加到其上的数据的属性通过使能信号 EN 和禁止信号 DIS 之一来进行控制, 以对  $(n-2k)$  个中间通道执行电荷共享或对  $(n-2k)$  个中间通道不执行电荷共享。而且, 通过使能信号 EN、禁止信号 DIS、第一负载延迟信号 ILD 和第二负载延迟信号 DLD 之一来控制第二数据 IC DIC 2, 以对左边和 / 或右边上的  $k$  个通道同时执行电荷共享或不对该  $k$  个通道执行电荷共享, 或者对该  $k$  个通道执行电荷共享, 使得充入延迟随着其从左到右通过  $k$  个通道时而逐渐增加或减小。第二数据 IC DIC2 中的左边和右边上的  $k$  个通道分别驱动第一和第三边界区块 BL1 和 BL3, 且因而第一和第三边界区块 BL1 和 BL3 的操作状态通过具有位于其间的边界区块 BL1 或 BL3 的相邻区域 (例如, AREA1 和 BL2、或 BL2 和 AREA3) 的操作状态来确定。即, 左边和 / 或右边的  $k$  个通道被控制, 使得当针对相邻区域执行电荷共享时对  $k$  个通道执行电荷共享 (参考图 6 中的 OP1 和 OP2 的 EN), 且电荷共享受到控制, 使得当不对相邻区域执行电荷共享时, 不对  $k$  个通道执行电荷共享 (参考图 6 中的 OP7 和 OP8 的 DIS)。而且, 左边和 / 或右边的  $k$  个通道受到控制, 使得当对与  $k$  个通道相邻的左边区域执行电荷共享 (EN, 充入延迟大) 且对与  $k$  个通道相邻的右边区域不执行电荷共享 (DIS, 充入延迟小) 时, 充入延迟随着其从左到右通过  $k$  个通道时而逐渐减小 (参考图 6 中的 OP2、OP3、OP4 和 OP6 的 DLD)。另外, 左边和 / 右边的  $k$  个通道受到控制, 使得当对于与  $k$  个通道相邻的左边区域不执行电荷共享 (DIS 充入延迟小), 且对与  $k$  个通道相邻的右边区域执行电荷共享 (EN, 充入延迟大) 时, 充入延迟随着其从左到右通过  $k$  个通道时而逐渐增加 (参考图 6 中的 OP3、OP5、OP6 和 OP7 的 ILD)。图 8A、8B、8C 和 8D 是示出当图 6 应用于图 7 时的信号值的图, 且分别示出了图 6 的 OP3、OP4、OP5 和 OP6。

[0049] 图 9 和 10 详细示出了第一数据 IC DIC1。第三数据 IC DIC3 具有与第一数据 IC DIC1 相同的构造。

[0050] 参考图 9 和 10, 第一数据 IC DIC1 包括移位寄存器 121、第一锁存阵列 122、第二锁存阵列 123、伽马补偿电压产生器 124、数字 / 模拟转换器 (此后, 称为 DAC) 125、输出电路 126 以及电荷共享电路 127。

[0051] 移位寄存器 121 根据源采样时钟信号 SSC 使采样信号移位。而且, 当提供了具有比与第一锁存阵列 122 锁存的数目相对应的数据量更大的量的数据时, 移位寄存器 121 产

生进位信号。

[0052] 第一锁存阵列 122 响应于从移位寄存器 121 顺序地输入的采样信号对来自定时控制器 11 的数字视频数据 RGB 进行采样,锁存对应于每一条水平线的数字视频数据 RGB,且同时输出对应于一条水平线的数据。

[0053] 第二锁存阵列 123 锁存从第一锁存阵列 122 输入的对应于一条水平线的数据,且在源输出使能信号 SOE 的逻辑低周期中输出锁存的数字视频数据 RGB。同时,第二和第三数据 IC DIC2 和 DIC3 的第二锁存阵列输出数字视频数据 RGB。

[0054] 伽马补偿电压产生器 124 将多个伽马基准分压为与数字视频数据 RGB 的位数所代表的级数 (numbers of gradations) 一样多的电压,以产生对应于相应级的正伽马补偿电压 VGH 和负伽马补偿电压 VGL。

[0055] DAC 125 包括提供有正伽马补偿电压 VGH 的 P 解码器、提供有负伽马补偿电压 VGL 的 N 解码器、以及响应于极性控制信号 POL 来选择 P 解码器的输出和 N 解码器的输出的复用器。P 解码器对从第二锁存阵列 123 输入的数字视频数据 RGB 进行解码,且输出对应于该数据级的正伽马补偿电压 VGH。N 解码器对从第二锁存阵列 123 输入的数字视频数据 RGB 进行解码,且输出对应于该数据级的负伽马补偿电压 VGL。复用器响应于极性控制信号 POL 来选择正伽马补偿电压 VGH 和负伽马补偿电压 VGL。

[0056] 如图 10 所示,输出电路 126 包括分别连接到输出通道的多个缓冲器 BUF,且最小化从 DAC 125 提供的模拟数据电压的信号衰减。

[0057] 电荷共享电路 127 包括其每个均连接在相邻输出通道之间的多个第一开关 SW1、分别连接在缓冲器 BUF 的输出端子和输出通道之间的多个第二开关 SW2、通过第一选择信号 SEL1 切换以选择性地将源输出使能信号 SOE 施加到电荷共享电路 127 的第三开关 SW3、以及使源输出使能信号 SOE 反相的多个反相器 INV。第三开关 SW3 响应于作为第一选择信号 SEL1 而输入的使能信号 EN 来导通,以将源输出使能信号 SOE 施加到电荷共享电路 127 的多个反相器 INV 和多个第一开关 SW1。在源输出使能信号 SOE 的逻辑高周期,第一开关 SW1 导通以使相邻输出通道短路,从而实现电荷共享,且第二开关 SW2 截止以阻止数据电压输出。当源输出使能信号 SOE 转变为逻辑低值时,第一开关 SW1 截止以取消电荷共享操作,且第二开关 SW2 导通以允许数据电压被输出。第三开关 SW3 响应于作为第一选择信号 SEL1 而输入的禁止信号 DIS 来截止,以阻止源输出使能信号 SOE 被施加到电荷共享电路 127。在这种情况下,第二开关 SW2 保持原先导通状态(用于在前一帧和当前帧之间的消隐周期中复位电路的导通)且第一开关 SW1 不能被导通,且因而电荷共享电路 127 在不执行电荷共享的情况下工作。

[0058] 图 11 至 17 详细示出了第二数据 IC DIC 2。

[0059] 参考图 11,第二数据 IC DIC2 包括移位寄存器 221、第一锁存阵列 222、第二锁存阵列 223、伽马补偿电压产生器 224、DAC 225、输出电路 226 以及电荷共享电路 227。移位寄存器 221、第一锁存阵列 222、第二锁存阵列 223、伽马补偿电压产生器 224 和 DAC 225 执行与图 9 中示出的移位寄存器 121、第一锁存阵列 122、第二锁存阵列 123、伽马补偿电压产生器 124 和 DAC 125 相同的功能。电荷共享电路 227 独立地驱动用于驱动 LCD 面板 10 的第二区域 AREA2 的第一区块 BL1 的 k 个输出通道、用于驱动第二区域 AREA2 的第三区块 BL3 的 k 个输出通道、以及用于驱动第二区域 AREA2 的第二区块 BL2 的 (n-2k) 个输出通道。除

了输出通道的数目之外,用于操作  $(n-2k)$  个输出通道的电荷共享电路 227 的构造和功能与图 10 中示出的电荷共享电路 127 相同。

[0060] 在图 12 至图 16 中示出了用于操作用来驱动第一区块 BL1 或第三区块 BL3 的  $k$  个输出通道的彼此相连的输出电路 226 和电荷共享电路 227 的示例性构造。参考图 12, 输出电路 226 包括分别连接到输出通道的多个缓冲器 BUF, 且最小化从 DAC 225 提供的模拟数据电压的信号衰减。

[0061] 电荷共享电路 227 包括其每个均连接在相邻输出通道之间的多个第一开关 SW1、分别连接在缓冲器 BUF 的输出端子和输出通道之间的多个第二开关 SW2、通过第二选择信号 SEL2 (EN/DIS) 切换以选择性地将源输出使能信号 SOE 施加到电荷共享电路 227 的第三开关 SW3、使源输出使能信号 SOE 反相的多个反相器 INV、以及对施加到第一和第二开关 SW1 和 SW2 的源输出使能信号 SOE 进行延迟的 SOE 延迟单元。SOE 延迟单元包括:第一负载延迟部 (load delay) 2271, 该第一负载延迟部 2271 具有多个分压电阻器 R 且分割其第一端子 Net\_2 和第二端子 Net\_3 之间的电压;第二负载延迟部 2272, 该第二负载延迟部 2272 具有多个分压电阻器 R 且分割其第一端子 Net\_1 和第二端子 Net\_4 之间的电压;第一和第二选择器 MUX1 和 MUX2, 其响应于第二选择信号 SEL2 (ILD/DLD), 选择性地操作该第一和第二负载延迟部 2271 和 2272; 以及缓冲器单元 2273, 其具有多个数字缓冲器 DBUF, 该数字缓冲器 DBUF 接收从第一或第二负载延迟部 2271 或 2272 提供的分割电压作为源电压 VCC, 对源输出使能信号 SOE 进行延迟, 且将延迟后的源输出使能信号 SOE 施加到第一和第二开关 SW1 和 SW2。

[0062] 第一开关 SW1 在源输出使能信号 SOE 的逻辑高周期中导通, 且在源输出使能信号 SOE 的逻辑低周期中截止。第二开关 SW2 根据反相器 INV 执行与第一开关 SW1 的操作相反的操作。第三开关 SW3 响应于作为第二选择信号 SEL2 而输入的使能信号 EN 来导通, 且响应于作为第二选择信号 SEL2 而输入的禁止信号 DIS 来截止。第一选择器 MUX1 响应于作为第二选择信号 SEL2 而输入的第一负载延迟信号 ILD 将高电压  $V_{max}$  提供到第一负载延迟部 2271 的第一端子 Net\_2, 且响应于作为第二选择信号 SEL2 而输入的第二负载延迟信号 DLD 将低电压  $V_{min}$  提供到第二负载延迟部 2272 的第一端子 Net\_1。第二选择器 MUX2 响应于作为第二选择信号 SEL2 而输入的第一负载延迟信号 ILD 将低电压  $V_{min}$  提供到第一负载延迟部 2271 的第二端子 Net\_3, 且响应于作为第二选择信号 SEL2 而输入的第二负载延迟信号 DLD 将高电压  $V_{max}$  提供到第二负载延迟部 2272 的第二端子 Net\_4。第一负载延迟部 2271 产生分割电压作为数字缓冲器 DBUF 的源电压 VCC, 其中该分割电压随着其从左到右而逐渐减小。第二负载延迟部 2272 产生分割电压作为数字缓冲器 DBUF 的源电压 VCC, 该分割电压随着其从左到右而逐渐增加。

[0063] 如图 13 所示, 多个数字缓冲器 DBUF 中的每一个包括具有偶数数目的反相器 131 和 132 的反相器串。第一和第二反相器 131 和 132 中的每一个由 PMOS 和 NMOS 组成, 且反相器 131 和 132 的输入/输出端子被级联。反相器 131 和 132 的公共输入端子形成 MOS 电容。现在将解释数字缓冲器 DBUF 的操作。

[0064] 响应于高输入信号, 第一反相器 131 的 PMOS 打开且第一反相器 131 的 NMOS 短路, 且因而第一反相器 131 的输出端子和第二反相器 132 的输入端子变成逻辑低。响应于逻辑低, 第二反相器 132 的 NMOS 打开且第二反相器 132 的 PMOS 短路, 且因而第二反相器 132 的

输出端子变成逻辑高。即,在理论上,数字缓冲器 DBUF 照原样对输入信号进行输出。然而,第一反相器 131 的 NMOS 的导通电阻 (R 成分) 和第二反相器 132 的输入端子的 MOS 电容 (C 成分) 互相作用以导致 RC 延迟,且因而如图 14 所示,数字缓冲器 DBUF 将输入信号延迟了预定值  $\Delta t$ ,且在实际操作中输出延迟后的输入信号。如果源电压 VCC 减小,则第一反相器 131 的 PMOS 的栅-源电压  $V_{gs}$  减小,以导致第一反相器 131 的截止时间中的延迟、以及第二反相器 132 的 PMOS 的导通时间和第二反相器 132 的 NMOS 的截止时间中的延迟。即,延迟随着源电压 VCC 减小而增加。

[0065] 现在将解释在具有上述构造的电荷共享电路 227 中,对 k 个通道同时执行电荷共享、或对 k 个通道不执行电荷共享、或对 k 个通道执行电荷共享使得充入延迟随着其从左到右而逐渐增加或减小的操作。

[0066] 首先解释对 k 个通道执行电荷共享使得充入延迟随着其从左到右而逐渐增加的操作。第三开关 SW3 响应于作为第二选择信号 SEL2 而输入的使能信号 EN 来导通,以将源输出使能信号 SOE 施加到数字缓冲器 DBUF。在这种状态下,如果第一负载延迟信号 ILD 作为第二选择信号 SEL2 而被输入,则高电压  $V_{max}$  被施加到第一负载延迟部 2271 的第一端子 Net\_2,且低电压  $V_{min}$  被施加到第一负载延迟部 2271 的第二端子 Net\_3。此处,没有电压施加到第二负载延迟部 2272 的两个端子 Net\_1 和 Net\_4,且因而第二负载延迟部 2272 浮动。因此,由于构成第一负载延迟部 2271 的电阻器 R 导致的电压下降,输入到数字缓冲器 DBUF 的源电压 VCC 随着其远离输入有源输出使能信号 SOE 的输入端子而减小。因此,通过数字缓冲器 DBUF 输出的源输出使能信号 SOE 的延迟随着源使能信号 SOE 远离输入有源输出使能信号 SOE 的输入端子而逐渐增加,如图 15 所示。因为 TFT 的选通截止时间根据扫描脉冲信号而固定,所以源输出使能信号 SOE 的延迟随着其从第一通道到第 k 通道的逐渐增加意味着随着其从第一通道到第 k 通道充入时间中的逐渐减小。当充入时间减少时,充入数据的量减小,且因而充入延迟随着其从左到右经过通道时而逐渐增加。这可以去除充入延迟突然增加的边界区块中的区块发暗。

[0067] 现在将解释对 k 个通道执行电荷共享使得充入延迟随着其从左到右而逐渐减少的操作。第三开关 SW3 响应于作为第二选择信号 SEL2 而输入的使能信号 EN 来导通,以将源输出使能信号 SOE 施加到数字缓冲器 DBUF。在这种状态下,如果第二负载延迟信号 DLD 作为第二选择信号 SEL2 而被输入,则低电压  $V_{min}$  被施加到第二负载延迟部 2272 的第一端子 Net\_1 且高电压  $V_{max}$  被施加到第二负载延迟部 2272 的第二端子 Net\_4。此处,没有电压被施加到第一负载延迟部 2271 的两个端子 Net\_2 和 Net\_3,且因而第一负载延迟部 2271 浮动。因此,由于构成第二负载延迟部 2272 的电阻器 R 导致的电压下降,输入到数字缓冲器 DBUF 的源电压 VCC 随着其靠近输入有源输出使能信号 SOE 的输入端子而减小。因此,通过数字缓冲器 DBUF 输出的源输出使能信号 SOE 的延迟随着其远离施加有源输出使能信号 SOE 的输入端子而逐渐减少,如图 16 所示。因为 TFT 的选通截止时间根据扫描脉冲信号而固定,所以源输出使能信号 SOE 的延迟随着其从第一通道到第 k 通道的逐渐增加意味着其从第一通道到第 k 通道充入时间中的逐渐增加。当充入时间减少时,充入数据的量增加,且因而充入延迟随着其从左到右经过通道时而逐渐减少。这可以去除充入延迟突然减少的边界区块中的区块发暗。

[0068] 为了对 k 个通道同时执行电荷共享,源输出使能信号 SOE 可以直接施加到第一和

第二开关 SW1 和 SW2, 而不经数字缓冲器 DBUF, 如图 10 所示。为了不对 k 个通道同时执行电荷共享, 第三开关 SW3 响应于作为第二选择信号 SEL2 而输入的禁止信号 DIS 来截止, 以阻止源输出使能信号 SOE 被施加到电荷共享电路 227。在这种情况下, 第二开关 SW2 保持原先的导通状态 (用于在前一帧和当前帧之间的消隐周期中复位电路的导通) 且第一开关 SW1 不能被导通, 且因而电荷共享电路 227 操作而不执行电荷共享。

[0069] 图 17 示出了针对用于驱动第一区块 BL1 或第三区块 BL3 的 k 个输出通道而彼此相连的输出电路 226 和电荷共享电路 227 的另一构造。

[0070] 参考图 17, 输出电路 226 包括分别连接到输出通道的多个缓冲器 BUF, 且最小化从 DAC 225 提供的模拟数据电压的信号衰减。

[0071] 电荷共享电路 227 包括第一开关 SW1、第二开关 SW2、第三开关 SW3、反相器 INV 和 SOE 延迟单元。第一开关 SW1、第二开关 SW2、第三开关 SW3 和反相器 INV 与图 12 中所示的电荷共享电路 227 的那些部件相同。SOE 延迟单元包括: 复用器 MUX1; 第一 SOE 延迟部 3271, 其具有多个数字缓冲器 DBUF, 该数字缓冲器 DBUF 在选择器 MUX1 的控制器下对源输出使能信号 SOE 进行延迟使得源输出使能信号 SOE 的延迟随着其从左到右而逐渐增加, 且将延迟后的源输出使能信号 SOE 施加到第一和第二开关 SW1 和 SW2; 以及第二 SOE 延迟部 3272, 其具有多个数字缓冲器 DBUF, 该数字缓冲器 DBUF 在选择器 MUX1 的控制下对源输出使能信号 SOE 进行延迟使得源输出使能信号 SOE 的延迟随着其从右到左而逐渐增加, 且将延迟后的源输出使能信号 SOE 施加到第一和第二开关 SW1 和 SW2。相同的源电压 VCC 被施加到构成第一和第二 SOE 延迟单元 3271 和 3272 的数字缓冲器 DBUF。数字缓冲器 DBUF 利用参考图 13 和 14 描述的导通电阻和 MOS 电容之间的 RC 延迟来使源输出使能信号 SOE 延迟了一预定值。除了用于对源输出使能信号 SOE 进行延迟的构造之外, 图 17 中示出的使用延迟后的源输出使能信号 SOE 的电荷共享电路 227 的操作和效果与图 12 中示出的电荷共享电路相同。

[0072] 如上所述, 根据本文件的 LCD 可以分析输入数据模式且独立地确定是否针对相应数据 IC 使用电荷共享, 以实现最合适的功耗。

[0073] 而且, 根据本文件的 LCD 可以独立地确定是否针对相应数据 IC 使用电荷共享, 以将新的电荷共享法应用到数据 IC 之间具有显著充入延迟差异的边界区块, 来逐渐地改变充入延迟。因此, 可以去除数据 IC 之间的区块发暗。

[0074] 尽管已经参考其示例性实施方式具体示出和描述了本文件, 本领域普通技术人员应当理解, 在不偏离如所附权利要求限定的本文件的精神和范围的条件下, 可以在形式和细节中做出各种变化。

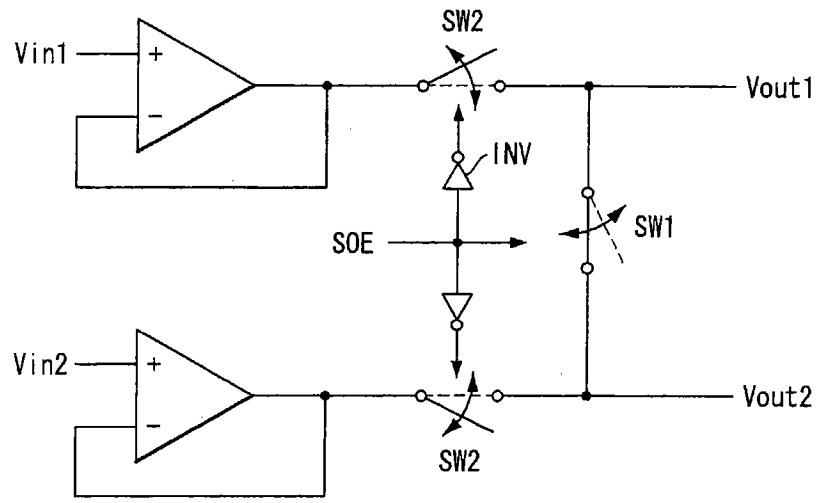


图 1A

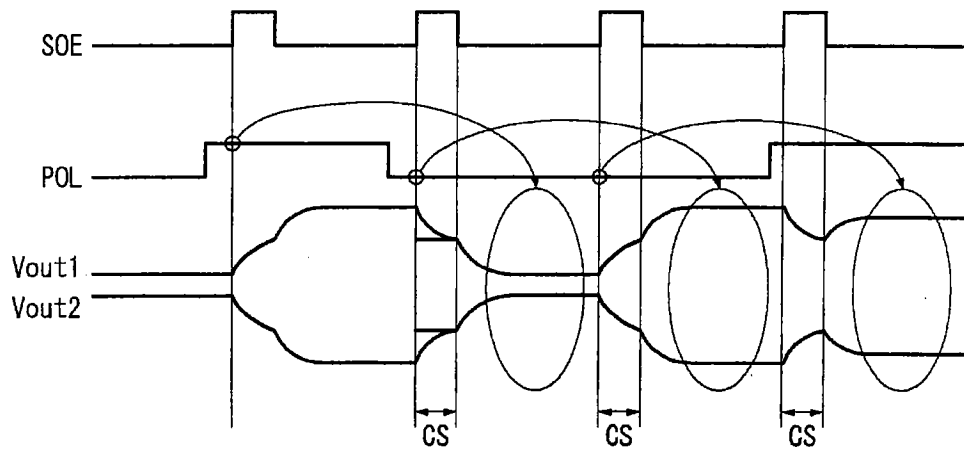


图 1B

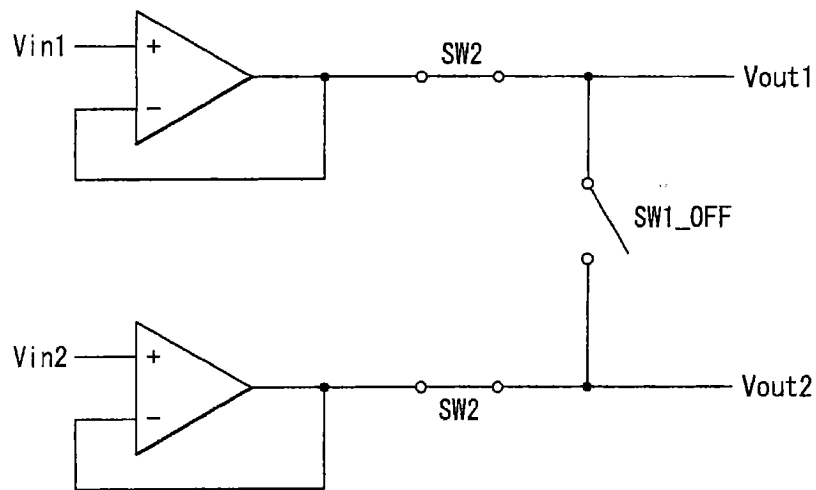


图 2A

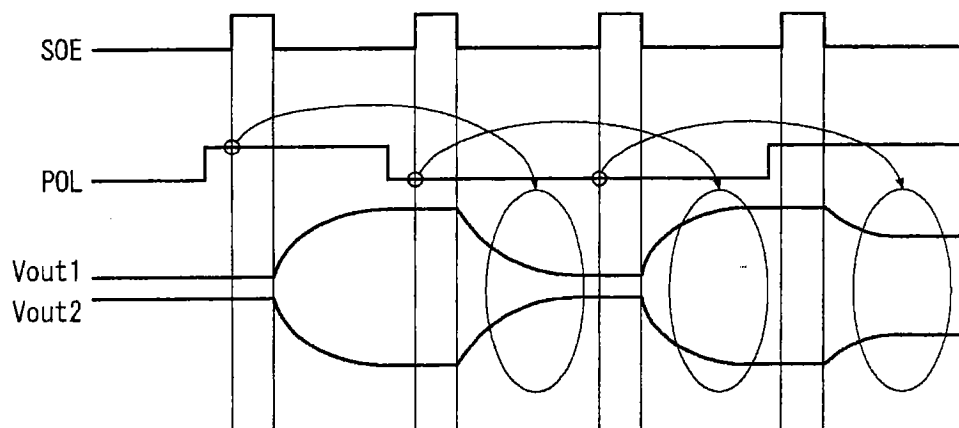


图 2B

D-IC位置		TAB1	TAB2	TAB3
模式		当使用C/S时 具有低功耗 的模式	合成模式	当不使用C/S时 具有低功耗 的模式
功耗	使用C/S	减少	-	增加
	不使用C/S	增加	-	减少

图 3

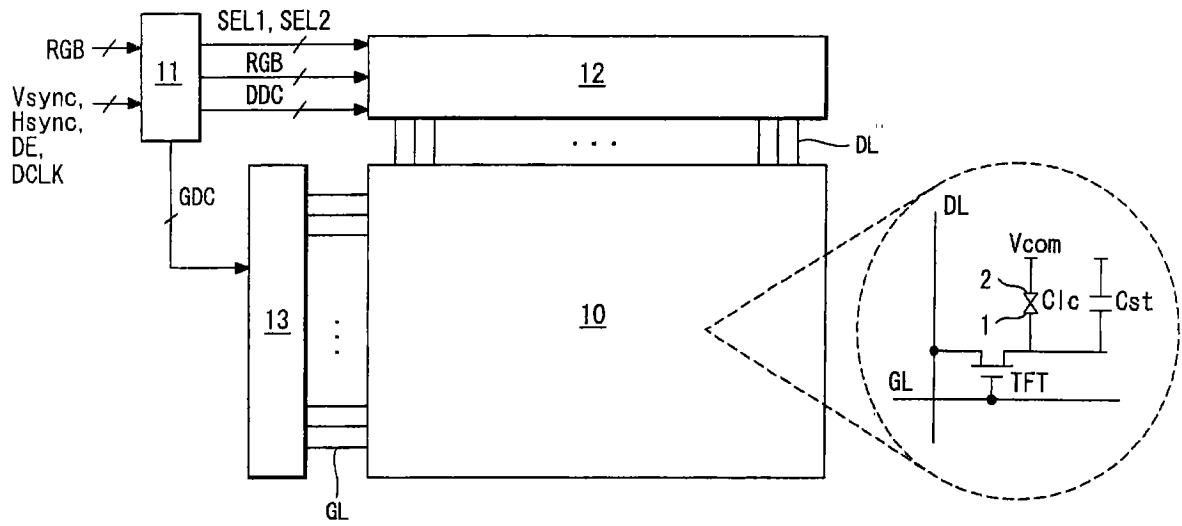


图 4

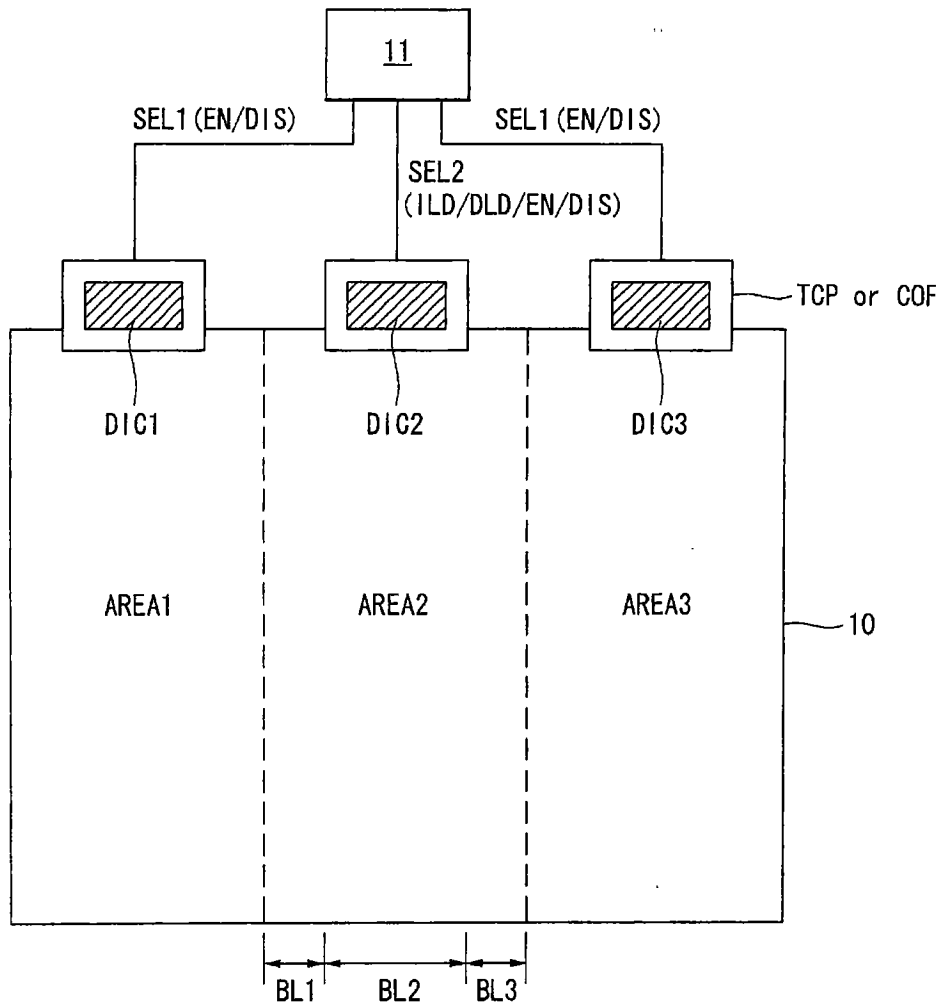


图 5

功能 \ DIC位置	DIC1	DIC2			DIC3
		BL1	BL2	BL3	
OP1	EN	EN	EN	EN	EN
OP2	EN	EN	EN	DLD	DIS
OP3	EN	DLD	DIS	ILD	EN
OP4	EN	DLD	DIS	DIS	DIS
OP5	DIS	ILD	EN	EN	EN
OP6	DIS	ILD	EN	DLD	DIS
OP7	DIS	DIS	DIS	ILD	EN
OP8	DIS	DIS	DIS	DIS	DIS

EN: 使用C/S  
 DIS: 不使用C/S  
 ILD: 增加的L/D  
 DLD: 减少的L/D

图 6

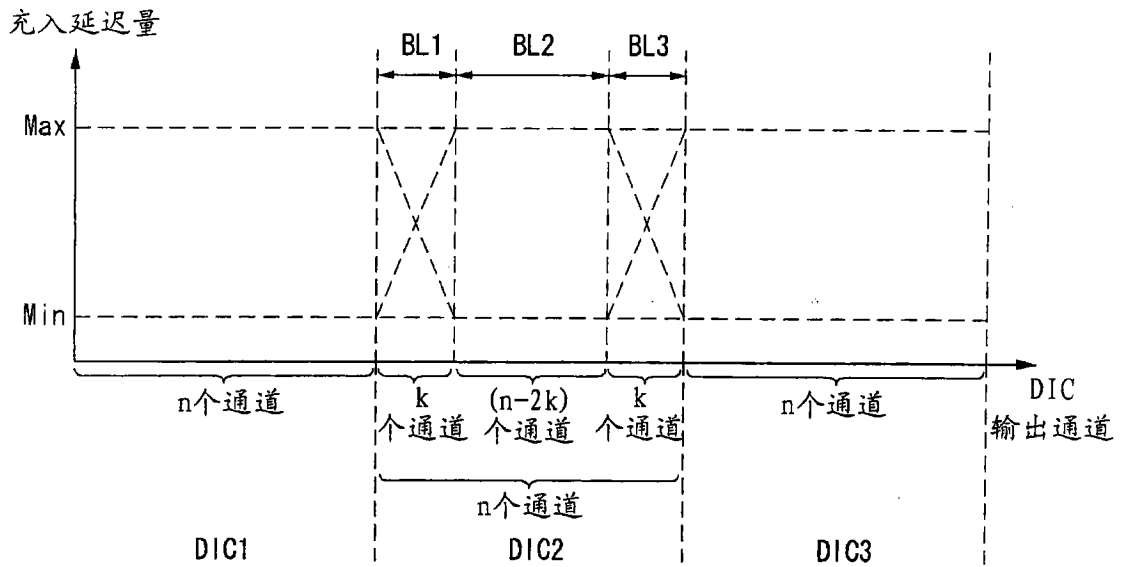


图 7

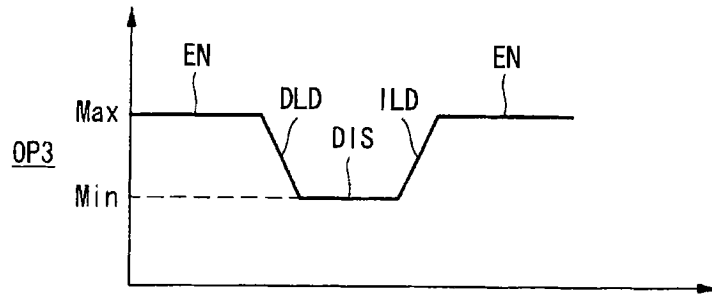


图 8A

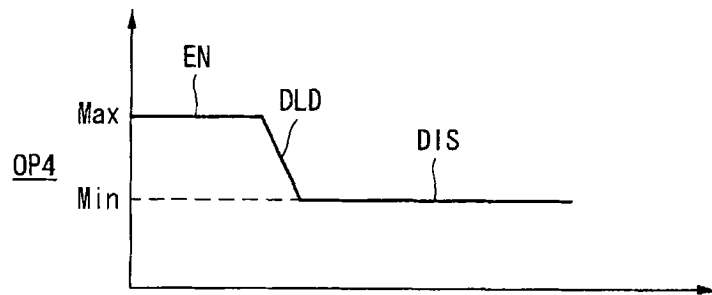


图 8B

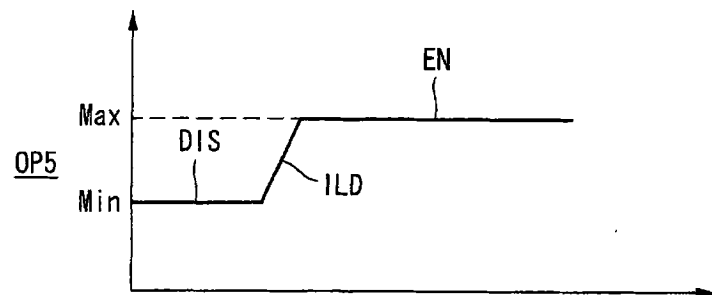


图 8C

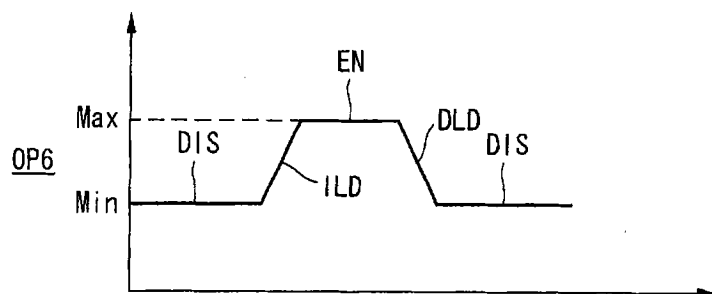


图 8D

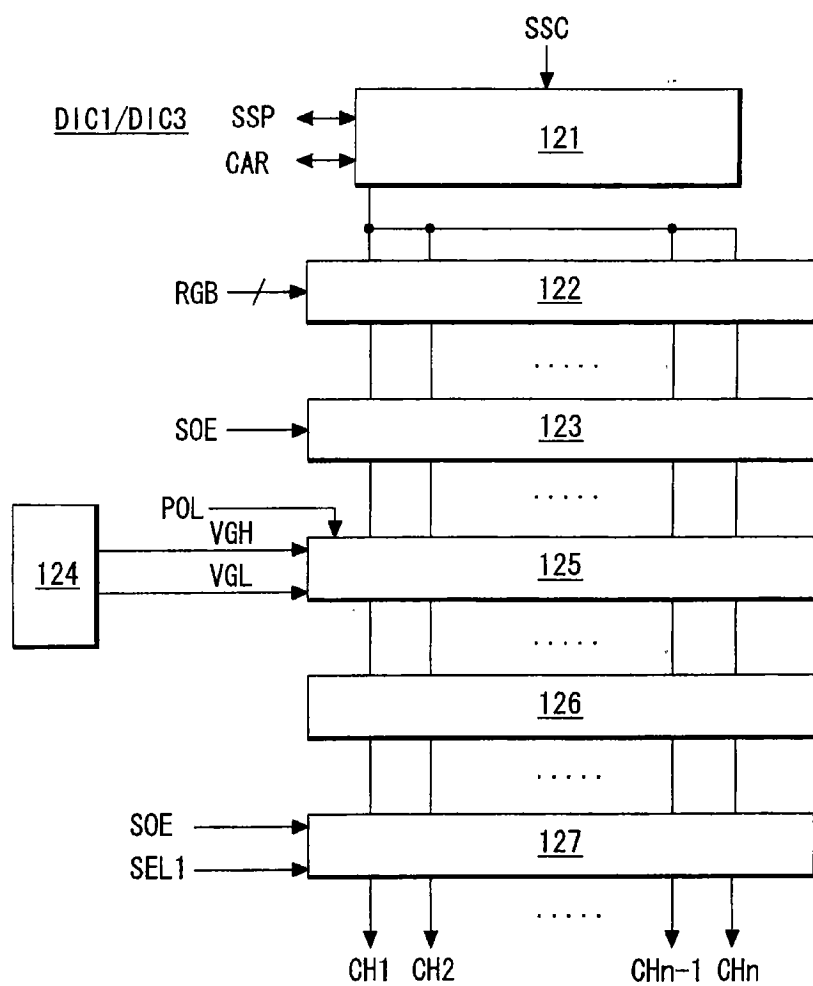


图 9

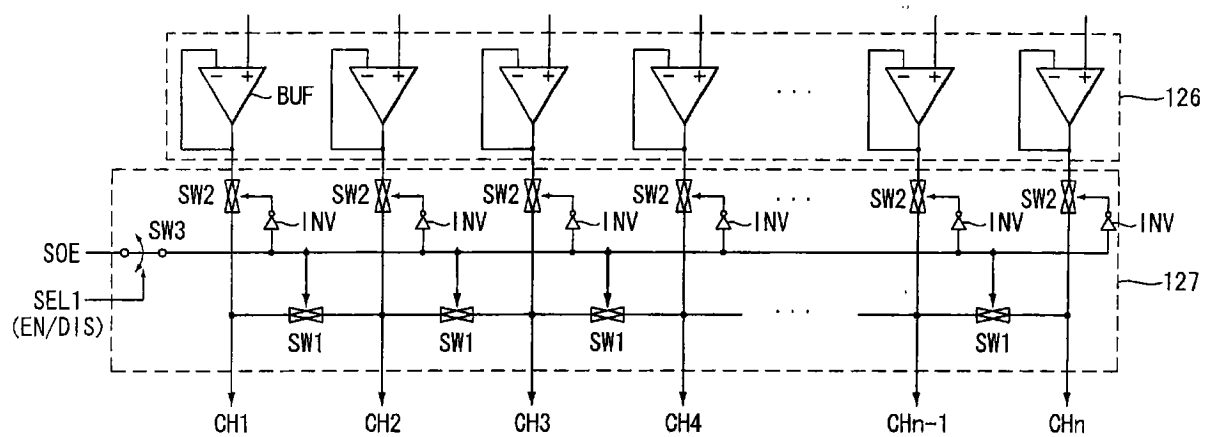


图 10

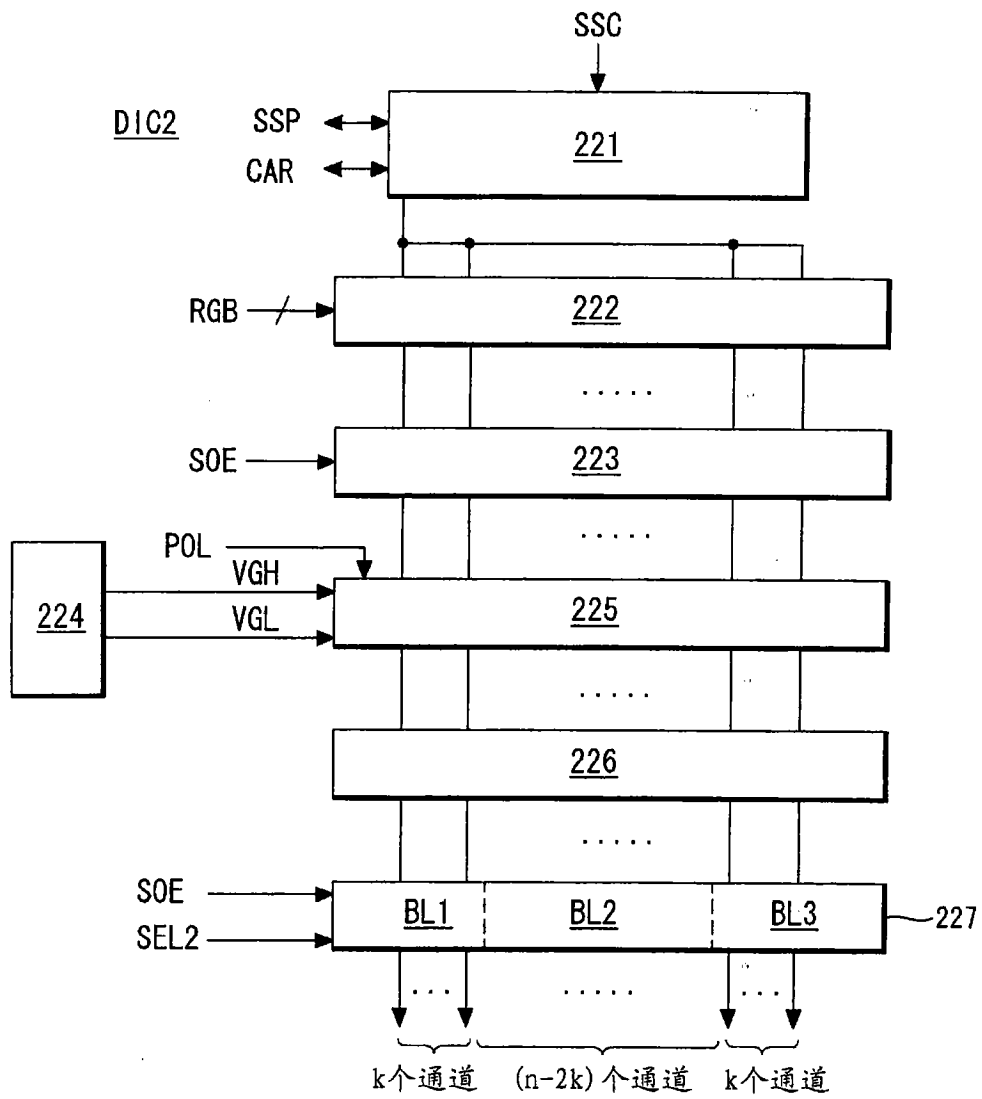


图 11

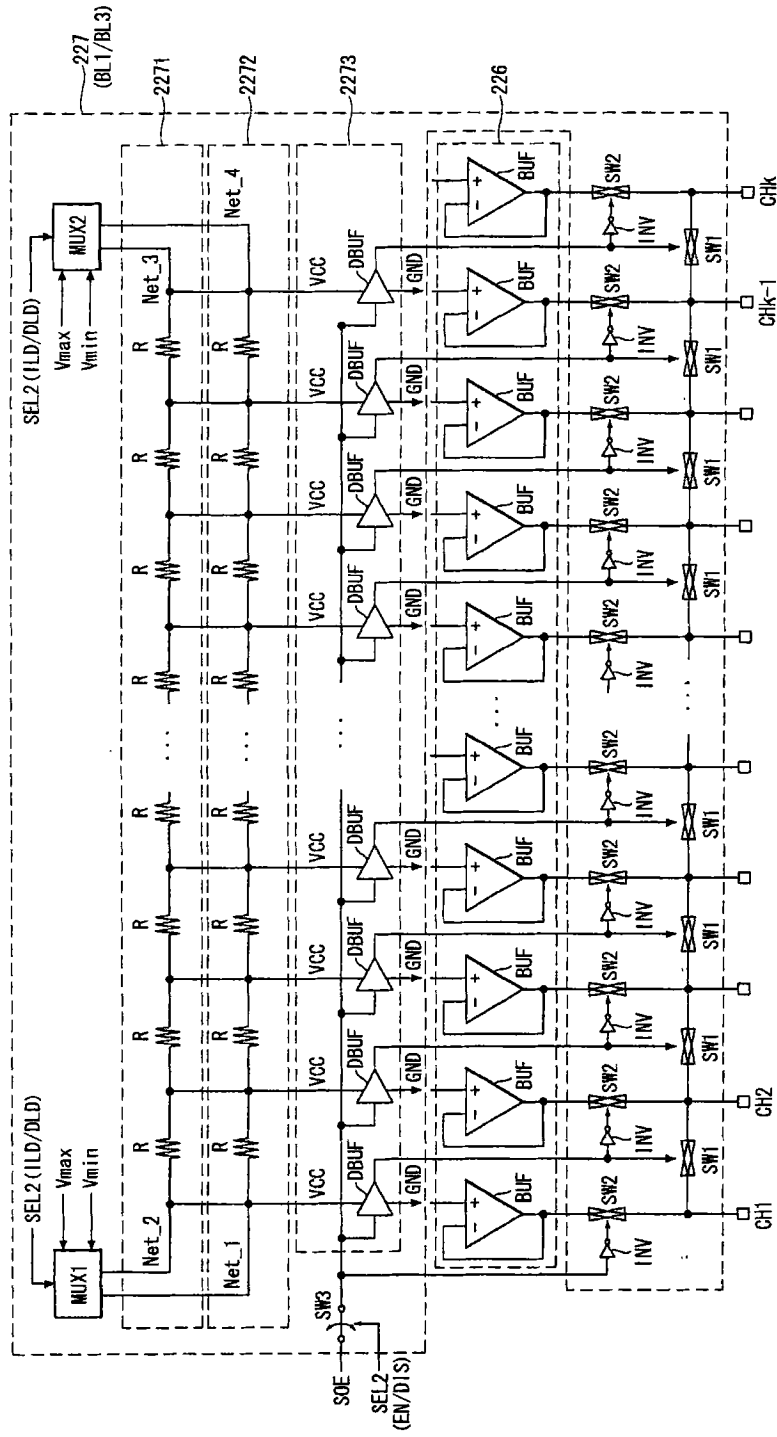


图 12

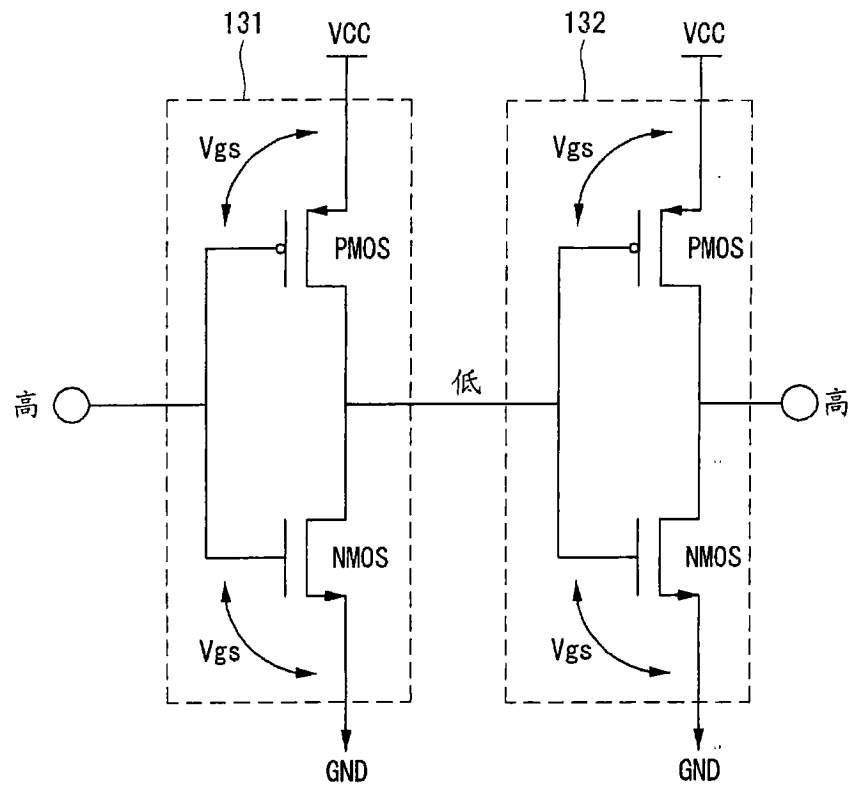


图 13

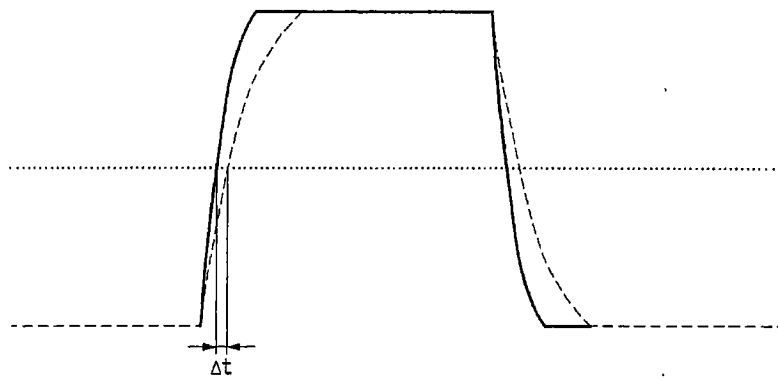


图 14

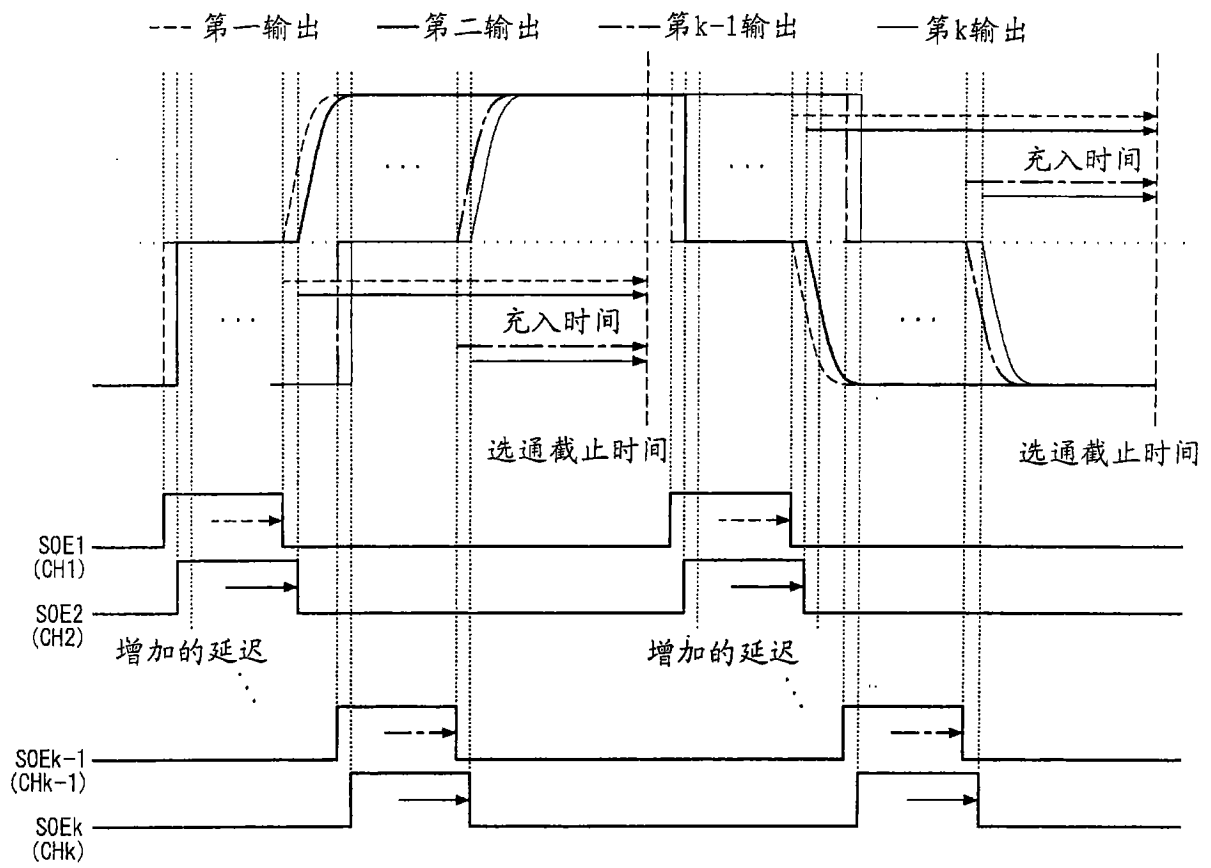


图 15

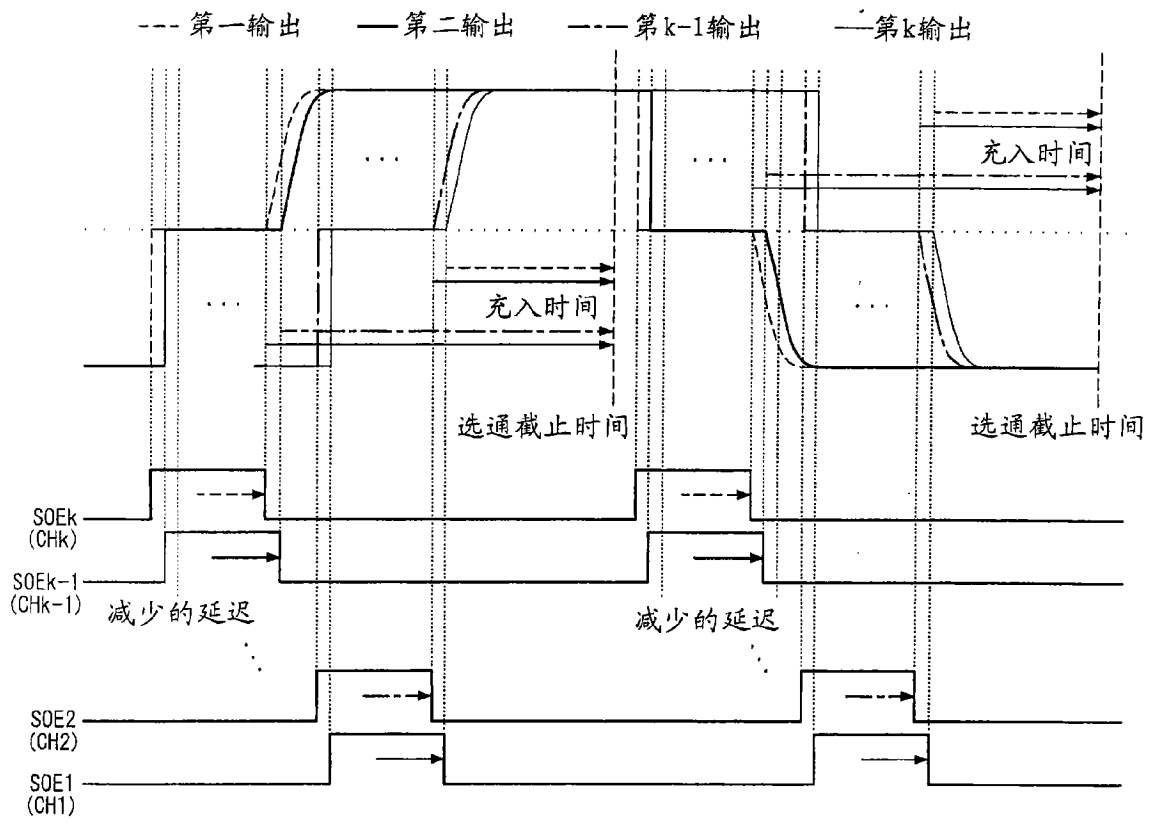


图 16



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">CN101958106A</a>	公开(公告)日	2011-01-26
申请号	CN200910246700.8	申请日	2009-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴万奎 洪镇铁		
发明人	朴万奎 洪镇铁		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3688 G09G2330/023 G09G3/3614		
代理人(译)	李辉		
优先权	1020090064628 2009-07-15 KR		
其他公开文献	CN101958106B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

液晶显示器。提供了一种用于减小功耗和改善显示质量的液晶显示器。该液晶显示器包括：液晶显示板，其包括数据线和选通线以及液晶单元，且该液晶显示板被分割成第一、第二和第三区域；驱动第一区域的第一数据IC；驱动第二区域的第二数据IC；驱动第三区域的第三数据IC；以及定时控制器，其对输入数字视频数据进行分析，产生用于控制是否使用电荷共享的第一选择信号和第二选择信号，且利用第一和第二选择信号来独立地控制第一、第二和第三数据IC。

功能 \ DIC位置	DIC1	DIC2			DIC3
		BL1	BL2	BL3	
OP1	EN	EN	EN	EN	EN
OP2	EN	EN	EN	DLD	DIS
OP3	EN	DLD	DIS	ILD	EN
OP4	EN	DLD	DIS	DIS	DIS
OP5	DIS	ILD	EN	EN	EN
OP6	DIS	ILD	EN	DLD	DIS
OP7	DIS	DIS	DIS	ILD	EN
OP8	DIS	DIS	DIS	DIS	DIS

EN: 使用C/S  
DIS: 不使用C/S  
ILD: 增加的L/D  
DLD: 减少的L/D