



(12) 发明专利

(10) 授权公告号 CN 101013209 B

(45) 授权公告日 2011.02.09

(21) 申请号 200610064273.8

(22) 申请日 2006.12.11

(30) 优先权数据

120740/05 2005.12.09 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李白云

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邸万奎 黄小临

(51) Int. Cl.

G02F 1/133(2006.01)

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

G09G 3/20(2006.01)

(56) 对比文件

JP 2000-250491 A, 2000.09.14, 全文.

JP 11-271787 A, 1999.10.08, 全文.

US 2005/0110734 A1, 2005.05.26, 说明书第 [0030] 段 - 第 [0064] 段, 第 [0095] 段 - 第 [0110] 段、说明书附图 1-6, 12, 13.

US 2005/0035938 A1, 2005.02.17, 说明书第 [0037]- 第 [0049] 段, 第 [0055] 段 - 第 [0058] 段、说明书附图 1-3, 8, 9.

US 2002/0084969 A1, 2002.07.04, 说明书第 [0047] 段 - 第 [0112] 段、说明书附图 1-3, 5, 6.

审查员 杨熙

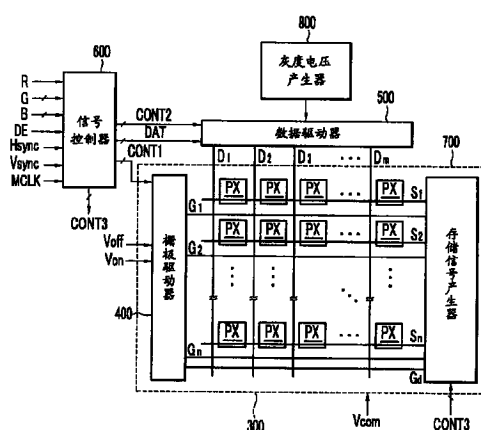
权利要求书 3 页 说明书 17 页 附图 12 页

(54) 发明名称

显示装置

(57) 摘要

一种显示装置,包括多条传送栅极信号的栅极线,其中每个栅极信号具有栅极接通电压和栅极关断电压;多条与栅极线交叉并传送数据电压的数据线;多条与栅极线平行延伸并传送存储信号的存储电极线;多个以矩阵形式排列的像素,其中每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件以及公共电压的液晶电容器、连接到开关元件以及存储电极线的存储电容器;和多个基于栅极信号产生存储信号的存储信号产生器。紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有可改变的电压电平。



1. 一种显示装置,包括:

多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;

多条与栅极线交叉并传送数据电压的数据线;

多条平行于栅极线延伸并传送存储信号的存储电极线;

多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和
基于栅极信号产生存储信号的存储信号产生器,

其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,

其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:

传送驱动电压的驱动电压输入;

第一开关元件,具有连接到第一栅极线的控制端、连接到所述驱动电压输入的输入端、和连接到相应存储电极线的输出端;和

第二开关元件,具有连接到与第一栅极线相邻的第二栅极线的控制端、连接到所述驱动电压输入的输入端、和连接到相应存储电极线的输出端,

其中当充电数据电压具有正极性时,存储信号从低电平改变到高电平,并且当充电数据电压具有负极性时,存储信号从高电平改变到低电平。

2. 根据权利要求1所述的显示装置,其中栅极接通电压保持大约一个水平周期。

3. 根据权利要求1所述的显示装置,其中施加到相邻存储电极线的存储信号具有互相不同的电平,并且施加到相同存储电极线的存储信号在每个帧反转。

4. 根据权利要求1所述的显示装置,其中显示装置执行行反转。

5. 根据权利要求1所述的显示装置,其中公共电压具有恒定值。

6. 根据权利要求1所述的显示装置,其中存储信号产生器被与栅极线、数据线和存储电极线一起形成。

7. 根据权利要求1所述的显示装置,其中驱动电压包括第一电平和低于第一电平的第三电平,并且驱动电压的电平在大约每一个水平周期被反转。

8. 根据权利要求1所述的显示装置,其中存储信号产生器包括具有分别连接到存储电极线的多个级的移位寄存器。

9. 根据权利要求8所述的显示装置,其中存储信号产生器还包括多个连接到奇数级或偶数级的反相器。

10. 根据权利要求8所述的显示装置,其中移位寄存器是集成电路。

11. 一种显示装置,包括:

多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;

多条与栅极线交叉并传送数据电压的数据线;

多条平行于栅极线延伸并传送存储信号的存储电极线;

多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和
基于栅极信号产生存储信号的存储信号产生器,

其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,

其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:

传送第一驱动电压的第一驱动电压输入;

传送第二驱动电压的第二驱动电压输入;

第一开关元件,具有连接到第一栅极线的控制端和连接到相应存储电极线的输出端;
和

第二开关元件,具有连接到与第一栅极线相邻的第二栅极线的控制端和连接到存储电极线的输出端,

其中第一开关元件具有连接到所述第一和第二驱动电压输入中的一个的输入端,并且第二开关元件具有连接到所述第一和第二驱动电压输入中的另一个的输入端,

其中当充电数据电压具有正极性时,存储信号从低电平改变到高电平,并且当充电数据电压具有负极性时,存储信号从高电平改变到低电平。

12. 根据权利要求 11 所述的显示装置,其中第一和第二驱动电压分别包括第一电平和小于第一电平的第二电平,第一驱动电压具有关于第二驱动电压的波形反转的波形,并且第一和第二驱动电压在每个帧反转。

13. 根据权利要求 11 所述的显示装置,进一步包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线相邻的第二导线,第一导线和第二导线的位置在每像素行改变,并且第一和第二开关元件的输入端都分别连接到相邻的导线。

14. 根据权利要求 11 所述的显示装置,进一步包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线平行的第二导线,并且第一和第二开关元件的输入端与第一和第二导线之间的连接在每个像素行改变。

15. 根据权利要求 11 所述的显示装置,其中存储信号产生器包括具有分别连接到存储电极线的多个级的移位寄存器。

16. 根据权利要求 15 所述的显示装置,其中存储信号产生器还包括多个连接到奇数级或偶数级的反相器。

17. 根据权利要求 15 所述的显示装置,其中移位寄存器是集成电路。

18. 一种显示装置,包括:

多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;

多条与栅极线交叉并传送数据电压的数据线;

多条平行于栅极线延伸并传送存储信号的存储电极线;

多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和

基于栅极信号产生存储信号的存储信号产生器,

其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,

其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:

具有第一电平的第一驱动电压输入；

具有不同于第一电平的第二电平的第二驱动电压输入；

第一选择电压；

具有关于第一选择电压的波形反转的波形的第二选择电压；

第一开关元件，具有连接到第一选择电压的输入端和连接到栅极线的控制端；

第二开关元件，具有连接到第二选择电压的输入端和连接到栅极线的控制端；

第三开关元件，具有连接到第一开关元件的输出端的控制端和连接到相应存储电极线的输出端；以及

第四开关元件，具有连接到第二开关元件的输出端的控制端和连接到存储电极线的输出端，

其中第三开关元件具有连接到所述第一和第二驱动电压输入中的一个的输入端，并且第四开关元件具有连接到所述第一和第二驱动电压输入中的另一个的输入端，

其中当充电数据电压具有正极性时，存储信号从低电平改变到高电平，并且当充电数据电压具有负极性时，存储信号从高电平改变到低电平。

19. 根据权利要求 18 所述的显示装置，其中第一和第二电压分别包括第三电平和小于第三电平的第四电平，第一选择电压具有关于第二电压的波形反专的波形，并且第一和第二选择电压在每个帧反转。

20. 根据权利要求 18 所述的显示装置，进一步包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线相邻的第二导线，第一导线和第二导线的位置在每像素行改变，并且第三和第四开关元件的输入端分别连接到相邻的导线。

21. 根据权利要求 18 所述的显示装置，其中存储信号产生器包括具有分别连接到存储电极线的多个级的移位寄存器。

22. 根据权利要求 21 所述的显示装置，其中存储信号产生器还包括多个连接到奇数级或偶数级的反相器。

23. 根据权利要求 21 所述的显示装置，其中移位寄存器是集成电路。

显示装置

[0001] 对相关申请的交叉参考

[0002] 本申请要求 2005 年 12 月 9 日在韩国知识产权局提交的韩国专利申请 No. 10-2005-0120740 的优先权和权益,并且其全部内容通过引用合并于此。

技术领域

[0003] 本发明涉及一种显示装置。

背景技术

[0004] 通常,液晶显示器包括两个具有像素电极、公共电极的显示面板,和在面板之间具有介电各向异性的液晶层。像素电极以矩阵排列内并连接到开关元件,如薄膜晶体管(TFT),该薄膜晶体管顺序施加数据电压到上述像素。公共电极设置在显示面板的整个表面上并且被提供有公共电压。像素电极、公共电极、和液晶层构成液晶电容器。液晶电容器与开关元件一起就是像素单元。

[0005] 图像数据电压使施加到两面板之间的液晶层的电场强度发生变化,从而控制通过液晶层的光透射率来显示与数据电压对应的图像。为了防止液晶老化,使数据电压的极性关于公共电压在每帧、每像素行、或每像素反转。

[0006] 然而,因为液晶分子的响应速度低,使充电到液晶电容器内的电压(此后称为像素电压)达到目标电压需要时间。目标电压是实现所需亮度的电压。上述时间取决于目标电压和预先充电到液晶电容器上的电压之间的差。因此,当目标电压和预先充电的电压之间的差较大时,仅使用目标电压将不足以使像素电压在开关元件接通的时间段内达到目标电压。

[0007] 为了解决上述问题,已经采用了一种 DCC(动态电容补偿)方案。DCC 方案利用充电速度与液晶电容器的电压成比例这一事实。使施加到像素的数据电压(实际上是数据电压和公共电压之间的差,通常假定为 0V)被选择为高于目标电压,从而缩短像素电压达到目标电压的时间。然而,在 DCC 方案中,需要执行 DCC 计算的帧存储器和驱动电路。因此,其存在的问题是电路设计难并且生产成本增加。

[0008] 为了降低中等或小尺寸显示装置如移动电话中的能耗,执行行反转(row reversion)。然而,随着中等或小尺寸显示装置分辨率的提高,能耗也随之增加。尤其是,当执行 DCC 计算时,由于附加的计算和电路,大大提高了能耗。

[0009] 采用行反转与采用点反转相比,数据电压中用于图像显示的范围很小,在点反转中数据电压的极性对于每个像素都反转。因此,在 VA(垂直定向(alignment))型液晶显示器中,如果驱动液晶的阈值电压较高,表示图像显示的灰度等级的数据电压的可用范围就会减小阈值电压的量。因此,不能得到所需的亮度。

发明内容

[0010] 根据本发明的一个方面,显示装置提供了改善的响应速度和图像质量,但没有增

加能耗。根据本发明的实施例,一种显示装置包括:多条传送栅极信号的栅极线,每个栅极信号具有栅极接通电压和栅极关断电压;多条与栅极线交叉并传送数据电压的数据线;多条与栅极线平行延伸并传送存储信号的存储电极线;多个排列在矩阵内的像素,每个像素包括连接到栅极线和数据线的开关元件、液晶电容器、和连接到开关元件以及存储电极线的存储电容器;和多个基于栅极信号产生存储信号的存储信号产生器。施加到每个像素的存储信号的电压电平在用数据电压对液晶电容器和存储电容器充电后紧接地被改变如下:当充电数据电压具有正极性时,存储信号从低电平改变到高电平;并且当充电数据电压具有负极性时,存储信号从高电平改变到低电平。栅极接通电压被保持约 1H。

[0011] 施加到相邻存储电极线的存储信号具有互相不同的电平,并且施加到相同存储电极线的存储信号可以在每个帧反转。

[0012] 显示装置可以执行行反转。存储信号产生器可以与栅极线、数据线和存储电极线一起形成。存储信号产生器可以包括多个分别输出存储信号到存储电极线的信号产生电路。驱动电压可以包括第一电平和低于第一电平的第二电平,并且驱动电压的电平可以在每大约 1H 被反转。

[0013] 第一和第二驱动电压分别可以包括第一电平和小于第一电平的第二电平,第一驱动电压具有关于第二驱动电压的波形反转的波形,并且第一和第二驱动电压在每个帧反转。

[0014] 显示装置还可以包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线相邻的第二导线,第一导线和第二导线的位置在每个像素行改变,并且第一和第二开关元件的输入端分别连接到相邻的导线。

[0015] 显示装置还可以包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线平行的第二导线,并且第一和第二开关元件的输入端与第一和第二导线之间的连接在每个像素行改变。

[0016] 各个信号产生电路可以包括:具有第一电平的第一驱动电压;具有不同于第一电平的第二电平的第二驱动电压;第一选择电压;具有关于第一选择电压的波形反转的波形的第二选择电压;具有连接到第一选择电压的输入端和连接到栅极线的控制端的第一开关元件;具有连接到第二选择电压的输入端和连接到栅极线的控制端的第二开关元件;具有连接到第一开关元件的输出端的控制端和连接到相应存储电极线的输出端的第三开关元件;以及具有连接到第二开关元件的输出端的控制端和连接到存储电极线的输出端的第四开关元件。第三开关元件具有连接到第一和第二驱动电压中的一个的输入端,并且第四开关元件具有连接到第一和第二驱动电压中的另一个的输入端。

[0017] 第一和第二选择电压可以分别包括第三电平和小于第三电平的第四电平,第一选择电压具有关于第二选择电压的波形反转的波形,并且第一和第二选择电压在每个帧反转。

[0018] 显示装置还可以包括传送第一驱动电压的第一导线和传送第二驱动电压并且在纵向方向与第一导线相邻的第二导线,第一导线和第二导线的位置在每个像素行改变,并且第三和第四开关元件的输入端分别连接到相邻的导线。

[0019] 存储信号产生器可以包括具有分别连接到存储电极线的多个级的移位寄存器。

[0020] 存储信号产生器还可以包括多个连接到奇数级或偶数级的反相器。

[0021] 移位寄存器可以是集成电路。

[0022] 附图说明

[0023] 具体来讲,按照本发明的一个方面,提供了一种显示装置,包括:多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;多条与栅极线交叉并传送数据电压的数据线;多条平行于栅极线延伸并传送存储信号的存储电极线;多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和基于栅极信号产生存储信号的存储信号产生器,其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:传送驱动电压的驱动电压输入;第一开关元件,具有连接到第一栅极线的控制端、连接到所述驱动电压输入的输入端、和连接到相应存储电极线的输出端;和第二开关元件,具有连接到与第一栅极线相邻的第二栅极线的控制端、连接到所述驱动电压输入的输入端、和连接到相应存储电极线的输出端,其中当充电数据电压具有正极性时,存储信号从低电平改变到高电平,并且当充电数据电压具有负极性时,存储信号从高电平改变到低电平。

[0024] 按照本发明的另一个方面,提供了一种显示装置,包括:多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;多条与栅极线交叉并传送数据电压的数据线;多条平行于栅极线延伸并传送存储信号的存储电极线;多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和基于栅极信号产生存储信号的存储信号产生器,其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:传送第一驱动电压的第一驱动电压输入;传送第二驱动电压的第二驱动电压输入;第一开关元件,具有连接到第一栅极线的控制端和连接到相应存储电极线的输出端;和第二开关元件,具有连接到与第一栅极线相邻的第二栅极线的控制端和连接到存储电极线的输出端,其中第一开关元件具有连接到所述第一和第二驱动电压输入中的一个的输入端,并且第二开关元件具有连接到所述第一和第二驱动电压输入中的另一个的输入端,其中当充电数据电压具有正极性时,存储信号从低电平改变到高电平,并且当充电数据电压具有负极性时,存储信号从高电平改变到低电平。

[0025] 按照本发明的再一个方面,提供了一种显示装置,包括:多条传送栅极信号的栅极线,每个栅极信号都具有栅极接通电压和栅极关断电压;多条与栅极线交叉并传送数据电压的数据线;多条平行于栅极线延伸并传送存储信号的存储电极线;多个以矩阵形式排列的像素,每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件和公共电压的液晶电容器、和连接到开关元件和存储电极线的存储电容器;和基于栅极信号产生存储信号的存储信号产生器,其中,紧接地在完成将数据电压充电到液晶电容器和存储电容器后,施加到每个像素的存储信号具有改变的电压电平,其中存储信号产生器包括多个分别输出存储信号到存储电极线的信号产生电路,其中各个信号产生电路包括:具有第一电平的第一驱动电压输入;具有不同于第一电平的第二电平的第二驱动电压输入;第一选择电压;

具有关于第选择一电压的波形反转的波形的第二选择电压；第一开关元件，具有连接到第一选择电压的输入端和连接到栅极线的控制端；第二开关元件，具有连接到第二选择电压的输入端和连接到栅极线的控制端；第三开关元件，具有连接到第一开关元件的输出端的控制端和连接到相应存储电极线的输出端；以及第四开关元件，具有连接到第二开关元件的输出端的控制端和连接到存储电极线的输出端，其中第三开关元件具有连接到所述第一和第二驱动电压输入中的一个的输入端，并且第四开关元件具有连接到所述第一和第二驱动电压输入中的另一个的输入端，其中当充电数据电压具有正极性时，存储信号从低电平改变到高电平，并且当充电数据电压具有负极性时，存储信号从高电平改变到低电平。

[0026] 下面将参考附图详细描述本发明的示例实施例，其中：

[0027] 图 1 是根据本发明示例实施例的液晶显示器的方框图；

[0028] 图 2 是根据本发明示例实施例的液晶显示器内的一个像素的等效电路图；

[0029] 图 3 是根据本发明示例实施例的信号产生电路的例子电路图；

[0030] 图 4 是用在包括图 3 示出的信号产生电路的液晶显示器中的信号的时序图；

[0031] 图 5A 和 5B 是根据本发明示例实施例的信号产生电路的另一个例子电路图；

[0032] 图 6 是用在包括图 5A 或 5B 的信号产生电路的液晶显示器内的信号的时序图；

[0033] 图 7 是根据本发明另一示例实施例的信号产生电路的另一个例子电路图；

[0034] 图 8 是用在包括图 7 的信号产生电路的液晶显示器内的信号的时序图；

[0035] 图 9 是示出了根据本发明示例实施例、根据信号产生电路的操作的液晶的响应速度和像素电极电压的变化的图表；

[0036] 图 10 是示出了现有技术中液晶显示器内响应速度和像素电极电压的变化图表；

[0037] 图 11 是根据本发明的实施例的液晶显示器内的薄膜晶体管阵列面板的例子布局图；

[0038] 图 12A 和 12B 是分别沿着图 11 中的线 VIIA-VIIA 和线 VIIB-VIIB 的薄膜晶体管阵列面板的截面图；

[0039] 图 13 是根据本发明的实施例的液晶显示器内的薄膜晶体管阵列面板的另一例子的布局图；以及

[0040] 图 14A 和 14B 是分别沿着图 13 中的线 XIVA-XIVA 和线 XIVB-XIVB 的薄膜晶体管阵列面板的截面图。

具体实施方式

[0041] 在附图中，为清楚起见，放大了层、薄膜、面板、区域等的厚度。应当理解，当元件如层、薄膜、区域或基板被描述为在另一个元件“之上”时，其可以直接在另一个元件之上或者也可以存在居间元件。相反，当元件被描述为直接在另一个元件之上时，就没有居间元件的存在。将参考图 1 和 2 详细描述本发明示例实施例的液晶显示器。

[0042] 图 1 是根据本发明示例实施例的液晶显示器的方框图，并且图 2 是根据本发明示例实施例的液晶显示器内的一个像素的等效电路图。

[0043] 如图 1 所示，液晶显示器包括液晶面板组件 300、栅极驱动器 400、数据驱动器 500、存储信号产生器 700、连接到数据驱动器 500 的灰度电压产生器 800、和控制上述组件的信号控制器 600。

[0044] 液晶面板组件 300 包括多条信号线 G_1-G_n 、 G_d 、 D_1-D_m 、及 S_1-S_n ，和多个连接到信号线 G_1-G_n 、 G_d 、 D_1-D_m 、及 S_1-S_n 并基本上以矩阵排列的像素 PX。在图 2 所示的结构图中，液晶面板组件 300 包括互相面对的底板 100 和上板 200 以及插入在板 100 和 200 之间的液晶层 3。信号线包括多条栅极线 G_1-G_n 和 G_d 、多条数据线 D_1-D_m 、以及多条存储电极线 S_1-S_n 。

[0045] 栅极线 G_1-G_n 和 G_d 包括传送栅极信号（在下文中也称为“扫描信号”）的多条常规栅极线 G_1-G_n 和一条附加栅极线 G_d 。存储电极线 S_1-S_n 与常规栅极线 G_1-G_n 交替连接并传送存储信号。数据线 D_1-D_m 传送数据电压。

[0046] 栅极线 G_1-G_n 和 G_d 以及存储电极线 S_1-S_n 基本上沿行方向延伸并基本上互相平行，而数据线 D_1-D_m 基本上沿列方向排列并基本上互相平行。

[0047] 参考图 2，每个像素 PX，如连接到第 i 条常规栅极线 G_i ($i = 1, 2, \dots, 2n$) 和第 j 条数据线 D_j ($j = 1, 2, \dots, m$) 的像素 PX 包括连接到信号线 G_i 和 D_j 的开关元件 Q、以及连接到开关元件 Q 的液晶电容器 Clc 和存储电容器 Cst。

[0048] 开关元件 Q 是三端元件，如薄膜晶体管，并且被设置在底板 100 上。开关元件 Q 具有连接到常规栅极线 G_i 的控制端、连接到数据线 D_j 的输入端、和连接到液晶电容器 Clc 和存储电容器 Cst 的输出端。

[0049] 液晶电容器 Clc 包括作为两端的底板 100 上的像素电极 191 和上板 200 上的公共电极 270、和插入在两电极之间作为电介质的液晶层 3。像素电极 191 连接到开关元件 Q。公共电极 270 设置在上板 200 的整个表面上并且被提供有公共电压 Vcom，该公共电压是具有预定值的 DC 电压。

[0050] 与图 2 不同的是，公共电极 270 可以设置在底板 100 上，并且在这种情况下，两个电极 191 和 270 中的至少一个可以形成为线或条的形状。

[0051] 存储电容器 Cst 用作液晶电容器 Clc 的辅助电容器，并通过利用插入在像素电极 191 和存储电极线 S_i 之间的绝缘体使像素电极 191 和存储电极线 S_i 交迭而形成。

[0052] 为了实现彩色显示，每个像素单独地显示一种基色（空间分割），或每个像素顺序交替地显示基色（时间分割）。通过基色的空间或时间组合可以得到所需的颜色。所述基色的例子是包括红、绿和蓝的三基色。图 2 是空间分割的例子，其中每个像素 PX 都包括表示其中一种基色的彩色滤光片 230。不像图 2，彩色滤光片 230 可以提供在底板 100 的像素电极 191 的上面或下面。至少将一个用于使光偏振的偏光镜（未示出）附加在液晶面板组件 300 的外表面。

[0053] 参考图 1，灰度电压产生器 800 产生全部数目的栅极电压或产生有限数目的与像素 PX 的透射率相关的灰度电压（下文中也称之为“参考灰度电压”）。部分（参考）灰度电压相对于公共电压 Vcom 具有正极性，而其它的（参考）灰度电压相对于公共电压 Vcom 具有负极性。

[0054] 栅极驱动器 400 合成栅极接通电压 Von 和栅极关断电压 Voff，以产生施加到栅极线 G_1-G_n 和 G_d 的栅极信号。栅极驱动器 400 与信号线 G_1-G_n 、 G_d 、 D_1-D_m 、及 S_1-S_n 和开关元件 Q 一起集成到液晶面板组件 300 中。然而，栅极驱动器 400 可以包括至少一个以带装载封装（tape carrier package-TCP）形式安装在 LC 面板组件 300 上或柔性印刷电路（FPC）薄膜上的集成电路（IC）芯片，其附加到面板组件 300 上。作为选择，栅极驱动器 400 可以安装在单独的印刷电路板（未示出）上。

[0055] 存储信号产生器 700 连接到存储电极线 S_1-S_n 和栅极线 G_1-G_n , 并施加具有高电平电压和低电平电压的存储信号。

[0056] 代替向存储信号产生器 700 提供来自连接到栅极驱动器 400 的附加栅极线 G_d 的信号, 可以向存储信号产生器 700 提供来自单独的单元如信号控制器 600 或单独的信号产生器 (未示出) 的信号。在这种情况下, 附加栅极线 G_d 不需要形成在液晶显示面板组件 300 上。

[0057] 存储信号产生器 700 与信号线 G_1-G_n 、 G_d 、 D_1-D_m 及 S_1-S_n 和开关元件 Q 一起集成到液晶面板组件 300 中, 但栅极驱动器 400 可以包括至少一个以带装载封装 (TCP) 形式安装在 LC 面板组件 300 上或柔性印刷电路 (FPC) 薄膜上的集成电路 (IC) 芯片, 其附加到面板组件 300 上。可供选择的是, 栅极驱动器 400 可以安装在单独的印刷电路板 (未示出) 上。

[0058] 信号控制器 600 控制栅极驱动器 400、数据驱动器 500、和存储信号产生器 700。单元 500、600、和 800 中的每个都可以包括至少一个以带装载封装 (TCP) 形式安装在 LC 面板组件 300 上或柔性印刷电路 (FPC) 薄膜上的集成电路 (IC) 芯片, 其附加到面板组件 300 上。作为选择, 单元 500、600、和 800 中的至少一个与信号线 G_1-G_n 、 D_1-D_m 及开关元件 Q 一起集成到面板组件 300 中。作为选择, 所有单元 500、600、和 800 可以集成在一个 IC 芯片上, 但是, 单元 500、600、和 800 中的至少一个或单元 500、600、和 800 中的至少一个中的至少一个电路元件可以设置在单独的 IC 芯片以外。

[0059] 现在, 将详细描述液晶显示器的操作。信号控制器 600 从外部图形控制器 (未示出) 接收输入图像信号 R、G 和 B 以及输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息。亮度具有预定数目的灰度等级, 例如 $1024 (= 2^{10})$ 、 $256 (= 2^8)$ 、或 $64 (= 2^6)$ 灰度。输入控制信号包括垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、主时钟信号 $MCLK$ 、和数据使能信号 DE 。

[0060] 信号控制器 600 基于输入控制信号和输入图像信号 R、G 和 B、根据液晶显示面板组件 300 的操作需要来处理图像信号 R、G 和 B, 以产生栅极控制信号 $CONT1$ 、数据控制信号 $CONT2$ 、和存储控制信号 $CONT3$, 并且接下来将栅极控制信号 $CONT1$ 传送到栅极驱动器 400, 将数据控制信号 $CONT2$ 和处理过的图像信号 DAT 传送到数据驱动器 500, 并且将存储控制信号 $CONT3$ 传送到存储信号产生器 700。

[0061] 栅极控制信号 $CONT1$ 包括用于指示扫描开始的扫描开始信号 STV 、和至少一个用于控制栅极接通电压 V_{on} 的输出周期的时钟信号。栅极控制信号 $CONT1$ 还可以包括用于定义栅极接通电压 V_{on} 的持续时间的输出使能信号 OE 。

[0062] 数据控制信号 $CONT2$ 包括用于指示一行像素 PX 的数据传送的水平同步开始信号 STH 、用于命令向数据线 D_1-D_m 施加数据电压的负载信号 $LOAD$ 、和数据时钟信号 $HCLK$ 。数据控制信号 $CONT2$ 还可以包括用于关于公共电压 V_{com} 反转数据电压的极性的反转信号 RVS 。

[0063] 响应于来自信号控制器 600 的数据控制信号 $CONT2$, 数据驱动器 500 接收一行像素的数字图像信号 DAT 的分组, 将数字图像信号 DAT 转换成从灰度电压选择的模拟数据电压, 并将模拟数据电压提供到数据线 D_1-D_m 。

[0064] 响应于来自信号控制器 600 的栅极控制信号 $CONT1$, 栅极驱动器 400 向常规栅极线 G_1-G_n 中相应的一条, 如第 i 条常规栅极线 G_i 提供栅极接通电压 V_{on} , 并接通连接到常规栅极线 G_i (除不连接到开关元件 Q 的附加栅极线 G_d 外) 的开关元件 Q 。接下来通过被激活

的开关元件 Q, 将提供到数据线 D_1-D_m 的数据电压提供到第 i 行的像素 PX, 从而对像素 PX 内的液晶电容器 Clc 和存储电容器 Cst 充电。

[0065] 施加至像素 PX 的数据电压和公共电压的量值 (magnitude) 之间的差被表示为像素 PX 的液晶电容器 Clc 的电压, 其被称为像素电压。液晶电容器 Clc 内的液晶分子具有取决于像素电压的量值的定向, 并且分子定向决定通过液晶层 3 的光的偏振。该 (或多个) 偏光镜将光的偏振转换成光透射率, 从而使像素 PX 具有由数据电压的灰度表示的亮度。

[0066] 随着一个水平周期 (也称之为“1H”并且等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期) 的经过, 数据驱动器 500 提供数据电压到第 (i+1) 行的像素 PX, 并且接下来栅极驱动器 400 将施加到第 i 常规栅极线 G_i 的栅极信号变为栅极关断电压 Voff, 并将施加到下一条常规栅极线 G_{i+1} 的栅极信号变为栅极接通电压 Von。

[0067] 接下来, 第 i 行的开关元件 Q 断开, 从而使像素电极 191 处于浮置状态。

[0068] 存储信号产生器 700 基于信号控制器 600 的存储控制信号 CONT3 和提供到相应栅极线的栅极信号的电压变化, 改变提供到相应存储电极线的存储信号的电压电平。从而, 像素电极 191 的电压根据存储电极线上的电压变化而变化。通过对所有像素行重复上述步骤, 液晶显示器显示一帧图像。

[0069] 当一帧结束后下一帧开始时, 控制提供到数据驱动器 500 上的反转信号 RVS, 使得数据电压的极性被反转 (称之为“帧反转”)。此外, 提供到一行像素 PX 上的数据电压的极性基本上相同, 而提供到两个相邻行的像素 PX 上的数据电压的极性被反转 (例如, 行反转)。

[0070] 因为根据本发明实施例的液晶显示器执行帧反转和行反转, 提供到一行像素 PX 上的所有数据电压的极性是正或负, 并且在每一帧发生变化。此时, 当通过正极性的数据电压为像素电极 191 充电时, 提供到存储电极线 S_1-S_n 的存储信号从低电平改变到高电平电压。另一方面, 当通过负极性的数据电压为像素电极 191 充电时, 存储信号从高电平改变到低电平电压。结果是, 当利用正极性的数据电压为像素电极 191 充电时, 像素电极 191 上的电压上升得更多, 并且当利用负极性的数据电压为像素电极 191 充电时, 像素电极 191 上的电压下降得更多。因此, 像素电极 191 的电压范围比作为数据电压的基础的灰度电压的范围宽, 从而增大了利用低基本电压的亮度范围。

[0071] 存储信号产生器 700 可以包括多个分别连接到存储电极线 S_1-S_n 的信号产生电路。信号产生电路的例子将参考图 3 和图 4 描述。

[0072] 图 3 是根据本发明实施例的信号产生电路的电路图, 并且图 4 是用在包括图 3 示出的信号产生电路的液晶显示器内的信号的时序图。

[0073] 参考图 3, 信号产生电路包括输入端 IP 和输出端 OP。在第 i 个信号产生电路 STi 中, 输入端 IP 连接到被提供第 i 个栅极信号 g_i (在下文中称之为“输入信号”) 的第 i 条栅极线 G_i , 并且输出端 OP 连接到第 i 条存储电极线 S_i 以输出第 i 个存储信号 V_{S_i} 。类似地, 在第 (i+1) 个信号产生电路中, 输入端 IP 连接到被提供有作为输入信号的第 (i+2) 个栅极信号 g_{i+2} 的第 (i+2) 条栅极线 G_{i+2} , 并且输出端 OP 连接到第 (i+1) 条存储电极线 S_{i+1} 以输出第 (i+1) 个存储信号 $V_{S_{i+1}}$ 。

[0074] 将来自信号控制器 600 的存储控制信号 CONT3 的驱动信号 V_{SL} 提供给信号产生电路。

[0075] 如图 4 所示,驱动信号 V_{SL} 具有低电平电压 V_- 和高电平电压 V_+ 。驱动信号 V_{SL} 的周期可以是大约 2H,并且其占空比可以是大约 50%。此外,驱动信号 V_{SL} 每帧反转。驱动信号 V_{SL} 可以具有大约 5V 的高电平电压 V_+ 和大约 0V 的低电平电压 V_- 。

[0076] 如图 3 内所示,信号产生电路包括两个晶体管 Tr1 和 Tr2,每个晶体管都具有控制端、输入端、和输出端。晶体管 Tr1 和 Tr2 可以是非晶硅晶体管或多晶硅薄膜晶体管。

[0077] 每个信号产生电路的晶体管 Tr1 的控制端连接到输入端 IP 并连接到紧前一个信号产生电路的晶体管 Tr2 的控制端。晶体管 Tr1 和 Tr2 的输入端都连接到线 SL 以接收信号 V_{SL} 。晶体管 Tr1 和 Tr2 的输出端都连接到输出端 OP。

[0078] 附加栅极线 G_d (图 1) 传送栅极信号到连接于最后一条存储电极线 S_n 的最后一个信号产生电路,但上述可以改变。作为选择,可以从单独的单元、如信号控制器 600 或外部装置向最后一个信号产生电路提供控制信号。

[0079] 信号产生电路除了输入信号之外具有相同的结构。下面将参考图 3 描述提供存储信号 V_{S_i} 和 $V_{S_{i+1}}$ 到第 i 条和第 $(i+1)$ 条存储电极线 S_i 和 S_{i+1} 的第 i 个和第 $(i+1)$ 个信号产生电路 ST_i 和 ST_{i+1} 的操作。根据本发明的液晶显示器执行一行反转和帧反转。

[0080] 当将输入信号,也就是栅极接通信号 V_{on} 提供到第 i 条栅极线 G_i 的输入端 IP 时,第 i 个信号产生电路 ST_i 的晶体管 Tr1 接通。此时,驱动信号 V_{SL} 具有低电压电平 V_- 。将驱动信号 V_{SL} 的低电平电压 V_- 提供到输出端 OP,并因此存储信号 V_{S_i} 具有低电平电压 V_- 。

[0081] 大约 1H 后,栅极信号 g_i 从栅极接通电压 V_{on} 改变到栅极关断电压 V_{off} ,并且提供到第 $(i+1)$ 条栅极线 G_{i+1} 的栅极信号 g_{i+1} 具有栅极接通电压 V_{on} 。此时,驱动信号 V_{SL} 从低电平电压 V_- 改变到高电平电压 V_+ 。从而,在第 i 个信号产生电路 ST_i 中,晶体管 Tr1 关断,但晶体管 Tr2 接通,从而将具有高电平电压 V_+ 的驱动信号 V_{SL} 通过接通的晶体管 Tr2 施加到输出端 OP。也就是说,通过将栅极接通电压 V_{on} 提供到栅极线 G_i 而完成对像素行的充电后,存储信号 V_{S_i} 从低电平电压 V_- 改变到高电平电压 V_+ 。

[0082] 此外,第 $(i+1)$ 个信号产生电路 ST_{i+1} 的晶体管 Tr1 接通,从而使驱动信号 V_{SL} 的高电压 V_+ 提供到输出端 OP,作为存储信号 $V_{S_{i+1}}$ 。

[0083] 在大约 1H 后,栅极信号 g_{i+1} 具有栅极关断电压 V_{off} ,并且提供到第 $(i+2)$ 条栅极线 G_{i+2} 的栅极信号 g_{i+2} 具有栅极接通电压 V_{on} 。由此,晶体管 Tr1 关断,但第 $(i+1)$ 个信号产生电路 ST_{i+1} 的晶体管 Tr2 接通,使得存储信号 $V_{S_{i+1}}$ 从高电平电压 V_+ 改变到低电平电压 V_- 。

[0084] 接下来,解释存储信号的电压变化导致的像素电极电压 V_p 的改变。在下文中,每个电容器及其电容量都表示为相同的附图标记。

[0085] 首先,通过等式 1 得到像素电极电压 V_p 。在等式 1 中, Clc 和 Cst 分别表示液晶电容器和存储电容器及其电容量, V_+ 表示存储信号 V_s 的高电平电压,并且 V_- 表示存储信号 V_s 的低电平电压。

[0086] 如等式 1 所示,像素电极电压 V_p 通过从数据电压 V_d 增加或减少变化量 Δ 来定义,该变化量通过液晶电容器和存储电容器的电容量 Clc 和 Cst 与存储信号 V_s 的电压变化来定义。

[0087] [等式 1]

$$[0088] \quad V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}}(V + -V -)$$

[0089] 这样设计像素,使得数据电压 V_D 在大约 0V 到大约 5V 的范围内,并且 C_{st} 与 C_{lc} 彼此相等。当 $V+ -V- = 5V$ 时,在等式 1 中 $V_p = V_D \pm 2.5$ 。

[0090] 结果是,当存储信号 V_s 的电压变化时,像素电极电压 V_p 根据数据电压 V_D 的极性,从施加到数据线 D_1 到 D_m 中全部相关数据线的的数据电压 V_D 增加或减少大约 $\pm 2.5V$ 。也就是,当极性为正时,像素电极电压 V_p 增加大约 $+2.5V$,并且当极性为负时,像素电极电压 V_p 减少大约 $-2.5V$ 。由于像素电极电压 V_p 的变化,像素电压的范围也变宽了。例如,当公共电压 V_{com} 固定为大约 $2.5V$ 时,由于施加到像素电压的数据电压 V_D 的范围是大约 0V 到大约 5V,像素电压的范围在大约 $-2.5V$ 到 $+2.5V$ 。然而,当存储信号 V_s 从高电平电压 $V+$ 变到低电平电压 $V-$ 时,像素电压的范围也变宽了,如从大约 $-5V$ 到大约 $+5V$ 。

[0091] 以上述方式,像素电压的范围被加宽了一个值,该值与存储信号的变化 $V+ -V-$ 导致的像素电极电压 V_p 的变化量 Δ 差不多。因此,用于表示灰度等级的电压的范围变宽了,从而可以改进亮度。

[0092] 此外,因为公共电压被固定在恒定电压,与交替施加高和低电压的情况相比,能耗降低了。也就是,当施加到公共电极的公共电压是大约 0V 或 5V 时,施加到在数据线和公共电极之间形成的寄生电容器的电压具有大约 $\pm 5V$ 的最大值。然而,当公共电压固定为大约是 $2.5V$ 时,施加到在数据线和公共电极之间形成的寄生电容器的电压减小到大约 $\pm 2.5V$ 的最大值。因为在数据线和公共电极之间形成的寄生电容器的能耗减少了,液晶显示器的总能耗也减少了。

[0093] 然而,因为液晶的响应速度较低,液晶分子不能快速响应像素电压。因此,液晶电容器 C_{lc} 的静电电容取决于液晶电容器 C_{lc} 的像素电压,并且根据液晶分子是否到达重新定向或稳定状态而发生变化。结果是,像素电极电压 V_p 根据液晶分子是否到达稳定状态而发生变化。

[0094] 接下来,将描述像素电极电压 V_p 根据液晶分子是否到达了稳定状态的变化。

[0095] 在最大像素电压施加到液晶电容器 C_{lc} 并且液晶分子到达稳定状态后,假定液晶电容器 C_{lc} 的静电电容是在施加最小像素电压并且液晶分子到达稳定状态后的液晶电容器 C_{lc} 的静电电容的三倍。最大像素电压是最大灰度等级(正常黑色型内的白色灰度等级)像素电压。最小像素电压是最小灰度等级(正常黑色型内的黑色灰度等级)像素电压。此外,假定 $V+ -V- = 5V$ 并且 $C_{lc} = C_{st}$ 。

[0096] 当液晶分子到达稳定状态时将最大灰度等级像素电压施加到液晶电容器 C_{lc} 后的像素电极电压 V_p 由等式 1 表示。因为 $V+ -V- =$ 大约 $5V$ 并且 $C_{lc} = C_{st}$,像素电极电压 V_p 是 $V_p = V_D \pm 2.5V$ 。

[0097] 然而,在最大灰度等级像素电压施加到液晶电容器 C_{lc} 后的情况下,液晶分子不能到达稳定状态,像素电极电压 V_p 由等式 2 表示。

[0098] [等式 2]

$$[0099] \quad V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}}(V + -V -)$$

$$[0100] \quad = V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3}C_{st}}(V + -V -) = V_D \pm \frac{3}{4}(V + -V -)$$

[0101] 因为, $V+ -V- = 5V$, 所以 $V_p = V_D \pm 3.75$

[0102] 在将最大灰度等级像素电压施加至液晶电容器 C1c 的情况下, 液晶分子不能到达稳定状态, 并且当液晶分子到达稳定状态时将最小灰度等级像素电压施加到液晶电容器 C1c 后, 像素电极电压 V_p 维持在像素电极电压。也就是, 像素电极电压 V_p 维持在最后一帧状态。因此, 存储信号的变化 $V+ -V-$ 导致的像素电极电压 V_p 的变化量 Δ 从大约 $\pm 2.5V$ 增加到大约 $\pm 3.75V$ 。

[0103] 在从最小灰度的像素电极电压变化到另一灰度的像素电极电压的情况下, 存储信号的变化 $V+ -V-$ 导致的像素电极电压 V_p 的变化量还增加, 直到液晶分子到达稳定状态。当 $V+ -V- =$ 大约 $5V$ 时, 变化量 Δ 增加到大约 $\pm 3.75V$ 的最大值。

[0104] 因此, 按照惯例, 如图 6 所示, 虽然在所有帧内将对应于目标像素电极电压 V_T 的像素电极电压 V_p 施加到像素电极, 但由于在完成充电操作后的相邻数据电压的影响, 在像素电极内充电的像素电极电压减小, 从而在一帧内不能到达目标像素电极电压 V_T , 从而在数帧后, 像素电极电压 V_p 可以到达目标像素电极电压 V_T 。

[0105] 然而, 根据本发明的示例实施例, 如图 5 所示, 因为施加到像素电极的像素电极电压 V_p 比目标像素电极电压 V_T 高, 像素电极可以在一帧内到达目标像素电极电压 V_T 。结果是, 与现有技术相比, 液晶的响应速度 RC 可以提高。

[0106] 因而, 通过从数据电压 V_D 增加或减少存储信号 V_S 的电压变化量, 当像素已经被充电了正极性的数据电压时, 像素电极电压 V_p 增加了该电压变化量, 并且相反, 当像素已经被充电了负极性的数据电压时, 像素电极电压 V_p 减少了该电压变化量。由此, 像素电压的变化量比灰度电压的范围宽了所增加或减小的像素电极电压 V_p , 从而可以增加被表示的亮度的范围。

[0107] 此外, 因为公共电压固定在预定值, 与高值和低值交替的公共电压相比, 能耗降低了。

[0108] 接下来, 将参考图 5A、5B 和图 6 描述根据本发明的示例实施例的信号产生电路的另一例子。

[0109] 与图 3 相比, 执行相同操作的部件用相同的附图标记表示, 并且将省略对其的详细描述。

[0110] 图 5A 和 5B 是根据本发明示例实施例的信号产生电路的另一个例子的电路图, 并且图 6 是用在包括图 5A 或 5B 中示出的信号产生电路的液晶显示器中的信号的时序图。

[0111] 与图 3 内示出的信号产生电路相似的是, 图 5A 和 5B 中示出的每个信号产生电路都包括两个晶体管 Tr11 和 Tr22、或 Tr21 和 Tr22, 每个上述晶体管都具有控制端、输入端、和输出端。

[0112] 然而, 与图 3 不同的是, 图 5A 和 5B 示出的信号产生电路通过两条导线 SL1 和 SL2、或 SL1a 和 SL2a 被提供存储控制信号 CONT3 的两个驱动信号 V_{SL1} 和 V_{SL2} 。驱动信号 V_{SL1} 和 V_{SL2} 分别具有低电平电压 $V-$ 和高电平电压 $V+$ 。驱动信号 V_{SL1} 和 V_{SL2} 具有大约 180° 的相位差, 并由此是互相反转的波形。驱动信号 V_{SL1} 和 V_{SL2} 的波形在每帧内反转。此时, 驱动信号

V_{SL1} 和 V_{SL2} 的波形可以在两个相邻帧之间的空白部分反转。驱动信号 V_{SL1} 和 V_{SL2} 的低电平电压 V_- 可以是大约 0V, 并且驱动信号 V_{SL1} 和 V_{SL2} 的高电平电压 V_+ 可以是大约 5V。

[0113] 因此, 与图 3 相比, 图 5A 和 5B 内示出的信号产生电路在两个晶体管 Tr11 和 Tr22、或 Tr21 和 Tr22 的输入端与驱动信号 V_{SL1} 和 V_{SL2} 之间具有不同的连接。

[0114] 详细地讲, 图 5A 的导线 SL1 和 SL2 每行交替排列, 从而使左边和右边位置在每行改变。

[0115] 由此, 晶体管 Tr11 和 Tr21、Tr21 和 Tr22 的输入端都连接到紧相邻的导线 SL1 和 SL2, 但输入的驱动电压 V_{SL1} 和 V_{SL2} 按每行改变。例如, 当奇数信号产生电路的晶体管的输入端连接到驱动信号 V_{SL1} 时, 偶数信号产生电路的晶体管的输入端连接到驱动信号 V_{SL2} 。相反, 当奇数信号产生电路的晶体管的输入端连接到驱动信号 V_{SL2} 时, 偶数信号产生电路的晶体管的输入端连接到驱动信号 V_{SL1} 。

[0116] 与图 5A 不同的是, 图 5B 内示出的信号产生电路的导线 SL1a 和 SL2a 沿纵向方向平行延伸, 并且由于晶体管 Tr11、Tr21、Tr12 和 Tr22 与导线 SL1a 和 SL2a 之间的连接的变化, 输入到晶体管 Tr11、Tr21、Tr12 和 Tr22 的输入端的驱动信号 V_{SL1} 和 V_{SL2} 按每行改变。例如, 当奇数信号产生电路的输入端连接到紧相邻的、被提供有驱动信号 V_{SL1} 的导线 SL1a 时, 偶数信号产生电路的输入端连接到下一紧相邻的、被提供有驱动信号 V_{SL2} 的导线 SL2a。相反, 当奇数信号产生电路的输入端连接到下一紧相邻的、被提供有驱动信号 V_{SL1} 的导线 SL1b 时, 偶数信号产生电路的输入端连接到紧相邻的、被提供有驱动信号 V_{SL1} 的导线 SL1a。

[0117] 图 5A 和 5B 中示出的信号产生电路的操作是相同的, 并且将参考图 6 描述第 i 个和第 $(i+1)$ 个信号产生电路 STA_i 、 STA_{i+1} 、 STB_i 和 STB_{i+1} 的操作。

[0118] 第 i 个和第 $(i+1)$ 个信号产生电路 STA_i 、 STA_{i+1} 、 STB_i 和 STB_{i+1} 的操作与图 3 中的相似。

[0119] 也就是, 当施加到第 i 条栅极线 G_i 的栅极信号 g_i 变为栅极接通电压 V_{on} 时, 晶体管 Tr11 接通。此时, 驱动信号 V_{SL1} 具有低电平电压 V_- , 并且驱动信号 V_{SL2} 具有高电平电压 V_+ 。由此, 将低电平信号 V_- 的驱动信号 V_{SL1} 通过接通的晶体管 Tr11 施加到输出端 OP, 作为存储信号 V_{S_i} 。

[0120] 大约 1H 后, 栅极信号 g_i 从栅极接通电压 V_{on} 改变到栅极关断电压 V_{off} , 并且施加到第 $(i+1)$ 条栅极线 G_{i+1} 的栅极信号 g_{i+1} 具有栅极接通电压 V_{on} 。由此, 晶体管 Tr11 关断并且晶体管 Tr12 接通, 从而将高电平信号 V_+ 的驱动信号 V_{SL2} 通过接通的晶体管 Tr12 施加到输出端 OP, 作为存储信号 V_{S_i} 。也就是, 在通过施加栅极接通电压 V_{on} 为连接到栅极线 G_i 的像素行充电后, 存储信号 V_{S_i} 从低电平电压 V_- 改变到高电平电压 V_+ , 并且由此像素电极电压 V_p 增大了由等式 1 或 2 定义的变化量 Δ 。

[0121] 此时, 第 $(i+1)$ 个信号产生电路 STA_{i+1} 或 STB_{i+1} 的晶体管 Tr21 接通, 将高电平电压 V_+ 的驱动信号 V_{SL2} 施加到输出端 OP, 以输出第 $(i+1)$ 个存储信号 $V_{S_{i+1}}$ 。

[0122] 大约 1H 后, 栅极信号 g_{i+1} 从栅极接通电压 V_{on} 改变到栅极关断电压 V_{off} , 并且施加到第 $(i+2)$ 条栅极线 G_{i+2} 的栅极信号 g_{i+2} 具有栅极接通电压 V_{on} 。由此, 晶体管 Tr21 关断并且晶体管 Tr22 接通, 从而将低电平信号 V_- 的驱动信号 V_{SL2} 施加到输出端 OP, 作为存储信号 $V_{S_{i+1}}$ 。

[0123] 在通过施加栅极接通电压 V_{on} 为连接到栅极线 G_{i+1} 的像素行充电后, 存储信号

$V_{s_{i+1}}$ 从高水平电压 $V+$ 改变到低电平电压 $V-$, 并且由此像素电极电压 V_p 减小了由等式 1 或 2 定义的变化量 Δ 。

[0124] 图 3 和 4 内的驱动信号 V_{SL} 反转大约 1H, 但是驱动信号 V_{SL1} 和 V_{SL2} 按每帧反转。由此, 与图 3 内的信号产生电路相比, 稳定施加驱动信号 V_{SL1} 和 V_{SL2} 是可能的, 并且将降低能耗。

[0125] 接下来, 将参考图 7 和 8 描述根据本发明实施例的信号产生电路的另一例子。

[0126] 图 7 是根据本发明另一示例实施例的信号产生电路的另一个例子的电路图, 并且图 8 是用在包括图 7 的信号产生电路的液晶显示器内的信号的时序图。

[0127] 图 7 内示出的每个信号产生电路都包括输入端 IP 和输出端 OP。然而, 与图 5A 内示出的信号产生电路不同的是, 例如在第 i 个信号产生电路 73_i 内, 为输入端 IP 提供施加到第 $(i+1)$ 条栅极线 G_{i+1} 的第 $(i+1)$ 个栅极信号 g_{i+1} , 作为输入信号, 并且输出端输出连接到第 i 条存储电极线 S_i 的第 i 个存储信号 V_{s_i} 。相似地, 为输入端 IP 提供施加到第 $(i+2)$ 条栅极线 G_{i+2} 的第 $(i+2)$ 个栅极信号 g_{i+2} , 作为输入信号, 并且输出端输出连接到第 $(i+1)$ 条存储电极线 S_{i+1} 的第 $(i+1)$ 个存储信号 $V_{s_{i+1}}$ 。

[0128] 此外, 分别通过导线 $SL1$ 、 $SL2$ 、 $SEL1$ 和 $SEL2$, 为信号产生电路提供控制器 600 的存储控制信号 $CONT3$ 的驱动信号 V_{SL1a} 和 V_{SL2a} 以及选择信号 V_{SEL} 和 V_{SELB} 。

[0129] 如图 5A 所示, 导线 $SL1$ 和 $SL2$ 按每行交替, 并且由此改变左边和右边的位置。然而, 导线 $SL1$ 和 $SL2$ 可以形成为图 5 内所示, 以传送驱动信号 V_{SL1a} 和 V_{SL2a} 。

[0130] 导线 $SEL1$ 在纵向方向内延伸, 向左边方向突出, 以包围晶体管 $Tr4$, 并且然后再次在纵向方向内延伸。然而, 导线 $SEL1$ 可以与导线 $SEL2$ 平行地在纵向方向内延伸而没有突出。

[0131] 如图 8 所示, 驱动信号 V_{SL1a} 和 V_{SL2a} 具有恒定 DC 电压。例如, 驱动信号 V_{SL1a} 保持低电平电压 $V-$, 如大约是 0V, 并且驱动信号 V_{SL2a} 保持高电平电压 $V+$, 如大约 5V。选择信号具有低电平电压 V_l 和高电平电压 V_h , 并且低电平电压 V_l 可以与栅极关断电压 V_{off} 相同。高电平电压 V_h 可以与栅极接通电压 V_{on} 相同。选择信号 V_{SEL} 和 V_{SELB} 具有大约 180° 的相位差以互相反转, 并且选择信号 V_{SEL} 和 V_{SELB} 的波形按每帧反转。此时, 选择信号 V_{SEL} 和 V_{SELB} 的波形可以在两个相邻帧之间的空白部分反转。

[0132] 每个信号产生电路包括四个晶体管 $Tr11a$ 和 $Tr12a$ 、或 $Tr21a$ 和 $Tr22a$ 、 $Tr3$ 、和 $Tr4$, 以及两个电容器 $C1$ 和 $C2$ 。

[0133] 如图 7 所示, 与图 5A 和 5B 相似的是, 晶体管 $Tr11a$ 具有分别连接到驱动信号 V_{SL1a} 和输出端 OP 的输入端和输出端, 并且晶体管 $Tr12a$ 具有分别连接到驱动信号 V_{SL2a} 和输出端 OP 的输入端和输出端。晶体管 $Tr21a$ 具有分别连接到驱动信号 V_{SL2a} 和输出端 OP 的输入端和输出端, 并且晶体管 $Tr22a$ 具有分别连接到驱动信号 V_{SL1a} 和输出端 OP 的输入端和输出端。然而, 不像图 5A 和 5B, 晶体管 $Tr11a$ 和 $Tr21a$ 的控制端都连接到晶体管 $Tr3$ 的输出端, 并且晶体管 $Tr12a$ 和 $Tr22a$ 的控制端都连接到晶体管 $Tr4$ 的输出端。如上所述, 当奇数信号产生电路包括晶体管 $Tr11a$ 和 $Tr12a$ 时, 偶数信号产生电路包括晶体管 $Tr21a$ 和 $Tr22a$ 。相反, 当奇数信号产生电路包括晶体管 $Tr21a$ 和 $Tr22a$ 时, 偶数信号产生电路包括晶体管 $Tr11a$ 和 $Tr12a$ 。

[0134] 晶体管 $Tr3$ 和 $Tr4$ 还具有分别连接到选择信号 V_{SEL} 、 V_{SELB} 的输入端, 以及连接到输

入端 IP 的控制端。

[0135] 晶体管 Tr11a、Tr12a、Tr21a 和 Tr22a 可以是非晶硅晶体管或多晶硅薄膜晶体管。

[0136] 将参考图 8 描述信号产生电路的操作。

[0137] 除输入信号和驱动电压 V_{SL1a} 和 V_{SL2a} 之外,分别连接到存储电极线 S1-Sn 的信号产生电路的构造都是相同的,并且由此将描述第 i 个和 (i+1) 个信号产生电路 73_i 和 73_{i+1} 的操作。

[0138] 首先,当将第 (i+1) 个栅极信号 g_{i+1} 的栅极接通电压 V_{on} 施加到第 i 个信号产生电路 73_i 的输入端 IP 时,晶体管 Tr3 和 Tr4 接通。

[0139] 由此,如图 8 所示,将选择信号 V_{SEL} 的低电平电压 V1 施加到晶体管 Tr11a 的控制端,作为栅极驱动信号 V_{g1} ,并且使电容器 C1 充电。此外,将选择信号 V_{SELB} 的高电平电压 V_h 施加到晶体管 Tr12a 的控制端,作为栅极驱动信号 V_{g2} ,并使电容器 C2 充电。使栅极驱动电压 V_{g1} 和驱动电压 V_{SL1a} 之间的电压差以及栅极驱动电压 V_{g2} 和驱动电压 V_{SL2a} 之间的电压差分别充电到电容器 C1 和 C2。

[0140] 栅极驱动电压 V_{g1} 和 V_{g2} 的最大电平电压 V_{on}' 和最小电平电压 V_{off}' 与选择信号 V_{SEL} 和 V_{SELB} 的高电平电压 V_h 和低电平电压 V12 不同。也就是说,栅极驱动电压 V_{g1} 和 V_{g2} 的最大电平电压 V_{on}' 比栅极接通电压 V_{on} 小,并且栅极驱动电压 V_{g1} 和 V_{g2} 的最小电平电压 V_{off}' 比栅极关断电压 V_{off} 大。

[0141] 通过为电容器 C1 和 C2 的充电操作使晶体管 Tr11a 和 Tr12a 的状态保持到下一帧。

[0142] 由此,将高电平电压 V_+ 的驱动信号 V_{SL2a} 通过接通的晶体管 Tr12a 施加到输出端 OP,作为存储信号 V_{S_i} 。

[0143] 结果是,因为存储信号 V_{S_i} 从低电平电压 V_- 改变到高电平电压 V_+ ,相应像素行的像素电极电压 V_p 增大了由等式 1 或 2 定义的变化量。

[0144] 接下来,将描述第 (i+1) 个信号产生电路 73_{i+1} 的操作。

[0145] 当将第 (i+1) 个栅极信号 g_{i+1} 的栅极接通电压 V_{on} 施加到第 (i+1) 个信号产生电路 73_{i+1} 时,第 (i+1) 个信号产生电路 73_{i+1} 的操作开始。

[0146] 也就是,当将第 (i+1) 个栅极信号 g_{i+1} 的栅极接通电压 V_{on} 施加到输入端 IP 时,晶体管 Tr3 和 Tr4 接通,并且由此,分别通过接通的晶体管 Tr3 和 Tr4 施加选择信号 V_{SEL} 的低电平电压 V1 和选择信号 V_{SELB} 的高电平电压 V_h ,以接通晶体管 Tr21a 并接通晶体管 Tr22a。从而,将低电平电压 V_- 的驱动信号 V_{SL1a} 输出到输出端 OP,作为存储信号 $V_{S_{i+1}}$,并且通过为电容器 C1 和 C2 的充电操作使晶体管 Tr21a 和 Tr22a 的状态保持到下一帧。

[0147] 结果是,因为存储信号 $V_{S_{i+1}}$ 从高电平电压 V_+ 改变到低电平电压 V_- ,相应像素行的像素电极电压 V_p 减少了由等式 1 或 2 定义的变化量。

[0148] 在该例子中,因为将在一帧内施加恒定电压作为存储电压,由于寄生电容引起的电压变化减少了,以改进图像质量。因为仅向晶体管 Tr3 和 Tr4 施加了具有为电容器 C1 和 C2 充电的量值的电压,并且存储信号的状态保持到下一帧,因此晶体管的尺寸减小了。

[0149] 可供选择的是,像栅极接通电压那样,通过独立的集成电路施加的存储信号可以连续地移位到第一存储电极线和最后的存储电极。此时,存储信号产生器可以是串-并移位寄存器,并且通过将反相器等等连接到奇数或偶数存储电极线,存储信号的电压电平可

以在每个行反转。

[0150] 现在,将参考附图详细描述根据本发明实施例的液晶显示器内的薄膜晶体管阵列面板的结构。

[0151] 将参考图 11 到 12B 详细描述根据本发明实施例的液晶显示器内的薄膜晶体管阵列面板的第一个例子。

[0152] 图 11 是根据本发明的实施例的液晶显示器内的薄膜晶体管阵列面板的例子的布局图,并且图 12A 和 12B 是分别沿着图 11 中的线 XIIA-XIIA 和线 XIIB-XIIB 的薄膜晶体管阵列面板的截面图。

[0153] 将多条栅极线 121 和多条存储电极线 131 设置在由透明玻璃或塑料制成的绝缘基板 110 上。

[0154] 栅极线 121 最初在水平方向延伸,以传送栅极信号。栅极线 121 包括多条向下突出的栅极 124、和末端部分 129,该末端部分 129 具有宽表面区域,用于将其连接到其他层或外部驱动电路。

[0155] 可以将产生栅极信号的栅极驱动电路设置在附加到基板 110 上的柔性印刷电路膜(未示出)上。作为选择,栅极驱动电路可以直接设置在基板 110 上,或者可以集成到基板 110 上。在栅极驱动电路集成到基板 110 的情况下,栅极线 121 可以直接连接到栅极驱动电路上。

[0156] 每条存储电极线 131 最初在水平方向延伸,并且包括多个放大部分 137,其宽度向下增大。每条存储电极线 131 还可以包括末端部分,该末端部分具有用于连接到其他层或外部驱动电路的宽表面区域。然而,存储电极线 131 的形状和布置可以以各种方式进行修改。

[0157] 为每条存储电极线 131 在帧单元内交替施加大约 5V 的高电平电压 $V+$ 和大约 0V 的低电平电压 $V-$ 的预定电压。

[0158] 可以将产生存储信号的信号产生电路(未示出)设置在附加到基板 110 上的柔性印刷电路膜(未示出)上。作为选择,信号产生电路可以直接设置在基板 110 上,或者可以集成到基板 110 上。在信号产生电路集成到基板 110 的情况下,存储电极线 131 可以延伸为直接连接到信号产生电路上。

[0159] 栅极线 121 和存储电极线 131 可以由含铝金属如铝 (Al) 和铝合金、含银金属如银 (Ag) 和银合金、含铜金属如铜 (Cu) 和铜合金、含钼金属如钼 (Mo) 和钼合金、铬 (Cr)、钽 (Ta)、和钛 (Ti) 制成。作为选择,栅极线 121 和存储电极线 131 可以具有多层结构,该多层结构包括具有不同物理特性的两个导电层(未示出)。为了降低信号延迟和电压降,两个导电层中的一个由具有低电阻率的金属,如含铝金属、含银金属、以及含铜金属形成。另一导电层由具有好的物理、化学、和与其他材料(尤其是与 ITO(氧化铟锡)和 IZO(氧化铟锌))的电接触特性的材料,如含钼金属、铬、钛和钽形成。作为组合的一种优选例子,可以使用下面铬层和上面铝合金层的组合、或下面钼合金层和上面铝层的组合。作为选择,栅极线 121 和存储电极线 131 可以由各种金属或导电材料形成。

[0160] 栅极线 121 和存储电极线 131 的侧表面可以关于基板 110 的表面倾斜,并且倾斜角可以在大约 30° 到大约 80° 范围内。

[0161] 将由氮化硅 SiN_x 、氧化硅 SiO_x 或相似物形成的栅绝缘层 140 形成在栅极线 121 和

存储电极线 131 上。

[0162] 将多个由氢化非晶硅（缩写为 a-Si）或多晶硅形成的半导体条 151 形成在栅绝缘膜 140 上。半导体条 151 最初在垂直方向延伸，并且包括多个向栅极 124 延伸的突起 154。此外，半导体条 151 的宽度在栅极线 121 和存储电极线 131 附近区域增大，以覆盖其较宽区域。

[0163] 将多个线形以及岛形欧姆触点 161 和 165 形成在半导体条 151 上。欧姆触点 161 和 165 可以由掺杂了很多 n- 型杂质如磷 (P) 的硅化物或 n+ 氢化非晶硅形成。线形 欧姆触点 161 包括多个突起 163。每对突起 163 和岛形欧姆触点 165 设置在半导体条 151 的突起 154 上。

[0164] 半导体条 151 和欧姆触点 161 和 165 的侧表面也关于基板 110 的表面倾斜，并且倾斜角可以在大约 30° 到大约 80° 范围内。

[0165] 将多条数据线 171 和多个漏极 175 形成在欧姆触点 161 和 165 以及栅绝缘膜 140 上。

[0166] 传送数据信号的数据线 171 最初在垂直方向延伸，以与栅极线 121 和存储电极线 131 交叉。数据线 171 包括多个向栅极 124 突出的源极 173，和具有较宽面积用于将其连接到其他层或外部驱动电路的末端部分 179。将产生数据信号的数据驱动电路（未示出）设置在附加到基板 110 上的柔性印刷电路膜（未示出）上。作为选择，数据驱动电路可以直接设置在基板 110 上，或者可以集成到基板 110 中。如果数据驱动电路集成到基板 110 中，数据线 171 可以延伸以直接连接到数据驱动电路上。

[0167] 漏极 175 与数据线 171 分离，并且利用插入在其中间的栅极 124 与源极 173 面对。每个漏极 175 包括宽末端和条形末端。宽末端与存储电极线 131 的增大部分交迭，并且条形末端被弯曲的源极 173 部分包围。

[0168] 一个栅极 124、一个源极 173、和一个漏极 175 与一个半导体条的一个突起 154 一起构成一个薄膜晶体管 (TFT)。薄膜晶体管的沟道形成在源极 173 和漏极 175 之间的突起 154 内。

[0169] 优选地，数据线 171 和漏极 175 由钼 (Mo)、难溶金属如铬 (Cr)、钽 (Ta)、和钛 (Ti)、或其合金形成。数据线 171 和漏极 175 可以具有多层结构，该多层结构包括难溶金属层（未示出）和低电阻率导电层（未示出）。作为多层结构的例子，有下面铬（或钼合金）层（未示出）和上面铝合金层的双层结构，以及下面钼合金层、中间铝合金层和上面钼合金层的三层结构。然而，代替上面的材料，数据线 171 和漏极 175 可以由各种其他金属和导电材料形成。

[0170] 优选地，数据线 171 和漏极 175 的侧表面也可以关于基板 110 的表面倾斜，并且倾斜角在大约 30° 到大约 80° 范围内。

[0171] 欧姆触点 161 和 165 仅设置在下面的半导体条 151 与上面的数据线 171 和漏极 175 之间，并且具有降低它们之间的接触电阻的功能。虽然半导体条 151 的宽度在很大区域上比数据线 171 的宽度小，但是如上所述其中栅极线 121 和存储电极线 131 互相交叉的部分的宽度增大了。半导体条 151 具有不被数据线 171 和漏极 175 覆盖的暴露部分，如设置在源极 173 和漏极 175 之间的部分。

[0172] 将钝化层 180 形成在数据线 171、漏极 175、和半导体条 151 的暴露部分上。钝化

层 180 可以由无机或有机绝缘材料形成并具有平坦表面。作为绝缘材料的例子,有氮化硅和氧化硅。有机绝缘材料可以具有感光性,并且其介电常数优选大约是 4.0 或更小。作为选择,为了保持有机层较好的绝缘特性并保护半导体条 151 的暴露部分,钝化层 180 可以具有下面无机层和上面有机层的双层结构。

[0173] 将分别暴露数据线 171 和漏极 175 的暴露部分 179 的多个接触孔 182 和 185 形成在钝化层 180 上。将暴露栅极线 121 的末端部分 129 的多个接触孔 181 形成在钝化层 180 和栅绝缘层 140 上。

[0174] 将多个像素电极 191 和多个接触辅助件 81 和 82 形成在钝化层 180 上。像素电极 191 可以由透明导电材料如 ITO 和 IZO、或反射材料如铝、银、和铬、或其合金形成。

[0175] 像素电极 191 通过接触孔 185 物理或电连接到漏极 175,并且接收漏极 175 提供的电压。被提供电压的像素电极 191 和设置在另一显示面板内(未示出)并被提供公共电压的公共电极(未示出)一起产生电场。电场确定两个电极之间的液晶层(未示出)内液晶分子的定向。通过液晶层的光的偏振根据液晶分子的定向而发生变化。像素电极 191 和公共电极构成电容器(下文中称为液晶电容器),该电容器在薄膜晶体管关断后维持被施加的电压。

[0176] 通过使像素电极 191 和电连接到像素电极 191 的漏极 175 与存储电极线 131 交叠形成的电容器也被称为存储电容器,其提高了电压存储能力。由于存储电极线 131 的增大部分 137,增大了交迭区域,从而提高了存储电容器的静电电容。

[0177] 将接触辅助件 81 和 82 分别通过接触孔 181 和 182 连接到栅极线 121 的末端部分 129 和数据线 171 的末端部分 179。因此,接触辅助件 81 和 82 具有提供栅极线 121 和数据线 171 的末端部分 129 和 179 粘贴到外部装置的附着力并保护末端部分 129 和 179 的功能。

[0178] 接下来,参考图 13 到 14B 描述根据本发明实施例的液晶显示器内的薄膜晶体管阵列面板的另一个例子。

[0179] 图 13 是根据本发明实施例的液晶显示器中的薄膜晶体管阵列面板的另一例子的布局图,并且图 14A 和 14B 分别是沿着图 13 中的线 XIVA-XIVA 和线 XIVB-XIVB 的薄膜晶体管阵列面板的截面图。

[0180] 根据示例实施例的薄膜晶体管阵列面板的本示例的构造基本上与图 11 到 12B 所示的构造相同。

[0181] 将具有栅极 124 和末端部分 129 的多条栅极线 121 以及具有多个增大部分 137 的存储电极线 131 设置在基板 110 上。在其上按此顺序依次形成栅绝缘层 140、多个具有突起 154 的半导体条 151、多个具有突起 163 的线形欧姆触点 161、以及多个岛形欧姆触点 165。将源极 173、多条具有末端部分 179 的数据线 171、和多个漏极 175 设置在欧姆触点 161 和 165 上。在其上设置钝化层 180。将多个接触孔 181、182 和 185 形成在钝化层 180 和栅极绝缘层 140 中。在其上设置多个像素电极 191 和多个接触辅助件 81 和 82。

[0182] 不像图 11 到 12B 内示出的薄膜晶体管阵列面板,在根据本例子的薄膜晶体管阵列面板内,除了设置有薄膜晶体管的突起 154 之外,半导体条 151 与数据线 171、漏极 175 和下面的欧姆触点 161 和 165 具有基本上相同的平坦表面。也就是,半导体条 151 在数据线 171、漏极 175 和下面的欧姆触点 161 和 165 下面具有不暴露部分、以及在源极 173 和漏极

175 之间不被覆盖的暴露部分。

[0183] 根据本发明,在将公共电压固定到预定电压后,存储信号的电平在预定周期内改变并且被施加到存储电极线。此时,将具有不同电压的存储信号施加到相邻的存储电极线。结果是,像素电极电压的范围变宽,并且像素电压的范围也变宽。因为表示灰度等级的电压范围变宽,所以提高了图像质量。

[0184] 在施加了具有相同范围的数据电压的情况下,像素电压的较宽范围可以被产生用于提供恒定存储信号。因此,降低了能耗。此外,公共电压固定在恒定值,从而可以进一步降低能耗。

[0185] 此外,因为在完成液晶的充电操作以前、像素电极电压的范围比在完成液晶的充电操作以后、像素电极电压的范围宽,在驱动液晶的初始时刻施加高于或低于目标电压的电压,从而可以提高液晶的响应速度。

[0186] 虽然已经连同被认为是实际示例的实施例描述了本发明,本领域的普通技术人员应当理解,本发明不限于公开的实施例,而是相反,它覆盖了包括在所附权利要求书的精神和范围内的各种修改和等效布置。

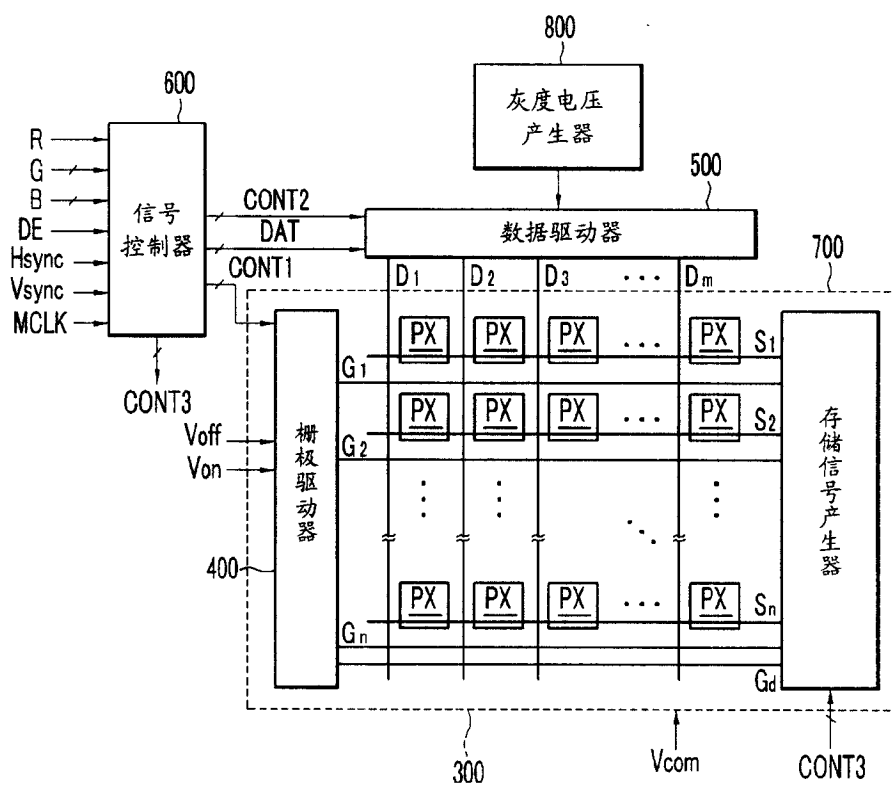


图 1

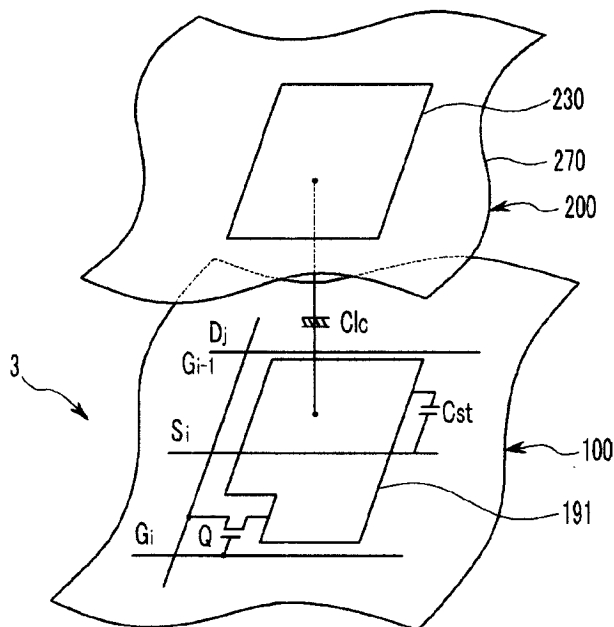


图 2

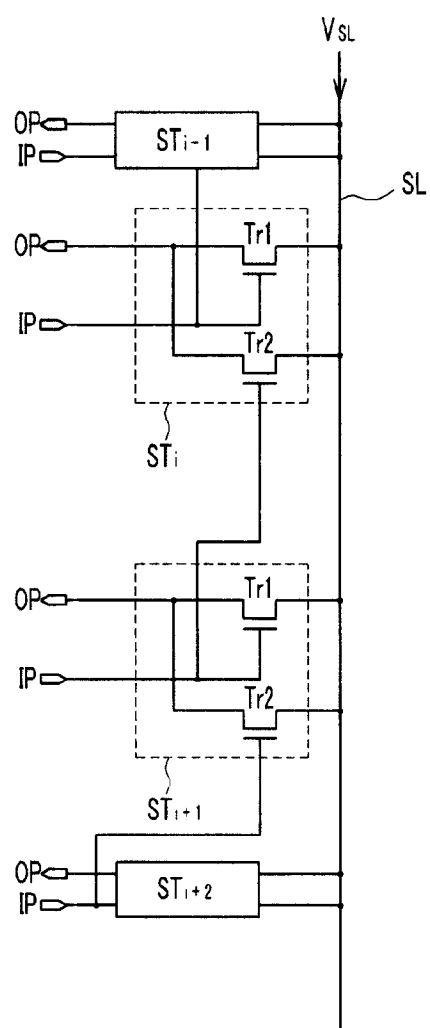


图 3

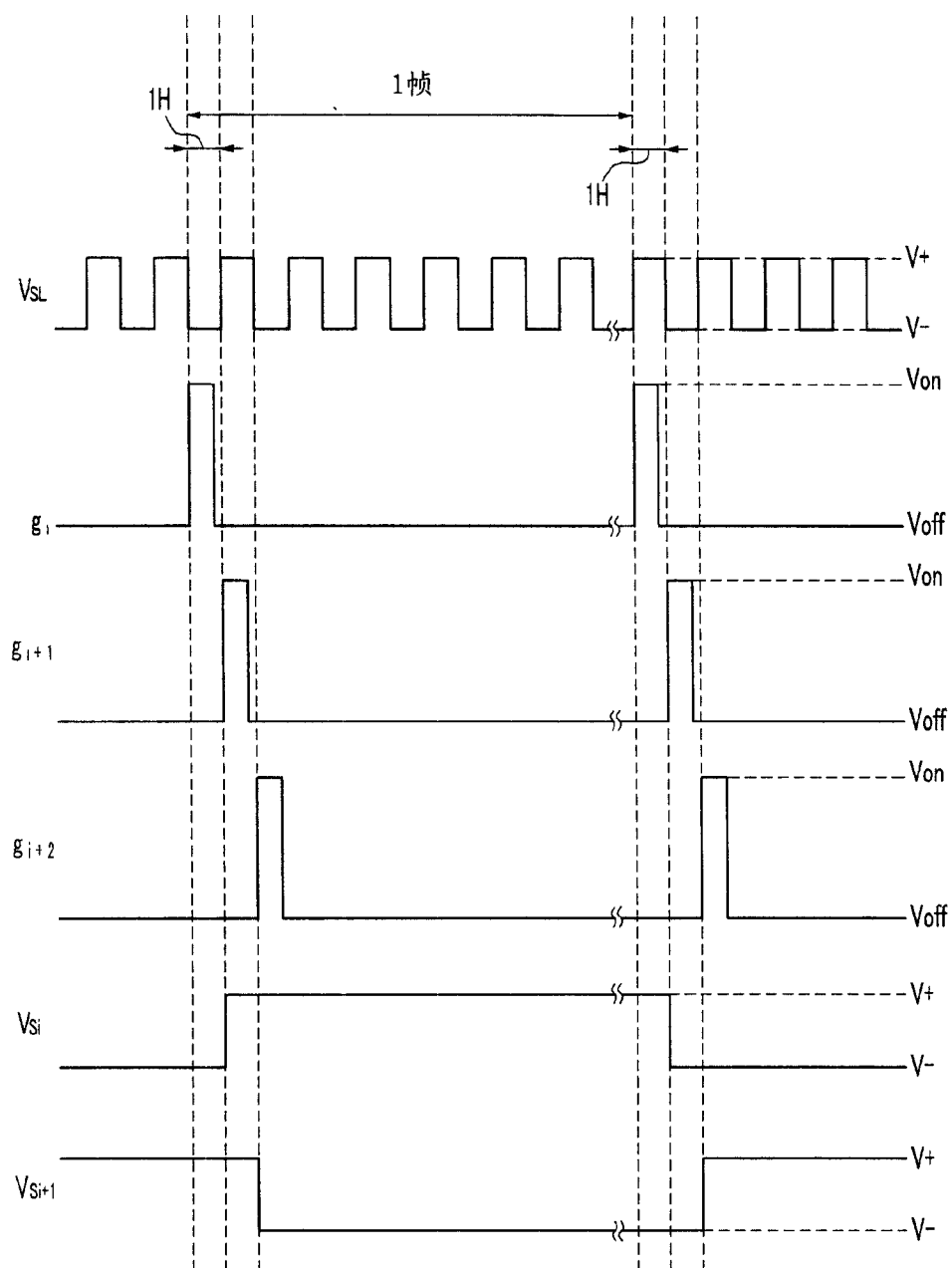


图 4

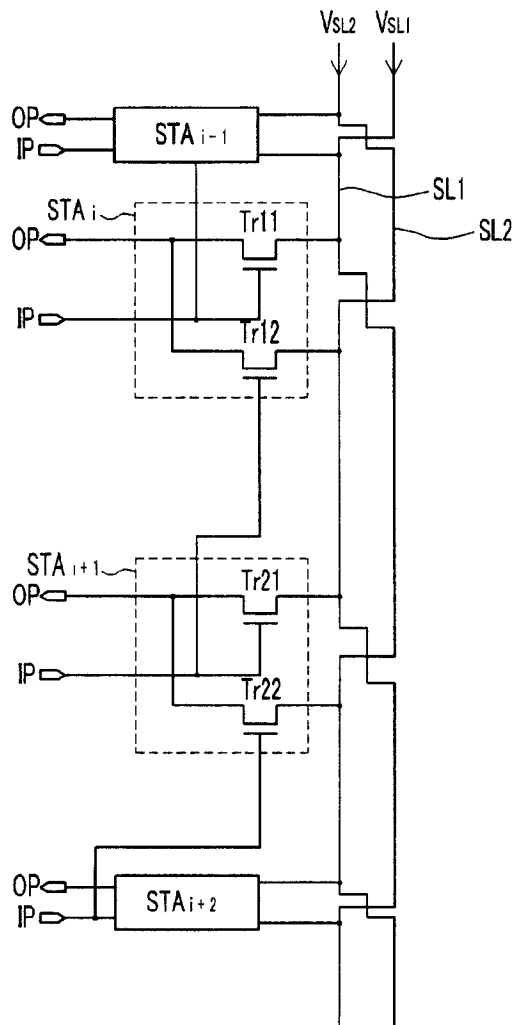


图 5A

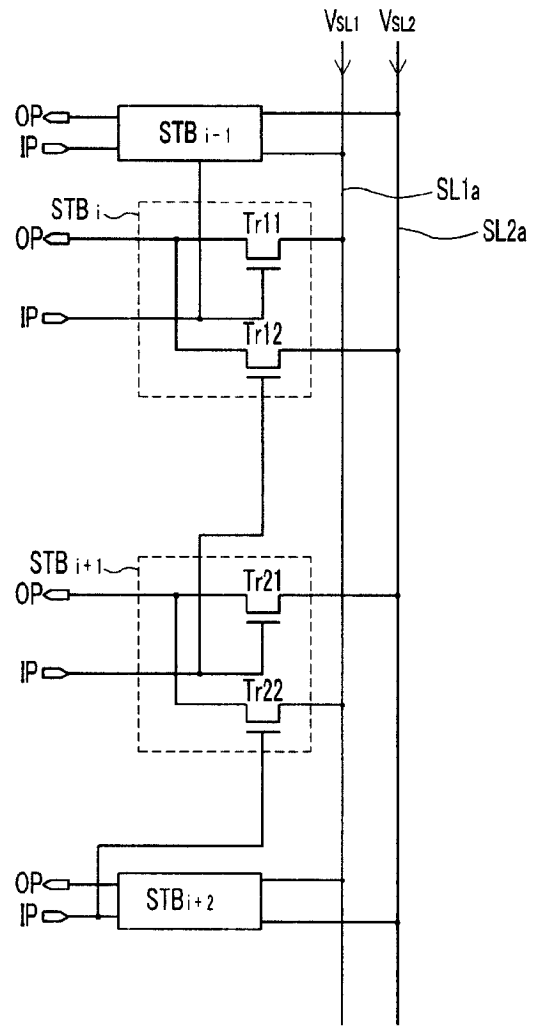


图 5B

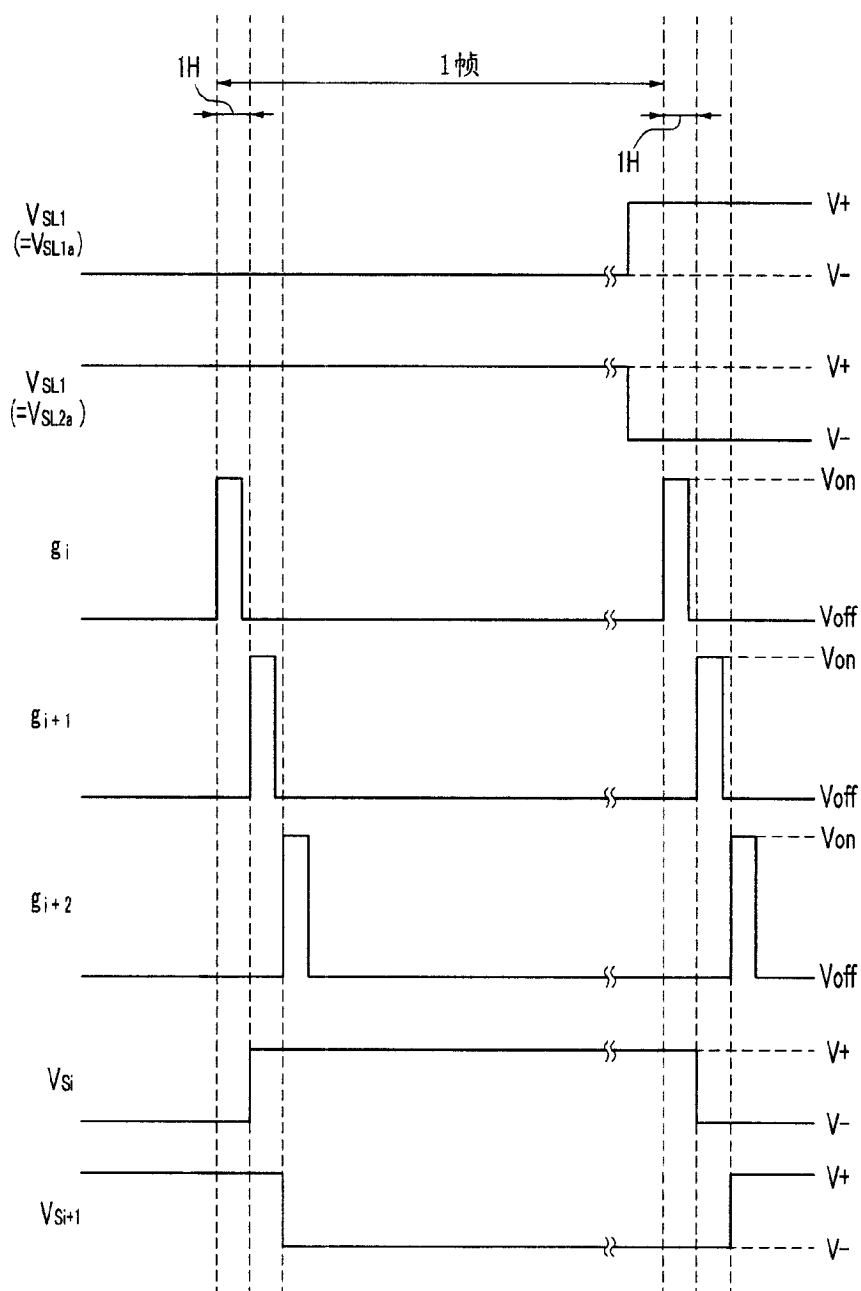


图 6

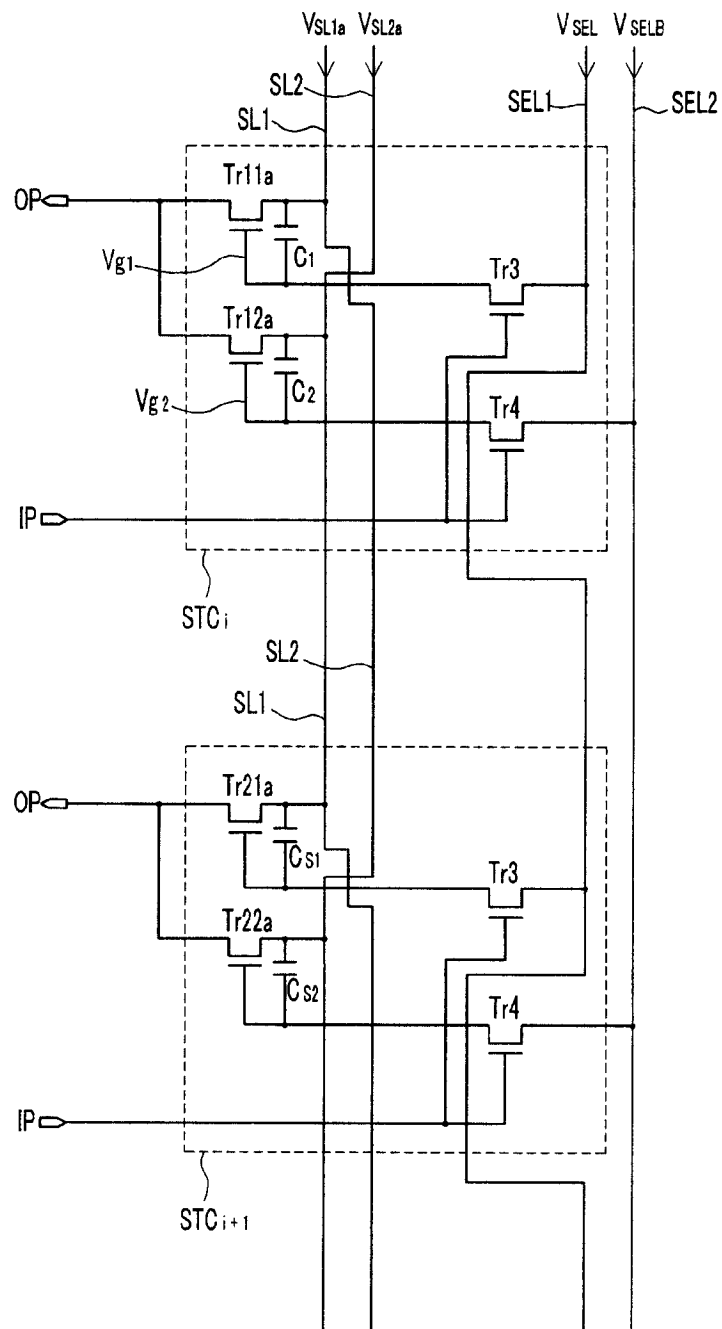


图 7

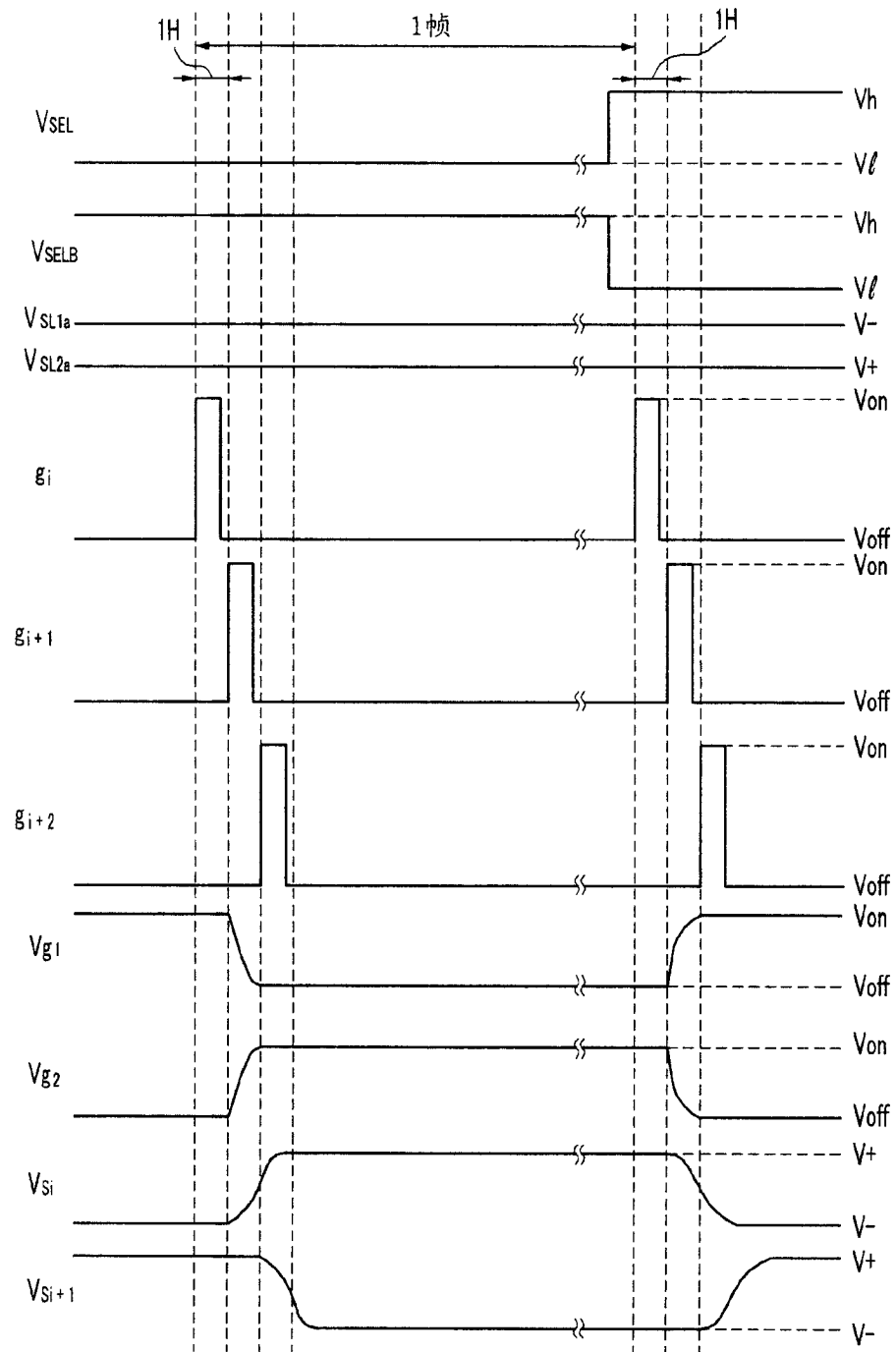


图 8

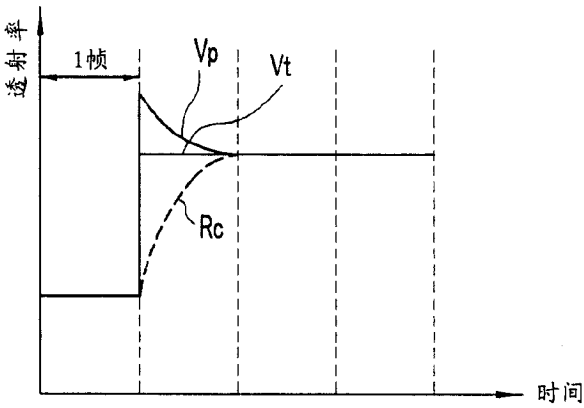


图 9

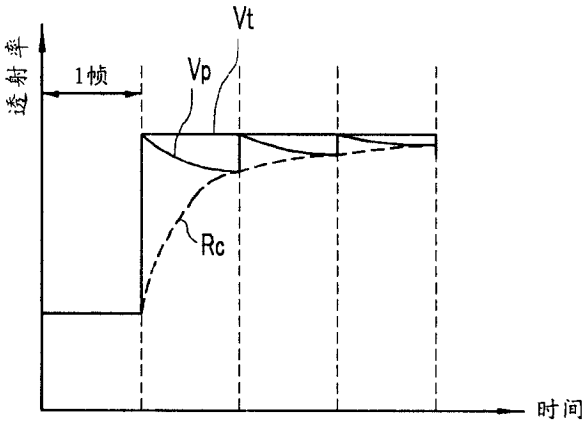


图 10

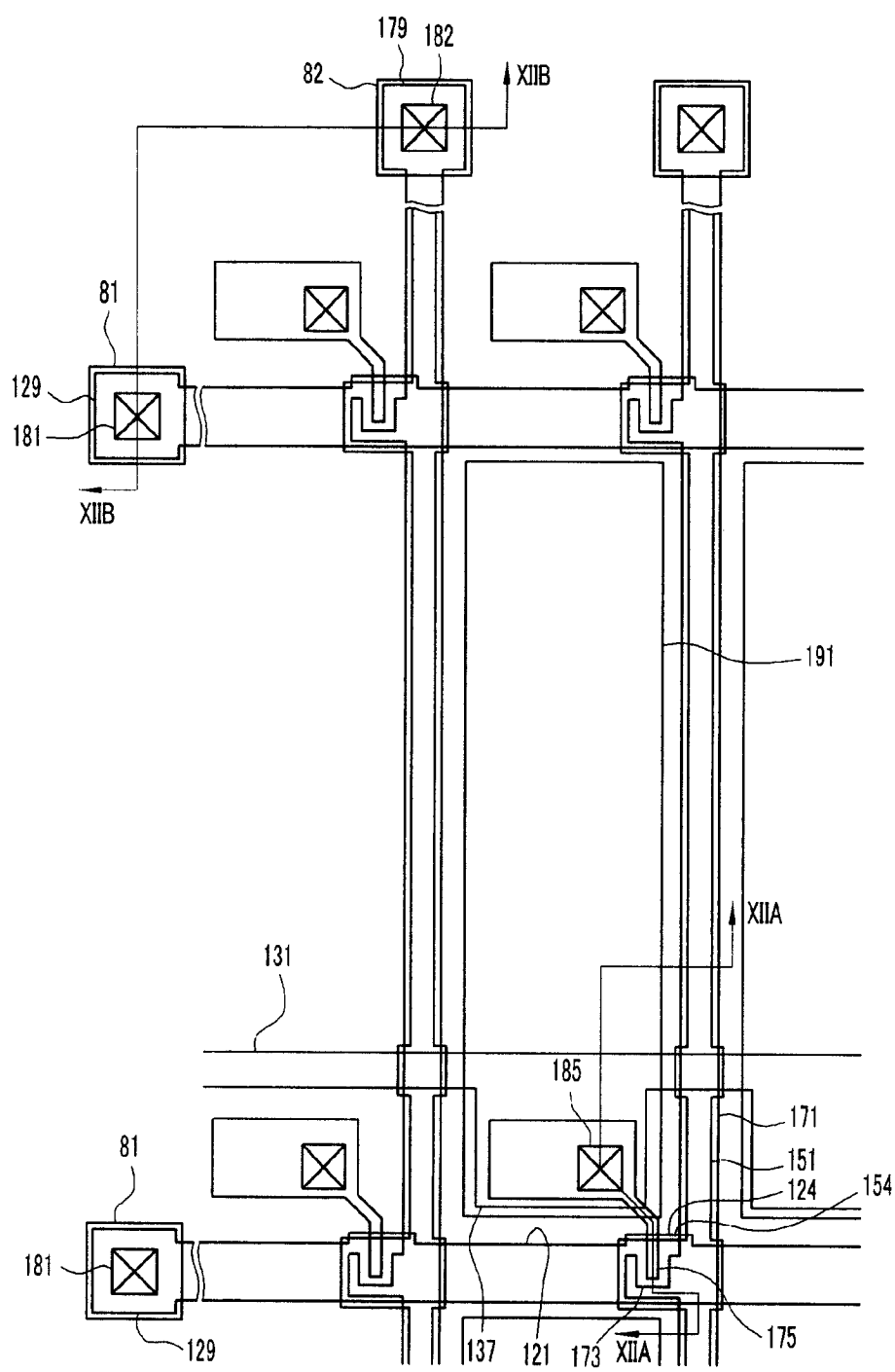


图 11

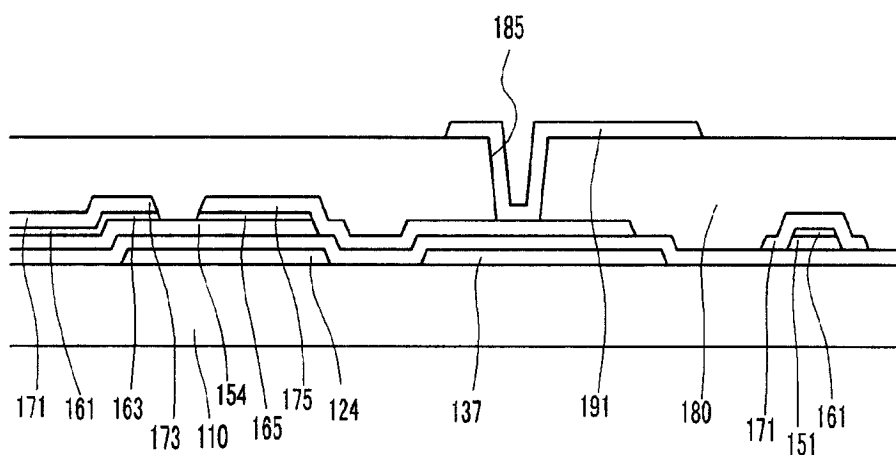


图 12A

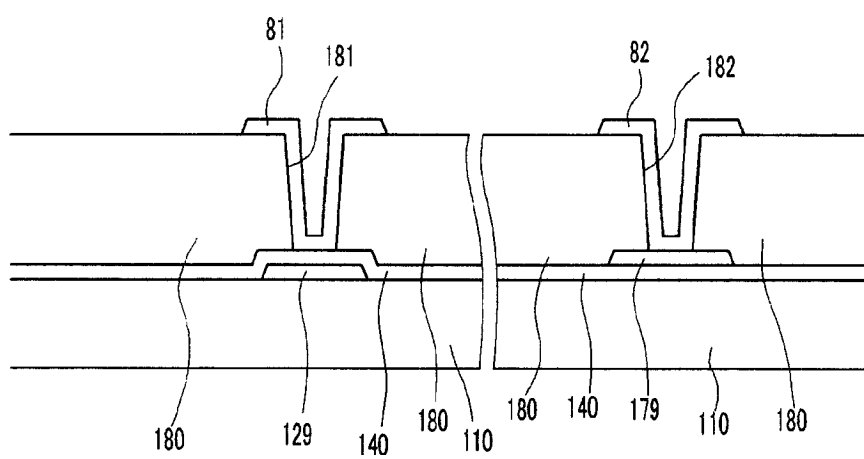


图 12B

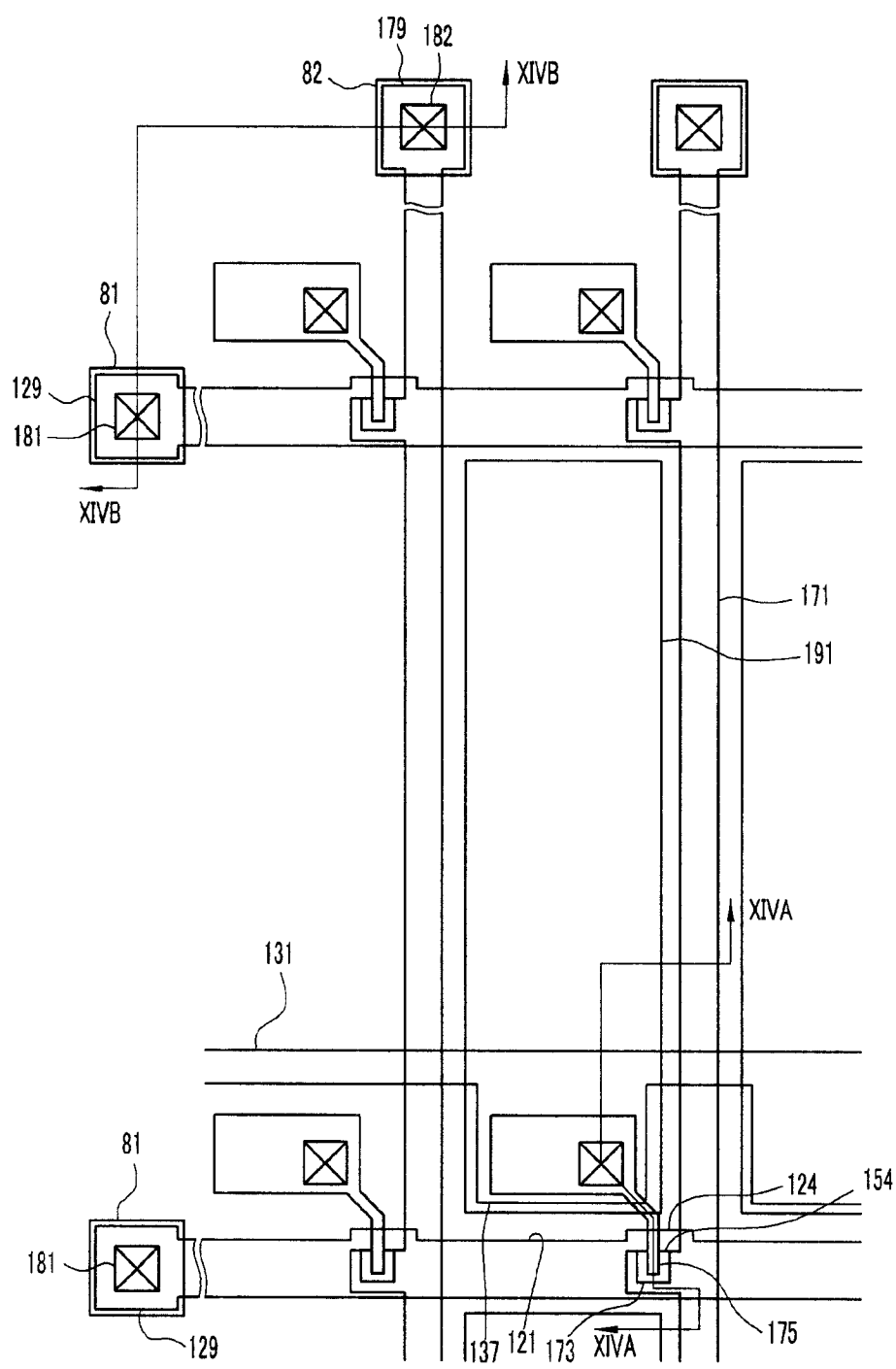


图 13

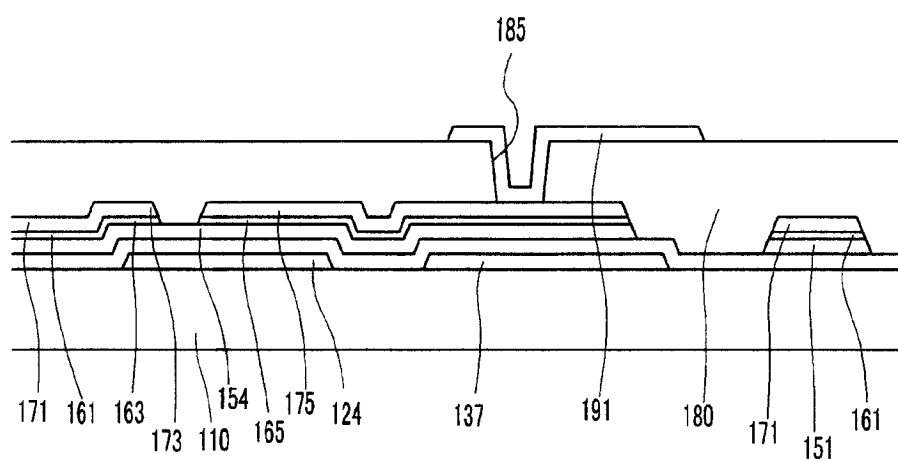


图 14A

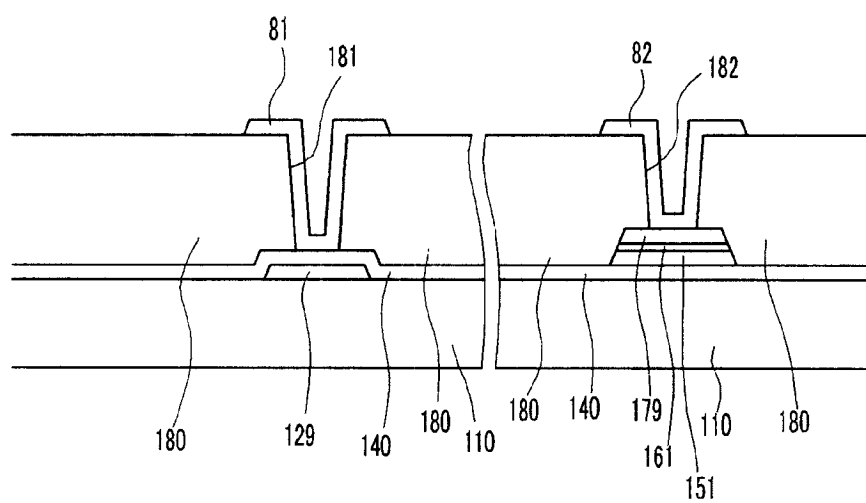


图 14B

专利名称(译)	显示装置		
公开(公告)号	CN101013209B	公开(公告)日	2011-02-09
申请号	CN200610064273.8	申请日	2006-12-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李白云		
发明人	李白云		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36 G09G3/20		
CPC分类号	G09G2300/0408 G09G3/3688 G09G3/3655 G09G2300/0876 G09G3/3648 G09G3/3614 G09G2320/0252		
审查员(译)	杨熙		
优先权	1020050120740 2005-12-09 KR		
其他公开文献	CN101013209A		
外部链接	Espacenet SIPO		

摘要(译)

一种显示装置，包括多条传送栅极信号的栅极线，其中每个栅极信号具有栅极接通电压和栅极关断电压；多条与栅极线交叉并传送数据电压的数据线；多条与栅极线平行延伸并传送存储信号的存储电极线；多个以矩阵形式排列的像素，其中每个像素包括连接到栅极线和数据线的开关元件、连接到开关元件以及公共电压的液晶电容器、连接到开关元件以及存储电极线的存储电容器；和多个基于栅极信号产生存储信号的存储信号产生器。紧接地在完成将数据电压充电到液晶电容器和存储电容器后，施加到每个像素的存储信号具有可改变的电压电平。

