

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/36

G11C 19/28 G11C 19/00

H01L 21/00 G02F 1/136



[12] 发明专利申请公开说明书

[21] 申请号 03800881.5

[43] 公开日 2004 年 11 月 24 日

[11] 公开号 CN 1549997A

[22] 申请日 2003.4.4 [21] 申请号 03800881.5

[30] 优先权

[32] 2002.4.8 [33] KR [31] 10-2002-0018924

[32] 2002.10.9 [33] KR [31] 10-2002-0061454

[32] 2002.12.30 [33] KR [31] 10-2002-0087014

[86] 国际申请 PCT/KR2003/000671 2003.4.4

[87] 国际公布 WO2003/087921 英 2003.10.23

[85] 进入国家阶段日期 2004.7.30

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李栢远 文胜焕

[74] 专利代理机构 北京康信知识产权代理有限公司

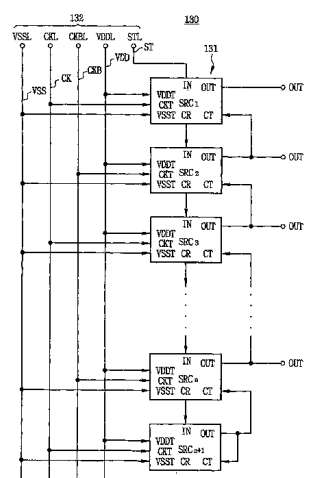
代理人 余刚 彭焱

权利要求书 8 页 说明书 27 页 附图 15 页

[54] 发明名称 液晶显示器

[57] 摘要

本发明提供一种驱动显示器的驱动电路及具有该驱动电路的液晶显示器，该驱动电路包括驱动段和虚拟段。驱动段包括输出和控制端子。当前段的输出端子与前一状态的控制端子连接以彼此形成串联连接。驱动段输出驱动信号用于通过输出端控制设置在显示器上的开关装置。虚拟段包括虚拟输出端子及虚拟控制端子。该虚拟输出端子与最后的驱动段的控制端子连接以输出虚拟输出信号用于接通或断开最后的驱动段。将虚拟控制端子与虚拟输出端子连接以通过虚拟输出信号来接通或断开。信号的延迟减少，从而提高显示质量。



1. 一种用于驱动有源矩阵驱动显示器的驱动电路,所述驱动电路包括:

多个驱动段,各所述驱动段输出端子和控制端子,当前段的所述输出端与前一状态的所述控制端子连接,以彼此形成串联连接,各所述驱动段通过所述输出端子输出驱动信号用于控制开关装置,将所述开关装置设置在所述有源矩阵驱动显示器上;以及

虚拟段,包括虚拟输出端子和虚拟控制端子,所述虚拟输出端子与最后的驱动段的所述控制端子连接以输出虚拟输出信号用于接通或断开最后的驱动段,而将所述虚拟控制端子与所述虚拟输出端子连接以通过所述虚拟输出信号来接通或断开。

2. 根据权利要求1所述的驱动电路,其特征在于,所述虚拟段包括:

上拉部,用于给所述虚拟输出端子提供具有足够高电压电平的接通电压信号以接通所述开关装置;

下拉部,用于给所述虚拟输出端子提供具有足够低电压电平的断开电压信号以断开所述开关装置;以及

驱动部,用于驱动所述上拉部和所述下拉部,所述驱动部通过接通电压信号来驱动,接通所述上拉部,断开所述下拉部,并且在第一预定时间内维持所述接通电压信号的电压电平。

3. 根据权利要求2所述的驱动电路,其特征在于,与所述虚拟控制端子连接的第一晶体管的第一晶体管尺寸比与所述最后驱动段的所述控制端子连接的第二晶体管的第二晶体管尺寸小,以便从所述虚拟段输出的接通电压信号的电压电平基本等于所述驱动信号的最大电压电平。
4. 根据权利要求2所述的驱动电路,其特征在于,所述接通电压输出信号在所述第一预定时间内保持基本上等于所述驱动信号的最大电压电平的电压电平。
5. 根据权利要求2所述的驱动电路,其特征在于,所述驱动部包括:

上拉驱动部,用于驱动所述上拉部,将所述上拉驱动部与所述上拉部的第一输入节点连接,接通应答从所述虚拟段的输入端子输出的输入信号的所述上拉部,及在第二预定时间后断开应答从所述虚拟控制端子输出的所述接通电压信号的所述上拉部; 以及

下拉驱动部,用于驱动所述下拉部,将所述下拉驱动部与所述下拉部的第二输入节点连接,断开应答从所述虚拟段的输入端子输出的输入信号的所述下拉部,及在第三预定时间后接通应答从所述虚拟控制端子输出的所述接通电压信号的所述下拉部。

6. 根据权利要求5所述的驱动电路,其特征在于,所述上拉驱动部包括:

电容器,连接于所述上拉部的第一输入节点和所述虚拟输出端子之间;

第一晶体管,包括与高电源线连接的第一漏极、与所述输入端子连接的第一栅极、及与所述上拉部的所述第一输入节点连接的第一源极;

第二晶体管,包括共同与所述高电源线连接的第二漏极和第二栅极;

第三晶体管,包括与所述高电源线连接的第三漏极、与所述第二晶体管连接的第二源极,及与所述下拉部的所述第二输入节点连接的第三源极;

第四晶体管,包括与所述输入端子连接的第四漏极、与所述下拉部的所述第二输入节点连接的第四栅极、及与低电源线连接的第六源极;

第五晶体管,包括与所述下拉部的所述第二输入节点连接的第五漏极、与所述输入端连接的第五栅极、及与所述低电源线连接的第五源极;

第六晶体管,包括与所述上拉部的所述第一输入节点连接的第六漏极、与所述下拉部的所述第二输入节点连接的第六栅极、及与所述低电源线连接的第六源极。

7. 根据权利要求6所述的驱动电路,其特征在于,所述上拉驱动部还包括第七晶体管,所述第七晶体管包括与所述输入端连接的第七漏极、与所述虚拟控制端子连接的第七栅极、及与所述低电源线连接的第七源极。

8. 根据权利要求6所述的驱动电路,其特征在于,所述下拉驱动部包括:

第八晶体管,包括与所述下拉部的所述第二输入节点连接的第八漏极、与所述上拉部的第一输入节点连接的第八栅极、及与所述低电源线连接的第八源极;

第九晶体管,包括与所述第二晶体管的所述第二源极连接的第九漏极、与所述上拉部的所述第一输入节点连接的第九栅极、及与所述低电源线连接的第九源极;

第十晶体管,包括与所述上拉部的所述第一输入端子连接的第十漏极、与所述虚拟控制端子连接的第十栅极、及与所述低电源线连接的第十源极。

9. 根据权利要求8所述的驱动电路,其特征在于,各所述驱动段包括与所述虚拟段的所述驱动电路相同的电路,对应所述虚拟段的第十晶体管的各所述驱动段的晶体管尺寸比所述第十晶体管尺寸大约十倍。

10. 一种液晶显示器,包括:

显示部件,包括: i) 第一基片,具有与形成于像素上的开关装置连接的多条栅极线,将所述像素以矩阵形态排列, ii) 第二基片,面对所述第一基片,以及 iii) 液晶层,置于所述第一基片和所述第二基片之间;

栅极驱动器,用于驱动所述开关装置,所述栅极驱动器包括: i) 多个驱动段,各所述驱动段具有输出端子和控制端子,将当前驱动段的所述输出端子与前一状态的所述控制端子连接以进行彼此连接,所述驱动段将用于通过所述输出端子控制所述开关装置的驱动信号输送到各所述栅极线,以及 ii) 虚拟段,包括虚拟输出端子和虚拟控制端子,在所述驱动段之间

将所述虚拟输出端子与最后的驱动段连接以输出虚拟输出信号用于接通或断开所述最后的驱动段,将所述虚拟控制端子与所述虚拟输出端子连接以通过所述虚拟输出信号来接通或断开。

11. 根据权利要求 10 所述的液晶显示器, 其特征在于, 所述虚拟段包括:

上拉部, 用于给所述虚拟输出端子提供具有足够高电压电平的接通电压信号以接通所述开关装置;

下拉部, 用于给所述虚拟输出端子提供具有足够低电压电平的断开电压信号以断开所述开关装置; 以及

驱动部, 用于驱动所述上拉部和所述下拉部, 所述驱动部通过接通电压信号来驱动, 接通所述上拉部, 断开所述下拉部, 并且在一预定时间内维持所述接通电压信号的电压电平。

12. 根据权利要求 10 所述的液晶显示器, 其特征在于, 所述栅极驱动器还包括向所述驱动段和所述虚拟段提供多个信号的布线部。

13. 根据权利要求 12 所述的液晶显示器, 其特征在于, 将所述驱动段分为第一组和第二组, 而所述布线部包括:

第一时钟线, 向所述第一组的第奇数个驱动段提供第一时钟信号;

第二时钟线, 向所述虚拟段和所述第二组的第偶数个驱动段提供所述第一时钟信号;

第三时钟线, 向所述第一组的第偶数个驱动段提供第二时钟信号, 所述第二时钟信号相对于所述第一时钟信号具有 180° 不同相位;

第四时钟线，向所述第二组的第偶数个驱动段提供所述第二时钟信号。

14. 一种液晶显示器，包括：

显示部，包括 i) 第一基片，具有像素、栅极线、和数据线，所述像素具有与所述栅极线和所述数据线连接的开关装置，ii) 第二基片，面对所述第一基片，以及 iii) 液晶层，置于所述第一基片和所述第二基片之间；

数据驱动器，用于提供具有图像数据的所述数据线、邻接所述显示部形成且与所述数据线连接的所述数据驱动器；以及

栅极驱动部，用于驱动所述开关装置，所述栅极驱动器包括移位寄存器和布线部，所述移位寄存器具有彼此串联连接的多个段，将所述移位寄存器分成第一组和第二组且邻接所述显示部形成，通过所述布线部将外部信号施于各所述段，并且各所述驱动段通过输出端子向所述栅极线输出用于控制所述开关装置的驱动信号，其中所述布线部包括：

第一时钟线，向第一组的第奇数个驱动段提供第一时钟信号；

第二时钟线，向所述第一组的第偶数个驱动段提供相对于所述第一时钟信号具有 180° 不同相位的第二时钟信号；

第三时钟线，向所述第二组的第奇数个驱动段提供所述第一时钟信号；以及

第四时钟线，向所述第二组的第偶数个驱动段提供所述第二时钟信号。

15. 根据权利要求 14 所述的液晶显示器, 其特征在于, 所述第一、第二、第三、和第四时钟线分别包括第一、第二、第三、和第四输入端子, 在设置有所述移位寄存器的第一段的第二区域将所述第一、第二、第三、和第四输入端子彼此邻接设置。
16. 根据权利要求 15 所述的液晶显示器, 其特征在于, 在设置有所述移位寄存器的最后一段的第二区域将所述第一时钟线与所述第三时钟信号连接, 而在所述第二区域将所述第二时钟线与所述第四时钟线连接。
17. 根据权利要求 14 所述的液晶显示器, 其特征在于, 在所述显示部的周边区域形成用于结合所述第一基片和所述第二基片的密封件, 而将所述第三时钟线和所述第四时钟线设置在所述周边区域。
18. 根据权利要求 14 所述的液晶显示器, 其特征在于, 所述布线部还包括第一电源线、第二电源线、及开始信号线, 将第一传输信号施于所述第一电源线, 将第二传输信号施于所述第二电源线, 将开始信号施于所述开始信号线, 以便提供给所述段的第一段, 按指定的距所述移位寄存器的位置顺序设置所述开始信号线、所述第二电源线、所述第一时钟线、所述第二时钟线、所述第一电源线、所述第三时钟线、及所述第四时钟线。
19. 根据权利要求 18 所述的液晶显示器, 其特征在于, 所述布线部还包括用于连接所述第一电源线和各所述段的连接线, 所述第一时钟线在其所述连接线不交叉的第一部分具有第一宽度而在其所述连接线交叉的第二部分具有第二宽度, 所述第二时钟线在其所述连接线不交叉的第三部分具有第三宽度, 所述第二时钟线在其所述连接线交叉的第四部分具有第四宽度, 所述

第二宽度小于所述第一宽度,而所述第四宽度小于所述第五宽度。

20. 根据权利要求 18 所述的液晶显示器,其特征在于,所述布线部还包括用于连接所述第一电源线和各所述段的连接线,在其所述第一时钟线与所述第二时钟线不交叉的第一部分具有第一宽度而在其所述所述第一时钟线与所述第二时钟线交叉的第二部分具有第二宽度,所述第二宽度小于所述第一宽度。

液晶显示器

技术领域

本发明涉及一种用于驱动有源矩阵驱动显示器的驱动电路及具有该驱动电路的有源矩阵驱动显示器，更具体地，涉及一种可提高显示器显示质量的驱动电路及具有该驱动电路的液晶显示器。

背景技术

通常，多晶硅液晶显示器（LCD）具有高的运行速度且消耗低的电力，但是需要制造多晶硅液晶显示器的多种工序。一般将多晶硅液晶显示器用于具有小屏幕尺寸的显示器中。一般将非晶硅液晶显示器用于具有大屏幕尺寸的显示器中，例如，膝上型计算机（或笔记本电脑）、液晶显示监控器、高清晰度电视机（HDTV's）。

最近，非晶硅液晶显示器利用在液晶显示器的玻璃基片（或薄膜晶体管基片）上形成栅极驱动电路，以便减少制造液晶显示器的工序。

通常，栅极驱动电路包括移位寄存器和布线部。布线部将多个信号提供给寄存器。布线部包括多条布线，布线的布置将影响由栅极驱动电路输出的输出信号。由于布线相互交叉产生电容会导致来自栅极驱动电路的输出信号失真。因此，液晶显示器的显示质量会降低。

当将栅极驱动电路用于具有大屏幕尺寸（大画面）和高分辨率的非晶硅液晶显示器时，形成于薄膜晶体管（TFT）基片上的传统栅极驱动器存在下述问题。

根据液晶显示器的屏幕尺寸变得大型化及液晶显示器的分辨率提高时，在薄膜晶体管基片上形成的栅极线及连接到栅极线的像素数量也随之增加。随着栅极线和像素的增加，距离栅极驱动器越远栅极线的 RC 延迟也随之变大，从第一个栅极线越接近最后一个栅极线，具有高电平区间发生的定时延迟时间也变长。由于这种原因，发生栅极输出信号的失真。因此，降低液晶显示器的显示质量。

而且，在设置于最远离驱动电路且具有高的线宽度的布线之间产生电容。相应地，布线的 RC 延迟提高。因此，需要设置以最小延迟向栅极线传送栅极驱动信号的布线结构。

发明内容

因此，本发明基本避免了由于相关技术的局限和缺陷所导致的一个或多个问题。

本发明的第一个特征是提供一种可提高显示器的显示质量的用于驱动有源矩阵驱动显示器的驱动电路。

本发明的第二个特征是提供一种具有上述驱动电路的液晶显示器。

本发明的第三个特征是提供一种具有可提高显示器的显示质量的布线结构的显示器。

在本发明的一个方面中，提供一种用于驱动有源矩阵驱动显示器的驱动电路。该驱动电路包括多个驱动段和虚拟段（dummy stage）。各驱动段包括输出端子和控制端子。当前段的输出端与前一状态的控制端子连接，以彼此形成串联连接，各驱动段通过输出端子输出驱动信号用于控制开关装置。将开关装置设置在有源矩阵驱动显示器上。虚拟段包括虚拟输出端子和虚拟控制端子。在驱动段之间将虚拟输出端子与最后的驱动段的控制端子连接以输出虚拟输出信号用于接通或断开最后的驱动段。将虚拟控制端子与虚拟输出端子连接以通过虚拟输出信号来接通或断开。

在本发明的另一个方面中，提供一种液晶显示器，该液晶显示器包括显示部和栅极驱动器。显示部件包括第一基片、面对该第一基片的第二基片、及置于第一基片和第二基片之间的液晶层。第一基片具有与形成于像素上的开关装置连接的多条栅极线，并将像素以矩阵形态排列。栅极驱动器驱动开关装置，而栅极驱动器包括多个驱动段和虚拟段。各驱动段具有输出端子和控制端子。将当前驱动段的输出端子与前一状态的控制端子连接以进行彼此连接。驱动段将用于通过输出端子控制开关装置的驱动信号输送到各栅极线。虚拟段包括虚拟输出端子和虚拟控制端子。在驱动段之间将虚拟输出端子与最后的驱动段连接以输出虚拟输出信号用于接通或断开最后的驱动段。将虚拟控制端子与虚拟输出端子连接以通过虚拟输出信号来接通或断开。

在本发明的又一个方面中，提供一种液晶显示器，该液晶显示器包括显示部、数据驱动器、和栅极驱动器。该显示部包括：i) 第一基片，具有像素、栅极线、和数据线，像素具有与栅极线和数据线连接的开关装置，ii) 第二基片，面对第一基片，以及 iii) 液晶层，置于第一基片和第二基片之间。数据驱动器将图像数据提供给数据线，而数据驱动器邻接显示部形成且与数据线连接。栅极驱动器驱动开关装置。栅极驱动器包括移位寄存器和布线部。移位寄存器具

有彼此串联连接的多个段，将移位寄存器分成第一组和第二组且邻接显示部形成。通过布线部将外部信号施于各段，并且各驱动段通过输出端子向栅极线输出用于控制所述开关装置的驱动信号。布线部包括第一时钟线、第二时钟线、第三时钟线、及第四时钟线。通过第一时钟线将第一时钟信号提供给第一组的第奇数个驱动段。通过第二时钟线将具有相对于第一时钟信号具有 180° 不同相位的第二时钟信号提供给第一组的第偶数个驱动段。通过第三时钟线将第一时钟信号提供给第二组的第奇数个驱动段。通过第四时钟线将第二时钟信号提供给第二组的第偶数个驱动段。

根据本发明，将虚拟段的虚拟输出端子与最后驱动段的控制端子连接并且还与虚拟段的虚拟控制端子连接。而且，除了第一和第二时钟线布线，布线部还包括追加提供第一及第二时钟的第三及第四时钟线。该液晶显示器可提供提高的显示质量。

附图说明

本发明的上述和其它优点将通过参考附图详细地描述其优选实施例，从而变得更加明显，其中：

图 1 是根据本发明第一典型实施例的液晶显示面板示意图；

图 2 示出了图 1 的驱动栅极驱动电路的移位寄存器的方框图；

图 3 示出了图 2 的驱动段的电路图；

图 4 示出了图 3 的驱动段布局平面图；

图 5 示出了图 2 的虚拟段的电路图；

图 6 示出了图 5 的虚拟段布局平面图；

图7示出了虚拟段与驱动段具有相同结构时虚拟段输出信号的波形图；

图8示出了图5的虚拟段的输出信号的波形图；

图9示出了根据本发明第二典型实施例的驱动段及虚拟段结构电路图；

图10示出了根据本发明第三典型实施例的栅极驱动电路的移位寄存器的方框图；

图11示出了图10的栅极驱动电路的输出信号的波形图；

图12示出了图10的第三及第四时钟线排列的布局图；

图13示出了第一及第三时钟线连接关系与第二及第四时钟线连接关系布局图；

图14示出了根据本发明第四典型实施例的移位寄存器的布线结构布局图；

图15示出了具有图14的布线结构的移位寄存器布局图；以及

图16示出了根据本发明第五典型实施例的移位寄存器布线结构布局图。

具体实施方式

下面将参照附图详细说明本发明优选实施例。

图1是根据本发明第一典型实施例的液晶显示面板示意图，而图2示出了图1的驱动栅极驱动电路的移位寄存器的方框图。

参照图 1，根据本发明第一典型实施例的液晶显示面板包括薄膜晶体管基片 100、滤色器基片（未示出）、及置于薄膜晶体管基片 100 与滤色器基片之间的液晶层（未示出）。

薄膜晶体管基片 100 具有显示区域（DA）及周边区域（PA）。在显示区域以矩阵形态排列多个像素。每个像素包括薄膜晶体管（TFT）基片 100 和与薄膜晶体管基片 100 连接的像素电极 120。将薄膜晶体管基片 100 与数据线（DL）和栅极线（GL）连接。数据线沿着第一方向延伸，而栅极线沿着基本于第一方向垂直的第二方向延伸。

根据像素个数决定液晶显示面板 200 的分辨率。若多个像素具有 $m \times n$ 个，分辨率为 $m \times n$ ，而薄膜晶体管基片 100 上具有 m 个数据线（DL1, DL2, ..., DL m ）和 n 个栅极线（GL1, GL2, ..., GL n ）。

在设置数据线（DL1, DL2, ..., DL m ）一端的数据侧周边区域（PA）设置数据驱动电路 140。设置栅极线（GL1, GL2, ..., GL n ）一端的栅极侧周边区域（PA）设置栅极驱动电路 130。栅极驱动电路 130 与在显示区域（DA）形成多个像素的工序相同的工序形成。栅极驱动电路 130 包括移位寄存器。

如图 2 所示，移位寄存器 131 包括彼此串联连接的多个段（SRC1, ..., SRC $n+1$ ）。具体地讲，移位寄存器 131 包括 n （偶数）个驱动段（SRC1, ..., SRC n ）及虚拟段（SRC $n+1$ ）。

n 个驱动段（SRC1, ..., SRC n ）向 n 个栅极线（GL1, GL2, ..., GL n ）顺次输出栅极驱动信号。 n 个驱动段各个输出端子 OUT 分别与前一个驱动段的控制端子（CT）连接。 n 个驱动段（SRC1, ..., SRC n ）的各传送端子（CR）连接到下一个驱动段输入端子（IN）。

向第一个驱动段 (SRC1) 的输入端子 (IN) 提供的是代替输出信号的开始信号 (ST)。

将虚拟段 (SRC_{n+1}) 的输入端子 (IN) 连接到第 n 个驱动段 (SRC_n) 的传送端子 (CR) 上。输出端子 (OUT) 则连接到第 n 个驱动段 SRC_n 的控制端子 (CT)。因此, 虚拟段 SRC_{n+1} 控制第 n 个驱动段 (SRC_n) 运行正常。虚拟段 (SRC_{n+1}) 的输出端子 (OUT) 也与虚拟段 (SRC_{n+1}) 的控制端子 (CT) 结合。因此, 虚拟段 (SRC_{n+1}) 由自身的控制信号控制。

移位寄存器 131 周围具有向移位寄存器 131 提供各种信号的布线部 132。具体地讲, 布线部 132 包括开始信号线 (STL)、第一电源线 (VDDL)、第一时钟线 (CKL)、第二时钟线 (CKBL)、及第二电源线 (VSSL)。

开始信号线 (STL) 向第一驱动段 (SRC1) 的输入端子 (IN) 提供由外部提供的开始信号 (ST)。开始信号 (ST) 是外部图形控制器 (未示出) 等提供的与垂直同步信号同步的脉冲。第一电源线 (VDDL) 与 n 个驱动段 (SRC1, ..., SRC_n) 及虚拟段 (SRC_{n+1}) 连接并提供第一电源电压信号 (VDD), 而第二电源线 (VSSL) 与 n 个驱动段 (SRC1, ..., SRC_n) 及虚拟段 (SRC_{n+1}) 连接并提供第二电源电压信号 (VSS)。

通过第一时钟线 (CKL) 向 n 个驱动段 (SRC1, ..., SRC_n) 中第奇数个驱动段 (SRC1、SRC3, ...) 及虚拟段 (SRC_{n+1}) 提供第一时钟信号。通过第二时钟线 (CKBL) 向 n 个驱动段中第偶数次驱动段 (SRC2、SRC_n, ...) 提供具有相对第一时钟信号 (CK) 具有 180° 不同相位 (反转相位) 的第二时钟信号 (CKB)。

因此,各个段输出信号($OUT_1, \dots, OUT_n$)顺次具有有源区间(高电平状态)发生,分别顺次选择在输出信号($OUT_1, \dots, OUT_n$)的有源区间对应的栅极线($GL_1, \dots, GL_n$)。

图3示出了图2的驱动段的电路图,而图4示出了图3的驱动段布局平面图。在图3及图4代表性地提示了第 n 次驱动段(SRC_n),而剩余驱动段($SRC_1, \dots, SRC_{n-1}$)与第 n 个驱动段(SRC_n)具有相同结构,因此省略剩余驱动段($SRC_1, \dots, SRC_{n-1}$)的相关说明。

参照图3及图4,移位寄存器131的第 n 个驱动段(SRC_n)包括上拉部(pull-up part)131a、下拉部(pull-down part)131b、上拉驱动部131c、下拉驱动部131d、及传送输出部131e。第 n 驱动段(SRC_n)具有输入端子(IN)、输出端子(OUT)、控制端子(CT)、时钟端子(CKT)、第二电源线端子(VSST)、第一电源线端子(VDDT)、及传送输出端子(CR)。

上拉部131a包括第一NMOS晶体管(NT1)。将时钟信号施于第一NMOS晶体管(NT1)的漏极,将第一NMOS晶体管(NT1)的栅极与第一节点(N1)连接,而将第一NMOS晶体管(NT1)的源极与输出端子(OUT)连接。

下拉部131b包括第二NMOS晶体管(NT2)。将第二NMOS晶体管(NT2)的漏极与输出端子(OUT)连接,将第二NMOS晶体管(NT2)的栅极与第二节点(N2)连接,而将第二NMOS晶体管(NT2)的源极与第二电源线端子(VSST)连接。

上拉驱动部131c包括电容器(C)、NMOS晶体管(NT3、NT4、NT5、NT6、NT7、NT8、和NT9)。将电容器C连接到第一节点(N1)与输出端子(OUT)之间。第三NMOS晶体管(NT3)漏极与第一电源线端子(VDDT)连接,栅极与输入端子(IN)连接,而源极

则与第一节点 (N1) 连接。第四 NMOS 晶体管 (NT4) 漏极及栅极共同与第一电源线端子 (VDDT) 连接, 而源极则与第五 NMOS 晶体管 (NT5) 的栅极连接。另外, 第五 NMOS 晶体管 (NT5) 漏极与第一电源线端子 (VDDT) 连接, 栅极与第四 NMOS 晶体管 (NT4) 的源极连接, 而源极则与第二节点 (N2) 连接。

第六 NMOS 晶体管 (NT6) 漏极与第三 NMOS 晶体管 (NT3) 的源极连接, 栅极与第二节点 (N2) 连接, 源极与第二电源线端子 (VSST) 连接。第七 NMOS 晶体管 (NT7) 栅极与第二节点 (N2) 连接, 漏极与输入端子 (IN), 而源极则与第二电源线端子 (VSST) 连接。第八 NMOS 晶体管 (NT8) 漏极与第二节点 (N2) 连接, 栅极与输入端子 (IN) 连接, 而源极则与第二电源线端子 (VSST) 连接。

尽管未在图 3 中示出, 但第八 NMOS 晶体管 (NT8) 的源极也可以连接到接收比第二电源电压信号 (VSS) 低电压电平的第三电源电压信号的第三电源线端子。第九 NMOS 晶体管 (NT9) 漏极与输入端子 (IN) 连接, 栅极与控制端子 (CT) 连接, 而源极则与第二电源线端子 (VSST) 连接。

下拉驱动部包括 NMOS 晶体管 (NT10、NT11、NT12、NT13)。具体地讲, 第十 NMOS 晶体管 (NT10) 漏极与第二节点 (N2) 连接, 栅极与第一节点 (N1) 连接, 而源极则与第二电源线端子 (VSST) 连接。第十一 NMOS 晶体管 (NT11) 漏极与第四 NMOS 晶体管 (NT4) 的源极连接, 栅极与第一节点 (N1), 而源极则与第二电源线端子 (VSST) 连接。第十二 NMOS 晶体管 (NT12) 漏极与第一节点 (N1) 连接, 栅极与控制端子 (CT) 连接, 而源极则与第二电源线端子 (VSST) 连接。

传送输出部 **131e** 包括漏极与时钟端子 (CKT) 连接, 栅极与
所述第一节点 (N1) 连接, 而源极则与传送输出端子 (CR) 连接的
第十四 NMOS 晶体管 (NT14)。因此, 传送输出部 **131e** 控制向
下一个驱动段的输入端子 (IN) 传送第一及第二时钟信号 (CK 或
CKB) 中对应的时钟信号。

第 n 个驱动段 (SRC n) 中, 通过由输入端子 (IN) 接收的前
面段的传送信号 (CR) 接通第三 NMOS 晶体管 (NT3), 从而第一
节点 (N1) 的电位从第二电源电压电平 (VSS) 上升为第一电源电
压电平 (VDD)。然后, 根据第四 NMOS 晶体管 (NT4)、第五 NMOS
晶体管 (NT5) 及第一节点 (N1) 的电位上升, 接通第十 NMOS
晶体管 (NT10)。运行第十 NMOS 晶体管 (NT10), 使第二节点 (N2)
的电位降为第二电源电压电平 (VSS), 由此断开第二 NMOS 晶体
管 (NT2)。

随着第一节点 (N1) 的电位上升接通第一 NMOS 晶体管 (NT1),
从而在输出端子 (OUT) 开始出现具有接通电平的时钟信号 (CK)
时, 输出电压由电容器 (C) 增大, 第一 NMOS 晶体管 (NT1) 的
栅极电压将上升为第一电源电压电平以上。因此, 第一 NMOS 晶体
管 (NT1) 也随之保持完全导通状态。

通过第 n 个驱动段 (SRC n) 的控制端子 (CT) 提供上升为接
通电平的虚拟段输出信号时, 接通第十二及第十三 NMOS 晶体管
(NT12、NT13)。

接通第十二 NMOS 晶体管 (NT12), 第一节点 (N1) 电位将
从第一电源电压电平 (VDD) 降为第二电源电压电平 (VSS)。然
后, 接通第十 NMOS 晶体管 (NT10)。因此, 第二节点 (N2) 通
过第四及第五 NMOS 晶体管 (NT4、NT5) 从第二电源电压电平
(VSS) 上升为第一电源电压电平 (VDD)。

从控制端子 (CT) 接收的虚拟段输出信号接通第十三 NMOS 晶体管 (NT13), 而接通的第十三 NMOS 晶体管 (NT13) 则与第二 NMOS 晶体管 (NT2) 共同向输出端子 (OUT) 输出第二电源电压电平 (VSS)。

第七至第八 NMOS 晶体管 (NT7、NT8) 在向输出端子 (OUT) 输出驱动电压第一电源电压信号 (VDD) 的状态下, 向输入端子 (IN) 提供的第 $n-1$ 个驱动段输出信号变更为接通电平时就接通。

具体地讲, 在输出端子 (OUT) 输出第二电源电压电平 (VSS) 的状态下, 向输入端子 (IN) 提供具有接通电平的第 $n-1$ 个驱动段输出信号时, 第八 NMOS 晶体管 (NT8) 也随之接通, 同时把向输入端子 (IN) 提供的第 $n-1$ 个驱动段输出信号向第二电源线端子 (VSST) 放电。

而且, 第九 NMOS 晶体管 (NT9) 对通过控制端子 (CT) 接收的虚拟段输出信号接通并提供给输入端子 (IN) 的变更为接通电平的第 $n-1$ 个驱动段输出信号。由此防止第一 NMOS 晶体管 (NT1) 的接通。

即使通过控制端子 (CT) 施加的虚拟段输出信号降为断开电平而断开第十二 NMOS 晶体管 (NT12), 但第二节点 (N2) 通过第四及第五 NMOS 晶体管 (NT4、NT5) 保持偏压为第一电压电平的状态。因此, 第二 NMOS 晶体管 (NT2) 保持接通状态, 输出端子 (OUT) 继续输出第二电源信号 (VSS)。

图 5 示出了图 2 的虚拟段的电路图, 而图 6 示出了图 5 的虚拟段布局平面图。在图 5 及图 6 中, 对于与图 1 中的第 n 个驱动段 (SRC n) 相同的结构因素, 并标记相同的附图标号, 而省略与其对应的说明。

参照图 5 及图 6, 虚拟段 (SRCn+1) 与第 n 个驱动段 (SRCn) 相同, 包括上拉部 131a、下拉部 131b、上拉驱动部 131c、下拉驱动部 131f、及传送输出部 131e。虚拟段 (SRCn+1) 虽然具有与第 n 个驱动段相同结构, 但虚拟段 (SRCn+1) 的控制端子 (CT) 上连接了虚拟段 (SRCn+1) 的输出端子 (OUT)。因此, 虚拟段 (SRCn+1) 通过自身输出信号控制。

与第 n 个驱动段 (SRCn) 的第十二 NMOS 晶体管 (NT12) 的晶体管规格相比较, 改变了与虚拟段 (SRCn+1) 中的控制端子连接的第十二 NMOS 晶体管 (NT12) 的晶体管规格, 以便在预定时间内保持虚拟段 (SRCn+1) 的输出信号。下面, 晶体管的规格是晶体管通道长度 L 和其宽度 W 之比 (W/L)。

例如, 虚拟段 (SRCn+1) 中, 第十二 NMOS 晶体管 (NT12) 规格比第 n 个驱动段 (SRCn) 的第十二 NMOS 晶体管 (NT12) 规格大约小 10 倍。

通常, 已经确定好长度 L, 因此晶体管的规格由通道的宽度 W 来决定。例如, 利用于虚拟段 (SRCn+1) 的晶体管 (NT12') 的宽度比利用在第 n 个驱动段 (SRCn) 的第十二 NMOS 晶体管 (NT12) 的宽度 W 约小 10 倍。如图 4 及图 6 所示, 图 6 的晶体管 (NT12') 通道宽度比图 4 的第十二 NMOS 晶体管 (NT12) 通道宽度约小于 10 倍。

虚拟段 (SRCn+1) 通过具有接通电平的自身输出信号, 直到接通晶体管 (NT12') 需要预定时间。即, 即使上升为接通电平的虚拟段 (SRCn+1) 输出信号反馈到虚拟段 (SRCn+1) 的控制端子 (CT), 通过晶体管 (NT12') 规格, 直到接通晶体管 (NT12') 需要预定时间。因此, 第十 NMOS 晶体管 (NT10) 也不会直接断开, 所以第二节点 (N2) 在预定时间内保持第二电源电压电平 (VSS)。

从而虚拟段 (SRC_{n+1}) 的输出端子 (OUT) 在预定时间内保持接通电平。

经过预定时间后, 接通第十二晶体管 (NT_{12}'), 对应其断开第十 NMOS 晶体管 (NT_{10}), 第二节点 (N_2) 从第二电源电压电平 (V_{SS}) 上升为第一电源电压电平 (V_{DD})。随着第二节点 (N_2) 电位上升为第一电源电压电平 (V_{DD}), 接通第二 NMOS 晶体管 (NT_2), 在虚拟段 (SRC_{n+1}) 输出端子 (OUT) 输出第二电源电压电平 (V_{SS})。

而且, 虚拟段 (SRC_{n+1}) 中, 组成在第 n 个驱动段 (SRC_n) 中除去与控制端子 (CT) 连接的第十三 NMOS 晶体管 (NT_{13}) 的状态。如图 6 所示, 已除去了图 4 的第十三 NMOS 晶体管 (NT_{13})。因此, 只在接通状态的第二 NMOS 晶体管 (NT_2) 向输出端子 (OUT) 输出第二电源电压 (V_{SS}), 以延迟向输出端子 (OUT) 输出第二电源电压 (V_{SS}) 的时间。

图 7 示出了虚拟段与驱动段具有相同结构时虚拟段输出信号的波形图, 而图 8 示出了图 5 的虚拟段的输出信号的波形图。X 轴表示时间 (μm), Y 轴表示电压 (V)。

参照图 7, 驱动段顺次输出具有高电压电平的输出信号 (OUT_{n-1} 、 OUT_n) 之后, 虚拟段 (SRC_{n+1}) 开始运行。在图 7 中, 虚拟段与驱动段相同电路组成, 虚拟段的输出端子与虚拟段的控制端子连接。这时, 来自虚拟段输出端子的输出信号 (OUT_{n+1}') 通过第 n 个驱动段的输出信号 (OUT_n) 变为接通电平, 同时, 变为接通电平的输出信号 (OUT_{n+1}') 分别提供到第 n 个驱动段 (SRC_n) 控制端子及自身控制端子。

从虚拟段输出端子输出的输出信号 (OUT_{n+1}') 通过控制端子提供的自身的输出信号 (OUT_{n+1}') 降为断开电平。因此, 虚拟段输出信号 (OUT_{n+1}') 在预定时间内不能保持接通电平, 而直接降到断开电平。即, 所述虚拟段输出信号 (OUT_{n+1}') 最大电压远远不足于驱动段输出信号 (OUT) 的最大电平值。

然而, 如图 8 所示, 若虚拟段 (SRC_{n+1}) 由图 5 中电路组成, 虚拟段输出信号 (OUT_{n+1}) 则显示其稳定性。驱动段顺次输出具有高电压电平的输出信号 (OUT_{n+1}) 之后, 虚拟段 (SRC_{n+1}) 运行。

从虚拟段 (SRC_{n+1}) 输出端子的输出信号 (OUT_{n+1}') 通过第 n 个驱动段的输出信号 (OUT_n) 变为接通电平, 同时变为接通电平的输出信号 (OUT_{n+1}) 分别提供到第 n 个驱动段 (SRC_n) 控制端子及虚拟段 (SRC_{n+1}) 的控制端子。

然后, 即使通过虚拟段 (SRC_{n+1}) 的控制端子提供输出信号 (OUT_{n+1}), 但与虚拟段 (SRC_{n+1}) 的输出端子连接的晶体管规格小, 所以从虚拟段输出端子输出的输出信号 (OUT_{n+1}) 降到断开电平需要预定时间。因此, 虚拟段 (SRC_{n+1}) 的输出信号 (OUT_{n+1}) 在预定时间内可以保持接通电平。

所产生的输出信号 (OUT_{n+1}) 几乎与输出信号 (OUT_n) 一样具有高电压电平。因此, 第 n 个驱动段 (SRC_n) 通过虚拟段 (SRC_{n+1}) 的输出信号 (OUT_{n+1}) 可进行稳定驱动。

图 9 示出了根据本发明第二典型实施例的驱动段及虚拟段结构电路图。

参照图 9, 根据本发明第二实施例的移位寄存器 133 包括 n 个驱动段($SRC1, \dots, SRCn$)及虚拟段($SRCn+1$)。 n 个驱动段($SRC1, \dots, SRCn$) 中第 n 个驱动段 ($SRCn$) 包括上拉部 133a、下拉部 133b、上拉驱动部 133c、及下拉驱动部 133d。

上拉部 133a 包括第一 NMOS 晶体管 (NT1a)。将钟信号 (CK) 施于第一 NMOS 晶体管 (NT1a) 的漏极, 将第一 NMOS 晶体管 (NT1a) 的栅极与第一节点 (N1a) 连接, 而将第一 NMOS 晶体管 (NT1a) 的源极与输出端子 (OUTn) 连接。

下拉部 133b 包括第二 NMOS 晶体管 (NT2a)。将第二 NMOS 晶体管 (NT2a) 的漏极与输出端子 (OUTn) 连接, 将第二 NMOS 晶体管 (NT2a) 的栅极与第二节点 (N2a) 连接, 而将第二 NMOS 晶体管 (NT2a) 的源极与第二电源线端子 (VSST) 连接。

上拉驱动部 133c 包括电容器 (C)、NMOS 晶体管 (NT3a、NT4a、NT5a)。第三 NMOS 晶体管 (NT3a) 的漏极与第一电源线端子 (VDDT) 连接、第三 NMOS 晶体管 (NT3a) 的栅极与输入端子 (IN) 连接、第三 NMOS 晶体管 (NT3a) 的源极与第一节点 (N1a) 连接。第四 NMOS 晶体管 (NT4a) 的漏极与第一节点 (N1a) 连接、第四 NMOS 晶体管 (NT4a) 的栅极与控制端子 (CT) 连接、第四 NMOS 晶体管 (NT4a) 的源极与第二电源线端子 (VSST) 连接。第五 NMOS 晶体管 (NT5a) 的漏极与第一节点 (N1a) 连接、第五 NMOS 晶体管 (NT5a) 的栅极与第二节点 (N2a) 连接、第五 NMOS 晶体管 (NT5a) 的源极与第二电源线端子 (VSST) 连接。第三 NMOS 晶体管 (NT3a) 规格比第五 NMOS 晶体管 (NT5a) 规格约大 2 倍。

下拉驱动部 133d 包括第六及第七 NMOS 晶体管 (NT6a、NT7a)。第六 NMOS 晶体管 (NT6a) 的漏极和栅极共同与第二电源线端子 (VDDT) 连接、第六 NMOS 晶体管 (NT6a) 的源极与

第二节点 (N2a) 连接。第七 NMOS 晶体管 (NT7a) 的漏极与第二节点 (N2a) 连接、第七 NMOS 晶体管 (NT7a) 的栅极与第一节点 (N1a) 连接、第七 NMOS 晶体管 (NT7a) 的源极与第二电源线端子 (VSST) 连接。第六 NMOS 晶体管 (NT6a) 规格比第七 NMOS 晶体管 (NT7a) 规格约大 16 倍。

若向第 n 个驱动段 (SRCn) 的输入端子提供第 $n-1$ 个驱动段 (SRCn-1) 的输出信号, 就接通了第七 NMOS 晶体管 (NT7a)。通过运行第七 NMOS 晶体管 (NT7a), 第二节点 (N2a) 电位从第一电源电压电平 (VDD) 降到第二电源电压电平 (VSS), 由此断开第二 NMOS 晶体管 (NT2)。然后, 即使接通第七 NMOS 晶体管 (NT7a), 因为第六 NMOS 晶体管 (NT6a) 规格比第七 NMOS 晶体管 (NT7a) 规格约大 16 倍, 所以第二节点 (N2a) 继续保持第二电源电压电平 (VSS)。

通过第 n 个驱动段 (SRCn) 的控制端子 (CT) 提供上升到接通电平的虚拟段 (SRCn+1) 的输出信号 (OUTn+10), 第七 NMOS 晶体管 (NT7a) 就断开。因此, 第二节点 (N2a) 通过第六 NMOS 晶体管 (NT6a) 从第二电源电压电平 (VSS) 上升到第一电源电压电平 (VDD)。

通过第 n 个驱动段 (SRCn) 的控制端子 (CT) 施加的虚拟段 (SRCn+1) 的输出信号 (OUTn+10) 降到断开电平, 即使断开第四 NMOS 晶体管 (NT4a), 但第二节点 (N2a) 通过第六 NMOS 晶体管 (NT6a) 偏压为第一电源电压电平 (VDD)。因此, 第二 NMOS 晶体管 (NT2) 保持接通状态, 在输出端子 (OUTn) 继续输出第二电源电压电平 (VSS)。

即使当改变通过第 n 个驱动段 (SRC_n) 的控制端子 (CT) 施加的虚拟段 (SRC_{n+1}) 的输出信号的电位以断开电压电平且断开第四晶体管 ($NT4a$)，由于第六晶体管 ($NT6a$) 第二节点保持第一电源电压电平 (VDD)。因此，第二晶体管 ($NT2a$) 保持接通状态，而输出端子 (OUT_n) 具有第二电源电压电平 (VSS)。

如图 9 所示，虚拟段 (SRC_{n+1}) 包括上拉部 133a、下拉部 133b、上拉驱动部 133c'、及下拉驱动部 133d。虚拟段 (SRC_{n+1}) 具有与第 n 个驱动段 (SRC_n) 相同结构，但虚拟段 (SRC_{n+1}) 的控制端子 (CT) 与虚拟段 (SRC_{n+1}) 输出端子 (OUT_{n+1}) 连接。因此，虚拟段 (SRC_{n+1}) 根据自身输出信号控制。

与连接于第 n 个驱动段 (SRC_n) 的控制端子的晶体管的晶体管规格相比较，改变了连接于虚拟段 (SRC_{n+1}) 的控制端子的晶体管的晶体管规格，以便在预定时间内保持虚拟段 (SRC_{n+1}) 的输出信号。

例如，第四 NMOS 晶体管 ($NT4a'$) 规格比第四 NMOS 晶体管 ($NT4a$) 规格约小 10 倍。因此，虚拟段 (SRC_{n+1})，通过具有接通电平的自身输出信号接通至第四 NMOS 晶体管 ($NT4a'$) 需要预定时间。即使通过虚拟段 (SRC_{n+1}) 控制端子 (CT) 提供上升到接通电平的虚拟段 (SRC_{n+1}) 输出信号，但接通第四 NMOS 晶体管 ($NT4a'$) 需要预定时间，所以第七 NMOS 晶体管 ($NT7a$) 也不会马上断开。第四节点 ($N4$) 在预定时间内保持第二电源电压电平 (VSS)。因此，虚拟段 (SRC_{n+1}) 的输出端可在预定时间内保持高电压电平。

经过预定时间后接通第四 NMOS 晶体管 ($NT4'$)，与其对应接通第七 NMOS 晶体管 ($NT7a$)，第四节点 ($N4$) 从第二电源电压电平 (VSS) 上升到第一电源电压电平 (VDD)。随着第四节点电位

上升到第一电源电压电平(VDD),接通第二NMOS晶体管(NT2a),在虚拟段(SRC_{n+1})输出端子(OUT)输出第二电源电压电平(VSS)。

将虚拟段(SRC_{n+1})的控制端子(CT)与虚拟段(SRC_{n+1})输出端子(OUT_{n+1})连接,使虚拟段(SRC_{n+1})可以稳定运行。而且,栅极驱动电路向虚拟段(SRC_{n+1})的控制端子(CT)提供控制信号时,并不需要来自外部的单独布线,所以无需进行追设。

因此,可以防止当追设布线(未示出)时在其它布线和追设的布线之间产生的电容引起的提供给栅极驱动电路的各种信号的延迟现象。

图10示出了根据本发明第三典型实施例的栅极驱动电路的移位寄存器的方框图,而图11示出了图10的栅极驱动电路的输出信号的波形图。以下,‘i’是比‘n’小的偶数。

参照图10,根据本发明第三典型实施例的栅极驱动电路150包括移位寄存器151。移位寄存器151分为第一组G1和第二组G2。在移位寄存器151周边具有向移位寄存器151提供多个信号的布线部152。更具体地,布线部152包括开始信号线(STL)、第一电源线(VDDL)、第一时钟线(CKL1)、第二时钟线(CKBL1)、第二电源线(VSSL)、第三时钟线(CKL2)、以及第四时钟线(CKBL2)。

第一时钟线(CKL1)向第一组G1驱动段(SRC₁,...,SRC_{i-1})中的第奇数个驱动段(SRC₁、SRC₃,...)提供第一时钟信号(CK),第三时钟线(CKL2)向第二组G2驱动段(SRC_i,...,SRC_n)中第奇数个驱动段(SRC_{i+1})及虚拟段(SRC_{n+1})提供第一时钟信号(CK)。第二时钟线(CKBL1)向第一组G1的驱动段(SRC₁,...,SRC_{i-1})中的第偶数个驱动段(SRC₂,...)提供具有与第一时钟信号(CK)反转相位(具有180°不同相位)的第二时钟信号(CKB),

第四时钟线 (CKBL2) 向第二组 G2 的驱动段 (SRC_i, ..., SRC_n) 中第偶数个驱动段 (SRC_i, ..., SRC_n) 提供第二时钟信 (CKB)。

因此, n 个驱动段 (SRC₁, ..., SRC_n) 中一部分根据通过第一及第二时钟线 CKL1、CKBL1 分别提供的第一及第二时钟信号驱动。n 个驱动段 (SRC₁, ..., SRC_n) 的剩余部分根据通过第三及第四时钟线 CKL2、CKBL2 分别提供的第一及第二时钟信号 CK、CKB 驱动。因此, 使从第一栅极线到第 n 个栅极线顺次具有接通电压电平产生的第一及第二时钟信号 CK、CKB 的延迟时间变得最小, 以防止各段输出信号的失真现象。

第三及第四时钟线 CKL2、CKBL2 不是与横穿其它布线的连接线结合并分别与 n 个驱动段 (SRC₁, ..., SRC_n) 连接, 而是与第一及第二时钟线 CKL1、CKBL1 一端结合并分别与第 n 个驱动段 (SRC₁, ..., SRC_n) 连接。

具体地说, 输入第一时钟信号 CK 的第三时钟线 CKL2 一端与输入第一时钟信号 CK 的第一时钟线 CKL1 一端布置在相互邻近位置。而且, 输入第二时钟信号 CKB 的第二时钟线 CKBL1 一端与输入第二时钟信号 CKB 的第四时钟线 CKBL2 一端布置在相互邻近位置。换言之, 第一至第四时钟线 (CKL1、CKBL1、CKL2、CKBL2) 输入端子布置在与第一个驱动段 (SRC₁) 邻近位置。

第一时钟线 CKL1 另一端与第三时钟线 CKL2 另一端结合, 且在与虚拟段 (SRC_{n+1}) 邻近位置上结合。

第二时钟线 CKBL1 另一端与第四时钟线 CKBL2 另一端结合, 且在与虚拟段 (SRC_{n+1}) 邻近位置上结合。

第三及第四时钟线 CKL2、CKBL2 不直接与移位寄存器 151 连接，也没有与其它布线相交部分。因而，通过第三及第四时钟线 CKL2，CKBL2 的第一及第二时钟信号 CK、CKB 的移动速度比通过第一及第二时钟线 CKL1、CKLB1 的第一及第二时钟信号 CK、CKB 移动速度快。

而且，布线部 152 布线宽度越窄越邻接移位寄存器 151 布置。

具体地说，最接近移位寄存器 151 处布置开始信号线 STL，其次第一电源电线 VDDL 与开始信号线 STL 邻接布置。在第一电源电线 VDDL 外侧上顺次布置第二及第一时钟线 CK1、CKBL1。与第一时钟线 CKL1 邻接形成第二电源电线 VSSL。第三时钟线 CKL2 与第二电源电线 VSSL 邻接布置，其次第四时钟线 CKBL2 与第三时钟线 CKL2 邻接布置。

布线部 152 由这种顺序布置的各种布线组成，从而可以提高液晶显示器的显示质量。即与移位寄存器 151 越近，布线之间总接触面积也越大，随之接触电容也变大。因此，越少受接触电容的布线越接近移位寄存器 151 布置。由此，可提高液晶显示器的显示质量。

参照图 11，通过第一及第二时钟线 CKL1、CKBL1 向移位寄存器 151 第一组 G1 提供第一及第二时钟信号 CK、CKB，并向第一组 G1 第一次驱动段 SRC1 提供开始信号 ST，第一组 G1 的第一驱动段 SRC1 应答开始信号 ST 线端，第一时钟信号 CK 高电压电平产生第一输出信号 OUT1。然后，第二个驱动段 SRC2 应答第一个驱动段 SRC1 的第一输出信号 OUT1，第二时钟信号 CKB 高电压电平产生第二输出信号 OUT2。

通过第三及第四时钟线 CKL2、CKBL2 向移位寄存器 151 第二组 G2 提供第一及第二时钟信号 CK、CKB，第二组 G2 的第一驱动段的第 i 个段 SRC i 应答第一组 G1 最后驱动段的第 $i-1$ 个驱动段 SRC $i-1$ 的第 $i-1$ 输出信号，第二时钟信号 CKB 高电压电平产生第 i 输出信号 OUT $i-1$ 。第 $i+1$ 个驱动段 SRC $i+1$ 应答第 i 输出信号 OUT i ，第一时钟信号 CK 高电压电平产生第 $i+1$ 输出信号 OUT $i+1$ 。

综上所述，在各驱动段输出端子 OUT 中顺次产生具有高电压电平的第一、第二、...、第 n 输出信号 (OUT1, OUT2, ..., OUT n)。

图 12 示出了图 10 的第三及第四时钟线排列的布局图，而图 13 示出了第一及第三时钟线连接关系与第二及第四时钟线连接关系布局图。

参照图 12，在移位寄存器 151 外侧顺次布置开始信号线 STL、第一电源线 VDDL、第一及第一时钟线 CKL1、CKBL1、第二电源线 VSSL、第三及第四时钟线 CKL2、CKBL2。各布线宽度越窄越接近移位寄存器 151 布置。换言之，原离移位寄存器的布线宽度至少大于或等于邻近侧布线宽度。越接近移位寄存器 151，布线之间的总接触面积就越大，接触电容也大，因此越少受电容影响的布线越接近移位寄存器 151 布置。

具体地说，最接近移位寄存器 151 处布置开始信号线 STL，其次，第一电源线 VDDL 与开始信号线 STL 邻接布置。在第一电源线 VDDL 外侧上布置第二及第一时钟线 CKL1。第二时钟线 CKBL1 比第一时钟线 CKL1 布置在内侧。与第一时钟线 CKL1 邻接形成第二电源线 VSSL。这种结构可以防止在布线和将相应布线连接到各段 (SRC1, ..., SRC $n+1$) 上的连接线之间产生的接触电容引起的延迟。第三及第四时钟线 CKL2、CKBL2 不是与横穿另外布线的连接线结合并与移位寄存器 151 连接，而是与第一及第二时钟线 CKL1、

CKBL1 一端结合,与移位寄存器 151 连接,所以比第二电源线 VSSL 布置在外侧。如图 12 所示,第三及第四时钟线 CKL2、CKBL2 在薄膜晶体管基片 300 密封线区域 SA 内形成。

具体地说,薄膜晶体管基片 300 分为形成栅极线(未示出)、数据线(未示出)、及像素(未示出)的显示区域(DA)和在显示区域(DA)周边形成的周边区域(PA)。

周边区域(PA)分为形成移位寄存器 151 及各种布线的栅极驱动区域(GA)和形成薄膜晶体管基片与滤色器(未示出)结合的结合部件,例如,密封剂(未示出)的密封线区域(SA)。栅极驱动区域(GA)和密封线区域(SA)部分重叠。即密封线区域(SA)以密封线区域(SA)中心为准分为具有液晶的内侧区域和不具有液晶的外侧区域。栅极驱动区域(GA)包括第一区域。

在密封线区域(SA)内形成第三及第四时钟线 CKL2、CKBL2、第二电源线 VSSL 的一部分。在栅极驱动区域(GA)内形成第二电源线 VSSL 的剩余部分、第一时钟线 CKL1、第二时钟线 CKBL1、及开始信号线 STL。

第二电源线 VSSL 的一部分、第一及第二时钟线 CKL1、CKBL1、第一电源线 VDDL 及开始信号线 STL 具有与连接线接触的部分,所以若把它们在密封线区域(SA)内形成,就可能产生结合薄膜晶体管基片 300 和滤色器时在高温中施加压力的工序引起的接触不良。

具有与连接线接触部分的布线在栅极驱动区域(GA)内形成,不具有与连接线接触部分的布线在密封线区域(SA)内形成,所以可以防止液晶显示器整体规格的增加。具体地说,第二电源线 VSSL

的剩余部分、第三及第四时钟线 CKL2、CKBL 没有与连接线结合的部分，所以也可以在密封线区域（SA）内形成。

由于追设第三及第四时钟线 CKL2、CKLB2，所以不产生液晶显示器规格增加的现象。而且，在不存在液晶的密封线区域（SA）内形成第三及第四时钟线 CKL2、CKBL2，所以不存在电容，因此，第一及第二时钟信号 CK、CKB 延迟时间比第一及第二时钟线 CKL1、CKBL1 减少很多。

参照图 13，第一时钟线 CKL1 一端与第三时钟线 CKL2 一端结合，第二时钟线 CKBL1 一端与第四时钟线 CKBL2 一端结合。因此，第三时钟线 CKL2 向移位寄存器各段提供第一时钟信号 CK，第四时钟线 CKBL2 向各段提供第二时钟信号 CK。

如图 12 及图 13 所示，第三及第四时钟线 CKL2、CKBL2 不直接与移位寄存器 151 连接，也没有与另外布线相交的部分。所以第一及第二时钟信号 CK、CKB 通过第三及第四时钟线 CKL2、CKBL2 移动的速度比通过第一及第二时钟线 CKL1、CKBL2 移动的速度快。

因此，移位寄存器 151 的各段（SRC1, ..., SRC_{n+1}）中的一部分根据通过第一及第二时钟线 CKL1、CKBL1 提供的第一及第二时钟信号 CK、CKB 运行，剩余部分根据通过第三及第四时钟线 CKL2、CKBL2 提供的第一及第二时钟信号 CK、CKB 运行。

因此，使从第一栅极线到最后栅极线顺次具有高电压电平产生的第一及第二时钟信号 CK、CKB 延迟时间变得最小，以便避免从移位寄存器 151 输出的输出信号的失真。

图 14 示出了根据本发明第四典型实施例的移位寄存器的布线结构布局图，而图 15 示出了具有图 14 的布线结构的移位寄存器布局图。

参照图 14 及图 15，在第二电源线 VSSL 和移位寄存器（未示出）之间布置连接第二电源线 VSSL 和各段的第一连接线 VSSLc。在第二电源线 VSSL 和移位寄存器之间布置与第二电源线 VSSL 并联的第一及第二时钟线 CKL1、CKBL1。

第一连接线 VSSLc 和第一及第二时钟线 CKL1、CKBL1 相交。而且，第一及第二时钟线 CKL1、CKBL1 在第一连接线 VSSLc 和未相交的区域中具有第一宽度 W1，在与第一连接线 VSSLc 相交的区域中具有比第一宽度 W1 小的第二宽度 W2。

具体地说，在第一时钟线 CKL1 上对应与第一连接线 VSSLc 相交的区域，形成从一侧壁向内侧凹进去的第一凹陷部 C1，在第二时钟线 CKBL1 上对应第一连接线 VSSLc 相交的区域，也形成从一侧壁向内侧凹进去的第二凹陷部 C2。

第一时钟线 CKL1 具有向长度方向延伸的第一及第二侧壁 1401、1402，第二时钟线 CKBL1 具有向长度方向延伸的第三及第四侧壁 1403、1404。第一及第二时钟线 CKL1、CKBL1 使第二侧壁 1402 和第三侧壁 1403 相互面对布置。第一凹陷部 C1 在第一侧壁 1401 上形成，第二凹陷部 C2 在第四侧壁 1404 上形成。

如图 14 及图 15 所示，在第一时钟线 CKL1 和移位寄存器 151 之间布置向各段提供第一时钟信号的第一时钟信号连接线 CKLc，在第二时钟线 CKBL1 和移位寄存器 151 之间布置向各段提供第二时钟信号的第二时钟信号连接线 CKBLc。第一时钟信号连接线 CKLc 在第一时钟线 CKL1 的第二侧壁 1402 附近与第一时钟线

CKL1 接触，第二时钟信号连接线 CKBLc 的在第二时钟线 CKBL1 的第三侧壁 1403 附近与第二时钟线 CKBL1 接触。优选地，第一及第二凹陷部 C1、C2 在与第一及第二时钟信号连接线 CKLc、CKBLc 接触部分不重叠的位置上形成。

可减少在第一及第二时钟线 CK1、CKB1 和第一连接线 VSSLc 交叉区间产生的电容。因此，可以减少通过第一及第二时钟线 CKL1、CKBL1 施加的第一及第二时钟信号延迟时间。而且，通过第一连接线 VSSLc 施加的第二电源电压信号 VSS 的延迟时间。

部分较窄形成第一及第二时钟线 CKL1、CKBL1 的宽度，所以可能增加电阻。然而，信号的延迟比电阻更受电容的影响，所以最终还是可以减少延迟时间。

下面，通过表 1 示出了实施例和比较例，示出了根据电容及电阻改变的 RC 延迟。在实施例第一及第二时钟线 CKL1、CKBL1 的第一宽度 W1 为 $70\ \mu\text{m}$ ，第二宽度 W2 为 $45\ \mu\text{m}$ 。在比较例中，第一及第二时钟线 CKL1、CKBL1 中每个的第一和第二宽度(W1, W2)均为 $70\ \mu\text{m}$ 。

表 1

CKL1 (CKBL1)	W1	W2	C	R
比较例	$70\ \mu\text{m}$	$70\ \mu\text{m}$	385 pF	$457\ \Omega$
实施例	$70\ \mu\text{m}$	$45\ \mu\text{m}$	344.5 pF	$489\ \Omega$

如图 1 所示, 在比较例中在第一及第二时钟线 CKL1、CKBL1 和第一连接线 VSSLc 之间产生的第一电容为 385 pF。在实施例中, 在第一及第二时钟线 CKL1、CKBL1 和第一连接线 VSSLc 之间产生的第二电容为 344.5 pF。在实施例中第二电容比较例减少了约 10.5%。

在比较例中, 第一及第二时钟线 CKL1、CKBL1 中第一电阻为 457Ω , 在实施例中第一及第二时钟线 CKL1、CKBL1 中第二电阻为 489Ω 。实施例中的第二电阻比第一电阻约增加了约 7%。然而, 第二电阻增加的比率小于第二电容减少的比率, 所以最终减少了 RC 延迟。

图 16 示出了根据本发明第五典型实施例的移位寄存器布线结构布局图。

参照图 14 和图 15, 在第二电源线 VSSL 和移位寄存器 (未示出) 之间布置连接第二电源线 VSSL 和各段的第一连接线 VSSLc。在第二电源线 VSSL 和移位寄存器之间布置与第二电源线 VSSL 并排的第一及第二时钟线 CKL1、CKBL1。

第一连接线 VSSLc 与第一及第二时钟线 CKL1、CKBL1 相交。第一连接线 VSSL 具有对应与第一时钟线 CKL1 相交的区域形成的从一侧壁向内侧凹陷的第三凹陷部 C3。具有对应与第二时钟线 CKBL1 相交的区域形成的从一侧壁向内侧凹陷的第四凹陷部 C4。第一连接线 VSSLc 在与第一及第二时钟线不相交的区域中具有第三宽度 W3, 在与第一及第二时钟线相交的区域中具有比第三宽度 W3 小的第四宽度 W4。

由于第一连接线 $VSSLc$ 宽度在与第一及第二时钟线 $CKL1$ 、 $CKBL1$ 相交的区域变窄，因此可以减少在第一及第二时钟线 $CKL1$ 、 $CKBL1$ 和第一连接线 $VSSLc$ 之间形成的电容。因此，可以减少通过第一及第二时钟线 $CKL1$ 、 $CKBL1$ 施加的第一及第二时钟信号的延迟时间和通过第一连接线 $VSSLc$ 施加的第一电源电压延迟时间。

在上述栅极驱动电路中，由于虚拟段 (SRC_{n+1}) 输出端子与最后驱动段 (SRC_n) 控制端子连接的同时，也与虚拟段 (SRC_{n+1}) 的控制端子连接，以防止向栅极驱动电路提供的信号延迟现象。

而且，改变虚拟段 (SRC_{n+1}) 中与控制端子连接的晶体管结构，以正常输出虚拟段 (SRC_{n+1}) 的输出信号，从而可以提高液晶显示器显示质量。

而且，由于布线部除了第一及第二时钟线之外还具有分别接收第一及第二时钟的第三及第四时钟线，因此可以使从第一栅极线到最后栅极线顺次具有高电压电平发生的第一及第二时钟延迟时间变得最小，进一步提高液晶显示器显示质量。

以上所述仅为本发明的典型实施例而已，并不用于限制本发明，对于本领域的技术人员来说，本发明可以有各种更改和变化。凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

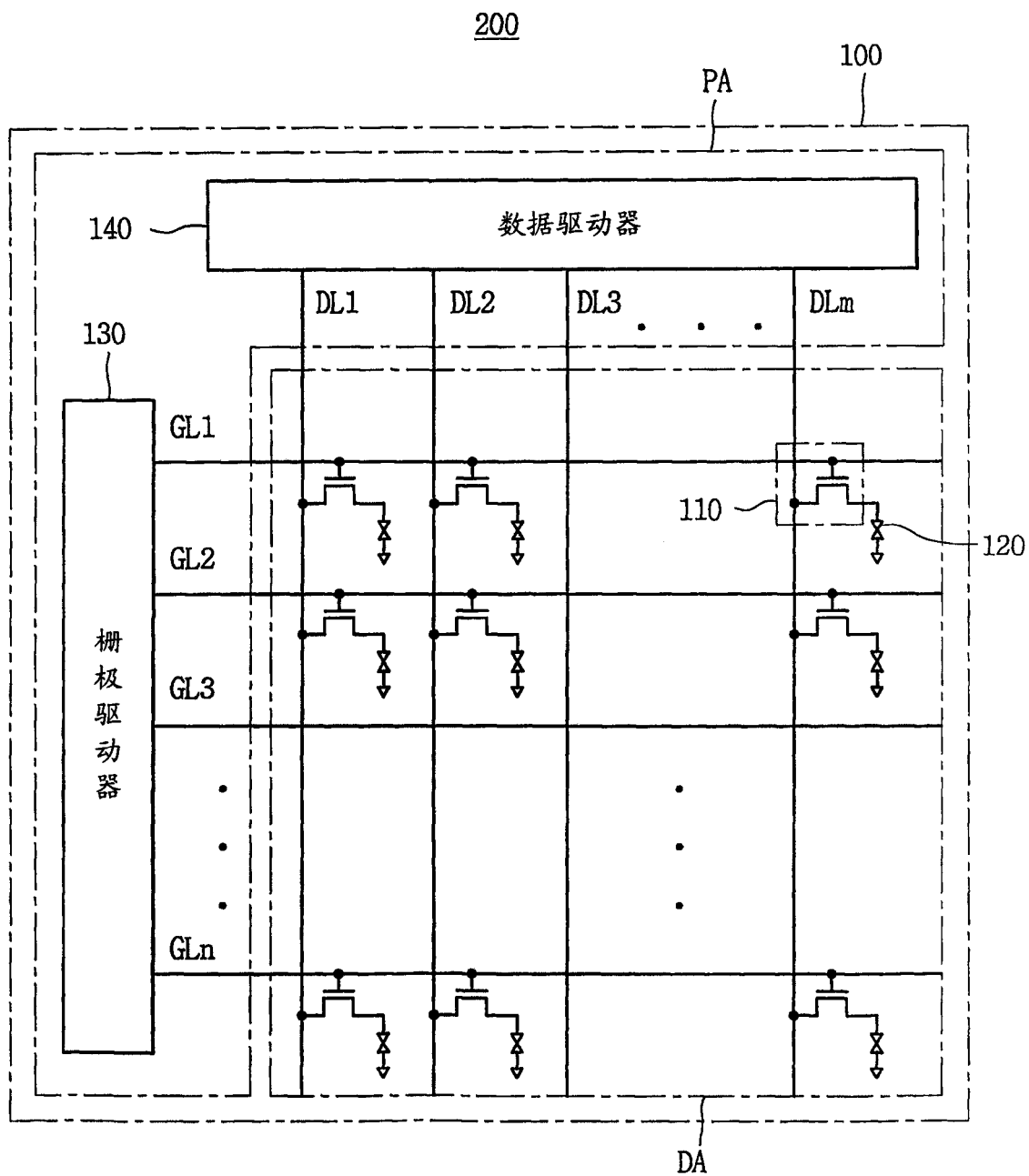


图 1

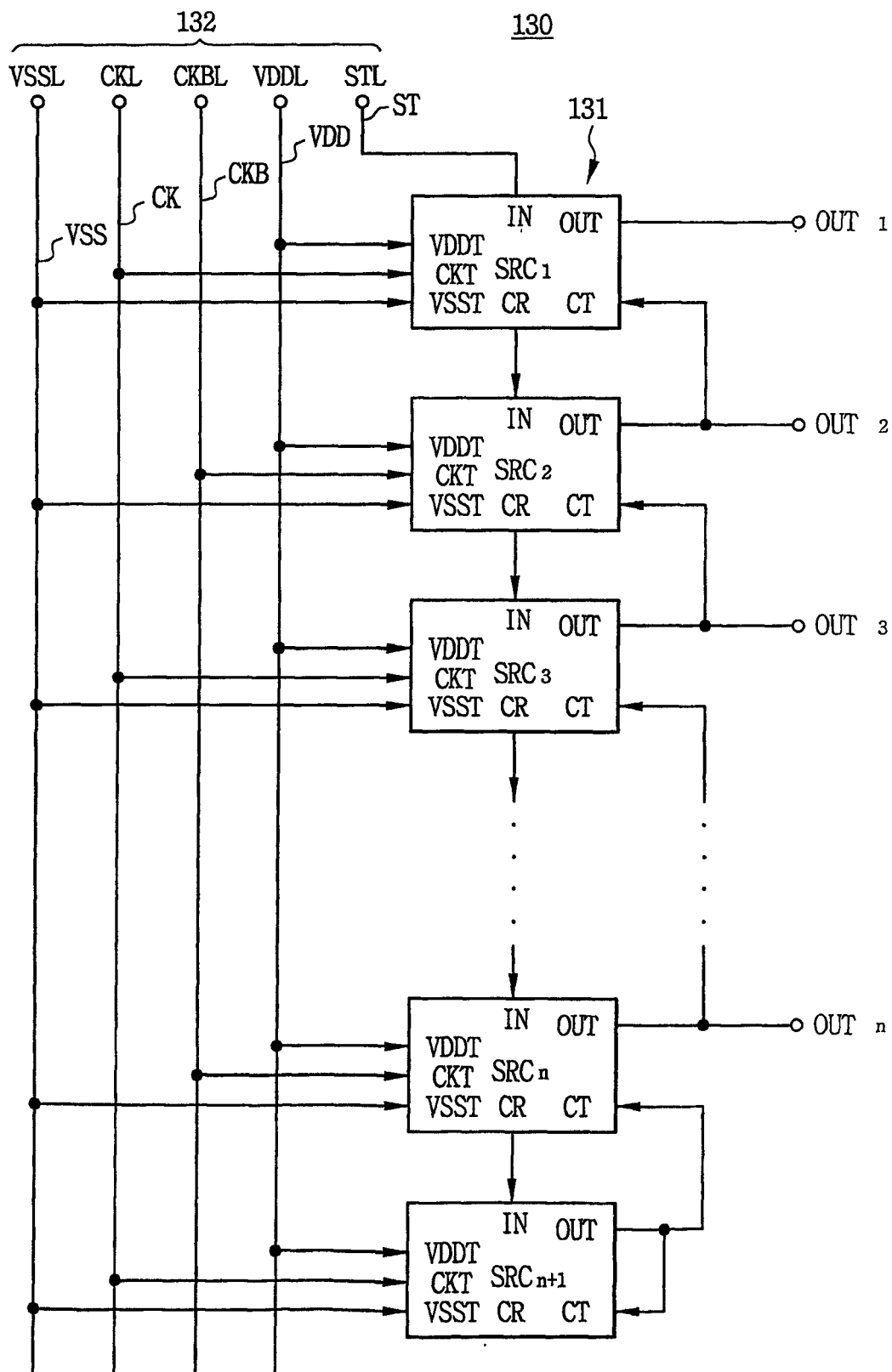


图 2

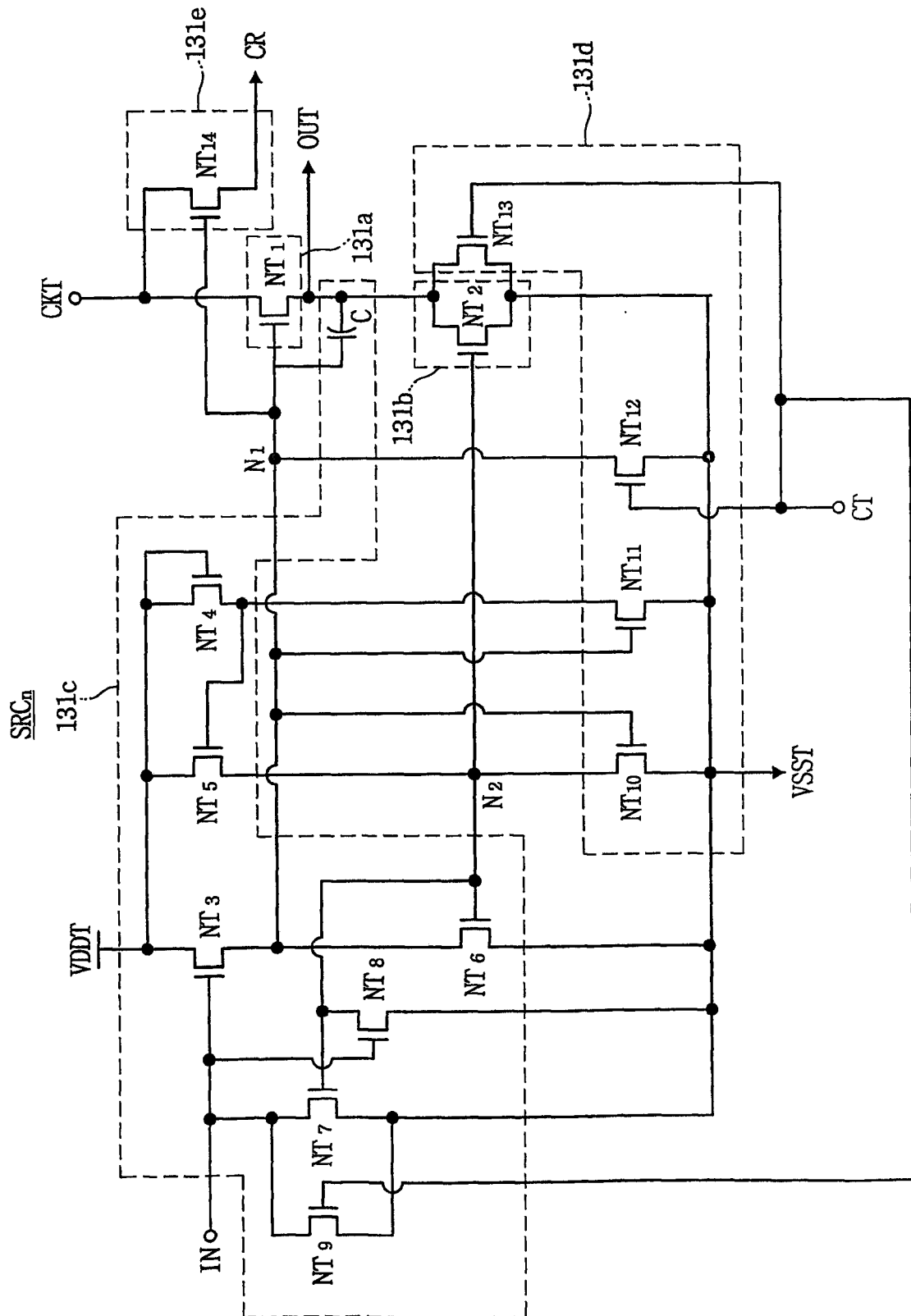


图 3

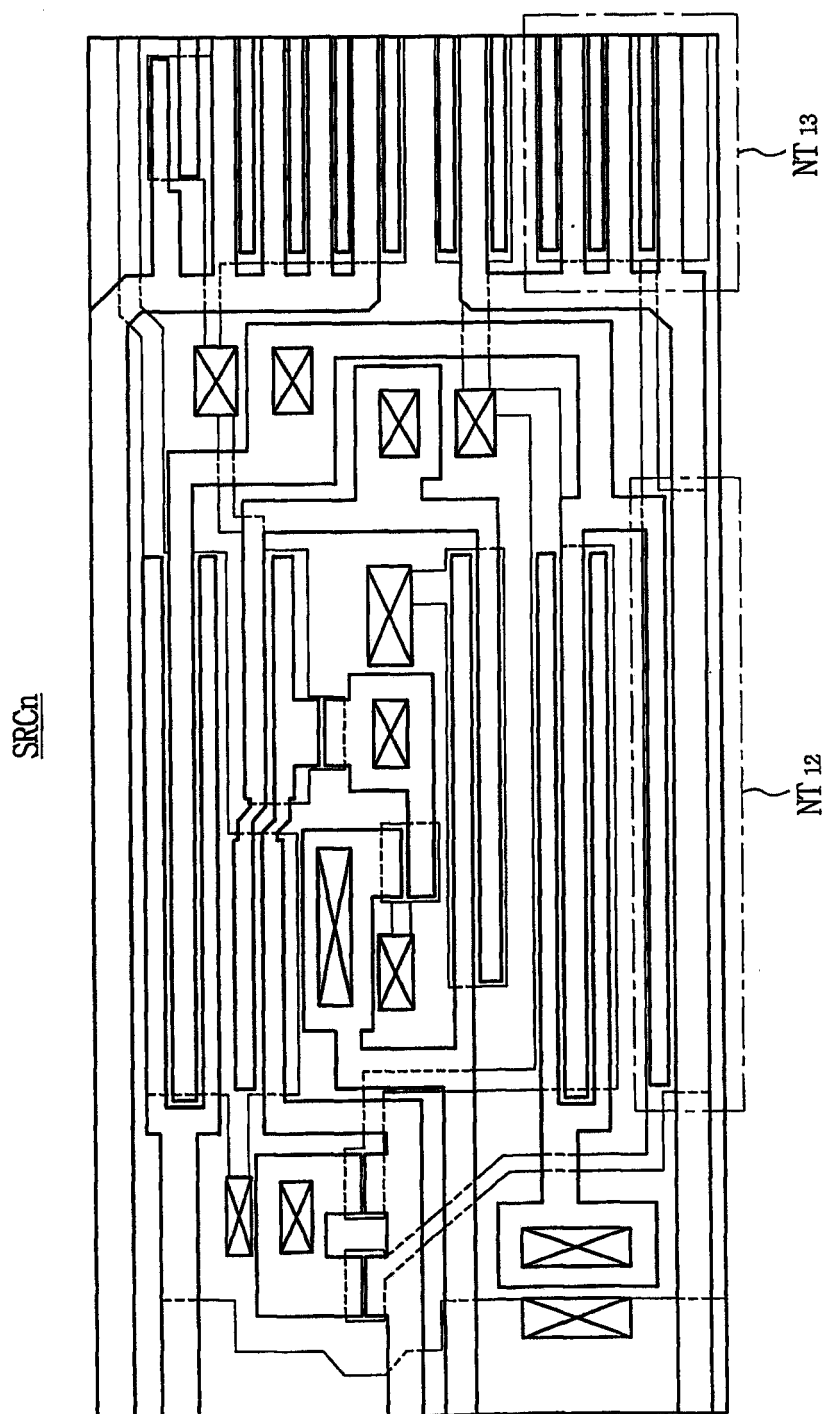


图 4

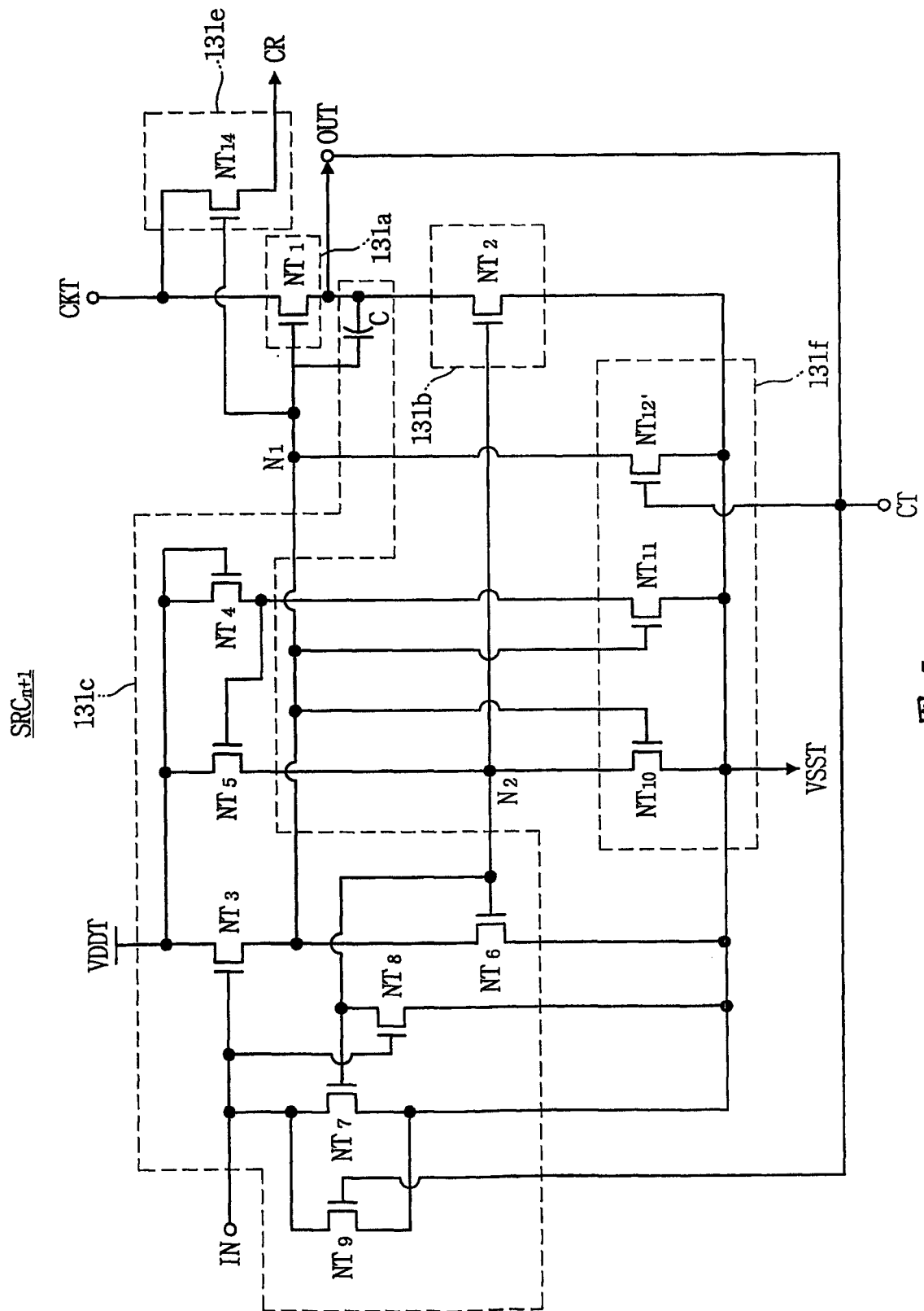
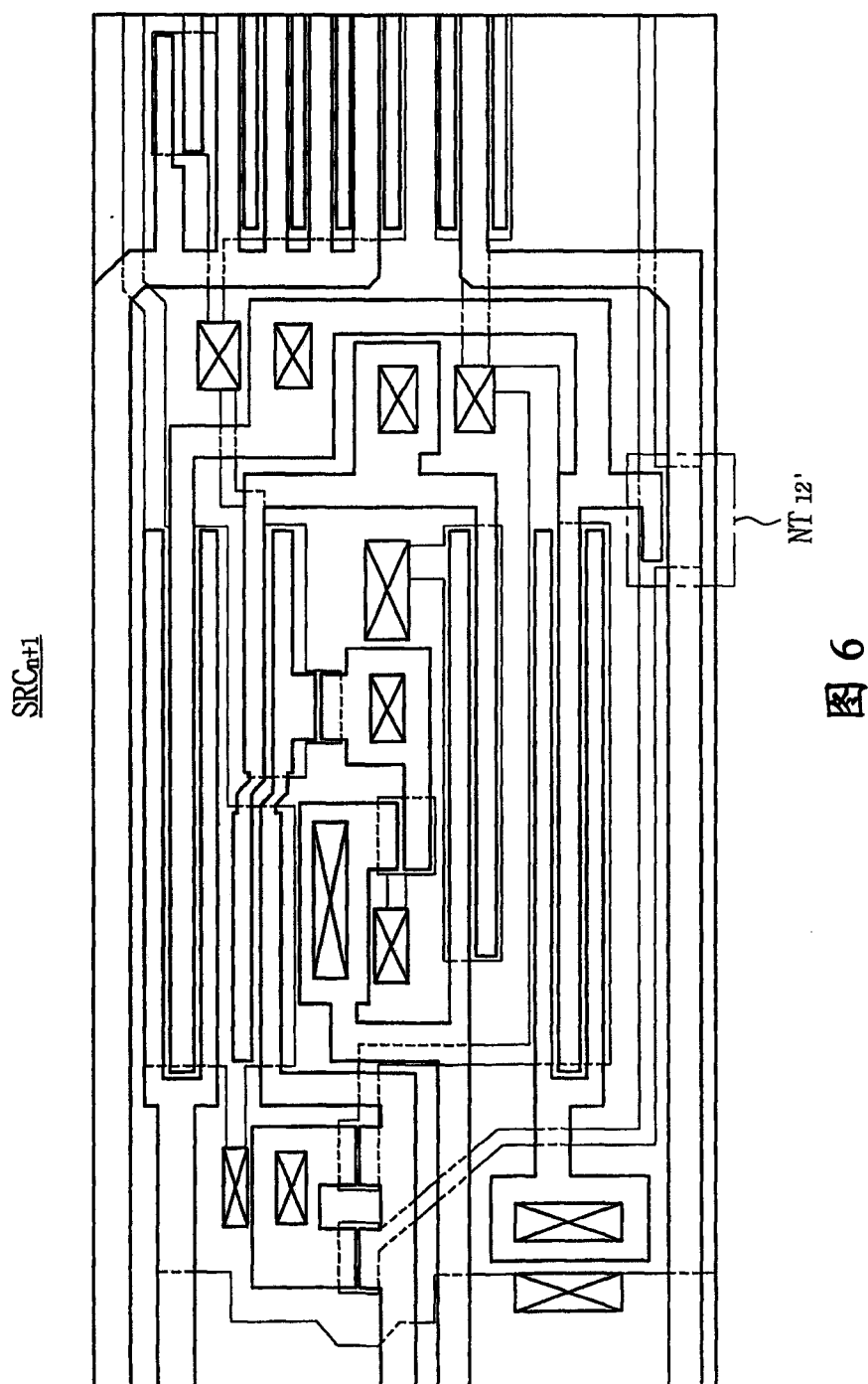


图 5



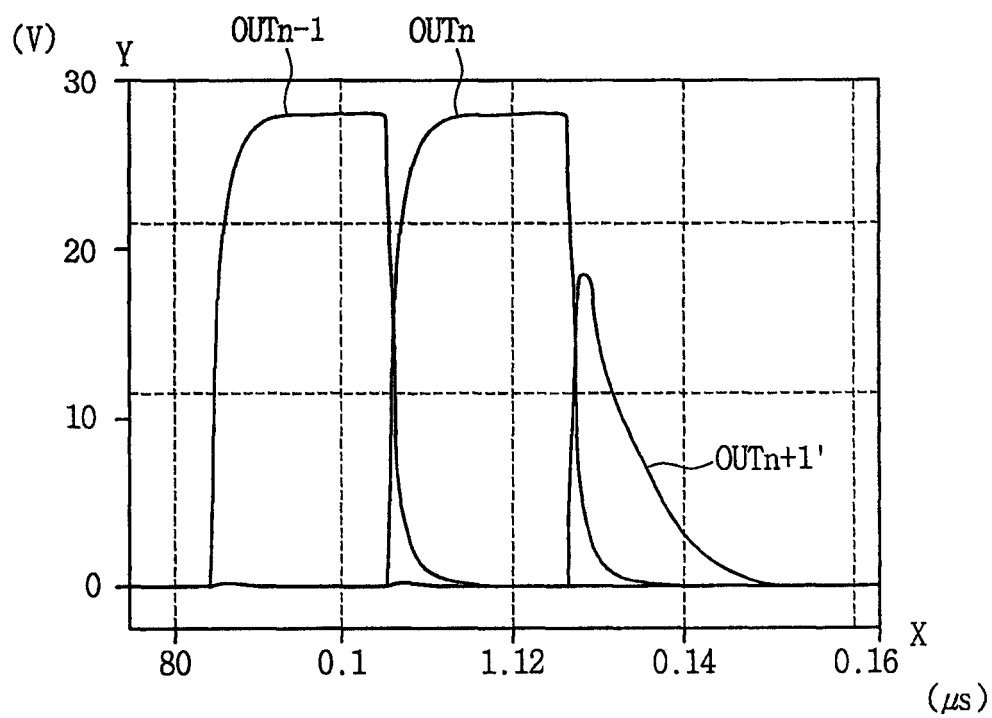


图 7

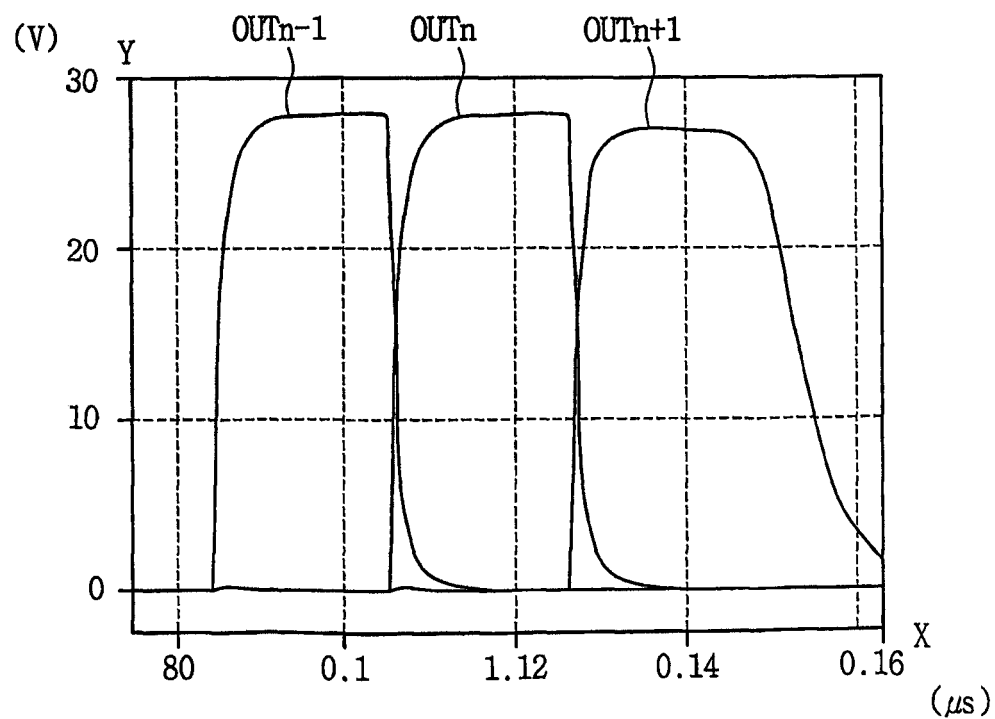


图 8

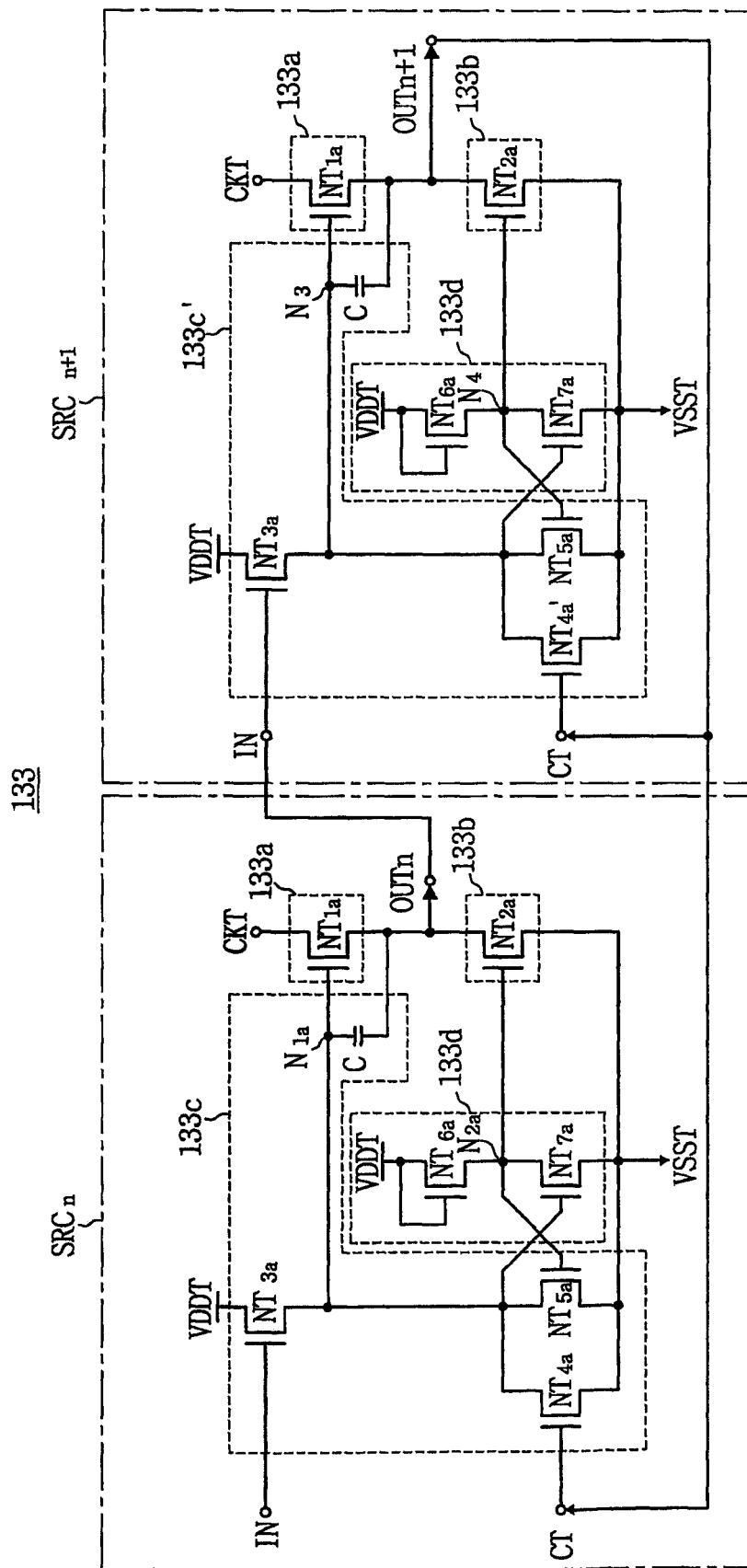


图 9

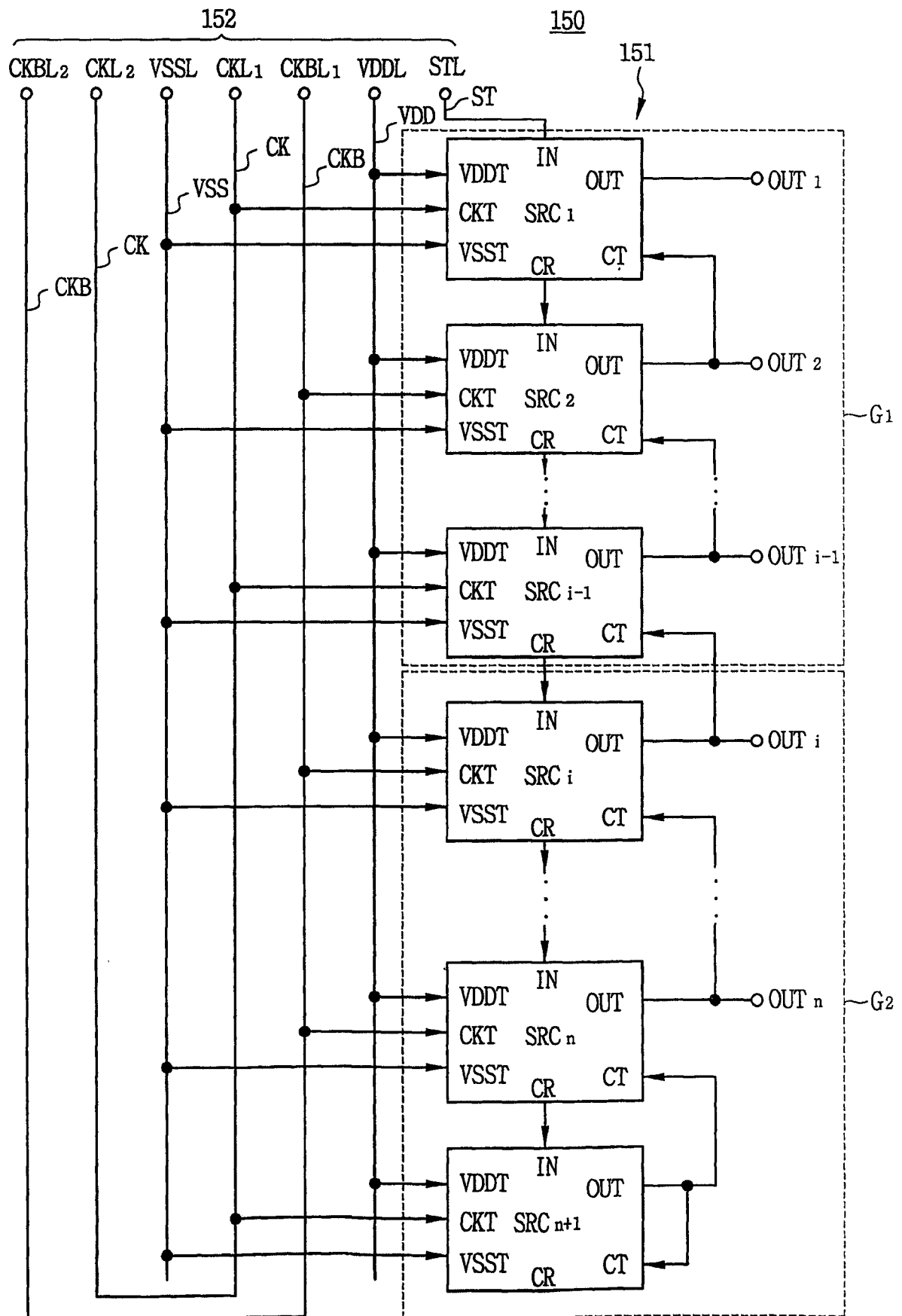


图 10

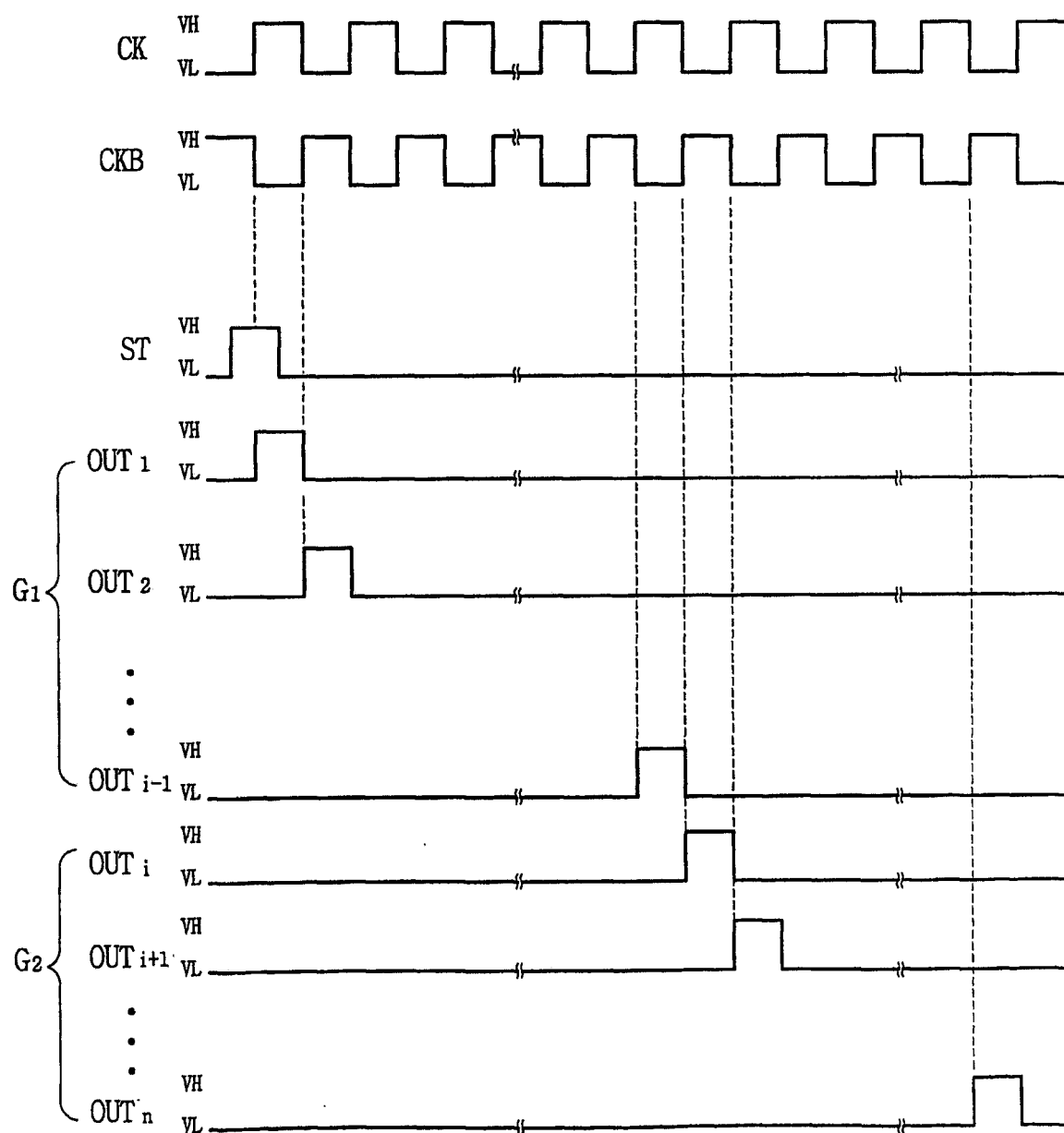


图 11

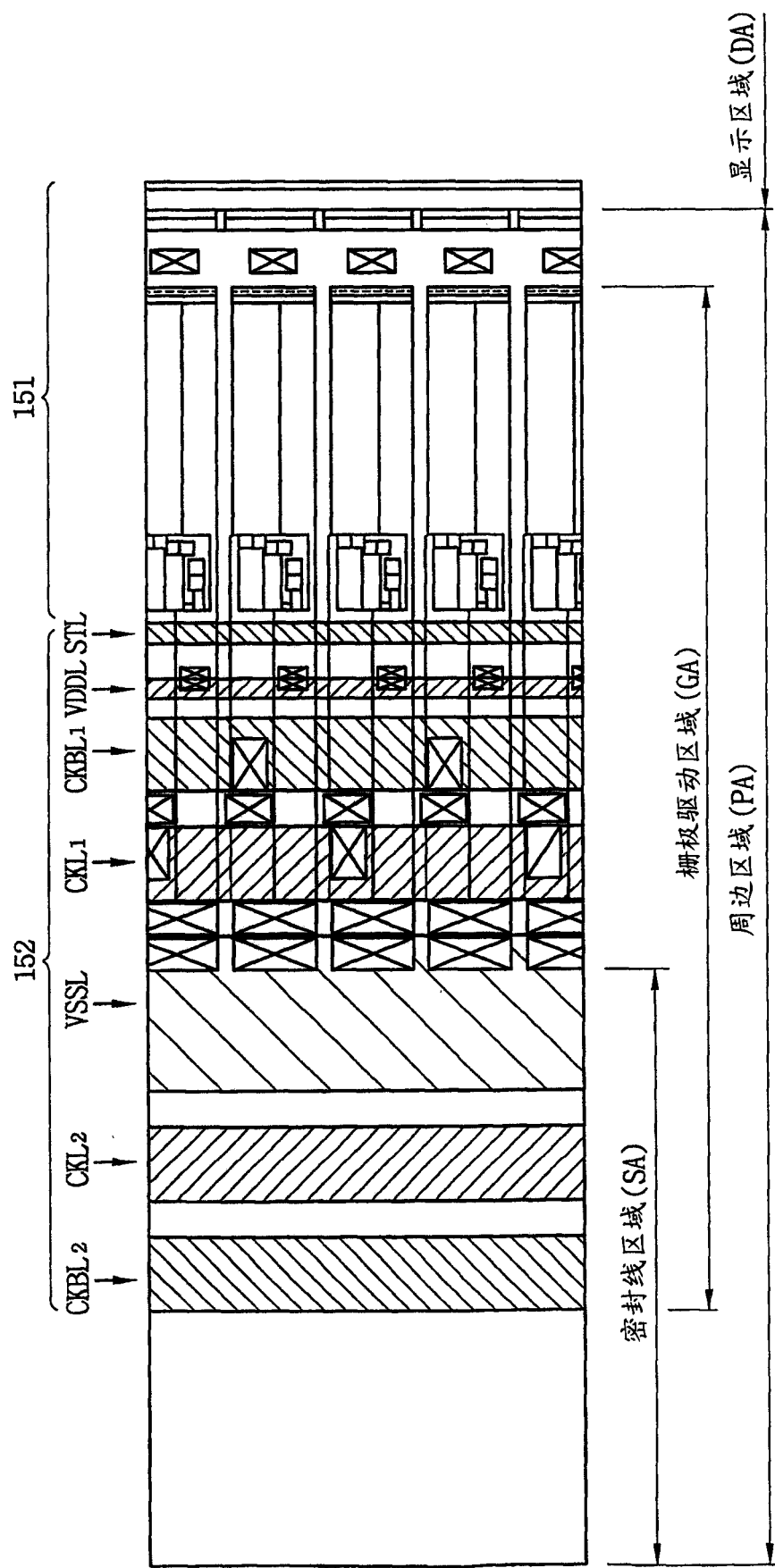


图 12

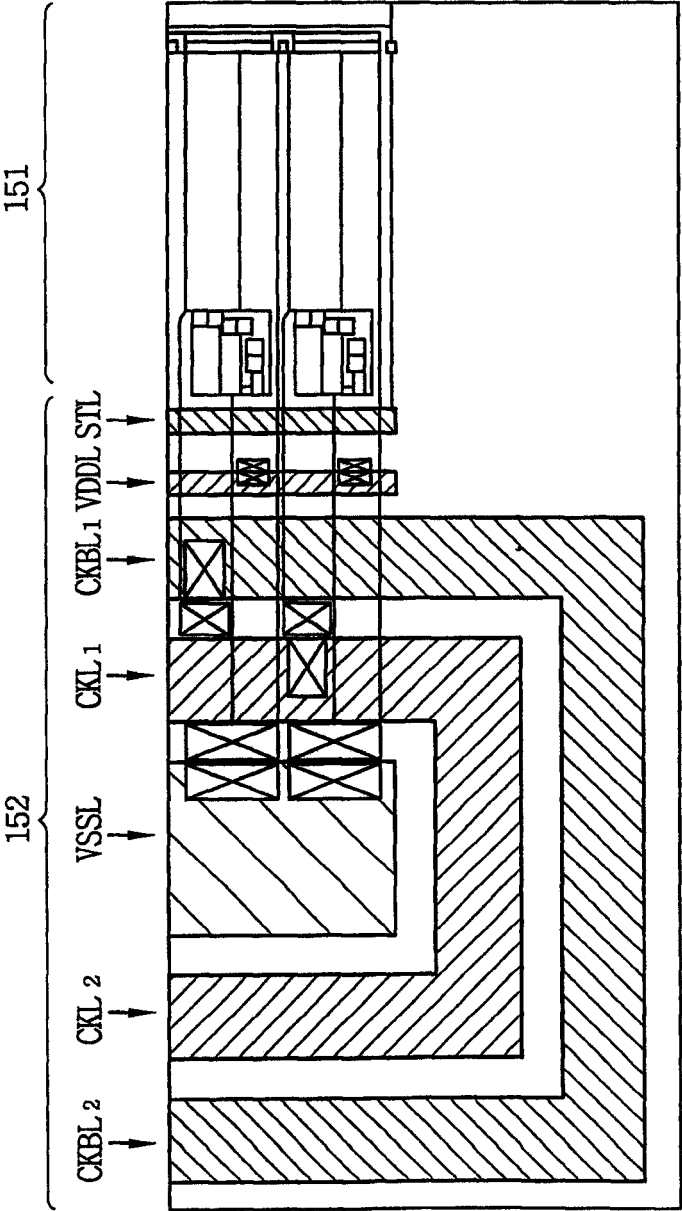


图 13

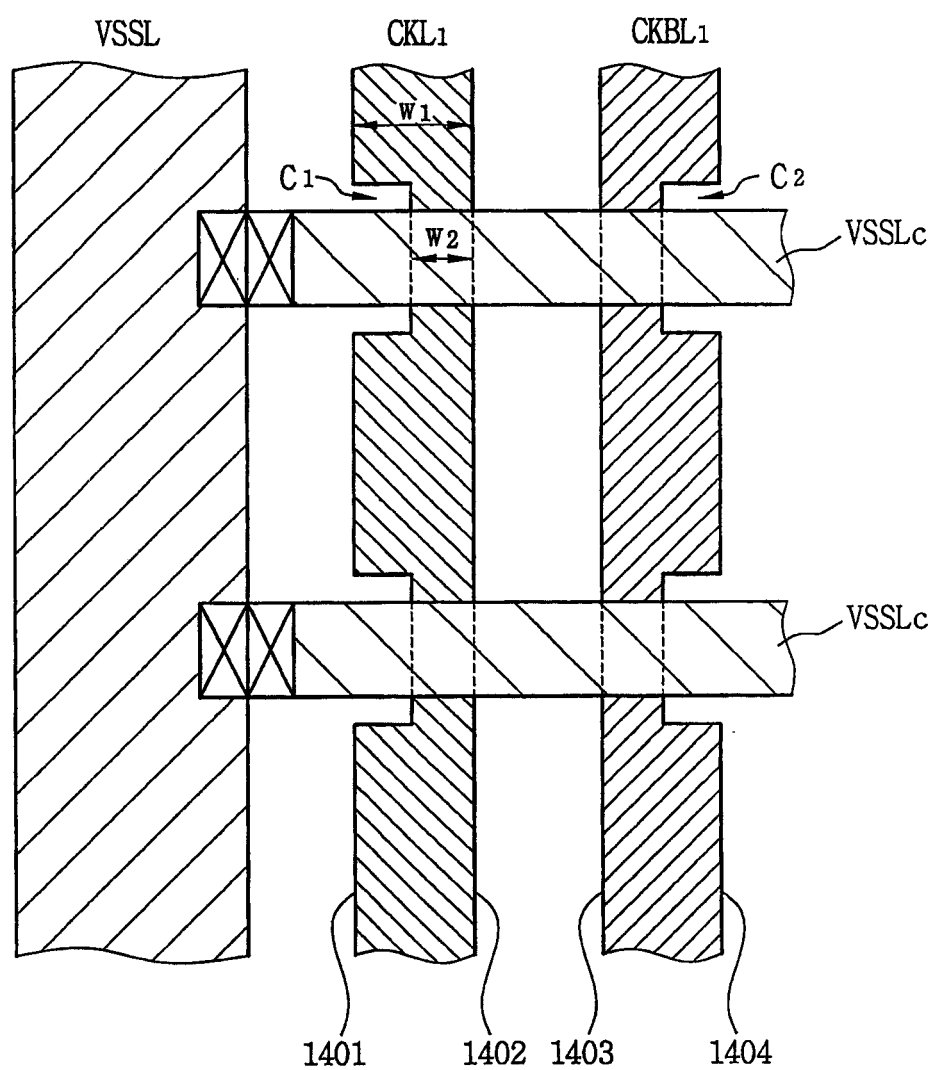


图 14

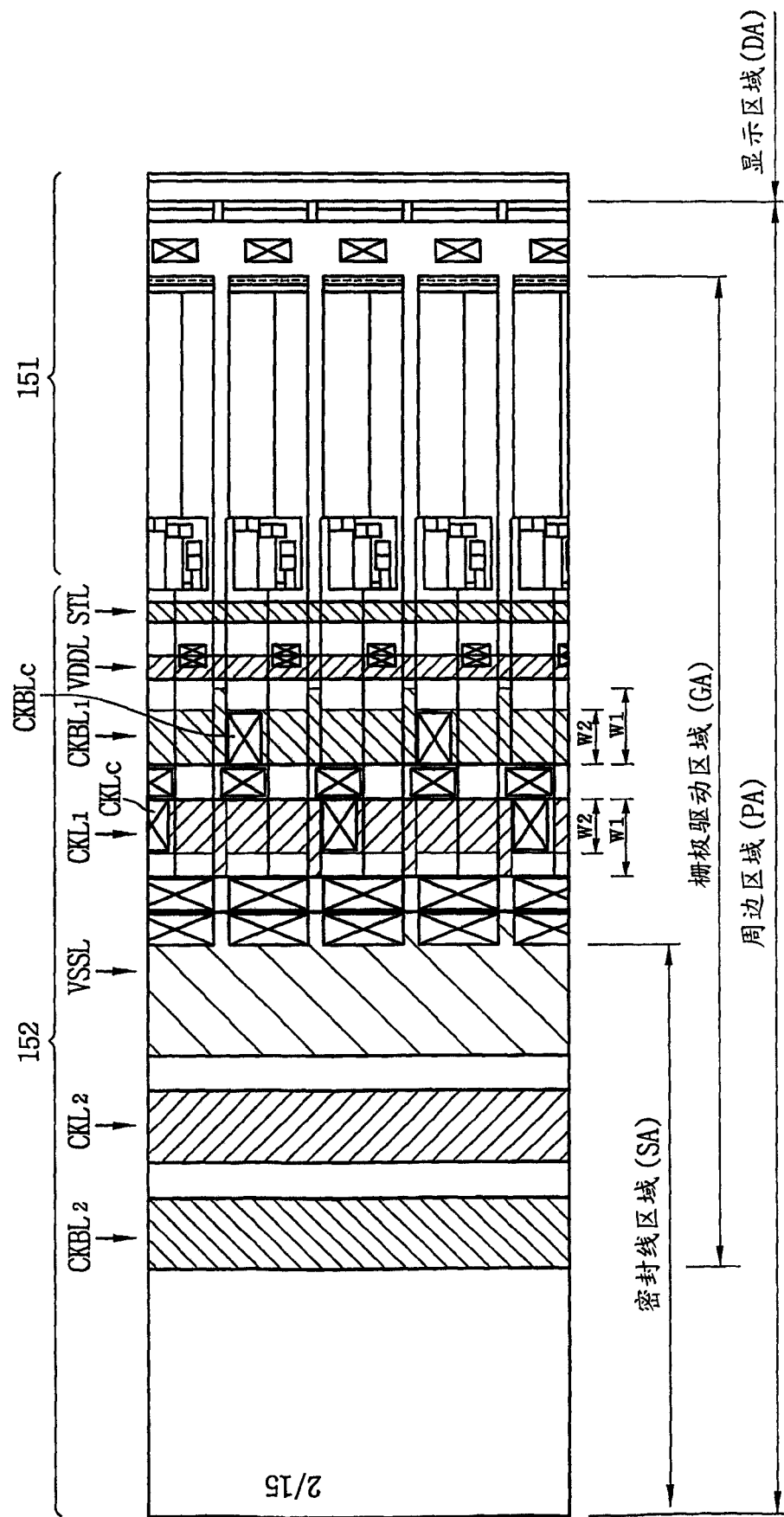


图 15

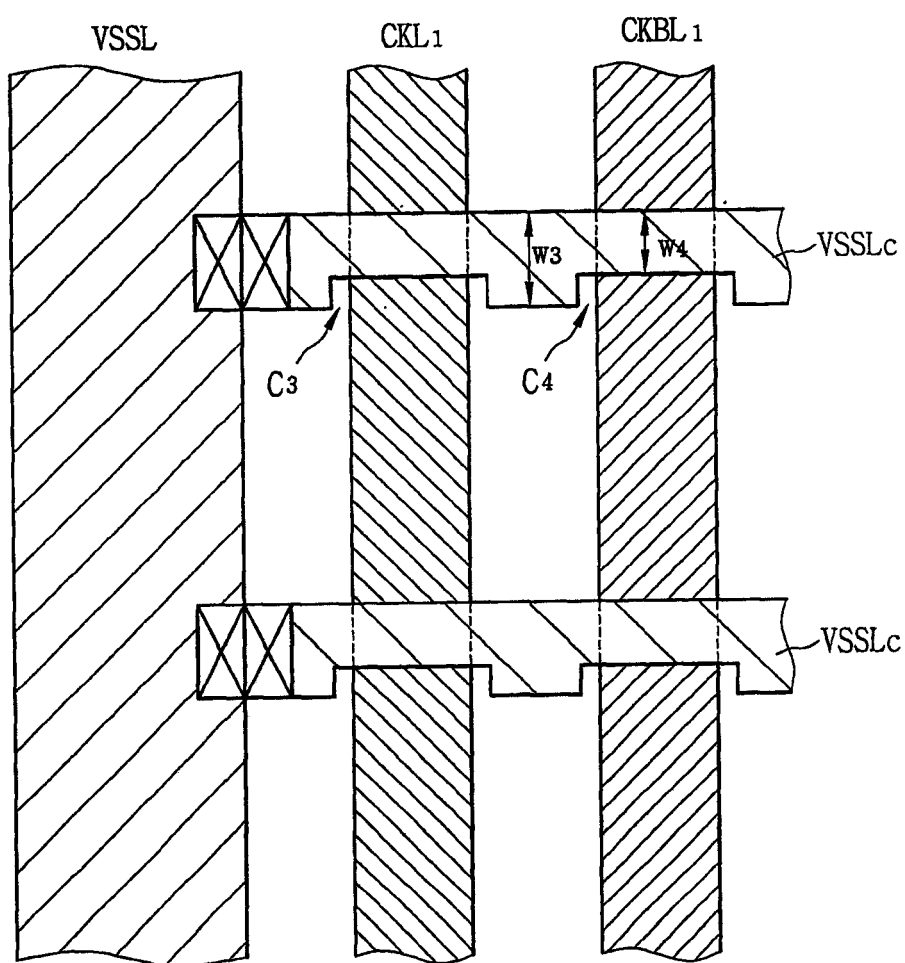


图 16

专利名称(译)	液晶显示器		
公开(公告)号	CN1549997A	公开(公告)日	2004-11-24
申请号	CN03800881.5	申请日	2003-04-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李栢远 文胜焕		
发明人	李栢远 文胜焕		
IPC分类号	G02F1/1345 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 G11C19/28 G11C19/00 H01L21/00 G02F1/136		
CPC分类号	G11C19/28 G09G3/3677 G09G2300/0408 G02F1/1345 G09G2320/0223 G09G3/3648 G09G2300/0426		
代理人(译)	余刚 彭歆		
优先权	1020020087014 2002-12-30 KR 1020020018924 2002-04-08 KR 1020020061454 2002-10-09 KR		
其他公开文献	CN100428319C		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种驱动显示器的驱动电路及具有该驱动电路的液晶显示器，该驱动电路包括驱动段和虚拟段。驱动段包括输出和控制端子。当前段的输出端子与前一状态的控制端子连接以彼此形成串联连接。驱动段输出驱动信号用于通过输出端控制设置在显示器上的开关装置。虚拟段包括虚拟输出端子及虚拟控制端子。该虚拟输出端子与最后的驱动段的控制端子连接以输出虚拟输出信号用于接通或断开最后的驱动段。将虚拟控制端子与虚拟输出端子连接以通过虚拟输出信号来接通或断开。信号的延迟减少，从而提高显示质量。

