



[12] 发明专利说明书

专利号 ZL 02122856.6

[45] 授权公告日 2007 年 1 月 17 日

[11] 授权公告号 CN 1295669C

[22] 申请日 2002.6.4 [21] 申请号 02122856.6

[30] 优先权

[32] 2001.11.3 [33] KR [31] P-2001-68397

[73] 专利权人 LG. 菲利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 李锡雨 宋珍庆

[56] 参考文献

US5646644A 1997.7.8 G09G3/36

JP02-239675A 1995.9.12 G09G3/36

US5760757A 1998.6.2 G09G3/36

JP09-050261A 1997.2.18 G09G3/36

US6028587A 2000.2.22 G09G5/10

审查员 刘冀

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 陈红

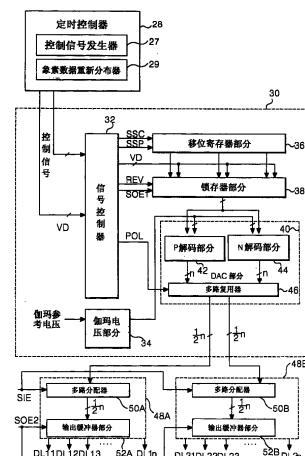
权利要求书 7 页 说明书 22 页 附图 11 页

[54] 发明名称

液晶显示器的数据驱动装置及驱动方法

[57] 摘要

用于液晶显示器的数据驱动装置包括多个数字 - 模拟转换器集成电路，用于把 n 个输入象素数据 (n 是整数) 转变成 n 个象素电压信号，并把 n 个输入象素分成至少两组 $n/2$ 个象素数据以输出划分的象素电压信号；多个输出缓冲器集成电路，每个具有 n 个通道，用于接收划分的象素电压信号并缓冲和输出到 n 条数据线的每一条，至少两个输出缓冲器集成电路共同连接到每一个数字 - 模拟转换器集成电路；和一个定时控制器，用于控制多个数字 - 模拟转换器集成电路和多个输出缓冲器集成电路，根据施加到至少两个输出缓冲器集成电路的序列重新分布提供给每一个数字 - 模拟转换器集成电路的 $2n$ 个象素数据，并对其进行时间分隔以提供至少两个包括 n 个象素数据的区域。



1、一种用于液晶显示器的数据驱动装置，包括：

多个数字-模拟转换器集成电路，用于把n个输入象素数据转变成象素电压信号，其中n是整数，并把n个输入象素数据分成至少两组n/2个输入象素数据以输出划分的象素电压信号；

多个输出缓冲器集成电路，每个具有n个通道，其中n为整数，用于接收划分的象素电压信号并缓冲和输出到n条数据线的每一条，多个输出缓冲器集成电路的至少两个被共同连接到多个数字-模拟转换器集成电路的每一个；和

一个定时控制器，用于控制多个数字-模拟转换器集成电路和多个输出缓冲器集成电路，重新分布提供给多个数字-模拟转换器集成电路每一个的2n个象素数据，其中n为整数，并对2n个象素数据进行时间划分以提供至少两个包括n个象素数据的区域，

其特征在于多个数字-模拟转换器集成电路的每一个都安装在连接到液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个都安装在液晶显示板上。

2、如权利要求1所述的数据驱动装置，其特征在于多个数字-模拟转换器集成电路的每一个包括：

移位寄存器部分，用于在定时控制器的控制下连续输出采样信号；

锁存器部分，用于在定时控制器的控制之下，连续锁存并输出n个从定时控制器输入的输入象素数据并响应于采样信号；和

数字-模拟转换器，用于根据输入伽玛电压把n个象素数据同步转变成正负视频信号，并且响应于从定时控制器接收到的极性控制信号选择n个象素电压信号，把选取的n个象素电压信号施加给至少两个输出缓冲器电路集成电路的每一个。

3、如权利要求1所述的数据驱动装置，其特征在于多个输出缓冲器集成电路的每一个包括：

一个多路分配器，用于接收从多个数字-模拟转换器集成电路输出的n个象素电压信号的n/2个象素电压信号，并且响应于从定时控制器接收的电源输

入启动信号选择性地将n/2个象素电压信号施加给n条数据线；和

输出缓冲器部分，连接到n条数据线，用于以n/2为一组逐组保持从多路分配器输入的象素电压信号，并且当所有的n个象素电压信号被输入时缓冲并输出被保持的象素电压信号。

4、一种用于液晶显示器的数据驱动装置，包括：

多个数字—模拟转换器集成电路，用于把一组n个输入象素数据转换成一组n个象素电压信号，并对n个象素电压信号进行以k个象素为一组的时分以输出n个时分象素电压信号，其中n和k为整数；

多个输出缓冲器集成电路，每个输出缓冲器集成电路有2n个通道，其中n为整数，其用于以k个为一组的保持2n个时分象素电压信号并且当所有2n个时分象素电压信号被输入时用于缓冲该2n个时分象素电压信号，以及将缓冲的象素电压信号同步输出给2n条数据线；和

一个定时控制器，用于控制多个数字—模拟转换器集成电路和多个输出缓冲器集成电路，并用于对2n个输入象素数据进行n个时分以提供给多个数字—模拟转换器集成电路，

其特征在于多个数字—模拟转换器集成电路的每一个安装在连接到一个液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个安装在液晶显示板上。

5、如权利要求4所述的数据驱动装置，其特征在于多个数字—模拟转换器集成电路的每一个包括：

移位寄存器部分，用于在定时控制器的控制下连续输出采样信号；

锁存器部分，在定时控制器的控制之下并响应于采样信号，连续锁存并同步输出n个从定时控制器输入的输入象素数据；和

数字—模拟转换器，用于根据输入伽玛电压把n个输入象素数据同步转变成正负视频信号，并且响应于从定时控制器接收到的极性控制信号选择n个象素电压信号，并响应于从定时控制器接收到的选择控制信号对n个象素电压信号进行时间分隔，以k为一组逐组的输出被时分的象素电压信号。

6、如权利要求4所述的数据驱动装置，其特征在于多个输出缓冲器集成电路的每一个包括：

一个多路分配器，用于接收从多个数字—模拟转换器集成电路输出的k个

时分的象素电压信号的每一个，并且响应于从定时控制器接收的电源输入启动信号选择性地将k个时分象素电压信号的每一个施加给 $2n$ 条数据线；和

输出缓冲器部分，连接到 $2n$ 条数据线，用于保持k个时分象素电压信号，并且当所有的 $2n$ 个象素电压信号被输入到输出缓冲器部分时缓冲并输出k个时分象素电压信号。

7、一种用于液晶显示器的数据驱动装置，包括：

多个数字—模拟转换器集成电路，用于把一组n个输入象素数据转换成一组n个像素电压信号，并对n个象素电压信号进行以k个为一组的时分以输出以k个为一组的时分象素电压信号，其中n和k为整数；

多个输出缓冲器集成电路，用于保持和缓冲进行了以k个为一组时分的象素电压信号的每一个，直到所述n个象素电压信号都输出到缓冲器集成电路为止，并把缓冲的象素电压信号输出给一组n条数据线，多个输出缓冲器集成电路中的至少两个被共同连接到多个数字—模拟转换器集成电路的每一个；和

一个定时控制器，用于控制多个数字—模拟转换器集成电路和多个输出缓冲器集成电路，并用于使n个输入象素数据的时分提供给多个数字—模拟转换器集成电路每一个中的至少两个区域，每个区域包括n个输入象素数据的每一个，

其特征在于，多个数字—模拟转换器集成电路的每一个安装在连接到一个液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个安装在液晶显示板上。

8、如权利要求7所述的数据驱动装置，其特征在于多个数字—模拟转换器集成电路的每一个包括：

移位寄存器部分，用于在定时控制器的控制下连续输出采样信号；

锁存器部分，在定时控制器的控制之下并响应于采样信号，连续锁存并同步输出n个从定时控制器输入的输入象素数据；和

数字—模拟转换器，用于根据输入伽玛电压把n个输入象素数据同步转变成正负视频信号，并且响应于从定时控制器接收到的极性控制信号选择n个象素电压信号，并响应于从定时控制器接收到的第一选择控制信号对n个象素电压信号进行时间分隔，以k为一组逐组的输出时分的象素电压信号。

一个多路分配器，用于响应于从定时控制器接收到的第二选择控制信号

把时分象素电压信号选择性地输出给至少两个输出缓冲器集成电路。

9、如权利要求8所述的数据驱动装置，其特征在于第一和第二选择控制信号具有对应于一个频率的位数，由该频率把n个象素电压信号时分成k个象素为一组的时分象素电压信号。

10、如权利要求7所述的数据驱动装置，其特征在于多个数字-模拟转换器集成电路的每一个包括：

移位寄存器部分，用于在定时控制器的控制下连续输出采样信号；

锁存器部分，在定时控制器的控制之下并响应于采样信号，连续锁存并同步输出n个从定时控制器输入的输入象素数据；和

数字-模拟转换器，用于根据输入伽玛电压把n个输入象素数据同步转变成正负视频信号，并且响应于从定时控制器接收到的极性控制信号选择n个象素电压信号；

一个多路分配器，用于响应于从定时控制器接收到的第一选择控制信号把选取的n个象素电压信号选择性地输出给至少两个输出端子；和

至少两个多路复用器，连接到该至少两个输出端子，用于响应于从定时控制器接收到的第二选择控制信号对n个象素电压信号进行以k个为一组的时分。

11、如权利要求10所述的数据驱动装置，其特征在于，第一选择控制信号有一个逻辑状态，由控制锁存器部分输出的输出启动信号的每个周期转换，并且第二选择控制信号有一个对应于某一频率的位数，通过该频率把n个象素电压信号时分成k个象素为一组的时分象素电压信号。

12、如权利要求7所述的数据驱动装置，其特征在于多个输出缓冲器集成电路的每一个包括：

一个多路分配器，用于接收从多个数字-模拟转换器集成电路输出的k个时分象素电压信号的每一个，并且响应于从定时控制器接收的电源输入使能信号选择性地将k个时分象素电压信号施加给n条数据线；和

输出缓冲器部分，连接到n条数据线，用于当所有的n个象素电压信号被输入时保持和输出n个时分象素电压信号。

13、如权利要求12所述的数据驱动装置，其特征在于电源输入使能信号具有对应于某一频率的位数，通过该频率把n个象素电压信号时分成k个象素

为一组的时分象素电压信号。

14、如权利要求12所述的数据驱动装置，其特征在于多个输出缓冲器部分的每一个包括n个连接到n条数据线的输出缓冲器盒，多个输出缓冲器盒的每一个包括：

串联连接的第一电压跟随器，缓冲一输入象素电压信号；

连接到第一电压跟随器输入和输出端任意一个的保持装置，保持k个时分象素电压信号中的每一个；

开关装置，用于响应于从定时控制器接收到的输出使能信号输出被保持的象素电压信号；和

第二电压跟随器，用于缓冲从开关装置输出的象素电压信号。

15、如权利要求7所述的数据驱动装置，其特征在于多个数字-模拟转换器集成电路的每一个包括：

一个信号控制器，用于把从定时控制器接收到的控制信号和象素数据联系到多个数字-模拟转换器集成电路的每个元件；和

伽玛电压发生器，用于细分一输入伽玛参考电压以产生伽玛电压。

16、如权利要求7所述的数据驱动装置，其特征在于定时控制器通过奇数象素数据传输线和偶数象素数据传输线把象素数据施加给多个数字-模拟转换器集成电路的每一个；和

从定时控制器施加到多个数字-模拟转换器集成电路的控制信号和象素数据的频率增大到现有技术的至少两倍。

17、如权利要求7所述的数据驱动装置，其特征在于多个数字-模拟转换器集成电路被分成第一和第二块，定时控制器通过第一奇数象素数据传输线和第一偶数象素数据传输线把象素数据提供给包含在该第一块中的多个数字-模拟转换器集成电路，并通过第二奇数象素数据传输线和第二偶数象素数据传输线把象素数据提供给包含在该第二块中的多个数字-模拟转换器集成电路。

18、如权利要求17所述的数据驱动装置，其特征在于多个数字-模拟转换器集成电路的总数为奇数，并且多个数字-模拟转换器集成电路的任何一个包括连接到第一或第二奇数象素数据传输线的第一输入端以及连接到第一或第二偶数象素数据传输线的第二输入端，并且该第一和第二输入端独立地被驱

动。

19、一种用于驱动分布在液晶显示板中的数据线的数据驱动装置的驱动方法，其特征在于数据驱动装置包括多个数字—模拟转换器集成电路，连接到定时控制器，和多个输出缓冲器集成电路，该电路以至少两个为一组逐组的连接到一组n个数据线的每一条及连接到多个数字—模拟转换器集成电路的每一个，其中n为整数，方法包括：

重新分布由定时控制器输入的象素数据并把2n个输入象素数据的n个第一输入象素数据提供给多个数字—模拟转换器集成电路的每一个；

把从多个数字—模拟转换器集成电路的每一个输入的n个第一输入象素数据转变成n个象素电压信号；

以n/2为一组逐组的划分被转变的n个象素电压信号以把转变的n个象素电压信号输出给该至少两个输出缓冲器集成电路；

保持被转变的n个象素电压信号，该信号从至少两个输出缓冲器集成电路的每一个接收到的；

把从定时控制器接收到的2n个输入象素数据的n个第二输入象素数据施加给多个数字—模拟转换器集成电路的每一个；

把从多个数字—模拟转换器集成电路的每一个输入的n个第二输入象素数据转变成模拟象素电压信号；

以n/2为一组划分所述被模拟转换的象素电压信号，并且将该划分的模拟转换象素电压信号分别输出给各输出缓冲器集成电路；和

缓冲从多个输出缓冲器集成电路的每一个输入的象素电压信号与保持的象素电压信号，从而把缓冲的象素电压信号和保持的象素电压信号同步施加到n条数据线。

20、一种用于驱动分布在液晶显示板中数据线的数据驱动装置的驱动方法，其特征在于数据驱动装置包括连接到定时控制器的多个数字—模拟转换器集成电路，和连接到多个数字—模拟转换器集成电路的每一个并连接到2n条数据线的多个输出缓冲器集成电路，其中n为整数，方法包括：

把从定时控制器接收到的2n个输入象素数据的n个第一输入象素数据提供给多个数字—模拟转换器集成电路的每一个；

把从多个数字—模拟转换器集成电路的每一个输入的n个第一输入象素数

据转变成象素电压信号；

以k为一组逐组的划分转变的象素电压信号以把转变的象素电压信号输出给多个输出缓冲器集成电路的对应的一个；

顺次保持转变的象素电压信号以保持n个象素电压信号；

把从定时控制器接收到的 $2n$ 个输入象素数据的n个第二输入象素数据施加给多个数字—模拟转换器集成电路的每一个；

把从多个数字—模拟转换器集成电路的每一个输入的其余的n个第二输入象素数据转变成模拟象素电压信号；

以 $n/2$ 为一组划分所述被模拟转换的象素电压信号，并且将该划分的模拟转换象素电压信号分别输出给各输出缓冲器集成电路；和

当输入n个象素电压信号时保持并缓冲转变的象素电压信号，从而把保持并缓冲的象素电压信号同步施加给 $2n$ 条数据线。

21、如权利要求20所述的方法，其特征在于定时控制器通过一奇数象素数据传输线和一偶数象素数据传输线把象素数据施加给多个数字-模拟转换器集成电路的每一个，并且从定时控制器施加到多个数字-模拟转换器集成电路的控制信号和象素数据的频率增大到现有技术的至少两倍。

22、如权利要求20所述的方法，其特征在于多个数字-模拟转换器集成电路被分成第一和第二块，定时控制器通过第一奇数象素数据传输线和第一偶数象素数据传输线把象素数据提供给包含在第一块中的多个数字-模拟转换器集成电路，并通过第二奇数象素数据传输线和第二偶数象素数据传输线把象素数据提供给包含在第二块中的多个数字-模拟转换器集成电路。

液晶显示器的数据驱动装置及驱动方法

本申请要求以2001年11月3日提交的韩国申请2001-68397的权益，该申请在此引为参考。

发明领域

本发明涉及一种液晶显示器，并尤其涉及一种用于液晶显示器的数据驱动装置和驱动方法，其中数字-模拟转换器根据时分被驱动并自输出缓冲器分别集成，由此减少数字-模拟转换器集成电路和数据载体封装的数量。

背景技术

一般地，液晶显示器（LCD）利用所施加的电场控制液晶的光透射率以显示图像（图画）。LCD包括一个将液晶盒分布成矩阵形式的液晶显示板和一个用于驱动液晶显示板的驱动电路。液晶显示板包括彼此交叉分布的控制线和数据线，并且每个液晶盒位于栅极线与数据线的交叉处。液晶显示板配置有给每个液晶盒施加电场的像素电极和公共电极。每个像素电极通过薄膜晶体管的源极和漏极连接到对应的一条数据线，其中薄膜晶体管用作一个开关器件。薄膜晶体管的栅电极连接到对应的一条栅极线，由此允许像素电压信号施加到每个对应数据线的像素电极。

驱动电路包括一个用于驱动栅极线的栅极驱动器、一个用于驱动数据线的数据驱动器和用于驱动公共电极的公共电压发生器。栅极驱动器顺序地将扫描信号施加到每条栅极线，以便在一个时刻顺序地驱动液晶显示板上一条栅极线的液晶盒。无论何时给任何一条栅极线施加栅极信号，数据驱动器都将数据电压信号施加给每条数据线。公共电压发生器将公共电压信号施加给公共电极。因此，LCD根据对每个液晶盒的数据电压信号通过在像素电极和公共电极之间施加电场而控制光透射率，由此显示一个图像。数据驱动器和栅极驱动器组合到多个集成电路（IC's）中。集成数据驱动器IC和栅极驱动

器IC安装在一个通过带状自动粘结（TAB）系统连接到液晶显示板的带状载体封装（TCP）中，或通过一个晶片处于玻璃上（COG）的系统安装在液晶显示板中。

图1表示根据常规技术的LCD的数据驱动框图。在图1中，数据驱动块包括通过TCP's 6互连在液晶显示板2和数据印刷电路板（PCB）8之间的数据驱动IC 4。数据PCB 8接收包括来自定时控制器（未示出）的控制信号、数据信号和来自电压发生器（未示出）的驱动电压信号的各种信号，由此将各种控制信号联系到数据驱动IC 4。每个TCP 6在一个设置在液晶显示板2上部的数据垫片和一个设置在每个数据PCB 8的输出垫片之间互连。数据驱动IC 4把数字象素数据转变成模拟象素信号，以便把模拟象素信号施加给液晶显示板2上的数据线。

图2是表示根据常规技术的图1所示的数据驱动集成电路的详细结构框图。在图2中，每个数据驱动IC 4包括一个用于施加连续采样信号的移位寄存器部分14，一个用于响应于采样信号顺序地锁存并同步输出象素数据VD的锁存器部分16，一个用于把从锁存器部分16接收的象素数据VD转变成象素信号的数字-模拟转换器（DAC）18，和一个用于缓冲并输出从DAC 18接收到的象素信号的输出缓冲器部分26。另外，数据驱动IC 4包括一个用于联系来自定时控制器（未示出）的各种控制信号和象素数据VD的信号控制器10，以及一个用于提供DAC 18中所需的正负伽玛电压的伽玛电压部分12。每个数据驱动IC 4驱动n条数据线D1~Dn。

信号控制器10控制各种控制信号（即SSP，SSC，SOE，REV和POL等）和象素数据VD，把控制信号和象素数据VD输出到各个对应的元件。伽玛电压部分12细分来自伽玛参考电压发生器（未示出）的对应于每一个灰度级的多个伽玛参考电压并将信号输出给DAC 18。

移位寄存器部分14包括n个移位寄存器，该寄存器响应于电源采样时钟信号SSC对从信号控制器10接收到的电源起始脉冲SSP顺序移位，并输出电源起始脉冲SSP作为采样信号。

锁存器部分16响应于从移位寄存器部分14接收到的采样信号对象素数据VD顺序采样以锁存象素数据VD。因此，锁存器部分16包括n个锁存n个象素数据VD的锁存器，其中n个锁存器的每一个具有与象素数据VD位数相对应

(即3位或6位)的大小。具体地说，定时控制器(未示出)通过每条传输线同步输出被分成偶数象素数据VDeven和奇数象素数据VDodd的象素数据VD，由此降低传输频率。每个偶数象素数据VDeven和奇数象素数据VDodd包括红(R)、绿(G)和蓝(B)色象素数据。因而，锁存器部分16同步锁存从信号控制器10接收的对于每个采样信号的偶数象素数据VDeven和奇数象素数据VDodd，即6个象素数据。随后，锁存器部分16响应于从信号控制器10接收的电源输出使能信号SOE同步输出n个象素数据VD。具有超过参考值的传递位数的象素数据VD调制为具有减少的转换位数，以便在从定时控制器传递时将电磁干扰(EMI)减到最小。因此，锁存器部分16响应于数据反向选择信号REV把调整的象素数据VD恢复到减小的转换位数，然后输出象素数据VD。

DAC 18把来自锁存器部分16的象素数据VD同步转变成正负象素信号并输出。因此，DAC 18包括共同连接到锁存器部分16的一个正(P)解码部分20和负(N)解码部分22，以及一个用于选择P解码部分20和N解码部分22的输出信号的多路复用器(MUX) 24。

P解码部分包括n个P解码器，该解码器响应于从伽玛电压部分12接收到的正伽玛电压，把从锁存器部分16同步输入的n个象素数据转变成正象素信号。N解码部分22包括n个N解码器，该解码器响应于从伽玛电压部分12接收到的负伽玛电压，把从锁存器部分16同步输入的n个象素数据转变成负象素信号。多路复用器24响应于从信号控制器10接收到的极性控制信号POL，以便选择性地输出来自P解码器部分20的正象素信号或来自N解码器部分22的负象素信号。

输出缓冲器部分26包括n个输出缓冲器，该缓冲器包括与n个数据线D1~Dn串联的电压跟随器。输出缓冲器缓冲从DAC 18接收到的象素电压信号，并把缓冲的象素电压信号施加给n条数据线D1~Dn。

因此，根据常规技术的每个数据驱动IC 4需要n个移位寄存器，n个锁存器和2n个解码器，以便驱动n个数据线D1~Dn。结果，根据常规技术的数据驱动IC 4具有复杂的结构，并且因此有较高的制造成本。

发明内容

因此，本发明旨在提供一种关于液晶显示器的数据驱动装置和方法，能够基本上消除由于现有技术的局限及缺点所至的一个或多个问题。

本发明的另一个目的在于提供一种液晶显示器的数据驱动装置及其驱动方法，其中数字-模拟转换器以时分标准驱动，并且输出缓冲器单独地安装在液晶显示板中，由此减少数字-模拟转换器集成电路和数据载体封装的数量。

本发明的附加特征及优点通过下面的描述将被展现出来，并且部分特征通过实施本发明将被认识或变得更加清晰。本发明的目的和其他优点将通过说明书中结构部分的描述以及所附的权利得以实现。

为了实现上述各项优点以及根据本发明的目的，一般来说，液晶显示器的数据驱动装置包括多个数字-模拟转换器集成电路，用于把n个输入象素数据（n是整数）转变成象素电压信号并把n个输入象素数据分成至少两组 | n个输入象素数据以输出划分的象素电压信号；多个输出缓冲器集成电路，每个具有n个通道（其中n为整数），用于接收划分的象素电压信号并缓冲和输出到n条数据线的每一条，多个输出缓冲器集成电路的至少两个被共同连接到多个数字-模拟转换器集成电路的每一个；和一个定时控制器，用于控制多个数字-模拟转换器集成电路和多个输出缓冲器集成电路，重新分布提供给多个数字-模拟转换器集成电路每一个的 $2n$ 个象素数据，并对 $2n$ 个象素数据进行时间划分，从而提供至少两个包括n个象素数据的每一个的区域，其中多个数字-模拟转换器集成电路的每一个都安装在连接到液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个都安装在液晶显示板上。

在本发明的另一方面，液晶显示器的数据驱动装置包括多个数字-模拟转换器集成电路，用于把一组n各输入象素数据转换成一组n个象素电压信号，并对n个象素电压信号进行以k个为一组的时分以输出 $2n$ 个时分象素电压信号（其中n和k为整数）；多个输出缓冲器集成电路，每个输出缓冲器集成电路有 $2n$ 个通道（其中n为整数），用于将 $2n$ 个时分象素电压信号以k为一组逐组保持“k-k”（“k-by-k”）并当所有的 $2n$ 个象素电压信号被输入时缓冲 $2n$ 个时分象素电压信号，把缓冲的象素电压信号同步输出给 $2n$ 条数据线；和一个定时控制器，用于控制多个数字-模拟转换器集成电路和多个输出缓冲器集成电路，并使n个输入象素数据的n个时分提供给多个数字-模拟转换

器集成电路，其中多个数字—模拟转换器集成电路的每一个安装在连接到一个液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个安装在液晶显示板上。

在本发明的另一方面，液晶显示器的数据驱动装置包括多个数字—模拟转换器集成电路，用于把一组n个输入象素数据转换成一组n个像素电压信号，并对n个像素电压信号进行以k个为一组的时分以输出以k个为一组的时分象素电压信号（其中n和k为整数）；多个输出缓冲器集成电路，当把n个像素电压信号输入到输出缓冲器集成电路时，保持和缓冲进行了k个时分的象素电压信号，并把缓冲的象素电压信号输出给一组n条数据线，多个输出缓冲器集成电路中的至少两个被共同连接到多个数字—模拟转换器集成电路的每一个；和一个定时控制器，用于控制多个数字—模拟转换器集成电路和多个输出缓冲器集成电路，并使n个输入象素数据的时分提供给多个数字—模拟转换器集成电路每一个中的至少两个区域，每个区域包括的n个输入象素数据的每一个，其中多个数字—模拟转换器集成电路的每一个安装在连接到一个液晶显示板的带状载体封装上，并且多个输出缓冲器集成电路的每一个安装在液晶显示板上。

在本发明的另一方面，用于驱动分布在液晶显示板中的数据线的数据驱动装置的驱动方法，其中数据驱动装置包括多个连接到定时控制器的数字—模拟转换器集成电路，和以至少为一组逐组连接到一组n个数据线的每一条并连接到多个数字—模拟转换器集成电路的每一个的多个输出缓冲器集成电路（n为整数），方法包括重新分布由定时控制器输入的象素数据并把2n个输入象素数据的n个第一输入象素数据提供给多个数字—模拟转换器集成电路的每一个，并把从多个数字—模拟转换器集成电路的每一个输入的n个第一输入象素数据转变成n个象素电压信号，以“n/2为一组逐组”（“n/2-by-n/2”）划分转变的n个象素电压信号以把转变的n个象素电压信号输出给至少两个输出缓冲器集成电路，保持从至少两个输出缓冲器集成电路的每一个接收到的转变的n个象素电压信号，把从定时控制器接收到的2n个输入象素数据的n个第二输入象素数据施加给多个数字—模拟转换器集成电路的每一个，把从多个数字—模拟转换器集成电路的每一个输入的n个第二输入象素数据转变成模拟象素电压信号，以n/2为一组划分（divide）所述被模拟转换的象素电压信号，

并且将该划分的模拟转换像素电压信号分别输出给各输出缓冲器集成电路，并且缓冲从多个输出缓冲器集成电路的每一个输入的像素电压信号与保持的像素电压信号，从而把缓冲的像素电压信号和保持的像素电压信号同步施加到n条数据线。

在本发明的另一方面，用于驱动分布在液晶显示板中的数据线的数据驱动装置的驱动方法，其中数据驱动装置包括多个连接到定时控制器的数字一模拟转换器集成电路，和连接到多个数字一模拟转换器集成电路的每一个并连接到 $2n$ (n 为整数) 条数据线的多个输出缓冲器集成电路，方法包括把从定时控制器接收到的 $2n$ 个输入像素数据的 n 个第一输入像素数据提供给多个数字一模拟转换器集成电路的每一个，把从多个数字一模拟转换器集成电路的每一个输入的 n 个第一输入像素数据转变成像素电压信号，以 k 为一组逐组(“ k -by- k ”)划分转变的像素电压信号以把转变的像素电压信号输出给多个输出缓冲器集成电路对应的一个，顺次保持转变的像素电压信号以保持 n 个像素电压信号，把从定时控制器接收到的 $2n$ 个输入像素数据的 n 个第二输入像素数据施加给多个数字一模拟转换器集成电路的每一个，把从多个数字一模拟转换器集成电路的每一个输入的其余的 n 个第二输入像素数据转变成模拟像素电压信号，以 $n/2$ 为一组划分 (divide) 所述被模拟转换的像素电压信号，并且将该划分的模拟转换像素电压信号分别输出给各输出缓冲器集成电路，并且当输入 n 个像素电压信号时保持并缓冲转变的像素电压信号，从而把保持并缓冲的像素电压信号同步施加给 $2n$ 条数据线。

应该理解，前面的一般性描述以及下面的详细描述都是释义性的，并对请求保护的本发明作进一步地解释。

附图简述

组合在本说明书中成为说明书一部分的附图提供对本发明进一步的理解，释义性描述本发明的实施例并用于解释本发明的原理。

附图中：

图1是根据现有技术的液晶显示器的数据驱动装置示意图；

图2是根据现有技术的图1中所示的数据驱动集成电路结构的详细框图；

图3是根据本发明的液晶显示器数据驱动单元的结构框图；

图4是根据本发明包含在图3所示输出缓冲器中的输出缓冲器盒的详细电

路图；

图5是根据本发明的液晶显示器另一数据驱动单元的结构框图；

图6是根据本发明的液晶显示器另一数据驱动单元的结构框图；

图7是根据本发明的液晶显示器另一数据驱动单元的结构框图；

图8是根据本发明的包括数据驱动单元的液晶显示器数据驱动装置的框图；

图9是根据本发明的包括数据驱动单元的另一液晶显示器数据驱动装置的框图；

图10是根据本发明的包括数据驱动单元的另一液晶显示器数据驱动装置的框图；

图11是用于解释图10所示第三数字一模拟转换器集成电路的一个机构的框图。

具体实施例

下面将详细参阅附图中本发明的实施例。在整个附图中相同的部件采用相同的标号。

图3是根据本发明的液晶显示器数据驱动单元的结构框图。在图3中，连接到定时控制器28的数据驱动单元可以大致分为具有数字-模拟转换功能的DAC装置和具有输出缓冲功能的缓冲器装置，它可以集成到一个单独的芯片上。另外，数据驱动单元可以有一个单独的DAC IC30 和至少两个单独构成的输出缓冲器IC 48A和48B。

定时控制器28可以提供各种用于控制数据驱动单元和象素数据VD的控制信号。因此，定时控制器28可以包括一个控制信号发生器27和一个象素数据重新分布器29。控制信号发生器27可以产生各种控制信号，如SSP， SSC， SOE1， REV， POL， SIE和SOE2， 例如用于响应于外部垂直和水平同步信号以及外部点时钟信号而控制数据驱动单元。象素数据重新分布器29可以重新分布 $2n$ 个象素数据VD的一个重新分布序列，并再以n为一组逐组(“n-by-n”)时分 $2n$ 个象素数据VD，从而将它们依次提供给 $2n$ 个数据线DL11～DL1n和DL21～DL2n。例如，象素数据重新分布器29重新分布 $2n$ 个象素数据VD，使得以n为一组逐组(“n-by-n”)顺序提供的象素数据VD包括以 $\frac{1}{2} n$ 为一组逐组

(“ $\frac{1}{2} n$ -by- $\frac{1}{2} n$ ”)被提供给第一和第二输出IC 48A和48B的象素数据。

另外，象素数据重新分布器29可以把象素数据VD分成偶数象素数据VDeven和奇数象素数据VDodd，由此减小透视频率，并且通过每条传输线同步输出偶数象素数据VDeven和奇数象素数据VDodd。因此，偶数象素数据VDeven和奇数象素数据VD0dd可以包括红(R)、绿(G)和兰(B)象素数据。特别是，象素数据重新分布器29可以调制象素数据VD，使得具有超过参考值的跃迁比特数的象素数据VD可以有减少的跃迁比特数，从而减小对传输的电磁干扰(EMI)，并且象素数据重新分布器29可以输出调制的象素数据VD。

提供给 $2n$ 条数据线DL11~DL1n和DL21~DL2n的 $2n$ 个象素数据可以以被时分的n为一组逐组(“n-by-n”)输入给DAC IC 30。DAC IC30可以把转变成模拟信号的n个象素电压信号以 $\frac{1}{2} n$ 为一组逐组(“ $\frac{1}{2} n$ -by- $\frac{1}{2} n$ ”)分开，从而和它们同步施加给第一和第二输出缓冲器IC 48A和48B。然后，DAC IC30可以针对在一个连续的时间周期内输入的其余的n个象素数据重复DAC操作。因此，DAC IC30可以包括一个用于施加连续采样信号的移位寄存器36，一个用于响应于采样信号连续锁存并输出象素数据VD的锁存器部分38，和一个用于把从锁存器部分38接收到的象素数据VD转变成象素信号的数字-模拟转换器(DAC) 40。另外，DAC IC30可以包括一个信号控制器32，用于联系来自定时控制器28的各种控制信号和象素数据VD，一个伽玛电压部分34，用于提供DAC40中所需的正负伽玛电压。

信号控制器32可以控制包括例如从定时控制器28接收到的SSP, SSC, SOE, REV和POL的各种控制信号和象素数据，以便把控制信号输出给对应的元件。伽玛电压部分34可以对每一灰度水细分从伽玛参考电压发生器(未示出)接收到的针对每个灰度级的多个伽玛参考电压，并输出被细分的多个伽玛参考电压。

移位寄存器部分36可以包括一组n个移位寄存器，该移位寄存器响应于电源采样时钟信号SSC对从信号控制器32接收到的电源起始脉冲SSP连续移位，以输出电源起始脉冲SSP做为采样信号。

锁存器部分38可以响应于从移位寄存器部分36接收到的采样信号通过特定的单元对从信号控制器32接收到的象素数据VD连续采样，从而锁存象素数

据VD。因此，锁存器部分38可以包括用于锁存n个象素数据VD的n个锁存器，每个锁存器具有对应于象素数据VD位数（即3位或6位）的大小。锁存器部分38可以同步锁存经信号控制器32施加的针对每个采样信号的偶数象素数据VDeven和奇数象素数据VDOdd，即6个象素数据。随后，锁存器部分38可以响应于从信号控制器32接收到的第一电源输出使能信号SOE1同步输出n个象素数据VD。因此，锁存器部分32可以响应于数据反向选择信号REV恢复调制成具有减小的跃迁比特数的象素数据VD，并且然后锁存器部分32输出象素数据VD。

DAC 40可以把从锁存器部分38接收到的n个象素数据VD同步转换成正负象素信号，并且可以响应于极性控制信号POL选择性地输出正负象素电压信号。因此，DAC 40可以包括被共同连接到锁存器部分38的正解码部分42和负解码部分44，以及用于选择输出P解码部分42和N解码部分44的信号的多路复用器（MUX）46。

P解码部分42可包括n个P解码器，根据从伽玛电压部分34接收到的正伽玛电压把从锁存器部分38同步输入的n个象素数据VD转变成正象素信号。N解码部分44可包括n个N解码器，根据从伽玛电压部分34接收到的负伽玛电压把从锁存器部分38同步输入的n个象素数据VD转变成负象素信号。多路复用器46可以响应于从信号控制器32接收到的极性控制信号POL以选择性地输出来自P解码部分42的正象素信号或来自N解码部分44的负象素信号。具体地说，多路复用器46的 $\frac{1}{2} n$ 个输出通道可以连接到第一输出缓冲器IC 48A，而多路复用器46的其余 $\frac{1}{2} n$ 个输出通道可以连接到第二输出IC 48B。因此，从多路复用器46输出的n个象素电压信号可以分 $\frac{1}{2} n$ 个被同步施加给第一和第二输出缓冲器IC 48A和48B的信号。

第一和第二输出缓冲器IC 48A和48B的每一个可以采样并保持以来自DAC IC 30的以 $\frac{1}{2} n$ 为一组逐组($\frac{1}{2} n$ -by- $\frac{1}{2} n$)顺序输入的象素信号，把象素信号同步输出给n条数据线DL11～DL1n和DL21～DL2n。因此，第一或第二输出缓冲器IC 48A或48B可以包括一个多路分配器50A或50B和一个输出缓冲器部分52A或52B。每个多路分配器50A或50B可允许从DAC IC 30同步输入的 $\frac{1}{2} n$ 个象素电压信号的每一个响应于从定时控制器28接收到的电源输入使能信号SIE，被选择性地施加给包含在输出缓冲器部分52A和52B的n个输出缓冲器

盒。

每个输出缓冲器部分52A和52B可以连续输入并保持从每个多路分配器50A和50B接收到的 $\frac{1}{2} n$ 个象素电压信号。如果 $\frac{1}{2} n$ 个象素电压信号被输入给每个输出缓冲器部分52A和52B以输入并保持所有的n个象素电压信号，则保持的n个象素电压信号响应于从定时控制器28接收到的第二电源输出使能信号SEO2被同步施加给对应的数据线DL11～DL1n和DL21～DL2n。输出缓冲器部分52A和52B的每一个可以包括以一对一的关系连接到对应的数据线DL11～DL1n和DL21～DL2n的n个输出缓冲器盒。

图4是根据本发明包含在图3所示输出缓冲器中的输出缓冲器盒的详细电路图。在图4中，每个输出缓冲器盒可以包括用于缓冲并输出输入象素电压信号VSin的第一电压跟随器56，用于保持来自第一电压跟随器56的象素电压信号的电容器C，用于响应于从定时控制器38接收到的电源输出使能信号SOE2输出保持在电容器C中的象素电压信号的开关装置SW，和一个连接到开关器件SW以缓冲象素电压信号并输出缓冲的电压信号做为输出象素电压信号VSout的第二电压跟随器57。因此，电容器C可以连接在第一电压跟随器56的输出端和地电压源之间或第一电压跟随器56的输入端和地电压源之间。

图5是根据本发明的液晶显示器另一数据驱动单元的结构框图。图5中所示的连接到定时控制器58的数据驱动单元与连接到图3中所示定时控制器28的数据驱动单元的不同之处在于一个输出缓冲器IC78有2n个输出通道。在图5中，定时控制器58可以提供用于控制数据驱动单元的各种控制信号和象素数据VD。因此，定时控制器58可以包括一个控制信号发生器57和一个象素数据分布器59。控制信号发生器57可以产生各种控制信号，如SSP，SSC，SOE1，REV，POL，SIE和SOE2，用于例如根据外部的垂直和水平同步信号以及外部点时钟信号控制数据驱动单元。象素数据分布器59可以使2n个象素数据VD具有n个时分，并且将时分的数据顺序地提供给2n个数据线DL11-DL1n和DL21-DL2n。另外，象素数据分布器59可以把象素数据VD分成偶数象素数据VDeven和奇数象素数据VDodd，由此降低传输频率，并且经每条传输线同步输出偶数象素数据VDeven和奇数象素数据VDodd。因此，偶数象素数据VDeven和奇数象素数据VDodd的每一个可以包括红(R)、绿(G)和蓝(B)色象素数据。特别是，象素数据分布器59可以调制具有超过参考值

的跃迁比特数的象素数据VD，并输出调制的象素数据VD。因而象素数据VD具有减小的跃迁比特数，由此减少对数据传输的电磁干扰（EMI）。

提供给 $2n$ 个数据线DL11~DL1n和DL21~DL2n的 $2n$ 个象素数据可以以时分的以n为一组逐组(n-by-n)输入给DAC IC60。DAC IC60可以把前面输入的n个象素数据转变成模拟象素电压信号。DAC IC60可以对分以k为一组逐组(“k-by-k”)被转换成模拟信号的n个象素电压信号并同步把模拟信号施加给输出缓冲器IC78。然后，DAC IC60可以针对在下一时间周期输入的其余n个象素数据进行重复操作。

DAC IC60可以包括一个用于施加连续采样信号的移位寄存器部分64，一个用于响应于采样信号连续锁存并同步输出象素数据VD的锁存器部分68，和一个用于把从锁存器部分38接收的象素数据VD转变成象素电压信号的数字-模型转换器(DAC)70。另外，DAC IC60包括一个用于联系来自定时控制器58的各种控制信号和象素数据VD的信号控制器62，和一个用于提供DAC 70中所需的正负伽玛电压的伽玛电压部分64。

信号控制器62可以控制从自定时控制器58接收的各种控制信号和象素数据VD，以便把各种控制信号输出到各个对应的元件。伽玛电压部分64可以细分从伽玛参考电压发生器(未示出)输入的针对每个灰度级的多个伽玛参考电压并再输出细分的伽玛参考电压。

移位寄存器部分66可以包括一组n个移位寄存器，该寄存器响应于电源采样时钟信号SSC对从信号控制器62接收到的电源起始脉冲SSP顺序移位，从而输出电源起始脉冲SSP作为采样信号。

锁存器部分68响应于从移位寄存器部分66接收到的采样信号对从信号控制器62接收到的象素数据VD顺次采样以锁存象素数据VD。因此，锁存器部分68可以包括锁存n个象素数据VD的n个锁存器，其中n个锁存器的每一个具有对应于象素数据VD位数(即3位或6位)的大小。锁存器部分68可以同步锁存经信号控制器62施加的针对每个采样信号的偶数象素数据VDeven和奇数象素数据VDodd，即6个象素数据。随后，锁存器部分68响应于从信号控制器62接收的第一电源输出使能信号SOE1同步输出n个象素数据VD。因此，锁存器部分62可以响应于数据反向信号REV恢复调制的具有减小的跃迁比特数象素数据VD，并且锁存器部分62可以输出象素数据VD。

DAC 70可以把从锁存器部分68接收到的n个象素数据VD同步转变成正负象素信号，并且响应于极性控制信号POL选择性地输出正负象素电压信号。因此，DAC70可以包括共同连接到锁存器部分68的一个正(P)解码部分72和负(N)解码部分74，以及一个用于选择P解码部分20和N解码部分22的输出信号的多路复用器(MUX) 76。

P解码部分72可以包括n个P解码器，该解码器根据从伽玛电压部分64接收到的正伽玛电压，把从锁存器部分68同步输入的n个象素数据转变成正象素信号。N解码部分74包括n个N解码器，该解码器根据从伽玛电压部分64接收到的负伽玛电压，把从锁存器部分68同步输入的n个象素数据转变成负象素信号。多路复用器76可以响应于从信号控制器62接收到的极性控制信号POL选择性地输出来自P解码部分72的正象素信号或来自N解码部分74的负象素信号，并且响应于选择控制信号SEL以k为一组逐组输出n个象素电压信号。因此，可以依据频率“j”决定选择控制信号SEL的位数，由该频率划分n个象素电压信号。例如，如果输出的n个象素电压信号被8除(即j=8)，则选择控制信号SEL可以有3位。如前所述，DAC70可以把n个象素数据每个转变成n个象素电压信号，并输出n个象素电压信号的k个时分(其中k小于n)。

输出缓冲器IC78可以允许采样并保持以k为一组逐组从DAC IC60接收的象素电压信号输入，以将象素电压信号同步输出给2n个数据线DL1~DL2n的n条数据线。因此，输出缓冲器IC78可以包括一个多路分配器80和一个输出缓冲器部分82。

多路分配器80响应于从定时控制器58接收到的电源输入使能信号SIE，可以允许从多路复用器76以k为一组逐组接收的象素电压信号输入，以k为一组逐组选择性地施加给包含在输出缓冲器部分82中的2n个输出缓冲器盒的n个输出缓冲器盒。因此，电源输入使能信号SIE也可以有对应于频率“j”的位数，其中n个象素电压信号类似于选择控制信号SEL地被划分。

输出缓冲器部分82可以具有如图5所示的结构，并且可以包括以一对一的关系连接到2n条数据线DL1~DL2n的2n个输出缓冲器盒。输出缓冲器部分82可以顺次输入从多路分配器80施加的k个象素电压信号的每一个，以便保持n个象素电压信号。保持n个象素电压信号的n个输出缓冲器盒可以重复操作以维持这种保持状态，直到其余所有的象素电压信号被输入到其余的n个输出缓

冲器盒。如果 $2n$ 个象素电压信号以 k 为一组逐组输入给输出缓冲器部分82，使得所有的 $2n$ 个象素电压信号可以被输入并保持，则保持的 $2n$ 个象素电压信号响应于从定时控制器58接收的第二电源输出使能信号SOE2同步施加给 $2n$ 条数据线DL1～DL2n。

图6是根据本发明的液晶显示器另一数据驱动单元的结构框图。最初，图6中所示的数据驱动单元可以具有类似于图3中所示数据驱动单元的元件，除了DAC IC90的输出端还包括用于连续驱动第一输出缓冲器IC 110A和第二输出缓冲器IC 110B的第一多路分配器108以外。

另外，可以以类似于图5中所示定时控制器58的控制方法控制图6所示的数据驱动单元。如前所述，定时控制器58可以提供用于控制数据驱动单元的各种控制信号和象素数据VD。因此，定时控制器58可以包括一个控制信号发生器55和一个象素数据分布器59。控制信号发生器55可以产生各种控制信号，如SSP, SSC, SOE1, REV, POL, SEL1, SEL2, SIE和SOE2，用于例如根据外部垂直和水平同步信号以及外部点时钟信号而控制数据驱动单元。象素数据分布器59可以将 $2n$ 个象素数据VD的 n 个时分顺次提供给 $2n$ 个数据线DL11～DL1n和DL21～DL2n。另外，象素数据分布器59可以把象素数据VD分成偶数象素数据VDeven和奇数象素数据VD0dd，由此减小传输频率，并且通过每条传输线同步输出偶数象素数据VDeven和奇数象素数据VD0dd。因此，偶数象素数据VDeven和奇数象素数据VD0dd每个可以包括红(R)、绿(G)和兰(B)象素数据。特别是，象素数据分布器59可以调制具有超过参考值的跃迁比特数的象素数据VD，并输出调制的象素数据VD。因而象素数据VD可以具有减小的跃迁比特数，由此减小对数据传输的电磁干扰(EMI)。

提供给 $2n$ 条数据线DL11～DL1n和DL21～DL2n的 $2n$ 个象素数据可以以 n 为一组逐组输入给DAC IC 90。DAC IC90可以把先前输入的 n 个象素数据转变成模拟象素电压信号。DAC IC 90可以以 k 为一组逐组（其中 $k < n$ ）对转变成模拟信号的 n 个象素电压信号进行时间划分，以将时分的 n 个象素电压信号选择性地施加给第一和第二输出缓冲器IC 110A和110B。

DAC IC90可以包括一个用于施加连续采样信号的移位寄存器96，一个用于响应于采样信号连续锁存并同步输出象素数据VD的锁存器部分98，和一个

用于把从锁存器部分98接收到的象素数据VD转变成象素电压信号的数字-模拟转换器（DAC）100，以及一个第一多路分配器108，用于把从DAC100接收到的象素电压信号选择性地施加给第一和第二输出缓冲器IC 110A和110B。另外，DAC IC 90可以包括一个信号控制器92，用于联系从定时控制器58接收到的各种控制信号和象素数据VD；一个伽玛电压部分34，用于提供DAC140中所需的正负伽玛电压。

信号控制器92可以控制例如从定时控制器58接收到的CLK，SSP，SSC，SOE，REV，POL，SEL1和SEL2这样的各种控制信号和象素数据VD，以便把各种控制信号输出给对应的元件。伽玛电压部分94可以对细分从伽玛参考电压发生器（未示出）输入的针对每一灰度级的多个伽玛参考电压，并输出细分的伽玛参考电压。

移位寄存器部分96可以包括一组n个移位寄存器，该移位寄存器响应于电源采样时钟信号SSC对从信号控制器92接收到的电源起始脉冲SSP连续移位，将电源起始脉冲SSP做为采样信号输出。

锁存器部分98可以响应于从移位寄存器96接收到的采样信号对从信号控制器92接收到的象素数据VD连续采样，从而锁存象素数据VD。因此，锁存器部分98可以包括用于锁存n个象素数据VD的一组n个锁存器，每个锁存器具有对应于象素数据VD位数（即3位或6位）的大小。锁存器部分98可以同步锁存经信号控制器92施加的对应于每个采样信号的偶数象素数据VDeven和奇数象素数据VDOdd，即6个象素数据。随后，锁存器部分98可以响应于从信号控制器92接收到的第一电源输出使能信号SOE1同步输出n个象素数据VD。因此，锁存器部分92可以响应于数据反向选择信号REV恢复调制成具有减小的跃迁比特数的象素数据VD，然后锁存器部分98输出象素数据VD。

DAC 100可以把从锁存器部分98接收到的n个象素数据VD同步转换成正负象素信号，并且可以响应于极性控制信号POL和第一选择控制信号SEL1以k为一组逐组单独地输出正负象素信号。因此，DAC 100可以包括被共同连接到锁存器部分98的正（P）解码部分102和负(N)解码部分104，以及用于选择P解码部分102和N解码部分104的输出信号的多路复用器（MUX）106。

P解码部分102可包括n个P解码器，根据从伽玛电压部分94接收到的正伽玛电压把从锁存器部分98输入的n个象素数据同步转变成正象素信号。N解码

部分104可包括n个N解码器，根据从伽玛电压部分94接收到的负伽玛电压把从锁存器部分98输入的n个象素数据同步转变成负象素信号。多路复用器106可以响应于从信号控制器92接收到的极性控制信号POL选择性地输出来自P解码部分102的正象素信号或来自N解码部分104的负象素信号，并且响应于第一选择控制信号SEL1以k为一组逐组输出n个象素电压信号。因此，可以依据频率“j”决定第一选择控制信号SEL1的位数，由该频率划分n个象素电压信号。例如，如果输出的n个象素电压信号被8除（即j=8），则第一选择控制信号SEL1可以有3位。如前所述，DAC100可以把每一n个象素数据转变成n个象素电压信号，并且以k为一组逐组分开n个象素电压信号（其中k小于n）。

第一多路分配器108可以响应于从信号控制器92输入的第二选择控制信号SEL2把从多路复用器106输入的每一k个象素电压信号输出给第一输出缓冲器IC 110A或第二输出缓冲器 IC 110B。因此，因为第二选择控制信号SEL2也可以依据频率“j”决定，由该频率划分n个象素电压信号，所以第一选择控制信号SEL1可以有相同的位数。

第一和第二输出缓冲器IC110A和110B的每一个可以采样并保持从DAC IC90接收以k为一组逐组输入的象素电压信号，以把象素电压信号同步输出给n条数据线DL11～DL1n或DL21～DL2n。因此，第一或第二输出缓冲器IC 110A或110B可以包括一个第二多路分配器112A或112B和一个输出缓冲器部分114A或114B。

第二多路分配器112A和112B每一个可以响应于从定时控制器58接收到的电源输入使能信号SIE，允许从第一多路分配器108接收的以k为一组逐组输入的象素电压信号选择性地以k为一组逐组施加给包含在输出缓冲器部分114A和114B中的n个输出缓冲器盒。

输出缓冲器IC114A和114B每一个可以包括具有图4所示结构的n个输出缓冲器盒，并且可以以一对一的关系连接到对应的数据线DL11～DL1n和DL21～DL2n。每个输出缓冲器部分IC114A和114B的每一个可以连续输入并保持从每个多路分配器112A和112B施加的k个象素电压信号的每一个。如果2n个象素电压信号被以k为一组逐组输入给输出缓冲器部分82以能够输入并保持所有的2n个象素电压信号，则保持的2n个象素电压信号响应于从定时控制器58接收到的第二电源输出使能信号SOE2被同步施加给对应的数据线

DL11～DL1n和DL21～DL2n。

图7是根据本发明的液晶显示器另一数据驱动单元的结构框图。最初，图7中所示的数据驱动单元可以具有类似于图3中所示数据驱动单元的元件，但是，图7中的数据驱动单元还包括两个多路复用器140和142，用于执行图6所示的多路复用器106n个象素电压信号的划分功能。

另外，可以以类似于图5中所示定时控制器58的控制方法控制图7所示的数据驱动单元。如前所述，定时控制器58可以提供用于控制数据驱动单元的各种控制信号和象素数据VD。因此，定时控制器58可以包括一个控制信号发生器55和一个象素数据分布器59。控制信号发生器55可以产生各种控制信号，如SSP，SSC，SOE1，REV，POL，SEL1，SEL2，SIE和SOE2，用于例如根据外部垂直和水平同步信号以及外部点时钟信号而控制数据驱动单元。象素数据分布器59可以将 $2n$ 个象素数据VD的n个时分顺次提供给 $2n$ 个数据线DL11～DL1n和DL21～DL2n。另外，象素数据分布器59可以把象素数据VD分成偶数象素数据VDeven和奇数象素数据VD0dd，由此减小传输频率，并且通过每条传输线同步输出偶数象素数据VDeven和奇数象素数据VD0dd。因此，偶数象素数据VDeven和奇数象素数据VD0dd每个可以包括红(R)、绿(G)和兰(B)象素数据。特别是，象素数据分布器59可以调制具有超过参考值的跃迁比特数的象素数据VD，并输出调制的象素数据VD。因而象素数据VD可以具有减小的跃迁比特数，由此减小对数据传输的电磁干扰(EMI)。

提供给 $2n$ 条数据线DL11～DL1n和DL21～DL2n的 $2n$ 个象素数据可以以被时分的n为一组逐组输入给DAC IC 120。DAC IC120可以把先前输入的n个象素数据转变成模拟象素电压信号。DAC IC 120可以以k为一组逐组(其中 $k < n$)对转变成模拟信号的n个象素电压信号进行时分，将时分的n个象素电压信号选择性地施加给第一和第二输出缓冲器IC 144A和144B。

DAC IC120可以包括一个用于施加连续采样信号的移位寄存器部分126；一个用于响应于采样信号连续锁存并同步输出象素数据VD的锁存器部分128；一个用于把从锁存器部分128接收到的象素数据VD转变成象素电压信号的数字-模拟转换器(DAC)130；一个第一多路分配器138，用于把从DAC130接收到的象素电压信号选择性地施加给两个多路复用器140和142；

和第二及第三多路复用器140和142，用于对从第一多路分配器138接收到的象素电压信号进行时分并将时分的象素电压信号施加给各个第一和第二输出缓冲器IC 144A和144B。另外，DAC IC 120可以包括一个信号控制器92，用于联系来自定时控制器58的各种控制信号和象素数据VD；一个伽玛电压部分124，用于提供DAC130中所需的正负伽玛电压。

信号控制器122可以控制例如从定时控制器58接收到的CLK，SSP，SSC，SOE，REV，POL，SEL1和SEL2的各种控制信号和象素数据VD，以便把各种控制信号输出给对应的元件。伽玛电压部分124可以细分从伽玛参考电压发生器（未示出）输入的对应于每个灰度级的多个伽玛参考电压，并输出细分的伽玛参考电压。

移位寄存器部分126可以包括n个移位寄存器，该移位寄存器响应于电源采样时钟信号SSC对从信号控制器122接收到的电源起始脉冲SSP连续移位，将电源起始脉冲SSP做为采样信号输出。

锁存器部分128可以响应于从移位寄存器部分126接收到的采样信号对从信号控制器122接收到的象素数据VD连续采样，从而锁存象素数据VD。因此，锁存器部分128可以包括用于锁存n个象素数据VD的n个锁存器，每个锁存器具有对应于象素数据VD位数（即3位或6位）的大小。锁存器部分128可以同步锁存经信号控制器122施加的每个采样信号的偶数象素数据VDeven和奇数象素数据VD0dd，即6个象素数据。随后，锁存器部分128可以响应于从信号控制器122接收到的第一电源输出使能信号SOE1同步输出n个象素数据VD。因此，锁存器部分122可以响应于数据反向信号REV恢复调制成具有减小的跃迁比特数的象素数据VD，然后锁存器部分128可以输出象素数据VD。

DAC 130可以把从锁存器部分128接收到的n个象素数据VD同步转换成正负象素信号，并且单独地输出正负象素信号。因此，DAC 130可以包括被共同连接到锁存器部分128的正(P)解码部分132和负(N)解码部分134，以及用于选择P解码部分132和N解码部分134的输出信号的多路复用器(MUX)136。

P解码部分132可包括n个P解码器，根据从伽玛电压部分124接收到的正伽玛电压把从锁存器部分128同步输入的n个象素数据转变成正象素信号。N解码部分134可包括n个N解码器，根据从伽玛电压部分124接收到的负伽玛电

压把从锁存器部分128同步输入的n个象素数据转变成负象素信号。第一多路复用器136可以响应于从信号控制器122接收到的极性控制信号POL以n为一组逐组选择输出来自P解码部分132的正象素信号或来自N解码部分134的负象素信号。

第一多路分配器130可以响应于从信号控制器122输入的第一选择控制信号SEL1把从第一多路复用器136输入的n个象素电压信号选择性地输出给第二和第三多路复用器140和142。当把电源输出使能信号SOE施加给锁存器部分128时第一选择控制信号SEL1可以有一个每个周期倒置的逻辑值，由此把n个象素电压信号的每一个选择性地输出给两个多路复用器140和142。

第二和第三多路复用器140和142的每一个可以响应于从信号控制器122接收到的第二选择控制信号SEL2以k为一组逐组输出从第一多路分配器138接收到的n个象素电压信号的每一个。因此，可以依据频率“j”决定第二选择控制信号SEL2的位数，由该频率划分n个象素电压信号。例如，如果输出的n个象素电压信号被8除（即j=8），则第二选择控制信号SEL2可以有3位。

第一和第二输出缓冲器IC144A和144B的每一个可以采样并保持从DAC IC120的第二和第三多路复用器140和142接收以n为一组逐组输入的象素电压信号，把象素电压信号同步输出给n条数据线DL11～DL1n和DL21～DL2n。因此，第一或第二输出缓冲器IC 144A或144B可以包括一个第二多路分配器146A或146B和一个输出缓冲器部分148A或148B。

第二多路分配器146A或146B的每一个可以响应于从定时控制器58接收到的电源输入使能信号SIE，允许从第二和第三多路复用器140或142的每一个接收的以k为一组逐组输入的象素电压信号选择性地以k为一组逐组施加给包含在输出缓冲器部分148A和148B中的n个输出缓冲器盒。

输出缓冲器IC148A和148B的每一个可以包括具有图4所示结构的n个输出缓冲器盒，并且可以以一对一的关系连接到对应的数据线DL11～DL1n和DL21～DL2n。输出缓冲器部分的每一个IC148A和148B可以连续输入并保持从每个多路分配器146A和146B施加的k个象素电压信号的每一个。如果n个象素电压信号被以k为一组输入给输出缓冲器部分148A和148B的每一个以能够输入并保持所有的n个象素电压信号，则保持的n个象素电压信号响应于从定时控制器58接收到的第二电源输出使能信号SOE2被同步施加给对应的数据线

DL11~DL1n和DL21~DL2n。

如上所述，根据本发明的数据驱动单元可以单独地集成到一个DAC IC和一个输出缓冲器IC中。另外，可以根据时分驱动一个DAC IC，至少两个每个具有n个通道的输出缓冲器IC可以共同地连接到DAC IC，或者具有2n个通道的输出缓冲器IC可以连接到DAC IC，使得DAC IC的数量可以减少 $\frac{1}{2}$ 。而且，数量减少的DAC IC可以安装在TCP中，并且输出缓冲器IC可以通过一个CGO系统安装在液晶显示板中，与现有技术相比，由此TCP的总数减少了 $\frac{1}{2}$ 。

图8是根据本发明的包括数据驱动单元的液晶显示器数据驱动装置的框图。而且图8表示的液晶显示器的数据驱动装置中，两个输出缓冲器IC118A和118B可以共同连接到根据时分驱动的每个DAC IC156。在图8中，DAC IC156可以安置在TCP154中，而输出缓冲器IC118A和118B可以单独地安置在液晶显示板160中。输出缓冲器IC118A和118B可以通过一个CGO系统安装在液晶显示板160中。与DAC IC156安装在一起的TCP 154可以通过设置在液晶显示板160上部的垫片电连接到输出缓冲器IC118A和118B，并且可以电连接到设置在数据PCB152的输出垫片。数据PCB 152可以把从定时控制器110施加的各种控制信号和象素数据信号传递给DAC IC 156。

定时控制器110可以把象素数据VD分成偶数数据VDeven和奇数数据VDodd，由此降低传输频率。定时控制器110可以在每条传输线上输出偶数数据VDeven和奇数数据VDodd。定时控制器110可以把偶数数据VDeven和奇数数据VDodd连续施加给多个DAC IC 156。因此，如果输出缓冲器118A和118B的每一个有n个输出通道，则定时控制器110对2n个象素数进行n个时分，把时分的象素数据施加给DAC IC156的每一个。因而，因为每个DAC IC156必须在一个水平周期内以n为一组逐组执行两个DAC功能，所以每个DAC IC156应该以两倍于现有技术的速度被驱动。因此，定时控制器110可以允许各种控制信号如SSC，SSP，SOE，REV和POL以及施加给DAC IC156的每一个的象素数据VD以具有两倍于现有技术的频率。如前所述，只把根据时分驱动的DAC IC156安装在TCP 154上，使得DAC IC156的数量和TCP 154的数量可以减少 $\frac{1}{2}$ ，由此降低制造成本。

或者，为了把根据时分驱动的DAC IC的频率增大两倍，可以如图9所示地物理分开传输线，其中该传输线用于把从定时控制器170接收到的象素数据

施加给DAC IC176。因此，用于传输从定时控制器170接收到的象素数据的传输线可以分成第一偶数象素数据传输线VDeven1、第一奇数象素数据传输线VDodd1、第二偶数象素数据传输线VDeven2和第二奇数象素数据传输线VDodd2。因此，第一偶数象素数据传输线VDeven1和第一奇数象素数据传输线VDodd1可以连接到四个DAC IC174中的两个，而第二偶数象素数据传输线VDeven2和第二奇数象素数据传输线VDodd2可以连到其余的两个DAC IC174。可以提供两倍数量的数据传输线并单独连接到DAC IC174，使得在象素数据VD被锁存到两个DAC IC174期间，象素数据VD可以锁存在四个DAC IC174中。做为缩短象素数据锁存时间的结果，定时控制器170可以与现有技术相同的频率驱动DAC IC176，即使根据时分驱动DAC IC176，图8所示液晶显示板的数据驱动装置中也没有驱动频率的任何增大。

输出缓冲器IC 178A和178B可以通过CGO系统共同成对地连接到与液晶显示板180中的DAC IC 176安装在一起的TCP 174的每一个。每个TCP 174可以通过设置在液晶显示板180上部的垫片电连接到输出缓冲器IC 178A和178B，并且可以电连接到设置在数据PCB 172的输出垫片。数据PCB 172可以把从定时控制器110施加的各种控制信号和象素数据信号传递到DAC IC 176。

如果DAC IC 196的总数减小到一个奇数，例如为图10所示的五个，则中心位于五个DAC IC 196的一个DAC IC 196C将通过图11中的出口1和出口2的每一个接收象素数据，从而分开图9所示的数据传输线。例如，如果液晶显示板200是一个SXGA模式（ 1280×1204 象素），则当使用配置有480通道的数据驱动器IC时需要8个数据驱动器IC；而当使用配置384个通道的数据驱动器IC时，需要10个数据驱动器IC。在本发明中，数据驱动器IC可以分成DAC IC和输出缓冲器IC，DAC IC可以根据时分驱动，由此减少DAC IC的总数到一半。而且，本发明可以要求有480个通道的四个DAC IC或384个通道的五个DAC IC。因此，如果使用有480个通道的四个DAC IC，则数据传输线应该被2平分，以2个为一组逐组单独驱动DAC IC，如图9所示，从而避免驱动频率的增大。但是，具有480个通道的DAC IC是不利的，因为它比384通道的DAC IC制造成本高。

因此，如果使用具有384个通道的五个DAC IC，则五个DAC IC的一个

DAC IC 195C应该有一个包括被独立驱动的端口1和端口2的数据输入口，从而避免驱动频率的增大。在图10中，五个DAC IC 196和196C的第一和第二DAC IC 196可以被共同连接到第二偶数象素数据（VDeven2）传输线和第二奇数象素数据传输线VDodd2，而第四和第五DAC IC196可以共同连接到第一偶数象素数据VDeven1传输线和第一奇数象素数据传输线VDodd1。特别是，第三DAC IC196C可以有如图11所示的单独驱动的端口1和端口2用于象素数据的输入。端口1可以连接到第二奇数象素数据传输线VDodd2，而端口2可以连接到第一偶数象素数据传输线VDeven1。端口1可以响应于来自定时控制器190的第一由电源采样时钟SSC1和第一选通脉冲使能信号STB1接收在第二奇数象素数据传输线VDodd2上输入的奇数象素数据。端口2可以响应于来自定时控制器190的第二电源采样时钟SSC2和第二选通脉冲使能信号STB2接收在第一偶数象素数据传输线Vdeven上输入的偶数象素数据。

如上所述，奇数的DAC IC196和196C可以单独地连接到被2划分的数据传输线，使得在象素数据VD锁存于2.5DAC IC期间象素数据VD可以锁存在五个DAC IC196和196C中。因为象素数据的锁存时间被缩短，所以定时控制器190可以与现有技术相同的频率驱动DAC IC196和196C，而图8所示的液晶显示板的数据驱动装置中驱动频率没有任何增大，既使DAC IC 196和196C根据时分驱动也是如此。

输出缓冲器IC 198A和198B可以通过CGO系统共同成对地连接到与液晶显示板200中的DAC IC 196和196C安装在一起的每个TCP 194。TCP 194的每一个可以通过设置在液晶显示板200上部的垫片电连接到输出缓冲器IC 198A和198B，并且可以电连接到设置在数据PCB 192的输出垫片。数据PCB 192可以把从定时控制器190施加的各种控制信号和象素数据信号传递到DAC IC 196和196C。

如上所述，根据本发明，DAC部分可以根据时分驱动，并且输出缓冲器部分可以单独地安装在液晶显示板中，使得DAC和TCP的数量可以减少一半，由此降低制造成本。另外，输出缓冲器部分可以与数据驱动器IC分开，从而只有一个DAC功能，使得可以简化驱动器IC的结构，由此提高产量。另外，根据本发明，数据驱动器IC可以单独地集成到DAC IC和输出缓冲器IC中以提高IC的精确度，由此提高IC驱动的可靠性。

本领域的技术人员应该理解，在不脱离本发明实质或范围的前提下可以对本发明液晶显示器的数据驱动装置及驱动方法做各种改型和变化。因而，本发明将覆盖在权利要求范围内的本发明的各种改型和变化。

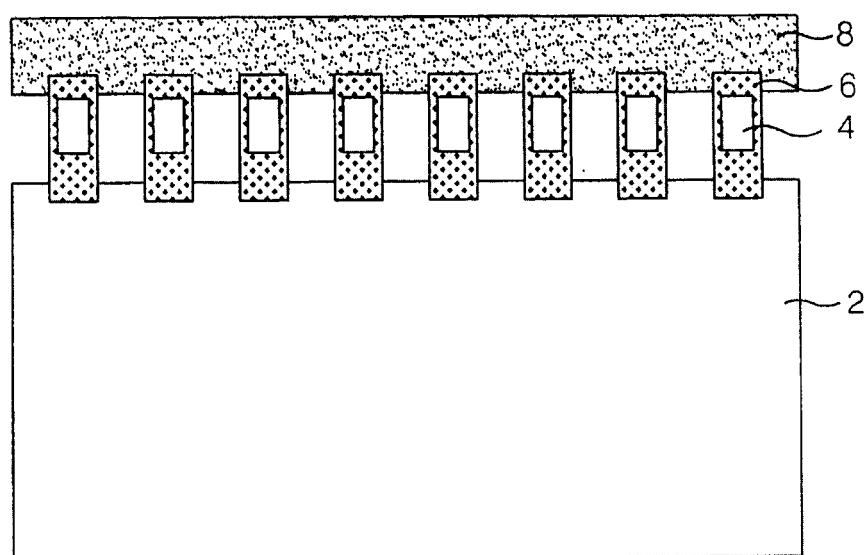


图 1

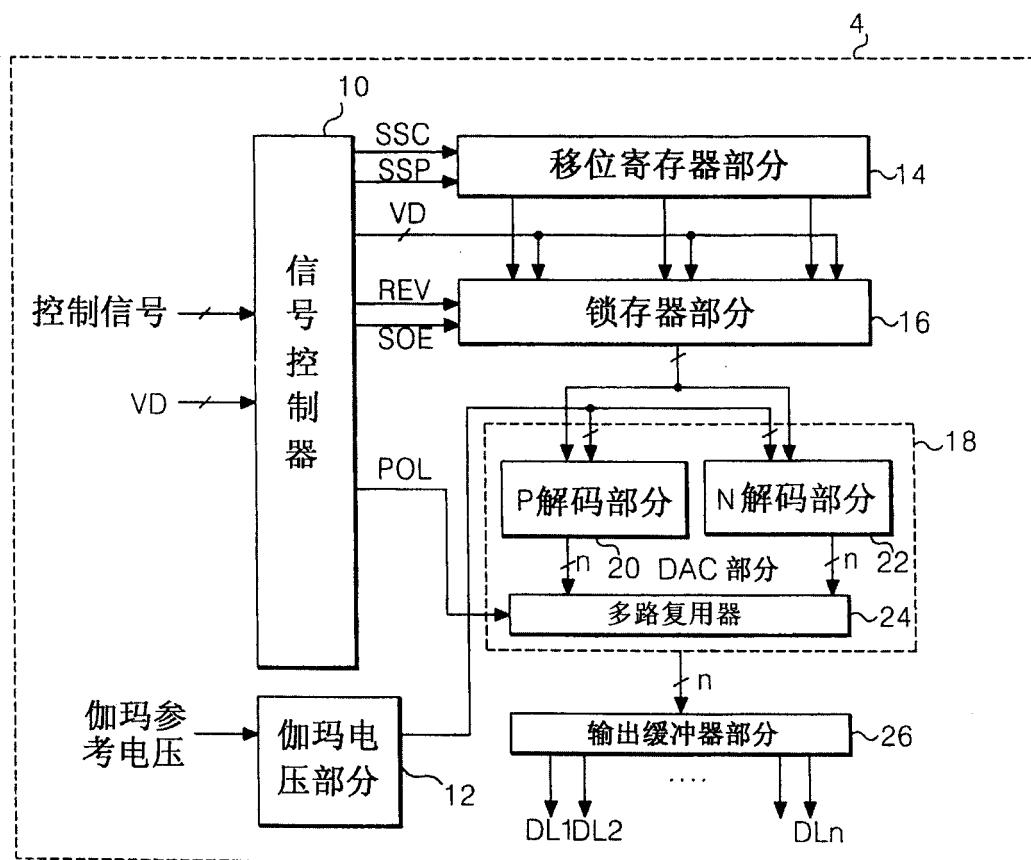
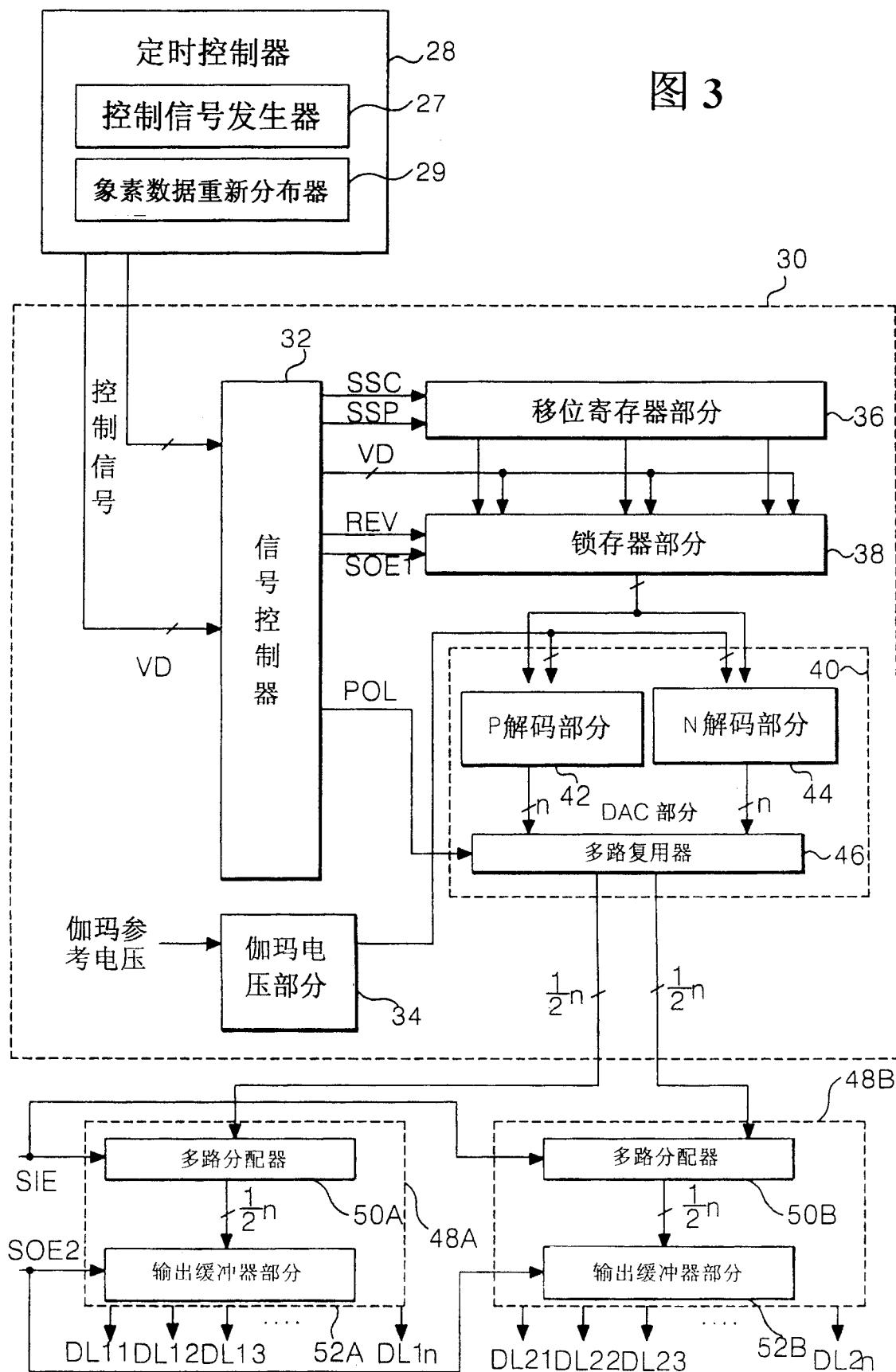


图 2



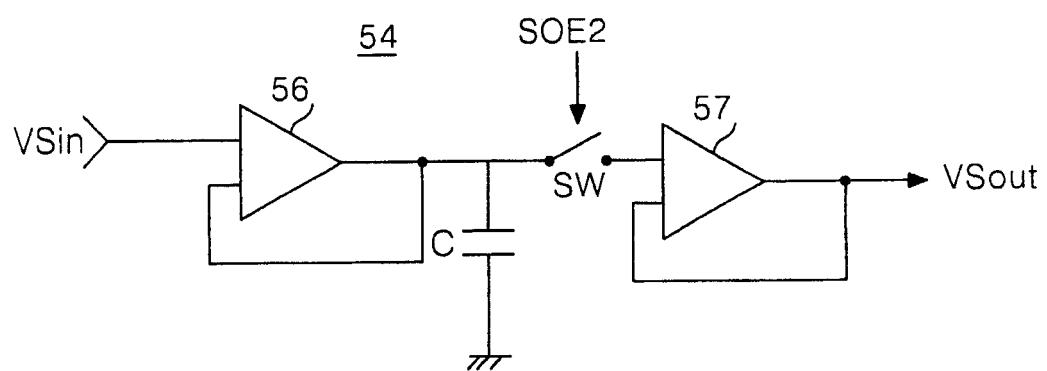
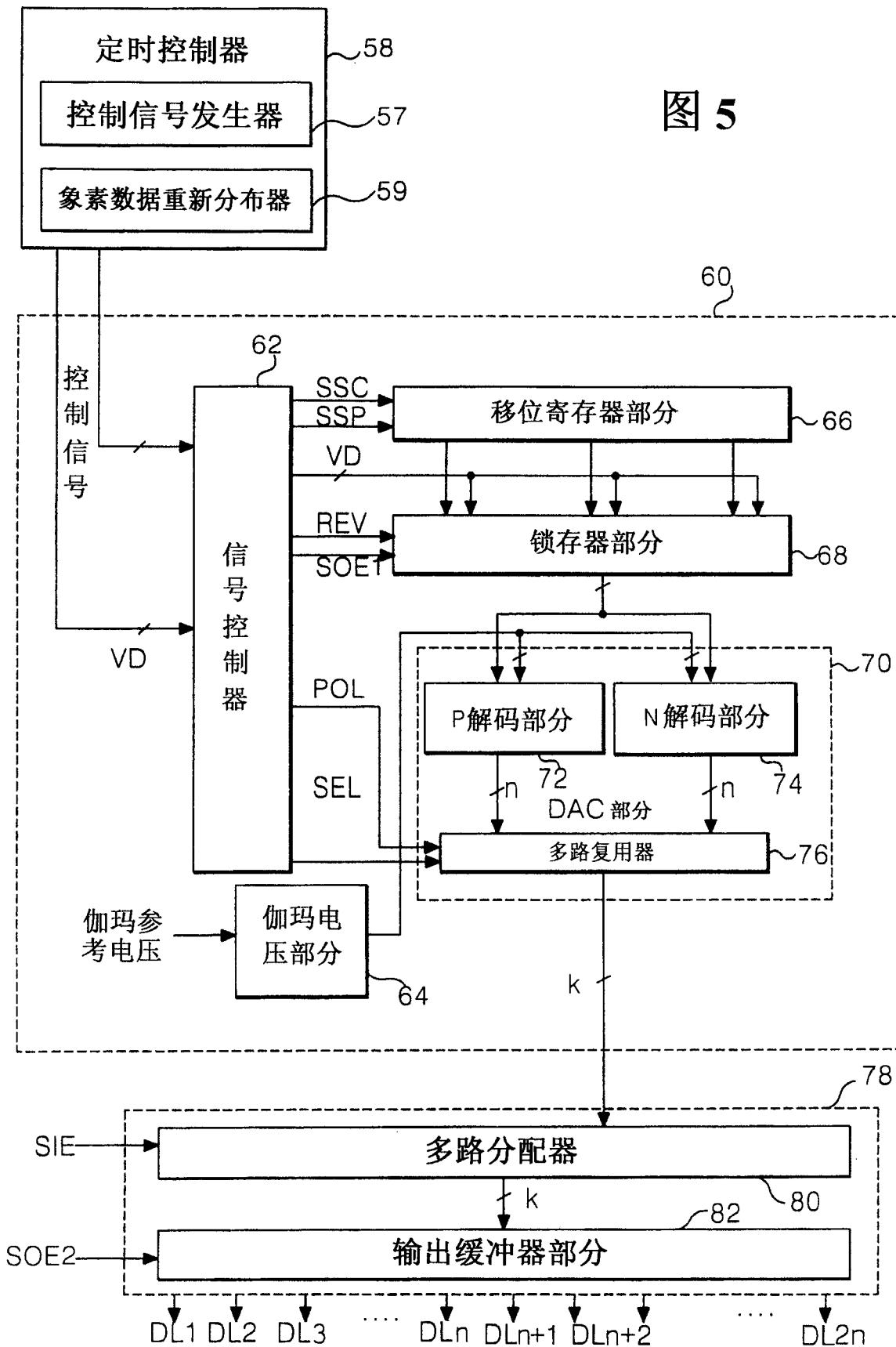


图 4



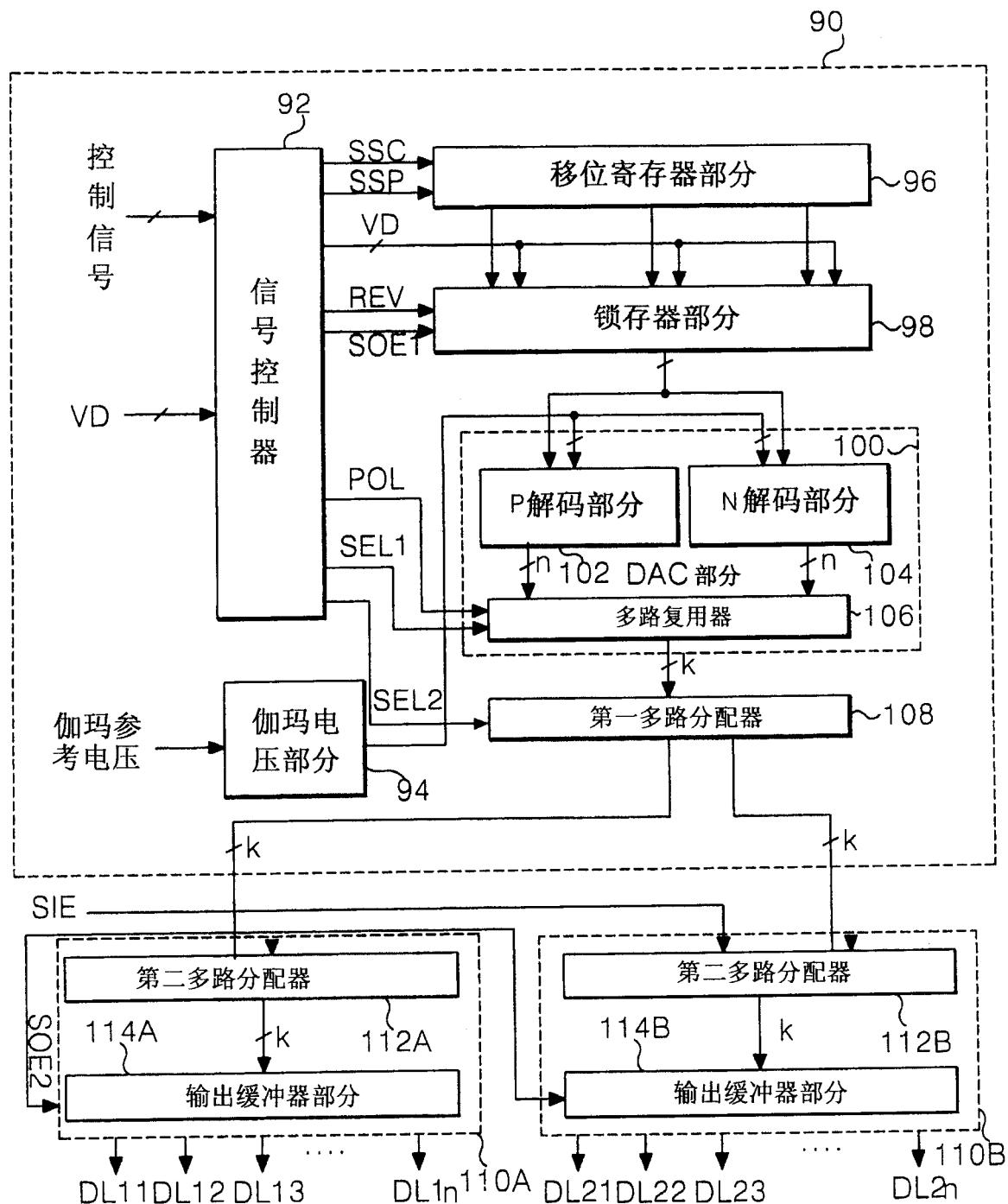


图 6

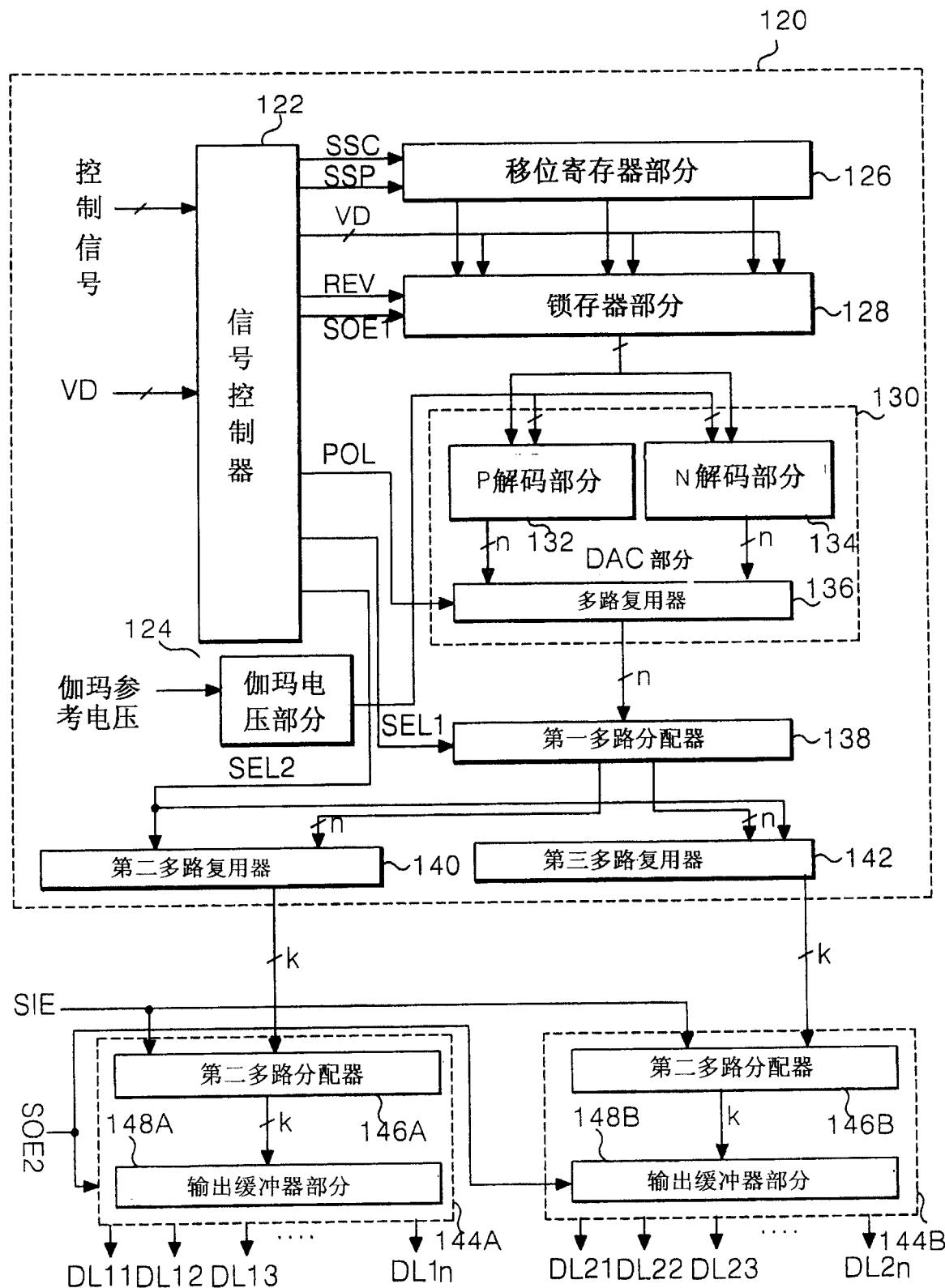


图 7

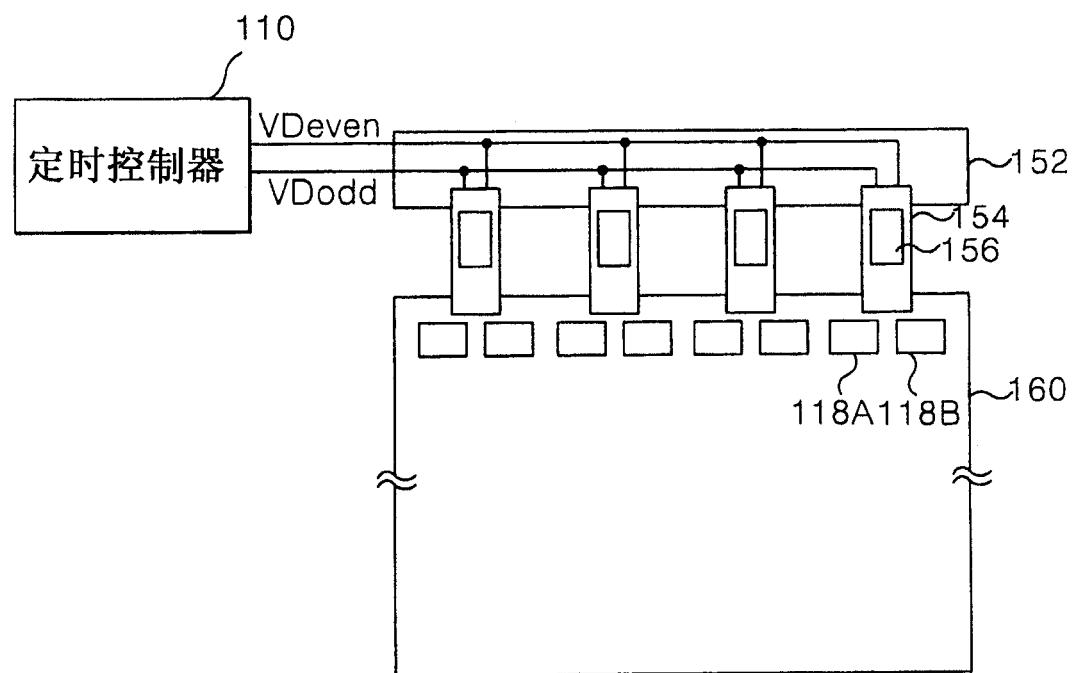


图 8

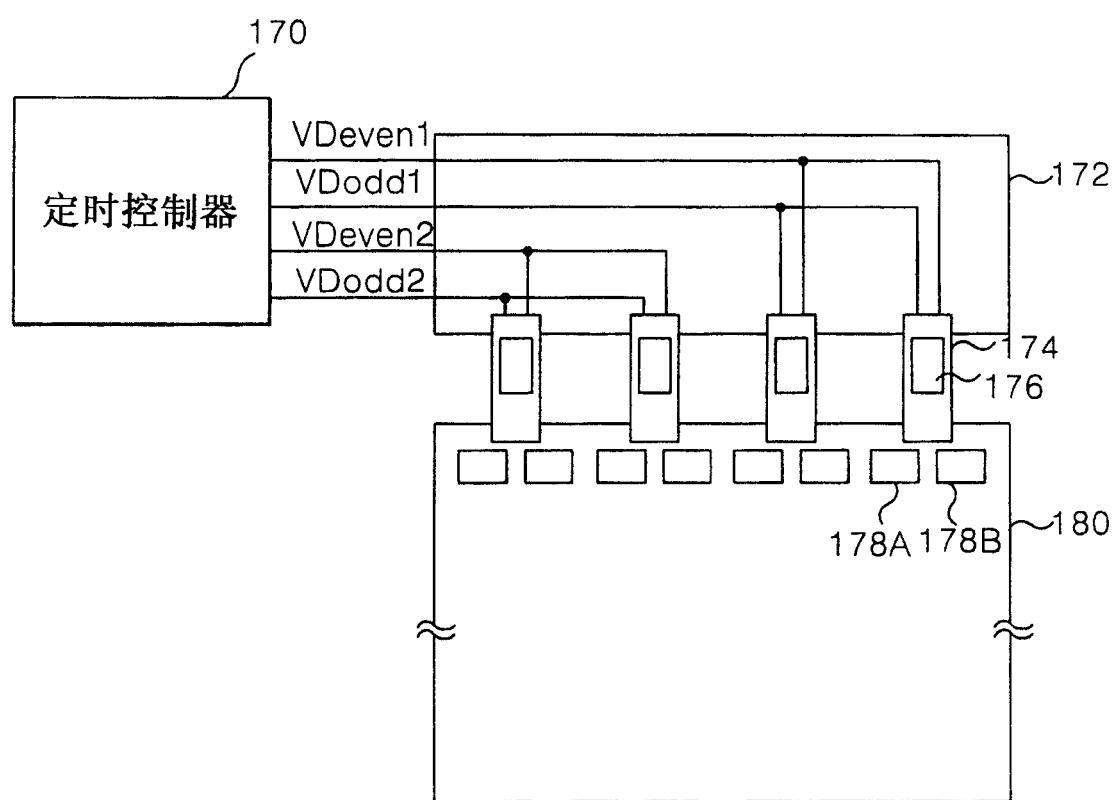


图 9

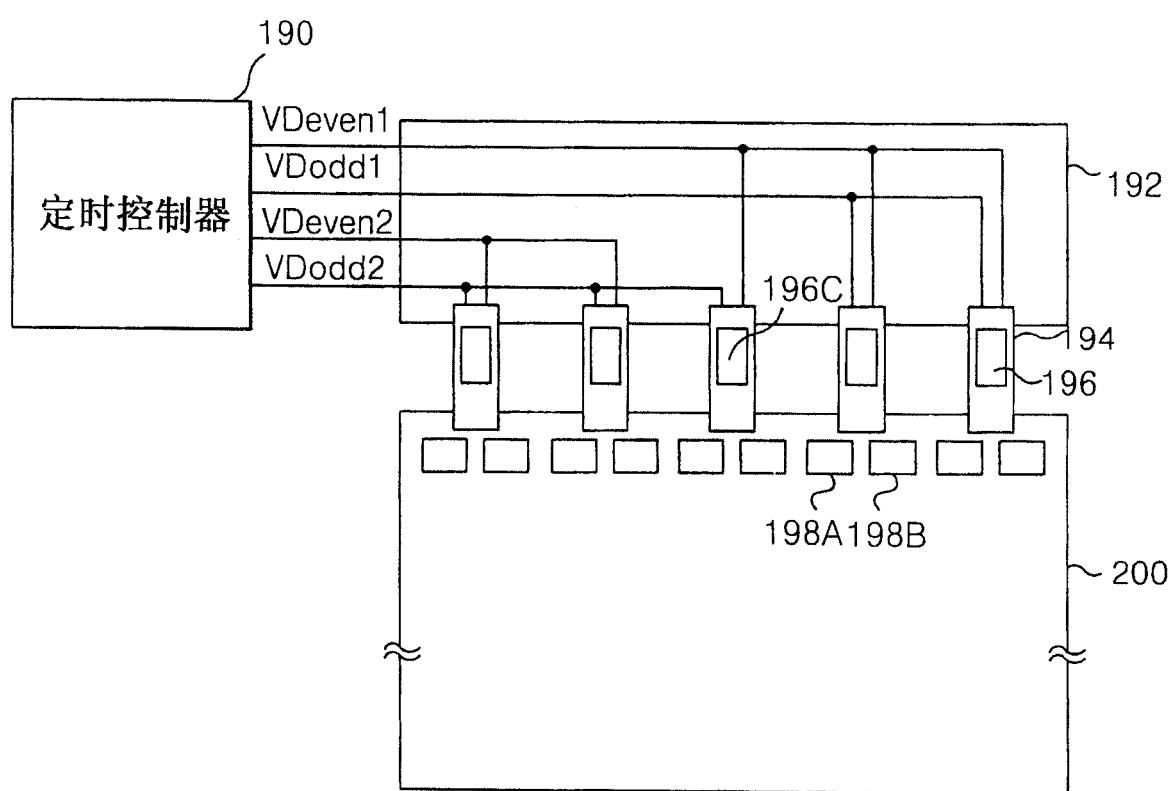


图 10

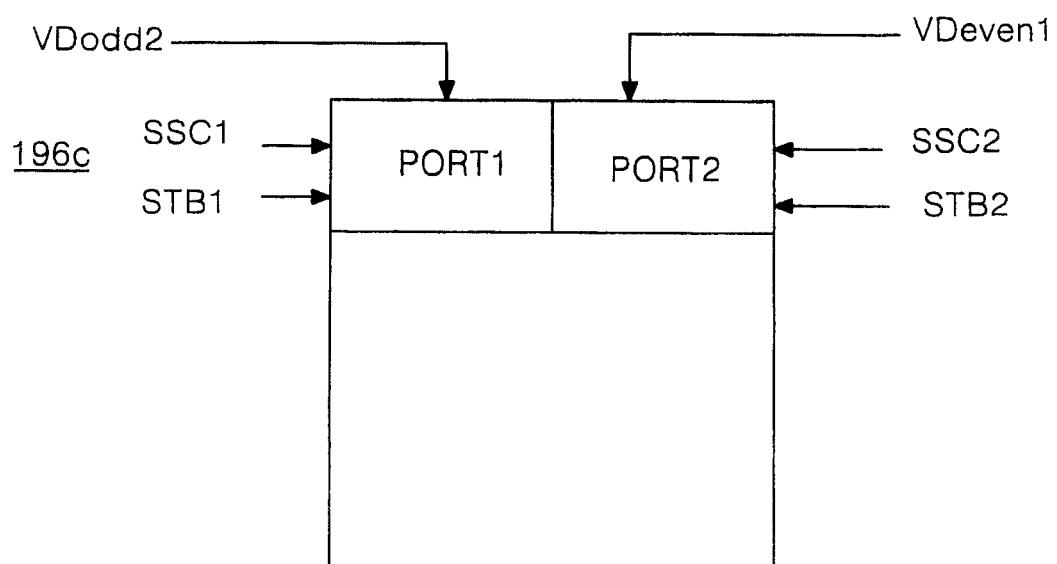


图 11

专利名称(译)	液晶显示器的数据驱动装置及驱动方法		
公开(公告)号	CN1295669C	公开(公告)日	2007-01-17
申请号	CN02122856.6	申请日	2002-06-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG. 菲利浦LCD株式会社		
当前申请(专利权)人(译)	LG. 菲利浦LCD株式会社		
[标]发明人	李锡雨 宋珍庆		
发明人	李锡雨 宋珍庆		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345 G09F9/00 G09G3/20		
CPC分类号	G09G2310/0281 G09G2330/06 G09G2310/027 G09G3/3614 G09G2310/0297 G09G3/3688 G09G2320/0276		
代理人(译)	徐金国 陈红		
优先权	1020010068397 2001-11-03 KR		
其他公开文献	CN1417769A		
外部链接	Espacenet Sipo		

摘要(译)

用于液晶显示器的数据驱动装置包括多个数字-模拟转换器集成电路，用于把n个输入象素数据(n是整数)转变成n个象素电压信号，并把n个输入象素分成至少两组n/2个象素数据以输出划分的象素电压信号；多个输出缓冲器集成电路，每个具有n个通道，用于接收划分的象素电压信号并缓冲和输出到n条数据线的每一条，至少两个输出缓冲器集成电路共同连接到每一个数字-模拟转换器集成电路；和一个定时控制器，用于控制多个数字-模拟转换器集成电路和多个输出缓冲器集成电路，根据施加到至少两个输出缓冲器集成电路的序列重新分布提供给每一个数字-模拟转换器集成电路的2n个象素数据，并对其进行时间分隔以提供至少两个包括n个象素数据的区域。

