



(12) 发明专利

(10) 授权公告号 CN 102117604 B

(45) 授权公告日 2013. 05. 08

(21) 申请号 201010299614. 6

JP 特开 2004-335504 A, 2004. 11. 25, 全文.

(22) 申请日 2010. 09. 28

US 2009/0189640 A1, 2009. 07. 30, 全文.

(30) 优先权数据

审查员 晏静文

10-2009-0135589 2009. 12. 31 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 全载薰

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 钟强

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 101272050 A, 2008. 09. 24, 全文.

US 2008/0079702 A1, 2008. 04. 03, 全文.

US 2009/0040389 A1, 2009. 02. 12, 全文.

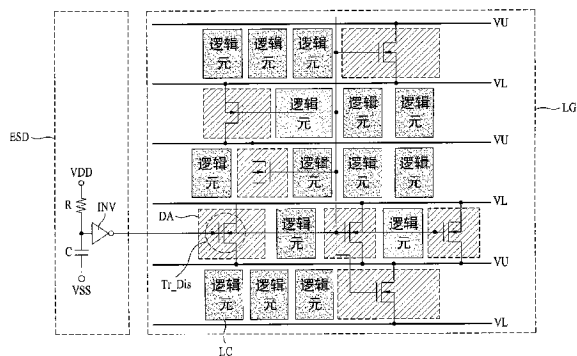
权利要求书1页 说明书4页 附图4页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明涉及能够减小芯片尺寸且提高静电放电能力的液晶显示装置。该液晶显示装置包括用于显示图像的液晶面板和用于驱动液晶面板的驱动电路单元,其中驱动电路单元包括:具有用于从外部接收信号的多个输入单元和用于转发信号至外部的多个输出单元的输入/输出单元,具有多个逻辑元的逻辑单元,每个逻辑元具有用于经过输入/输出单元接收或转发信号的多个数字逻辑装置,以及用于保护数字逻辑装置免受外界静电影响的静电屏蔽单元,其中静电屏蔽单元的一些元件形成在逻辑元之间的空间中。



1. 一种液晶显示装置,包括:
液晶面板,用于显示图像;以及
驱动电路单元,用于驱动所述液晶面板,
其中所述驱动电路单元包括:
输入/输出单元,具有用于从外部接收信号的多个输入单元和用于转发信号至外部的多个输出单元,
逻辑单元,具有多个逻辑元,每一个逻辑元具有用于经过所述输入/输出单元接收或转发信号的多个数字逻辑装置,以及
静电屏蔽单元,用于保护所述数字逻辑装置免受外界静电的影响,所述静电屏蔽单元包括:
静电感应单元,用于感应向其引入的静电,以及
静电放电单元,用于根据由所述静电感应单元感应的结果,将经过电源线引入的电压放电至接地端,其中所述静电放电单元包括多个相互并联连接的静电放电晶体管,
其中至少一个所述静电放电晶体管形成在所述逻辑元之间的空间中。
2. 如权利要求1所述的液晶显示装置,其中所述静电放电晶体管并联连接在所述电源线和所述接地端之间。
3. 如权利要求2所述的液晶显示装置,其中所述静电放电晶体管的栅极连接至所述静电感应单元,
所述静电放电晶体管的漏极连接至所述电源线,以及
所述静电放电晶体管的源极连接至所述接地端。
4. 如权利要求3所述的液晶显示装置,其中所述静电感应单元包括:
连接在所述电源线和一节点之间的电阻,
连接在所述节点和所述接地端之间的电容,以及
连接在所述节点和所述静电放电晶体管的所述栅极之间的反相器。
5. 如权利要求1所述的液晶显示装置,其中所述驱动电路单元是用于将像素电压提供给在所述液晶显示装置中的数据线的数据驱动 IC。
6. 如权利要求1所述的液晶显示装置,其中所述驱动电路单元是用于控制用于将像素电压提供给在所述液晶显示装置中的数据线的数据驱动 IC 的操作的时序控制器。
7. 如权利要求1所述的液晶显示装置,其中所述逻辑单元和所述静电屏蔽单元形成在由所述输入/输出单元围绕的核心区域中。
8. 如权利要求1所述的液晶显示装置,其中所述逻辑元之间的空间是用于放置用于调节所述逻辑单元的图案密度的虚设元的虚设区域,并且
至少一个所述静电放电晶体管取代所述虚设元形成在所述虚设区域中。

液晶显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求于 2009 年 12 月 31 日提交的、申请号为 10-2009-0135589 的韩国专利申请的权益,在此援引该申请作为参考,如同在此被完全公开。

技术领域

[0003] 本发明涉及液晶显示装置,更特别地,涉及具有减小芯片尺寸且提高静电放电能力的驱动电路的液晶显示装置。

背景技术

[0004] 静电屏蔽单元的静电放电能力取决于静电放电晶体管的尺寸。静电放电晶体管的尺寸越大,静电放电的速率就越高。然而,在有限的核心区域内增大静电放电晶体管的尺寸是困难的。所以,在相关的技术中,静电放电单元差的静电放电能力不能在短时间内放电高压静电。

发明内容

[0005] 因此,本发明涉及液晶显示装置。

[0006] 本发明的目的是提供一种液晶显示装置,在这种液晶显示装置中,相互并联连接的多个静电放电晶体管形成在逻辑单元的虚设区域,以显著地减小驱动电路单元的芯片尺寸和显著地提高驱动电路单元的静电放电能力。

[0007] 本发明的其他特点和优点将在下面的描述中阐明,这些特点和优点中的一些根据描述是显而易见的,或可从本发明的实施中获悉。通过书面的描述、权利要求和附图特别指出的结构将认识和获得本发明的这些目的和其他优点。

[0008] 为了实现这些和其他优点并依据本发明的目的,如具体体现和概括地描述的,一种液晶显示装置包括用于显示图像的液晶面板和用于驱动液晶面板的驱动电路单元,其中驱动电路单元包括:具有多个用于从外部接收信号的输入单元和多个用于转发信号至外部的输出单元的输入/输出单元,具有多个逻辑元的逻辑单元,每一个逻辑元具有用于经过输入/输出单元接收或者转发信号的多个数字逻辑装置,以及用于保护数字逻辑装置免受外界静电的影响的静电屏蔽单元,其中静电屏蔽单元的一些元件形成在逻辑元之间的空间中。

[0009] 静电屏蔽单元包括用于感应向其引入的静电的静电感应单元,以及根据由静电感应单元感应的结果,将经过电源线引入的电压放电至接地端的静电放电单元。

[0010] 静电放电单元包括多个相互并联连接的静电放电晶体管,其中至少一个静电放电晶体管形成在逻辑元之间的空间中。

[0011] 静电放电晶体管并联连接在电源线和接地端之间。

[0012] 静电放电晶体管的栅极连接至静电感应单元,静电放电晶体管的漏极连接至电源线,以及静电放电晶体管的源极连接至接地端。

[0013] 静电感应单元包括连接在电源线和节点之间的电阻、连接在该节点和接地端之间的电容以及连接在该节点和静电放电晶体管的栅极之间的反相器。

[0014] 驱动电路单元是将像素电压提供给在液晶显示装置中的数据线的数据驱动 IC。

[0015] 驱动电路单元是控制将像素电压提供给在液晶显示装置中的数据线的数据驱动 IC 的操作的时序控制器。

[0016] 逻辑单元和静电屏蔽单元形成在由输入 / 输出单元围绕的核心区域中。

[0017] 逻辑元之间的空间是用于放置用于调节逻辑单元的图案密度的虚设元的虚设区域, 并且静电屏蔽单元的一些元件取代虚设元形成在虚设区域中。

[0018] 应当理解本发明的前面的大体描述和如下的详细描述两者都是示范性的和解释性的, 意在提供对所要求保护的本发明的进一步的解释。

附图说明

[0019] 提供对本发明的进一步理解且构成本申请的一部分的附图示出了本发明的实施例并和说明书一起用来解释本发明的原理。在附图中:

[0020] 图 1 示出根据本发明的优选实施例的液晶显示装置的示意图。

[0021] 图 2 详细地示出驱动电路单元的示意图。

[0022] 图 3 详细地示出静电屏蔽单元的示意图。

[0023] 图 4 示出根据本发明的优选实施例的逻辑单元的示意图。

具体实施方式

[0024] 现在详细描述本发明的具体实施例, 这些实施例的实例在附图中示出。在任何可能的地方, 在所有附图中使用相同的参考数字指示相同的或相似的部分。

[0025] 图 1 示出根据本发明的优选实施例的液晶显示装置的示意图。

[0026] 参照图 1, 液晶显示装置包括用于显示图像的液晶面板 PN、通过栅带载封装 G-TCP 连接至液晶面板 PN 的一侧并且还连接至在液晶面板 PN 上的栅线的一端的多个栅驱动 IC GD-IC、用于产生驱动栅驱动 IC GD-IC 和数据驱动 ICDD-IC 所需的各种控制信号的时序控制器 TC、安装有该时序控制器的源印刷电路板 S-PCB 以及用于将像素电压提供给在液晶面板 PN 上的数据线 DL 的多个数据驱动器 IC DD-IC。

[0027] 液晶面板 PN 包括具有多个像素形成于其上的显示部分 DP 以及形成在显示部分 DP 周围的非显示部分。

[0028] 在这个例子中, 每个数据驱动器 IC DD-IC 安装在数据带载封装 D-TCP 上, 且数据带载封装 D-TCP 连接液晶面板 PN 至源印刷电路板 S-PCB。

[0029] 时序控制器 TC 通过使用从系统接收的水平同步信号、垂直同步信号和时钟信号来产生数据控制信号, 并将数据控制信号提供给数据驱动器 IC DD-IC 和栅驱动 IC GD-IC。数据信号包括点时钟、源移位时钟、源使能信号和极性反转信号等。

[0030] 作为驱动液晶面板 PN 的驱动电路单元的时序控制器 TC、栅驱动 IC GD-IC 和数据驱动器 IC DD-IC 具有如下的结构。

[0031] 图 2 详细地示出驱动电路单元的示意图。

[0032] 参照图 2, 驱动电路单元 DRC 包括输入 / 输出单元 I/O、逻辑单元 LG 以及静电屏蔽

单元 ESD。逻辑单元 LG 和静电屏蔽单元 ESD 形成在由输入 / 输出单元 I/O 围绕的核心区域。

[0033] 输入 / 输出单元 I/O 包括用于从外部接收信号的多个输入单元以及用于转发信号至外部的多个输出单元。

[0034] 逻辑单元 LG 包括多个逻辑元, 每个逻辑元具有经过输入 / 输出单元 I/O 接收或转发信号的多个数字逻辑装置。

[0035] 静电屏蔽单元 ESD 起保护数字逻辑装置免受外界静电影响的作用。

[0036] 在这个例子中, 静电屏蔽单元 ESD 的一些元件形成在逻辑元之间的空间中。逻辑元之间的空间是用于分别放置用于调节逻辑单元 LG 的图案密度的虚设元的虚设区域。在本发明中, 静电屏蔽单元 ESD 的一些元件形成在虚设区域中。也就是说, 在本发明中, 静电屏蔽单元 ESD 的一些元件取代虚设元形成在用于调节逻辑单元的图案密度和减小核心区域的尺寸的虚设区域中, 以最终减小驱动电路单元 DRC 的尺寸。

[0037] 参照图 2, 静电屏蔽单元 ESD 包括静电感应单元 ES 和静电放电单元 ED。静电感应单元 ES 感应从外部向其引入的静电, 而静电放电单元 ED 将经过电源线向其引入的静电放电至接地端。也就是说, 静电感应单元 ES 感应经过电源线向其引入的电压的大小, 并确定该电压是正常电压还是由向其引入的静电引起的反常电压。作为由静电感应单元 ES 感应的结果, 如果电源线的电压被确定为正常, 静电放电单元 ED 就不进入操作。于是, 电源线的电压就提供给逻辑单元 LG。与此相反, 作为由静电感应单元 ES 感应的结果, 如果电源线的电压被确定为反常, 静电放电单元 ED 就放电电源线的电压至接地端, 从而电源线的电压不提供给逻辑单元 LG。

[0038] 图 3 详细地示出静电屏蔽单元 ESD 的示意图。

[0039] 如所描述的, 静电屏蔽单元 ESD 包括静电感应单元 ES 和静电放电单元 ED, 其中静电感应单元 ES 包括电阻 R、电容 C 和反相器 INV, 静电放电单元 ED 包括至少一个静电放电晶体管 Tr_Dis。

[0040] 电阻 R 连接在电源线 VU 和节点 N 之间, 电容 C 连接在节点 N 和接地端 VL 之间, 反相器 INV 连接在节点 N 和静电放电晶体管 Tr_Dis 的栅极之间。

[0041] 如果电源线 VU 的电压是正常的, 则由于节点 N 的电压以电阻 R 和电容 C 的时间常数缓慢地上升, 所以连接至节点 N 的反相器 INV 输出 0, 使静电放电晶体管 Tr_Dis 保持截止状态。于是电源线 VU 的电压正常地提供给逻辑单元。

[0042] 与此相反, 如果静电引入至电源线 VU, 则电源线 VU 的电压在短时间内显著地增大, 节点 N 的电压也急剧地改变。然后, 反相器 INV 响应节点 N 的电压输出 1, 于是使静电放电晶体管 Tr_Dis 导通。然后, 导通的静电放电晶体管 Tr_Dis 在电源线 VU 和接地端 VL 之间形成电流路径, 经由该电流路径, 电压从电源线 VU 被放电至接地端 VL。

[0043] 静电屏蔽单元 ESD 的静电放电能力实质上取决于静电放电晶体管 Tr_Dis。静电放电晶体管 Tr_Dis 的尺寸越大, 静电放电就越快。然而, 在有限的核心区域内增大静电放电晶体管 Tr_Dis 的尺寸是困难的。为了解决这个问题, 本发明利用形成在逻辑单元 LG 的虚设区域。

[0044] 图 4 示出根据本发明的优选实施例的逻辑单元 LG 的示意图。

[0045] 参照图 4, 逻辑单元 LG 包括多个逻辑元 LC 和虚设区域 DA。在本发明中, 多个静电

放电晶体管 Tr_Dis 形成在虚设区域 DA。在这个例子中,静电放电晶体管 Tr_Dis 的尺寸可以按照虚设区域 DA 的尺寸进行变化。

[0046] 在各个虚设区域 DA 中的静电放电晶体管 Tr_Dis 互相并联连接。也就是说,静电放电晶体管 Tr_Dis 在电源线 VU 和接地端 VL 之间并联连接。详细地,静电放电晶体管 Tr_Dis 的栅极共同地连接至反相器 INV 的输出端,静电放电晶体管 Tr_Dis 的漏极共同地连接至电源线 VU,而静电放电晶体管 Tr_Dis 的源极共同地连接至接地端 VL。

[0047] 电源电压 VDD 提供给电源线 VU,并且接地端电压 VSS 供给至接地端 VL。接地端电压 VSS 可以是 0V。

[0048] 因此,本发明通过在逻辑单元 LG 的虚设区域 DA 中形成静电放电晶体管 Tr_Dis,能够减小核心区域的尺寸,并通过并联连接多个静电放电晶体管 Tr_Dis 最终能够显著提高具有静电放电晶体管 Tr_Dis 的静电放电单元 ED 的静电放电能力。

[0049] 本发明的驱动电路单元 DRC 可以是时序控制器 TC、至少一个栅驱动 ICGD-IC 或者至少一个数据驱动 IC DD-IC,其中通过应用以上描述的结构至包括相当多的数字逻辑装置的时序控制器,能够显著减小驱动电路单元的芯片尺寸和显著提高静电放电能力。

[0050] 如已经描述的,本发明的液晶显示装置具有如下的优点。

[0051] 在逻辑单元的虚设区域中形成多个静电放电晶体管允许减小核心区域的尺寸,且多个静电放电晶体管的相互并联连接最终提高了具有静电放电晶体管的静电屏蔽单元的静电放电能力。

[0052] 对本领域的技术人员将明显的是,不背离本发明的精神或范围,对本发明可以做出各种修改和变化。因此,本发明旨在覆盖本发明的这些修改和变化,只要这些修改和变化落在所附的权利要求及其等同物的范围内。

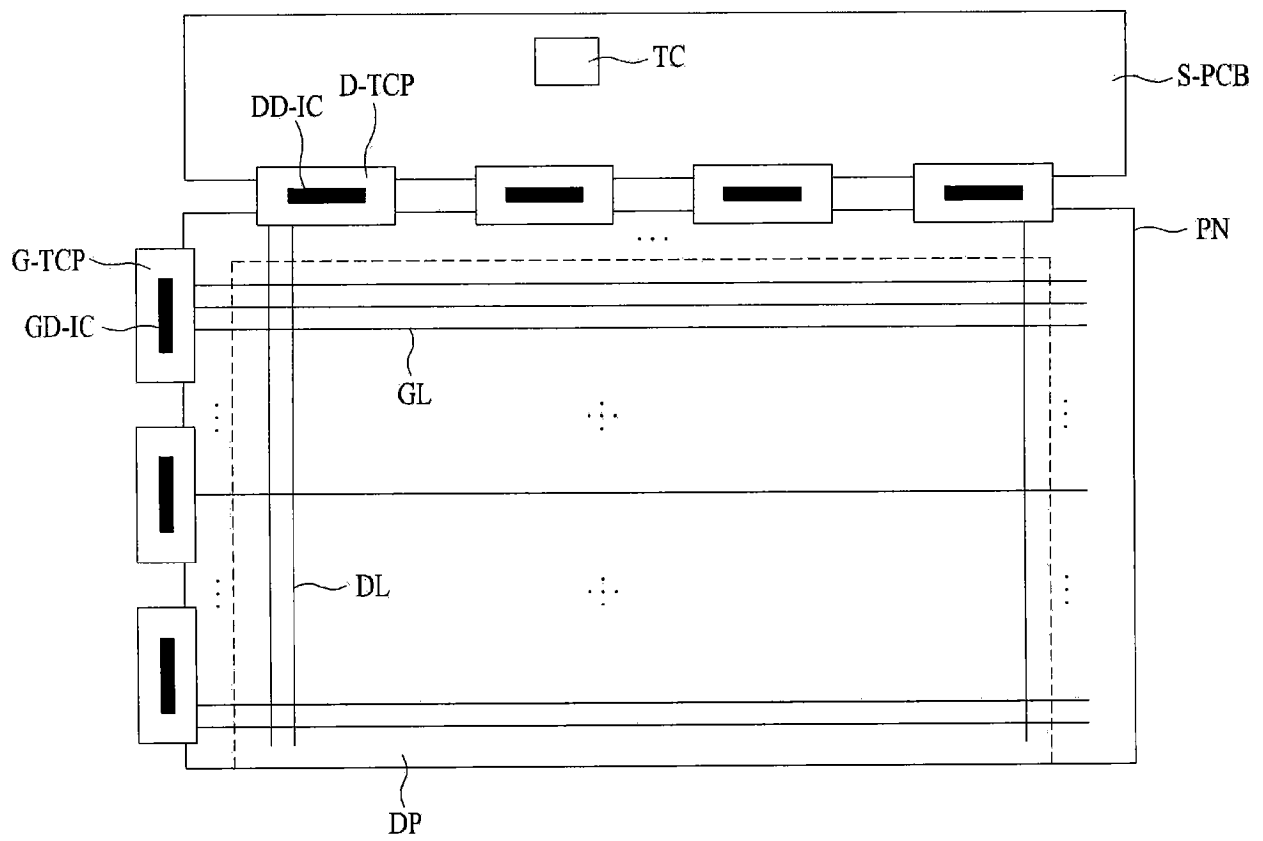


图 1

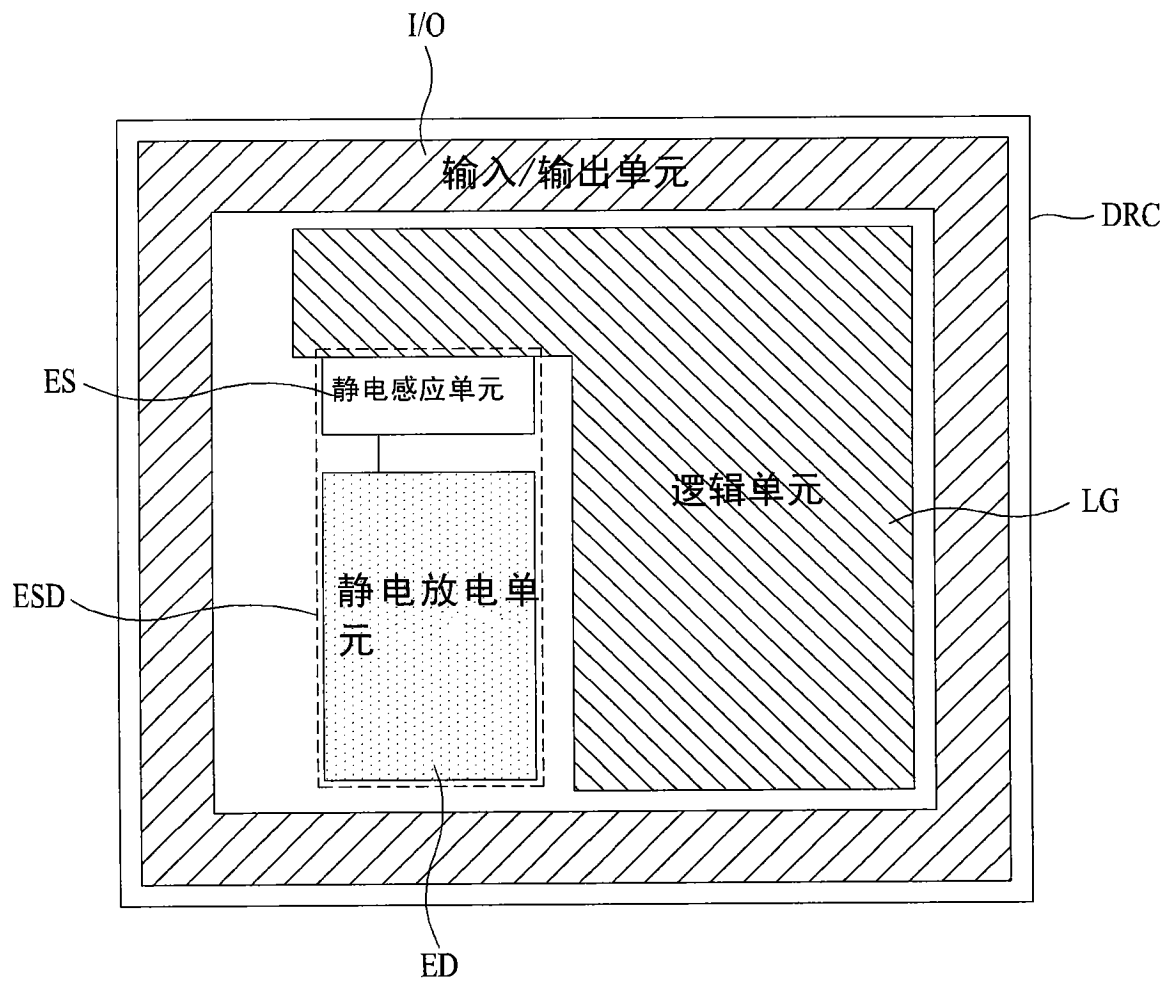


图 2

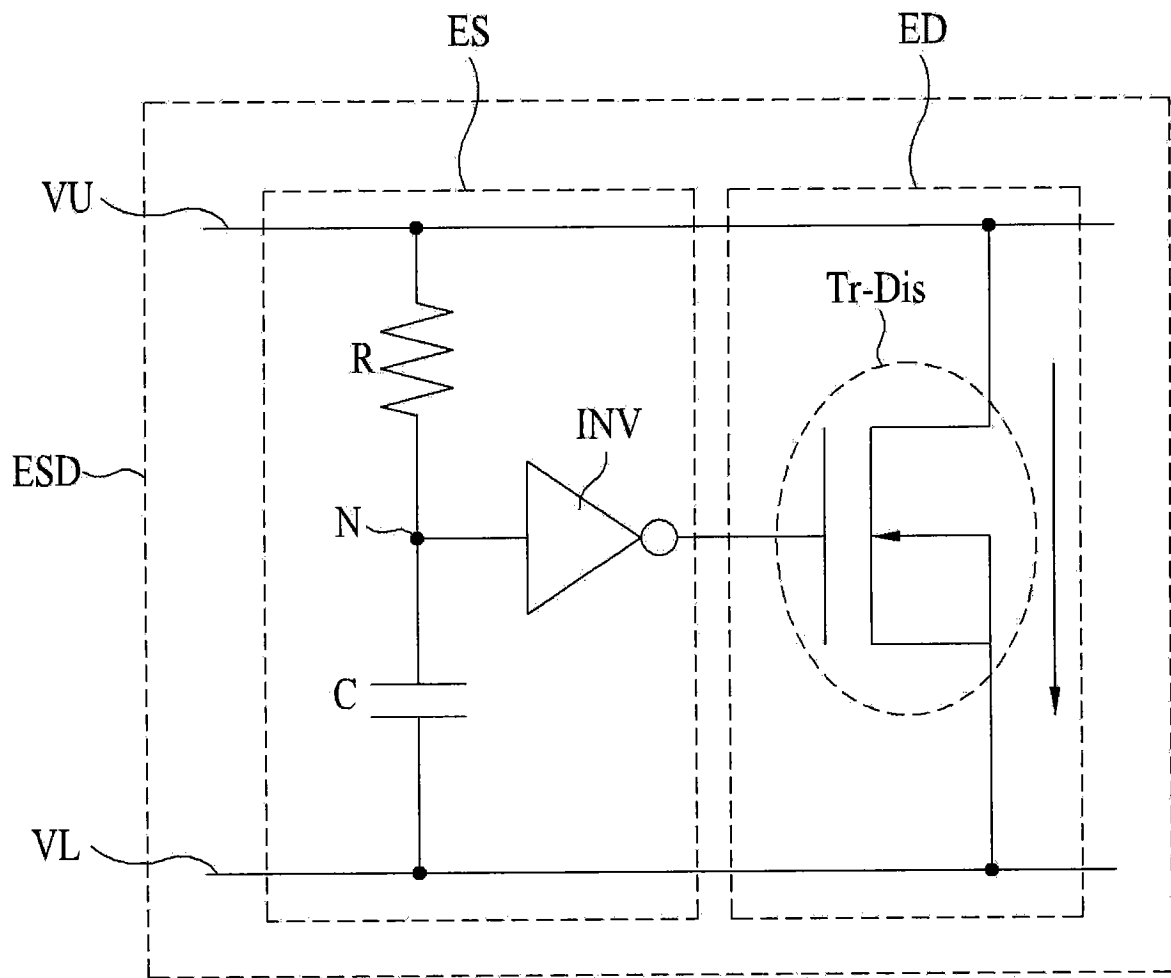


图 3

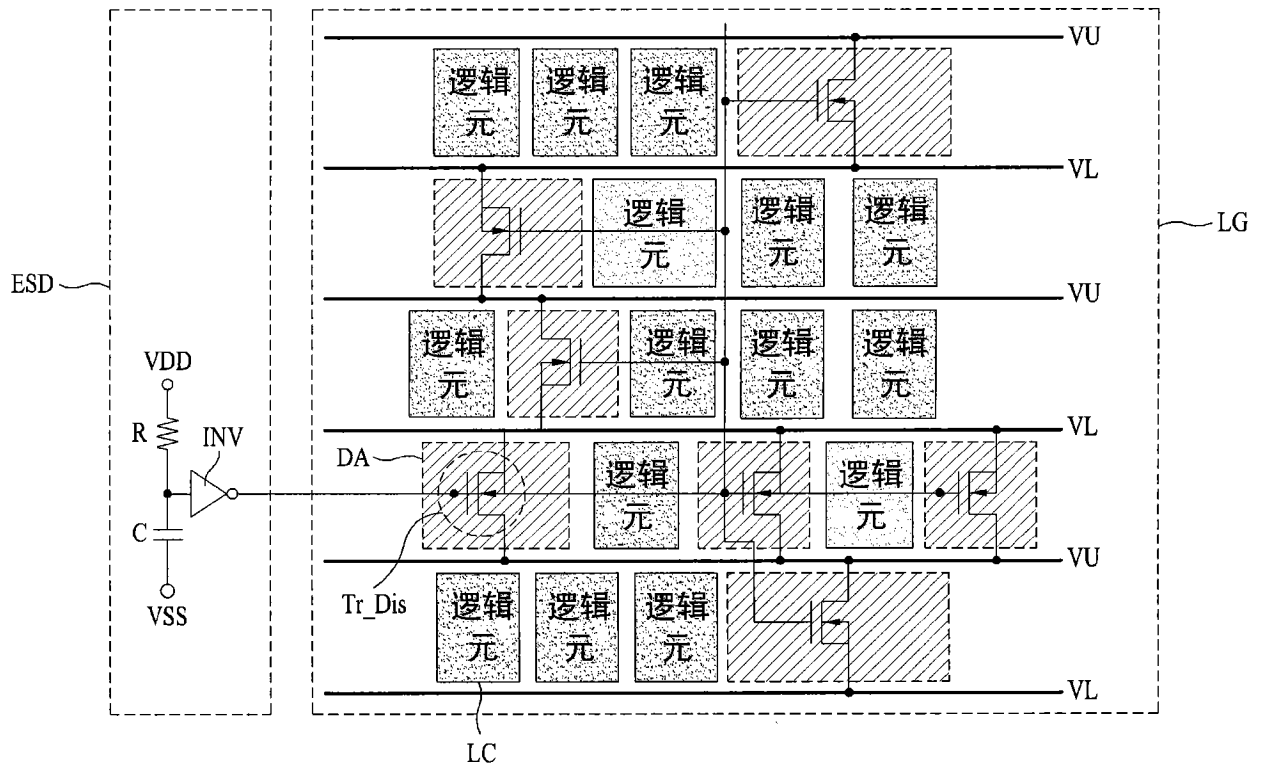


图 4

专利名称(译)	液晶显示装置		
公开(公告)号	CN102117604B	公开(公告)日	2013-05-08
申请号	CN201010299614.6	申请日	2010-09-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	全载薰		
发明人	全载薰		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3674 G09G2310/0267 G09G3/3685 G09G3/20 G09G3/36 G09G2330/04 G09G2310/0275 H01L27/11898		
代理人(译)	徐金国 钟强		
优先权	1020090135589 2009-12-31 KR		
其他公开文献	CN102117604A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及能够减小芯片尺寸且提高静电放电能力的液晶显示装置。该液晶显示装置包括用于显示图像的液晶面板和用于驱动液晶面板的驱动电路单元，其中驱动电路单元包括：具有用于从外部接收信号的多个输入单元和用于转发信号至外部的多个输出单元的输入/输出单元，具有多个逻辑元的逻辑单元，每个逻辑元具有用于经过输入/输出单元接收或转发信号的多个数字逻辑装置，以及用于保护数字逻辑装置免受外界静电影响的静电屏蔽单元，其中静电屏蔽单元的一些元件形成在逻辑元之间的空间中。

