



(12) 发明专利

(10) 授权公告号 CN 101685232 B

(45) 授权公告日 2012. 01. 04

(21) 申请号 200910208502. 2

G02F 1/1368 (2006. 01)

(22) 申请日 2004. 06. 09

(56) 对比文件

(30) 优先权数据

36810/03 2003. 06. 09 KR

66541/03 2003. 09. 25 KR

US 5781254 A, 1998. 07. 14, 全文.

JP 特开平 10-10548 A, 1998. 01. 16, 全文.

审查员 张宾

(62) 分案原申请数据

200410049393. 1 2004. 06. 09

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 全珍 朴真奭 金东焕 秋教燮

梁容豪 文智慧 李源规 宋俊昊

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 屈玉华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

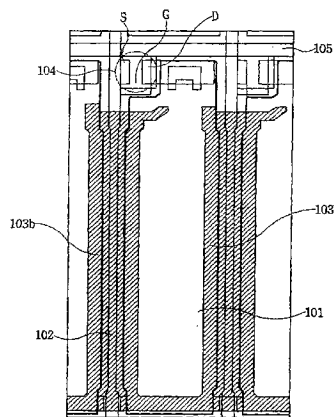
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

阵列基底及其制造方法、采用该阵列基底的液晶显示装置

(57) 摘要

本发明提供一种阵列基底,包括:一透明基底;多个像素电极,其呈矩阵状分布;多个开关器件,其包括栅电极、漏电极及源电极,所述开关器件的漏电极电连接到所述像素电极;一数据线,所述数据线设置在所述像素电极之间的一区域下方,所述数据线电连接到所述源电极,并且所述数据线具有一第一宽度;一栅极线,其电连接到所述栅电极;和一光阻挡图案,其与透明基底相隔一距离,并阻挡从所述像素电极之间的一空间泄漏的光,其中所述光阻挡图案重叠至少两个相邻的像素电极,且所述两个相邻像素电极的重叠宽度彼此不同。



1. 一种阵列基底,包括:
 - 一透明基底;
 - 多个像素电极,其呈矩阵状分布;
 - 多个开关器件,其包括栅电极、漏电极及源电极,所述开关器件的漏电极电连接到所述像素电极;
 - 一数据线,所述数据线设置在所述像素电极之间的一区域下方,所述数据线电连接到所述源电极,并且所述数据线具有一第一宽度;
 - 一栅极线,其电连接到所述栅电极;和
 - 一光阻挡图案,其与所述透明基底相隔一距离,并阻挡从所述像素电极之间的一空间泄漏的光,其中所述光阻挡图案重叠至少两个相邻的像素电极,且所述两个相邻像素电极的重叠宽度彼此不同。
2. 如权利要求 1 所述的阵列基底,其中,所述重叠宽度之一介于 $2.5\mu\text{m}$ 和 $3.5\mu\text{m}$ 之间。
3. 如权利要求 2 所述的阵列基底,其中,所述重叠宽度中的另一个介于 $4.5\mu\text{m}$ 和 $5.5\mu\text{m}$ 之间。
4. 如权利要求 1 所述的阵列基底,其中,所述重叠宽度之一介于 $4.5\mu\text{m}$ 和 $5.5\mu\text{m}$ 之间。
5. 一种阵列基底,包括:
 - 一透明基底;
 - 多个像素电极,其呈矩阵状分布;
 - 多个开关器件,其包括栅电极、漏电极及源电极,所述开关器件的漏电极电连接到所述像素电极;
 - 一数据线,所述数据线设置在所述像素电极之间的一区域下方,所述数据线电连接到所述源电极,并且所述数据线具有一第一宽度;
 - 一栅极线,其电连接到所述栅电极;和
 - 一光阻挡图案,其与所述透明基底相隔一距离,并阻挡从所述像素电极之间的一空间泄漏的光,其中所述光阻挡图案重叠像素电极,且所述重叠宽度在 $2.5\mu\text{m}$ 至 $3.5\mu\text{m}$ 范围内。
6. 一种阵列基底,包括:
 - 一透明基底;
 - 多个像素电极,其呈矩阵状分布;
 - 多个开关器件,其包括栅电极、漏电极及源电极,所述开关器件的漏电极电连接到所述像素电极;
 - 一数据线,所述数据线设置在所述像素电极之间的一区域下方,所述数据线电连接到所述源电极,并且所述数据线具有一第一宽度;
 - 一栅极线,其电连接到所述栅电极;和
 - 一光阻挡图案,其与所述透明基底相隔一距离,并阻挡从所述像素电极之间的一空间泄漏的光,

其中所述光阻挡图案重叠像素电极,且所述重叠宽度在 $4.5\mu\text{m}$ 至 $5.5\mu\text{m}$ 范围内。

阵列基底及其制造方法、采用该阵列基底的液晶显示装置

[0001] 本申请文件是 2004 年 6 月 9 日提交的第 200410049393.1 号发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种阵列基底、阵列基底的制造方法和具有该阵列基底的液晶显示装置。并尤其涉及一种具有增大的开口率的阵列基底、该阵列基底的制造方法和具有该阵列基底的液晶显示装置。

背景技术

[0003] 液晶显示装置利用液晶显示图像。液晶显示装置拥有很多优点,如很薄的厚度和很轻的重量等。因此液晶显示装置业已被广泛使用。

[0004] 液晶显示装置包括液晶板和背光组件。背光组件设置在液晶显示板的下方,为液晶显示板提供光线。

[0005] 液晶显示板包括彩色滤光片基底、阵列基底和夹置在彩色滤光片基底与阵列基底之间的液晶层。彩色滤光片基底包括含有红色滤光片、绿色滤光片和蓝色滤光片的彩色滤光片。彩色滤光片以矩阵形状分布。彩色滤光片对穿过像素电极的光滤光,从而透射具有特定波长的光。下面将解释传统的阵列基底。

[0006] 图 1 是说明传统液晶显示装置的平面图,图 2 是图 1 所示液晶显示装置的示意性的截面图。

[0007] 传统的阵列基底包括薄膜晶体管 104、存储电极 103a 和像素电极 101。薄膜晶体管 104、存储电极 103a 和像素电极 101 与彩色滤光片基底(未示出)的彩色滤光片(未示出)相对。

[0008] 阵列基底还包括数据线 102 和栅极线 105。数据线 102 和栅极线 105 设置在彩色滤光片之间,数据线 102 和栅极线 105 沿彩色滤光片之间的区域延伸。

[0009] 数据线 102 电连结到薄膜晶体管 104 的源电极 S,而栅极线 105 电连结到薄膜晶体管 104 的栅电极 G。薄膜晶体管 104 的漏电极 D 电连结到像素电极 101。

[0010] 当栅极电压施加到栅极线 105 时,电连结到栅极线 105 的薄膜晶体管 104 导通,并且数据线 102 的数据电压经薄膜晶体管 104 施加到像素电极 101。当数据电压施加到像素电极 101 时,在像素电极 101 和彩色滤光片基底的公共电极(未示出)之间产生电场。因此,设置在彩色滤光片基底和阵列基底之间的液晶层(未示出)的液晶分子的排列被改变,从而调节光的透射以显示图像。

[0011] 存储电极 103a 承载由像素电极 101、液晶层和公共电极形成的液晶电容器(liquid crystal capacitor)以维持数据线压。当对像素电极 101 施加数据线压时,存储电极 103a 防止数据线电压的变化。存储电极 103a 可以形成在像素电极 101 的边缘部分。

[0012] 根据上述传统的阵列基底,光从数据线 102 和存储电极 103a 之间的开口 106 泄漏。因此,采用形成在彩色滤光片基底或阵列基底处的光阻挡层 107(或黑色矩阵),以便防

止光经开口 106 泄漏。

[0013] 光阻挡层 107 阻挡开口 106。即,在传统的液晶显示装置中,阻挡层包含在彩色滤光片基底中。

[0014] 例如,光阻挡层 107 有一个大约 $5\mu\text{m}$ 的左边缘 W_4 和大约 $6\mu\text{m}$ 的右边缘 W_3 ,并且左右开口 106 的宽度 W_4 约为 $2.5\mu\text{m}$ 。结果,光阻挡层 107 的宽度约为 $22\mu\text{m}$ 。因此,常规阵列基底的孔径比 (aperture ratio) 由于具有较宽宽度的光阻挡层而被降低。

[0015] 穿过开口 106 的光被衍射形成衍射光。因此,当光阻挡层 107 和开口 106 之间的距离增大时,光阻挡层 107 的宽度也增大以阻挡光线。因此,希望减小光阻挡层 107 和开口 106 之间的距离以提高孔径比。但光阻挡层 107 和开口 106 之间距离的减小由于液晶层而受到限制。因此,孔径比的提高也受到限制。

[0016] 另外,光阻挡层 107 形成在彩色滤光片基底上,并且通过组装彩色滤光片基底和阵列基底形成液晶显示装置。因此,甚至是很小的失准 (minutemismatch) 也会引发光泄漏。当增大光阻挡层的边缘宽度以补偿失准时,孔径比也被降低。

发明内容

[0017] 本发明提供了一种具有增大的开口率 (opening ratio) 的阵列基底。

[0018] 本发明还提供了一种制造该阵列基底的方法。

[0019] 本发明还提供了一种具有该阵列基底的液晶显示装置。

[0020] 在根据本发明的示范性阵列基底中,阵列基底包括透明基底、多个像素电极、多个开关器件、数据线和光阻挡图案层。像素电极呈矩阵状分布,并且像素电极与透明基底相隔第一距离。开关器件包括栅电极、漏电极及源极电极。开关器件的漏电极分别电连接到像素电极。数据线与透明基底相隔第二距离,数据线设置在像素电极之间的一区域的下方。数据线电连接到源电极,并且数据线具有第一宽度。栅极线电连接到栅电极以导通 / 截止开关器件。光阻挡层与透明基底相隔第三距离,并且光阻挡层阻挡从像素电极之间的空间泄漏的光线。

[0021] 在根据本发明制造阵列基底的示范性方法中,在透明基底上形成数据线,在透明基底上形成光阻挡图案层。在透明基底上还形成具有第一宽度的数据线,并且形成包含栅电极、漏电极和源电极的的开关器件,其中栅电极电连接到栅极线,漏电极和源电极电连接到数据线。然后形成电连接到漏电极的像素电极。

[0022] 在液晶显示装置的实例中,液晶显示装置包括彩色滤光片基底、阵列基底和液晶层。彩色滤光片基底包括彩色滤光片。阵列基底包括透明基底、多个像素电极、多个开关器件、数据线、栅极线和光阻挡图案层。像素电极呈矩阵分布,并且像素电极与透明基底相隔第一距离。开关器件包括栅电极、漏电极和源电极。开关器件的漏电极分别电连接到像素电极。数据线与透明基底相隔第二距离,数据线设置在像素电极之间的一区域下方。数据线电连接到源电极,并且数据线具有第一宽度。栅极线电连接到栅电极以导通 / 截止开关器件。光阻挡层与透明基底相隔第三距离,光阻挡层阻挡从像素电极之间的空间泄漏的光线。液晶层夹置在彩色滤光片基底和阵列基底之间。

[0023] 根据本发明,存储电极或浮置栅 (floating gate) 防止光泄漏。开口和存储电极或阻挡光通过开口的浮置栅之间的距离较短,使得可以减小像素电极和存储电极的边缘宽

度或像素电极和浮置栅的边缘宽度。

[0024] 另外,存储电极或浮置栅形成在其上形成有像素电极的基底上。因此,不需要用彩色滤光片基底和阵列基底之间失准 (misalignment) 的边缘来提高孔径比。

附图说明

[0025] 通过下面结合附图详细描述实施例,本发明的上述及其它特点和优点将变得更加清晰,其中:

[0026] 图 1 是说明传统液晶显示装置的设计图;

[0027] 图 2 是图 1 所示液晶显示装置的截面示意图;

[0028] 图 3 是说明阵列基底的电路示意图;

[0029] 图 4 是说明根据本发明第一实施例的阵列基底的设计图;

[0030] 图 5 是说明图 4 中所示阵列基底的截面示意图;

[0031] 图 6 是说明根据本发明第二实施例的阵列基底的截面示意图;

[0032] 图 7 是形成在图 6 中浮置栅处的开口的示范性实施例;

[0033] 图 8 是形成在图 6 中浮置栅处的另一开口示范性实施例;

[0034] 图 9 是根据本发明第三实施例的阵列基底的设计图;

[0035] 图 10 是沿图 9 中 A-A' 线所截取的截面图;和

[0036] 图 11 是沿图 9 中 B-B' 线所截取的截面图。

具体实施方式

[0037] 以下可以将对存储电极的解释应用于对浮置栅级的解释,反之亦然。另外,可以把对存储电极和浮置栅的解释应用于设置在数据线或栅极线下方的任何元件。

[0038] 下面将参考附图详细描述本发明的优选实施例。

[0039] 图 3 是解释阵列基底的电路图。

[0040] 参见图 3,阵列基底包括多条数据线 102 和多条栅极线 203。数据线 102 在第一方向上延伸,栅极线 203 在基本上垂直于第一方向的第二方向上延伸。

[0041] 数据线 102 形成在与栅极线 203 不同的层上。数据线 102 和栅极线 203 限定一像素。该像素包括一薄膜晶体管 104、一存储电容器 202 和由像素电极、液晶层以及公共电极限定的一液晶电容器 201。

[0042] 薄膜晶体管 104 包括电连接到栅极线 105 的一栅电极 G、电连接到数据线 102 的一源电极 S 和电连接到存储电容器 202 及液晶电容器 201 的一漏电极 D。

[0043] 当对栅电极 G 时施加栅极电压时,薄膜晶体管 104 导通。当薄膜晶体管 104 导通时,数据线 102 的像素电压(数据电压)通过薄膜晶体管 104 施加到液晶电容器 201 和存储电容器 202 上。当像素电压被施加到液晶电容器 201 时,夹置在公共电极和像素电极之间的液晶层的分布发生变化,以调节光学透射率显示图像。

[0044] 存储电容器 202 支持 (support) 液晶电容器 201 以维持像素电压。

[0045] 液晶电容器 201 的像素电极包含一种导电的光学透明材料,如氧化铟锡 (ITO)、氧化铟锌 (IZO) 等。

[0046] 以下将详细解释本发明的阵列基底。

[0047] 实施例 1

[0048] 图 4 是说明根据本发明第一实施例的阵列基底的设计图；图 5 是图 4 中说明所示阵列基底的截面图。

[0049] 参见图 4 和 5，根据本发明的阵列基底包括一透明基底 108、像素电极 101、一开关器件 104、一数据线 102、一栅极线 105 和一存储电极 103b。

[0050] 像素电极 101 与透明基底 108 相隔一第一距离 d_1 。多个像素电极 101 呈矩阵分布。像素电极 101 包含一种导电的光学透明材料，如氧化铟锡 (ITO)、氧化铟锌 (IZO) 等。

[0051] 开关器件 104 包括栅电极 G、漏电极 D 和源电极 S。漏电极 D 电连结到像素电极 101。数据线 102 与透明基底 108 相隔一第二距离 d_2 ，并且数据线 102 设置在像素电极 101 之间。

[0052] 数据线 102 电连结到源电极 S，并且数据线 102 具有一第一宽度 W_1 。数据线 102 将像素电压施加到像素电极 101 上。例如，第一宽度 W_1 处于大约 $3.0\ \mu\text{m} \sim 4.0\ \mu\text{m}$ 的范围内。优选第一宽度约为 $3.5\ \mu\text{m}$ 。按照本实施例，数据线 102 与存储电极 103b 重叠，引起寄生电容。因此，当数据线的第二宽度 W_2 减小时，寄生电容也减小。但当第二宽度小于 $3.0\ \mu\text{m}$ 时，数据线 102 很容易电路断路。

[0053] 栅电极 G 从栅极线 105 突出，使得栅电极 G 电连结到栅极线 105。用于导通薄膜晶体管 104 的电信号经栅极线 105 施加到薄膜晶体管 104 的栅电极上。

[0054] 存储电极 103b 与透明基底 108 相隔一第三距离 d_3 ，存储电极 103b 设置在像素电极 101 之间。存储电极 103b 与一第一像素电极重叠一第二宽度 W_2 ，并且存储电极 103 也与一邻近第一像素电极的第二像素电极重叠一第三宽度 W_3 。

[0055] 例如，第二宽度 W_2 处于大约 $2.5\ \mu\text{m} \sim 3.5\ \mu\text{m}$ 的范围内。优选第二宽度约为 $3\ \mu\text{m}$ 。第三宽度 W_3 处于大约 $4.5\ \mu\text{m} \sim 5.5\ \mu\text{m}$ 的范围内。优选第三宽度约为 $5\ \mu\text{m}$ 。

[0056] 如上所示，所形成的第二和第三宽度 W_2 和 W_3 彼此不同，因为液晶分子由于像素电极 101 的液晶的预倾角而非对称分布。

[0057] 存储电极 103b 形成在形成有数据线 102 和像素电极 101 的基底上。因此，当开口 106 被存储电极 103b 阻挡时，边缘的宽度可以减小，不必考虑彩色滤光片和阵列基底之间的失准。

[0058] 另外，存储电极 103b 和开口 106 之间的一距离小于图 2 所示传统光阻挡层 107 和开口 106 之间的一距离，使得可以进一步减小存储电极 103b 的边缘宽度。因此，增大了孔径比。

[0059] 实施例 2

[0060] 图 6 是根据本发明第二实施例的阵列基底的示意剖面图。参考图 6，根据本发明的阵列基底包括一像素电极 101、一数据线 102 和一浮置栅 301。

[0061] 数据线 102 设置在浮置栅 301 之上。

[0062] 浮置栅 301 包括一个开口 302。开口 302 的宽度小于数据线 102 的宽度 d_2 。当开口 302 的宽度大于数据线 102 的宽度 d_2 时，由背光组件（未示出）产生的光线可以穿过开口 302 和数据线 102 之间的空间，从而降低对比度并引致显示质量的下降。

[0063] 开口 302 可以沿数据线 102 的纵向延伸，或者可以沿数据线 102 的纵向形成多个开口 302。

[0064] 图 7 是形成在图 6 中的浮置栅上的开口的示范实施例,图 8 是形成在图 6 中浮置栅上的另一开口实施例。

[0065] 参见图 7 和 8,开口 302 沿数据线 102 的纵向延伸,或者可以沿数据线 102 的纵向形成多个开口 302。只要开口 302 减小浮置栅 301 和数据线 102 之间的重叠面积,就可以形成各种形状的开口 302。

[0066] 如上所述,当开口 302 形成在浮置栅 301 上时,浮置栅 301 和数据线 102 之间的重叠面积被减小,从而减小了浮置栅 301 和数据线 102 之间的寄生电容。由此降低了功耗。

[0067] 液晶显示装置的实施例

[0068] 图 9 是根据本发明第三实施例的阵列基底的平面布置图。

[0069] 参见图 9,根据本实施例的液晶显示装置的阵列基底包括多个像素电极 101 和设置在像素电极 101 之间的一浮置栅 301。浮置栅 301 包括一个开口 302。例如,开口 302 在浮置栅 301 的纵向延伸。或者可以沿浮置栅 301 的纵向布置多个开口 302。

[0070] 数据线 102 设置在浮置栅 301 之上,并且数据线 102 的一部分从数据线 102 突出,从而形成薄膜晶体管 104 的源电极 S。栅极线 203 的一部分从数据线 203 突出,从而形成薄膜晶体管 104 的栅电极 G。薄膜晶体管 104 的漏电极 D 电连接到像素电极。

[0071] 图 10 是沿图 9 中 A-A' 线所截取的截面图;和图 11 是沿图 9 中 B-B' 线所截取的截面图。

[0072] 参见图 5 和 6,根据本实施例的液晶显示装置包括一阵列基底 502,一彩色滤光片基底 501 和夹置在阵列基底 502 和彩色滤光片基底 501 之间的一液晶层 506。

[0073] 阵列基底 502 包括的一第二透明基底 511。

[0074] 在第二透明基底 511 上形成栅电极 G 和浮置栅 301。形成在第二透明基底 511 上的栅电极 G 和浮置栅 301 可以包含不同的材料并且可以通过不同的制造工艺形成。但是,栅电极 G 和浮置栅 301 也可以包含同样的材料并且可以通过相同的制造工艺形成。即,可以在第二透明基底 511 上形成一个金属层并被构图以形成栅电极 G、浮置栅 301 和开口 302。开口 302 可以在形成浮置栅 301 之后形成。

[0075] 栅极绝缘层 510 形成在具有浮置栅 301 和栅电极 G 的第二透明基底 511 上。在栅极绝缘层 510 上形成一个非晶硅层并被构图以形成有源层。源电极 S 和漏电极 D 形成在有源层上。

[0076] 然后形成第一绝缘层 509,并在第一绝缘层 509 上形成数据线 102。

[0077] 如上所述,数据线 102 设置在浮置栅 301 之上以覆盖浮置栅 301 的开口 302。因此,由设置在阵列基底 502 下方的背光组件(未示出)产生并穿过开口 302 的光被浮置栅 301 阻挡。另外,可以最小化浮置栅 301 和数据线 102 的重叠部分以减小寄生电容和功耗,并且减小浮置栅 301 和数据线 102 之间的交扰(cross talk)以提高显示质量。

[0078] 在具有形成于其上的数据线 102 的第一绝缘层 509 上形成第二绝缘层 508,并且在第二绝缘层 508 上形成像素电极 101。

[0079] 像素电极 101 包括一种导电的和光学透明的材料,如氧化铟锡(ITO)、氧化铟锌(IZO)等。ITO 和 IZO 还具有热稳定性,使得可以用 ITO 和 IZO 很容易的形成电极图案。像素电极 101 电连接到薄膜晶体管 104 的漏电极 D。

[0080] 然后,可以在具有像素电极 101 的第二绝缘层 508 上形成第三绝缘层 507。

[0081] 彩色滤光片基底 501 包括多个彩色滤光片。彩色滤光片包括红色滤光片 R、绿色滤光片 G 和蓝色滤光片 B。

[0082] 每个彩色滤光片面对像素电极 101。

[0083] 彩色滤光片基底 501 可以分为条纹型、马赛克型、三角形和四像素分布型。例如,采用斑纹型彩色滤光片基底 501。或者也可以采用其他类型的彩色滤光片基底。

[0084] 调平层 505 覆盖并保护彩色滤光片。调平层 505 还调平彩色滤光片,并且调平层 505 包括一种丙烯酸树脂或聚酰亚胺树脂。

[0085] 在调平层 505 上形成公共电极 512。公共电极 512 包括氧化铟锡 (ITO) 或氧化铟锌 (IZO)。

[0086] 对公共电极 512 施加基准信号 (或接地电压),使得在公共电极 512 和像素电极 101 之间产生电场。

[0087] 液晶层 506 被夹置在彩色滤光片基底 501 和阵列基底 502 之间。当对液晶层 506 施加电场时,液晶层 506 的液晶分子的排列发生改变,以调节透射率。

[0088] 即,根据液晶分子的排列调节通过液晶层 506 的光量。

[0089] 当栅极驱动电路 (未示出) 对薄膜晶体管 104 的栅电极施加栅极电压时,薄膜晶体管 104 导通,并当数据驱动电路对薄膜晶体管 104 的源电极施加数据电压时,数据电压经薄膜晶体管 104 传递到像素电极 101。液晶分子的排列由此被改变,以显示图像。

[0090] 以上以传统扭曲向列相液晶显示装置为例进行解释。但本发明也可以应用到其它类型的液晶显示装置,如垂直排列模式的液晶显示装置。

[0091] 根据本发明,存储电极或浮置栅防止光泄漏。在该开口和阻挡光通过该开口的该存储电极或浮置栅之间的距离短,使得可以减小像素电极和存储电极的边缘宽度或像素电极和浮置栅的边缘宽度。

[0092] 另外,存储电极或浮置栅形成在与像素电极相同的基底上。因此彩色滤光片基底和阵列基底之间失准的边缘不被要求用来提高孔径比。

[0093] 以上描述了本发明的实施例及其优点,在不脱离由权利要求限定的本发明的范围之内可以做各种变化、替换和更改。

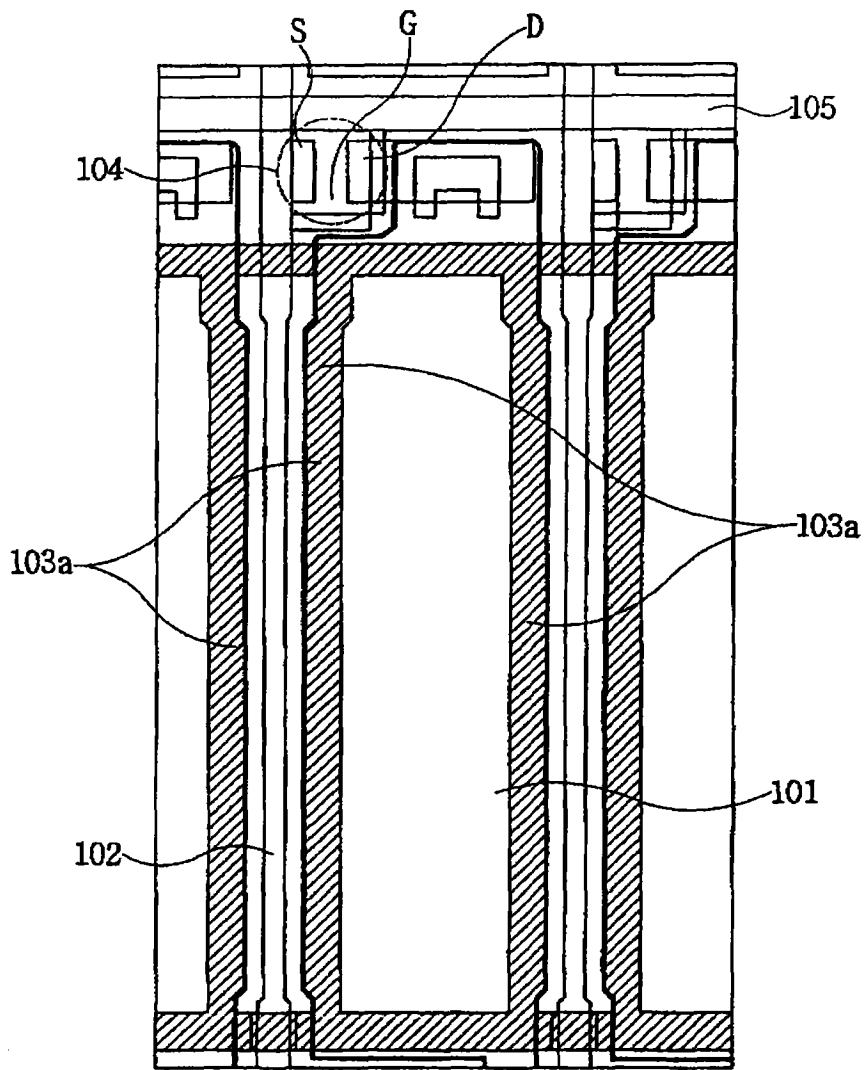


图 1

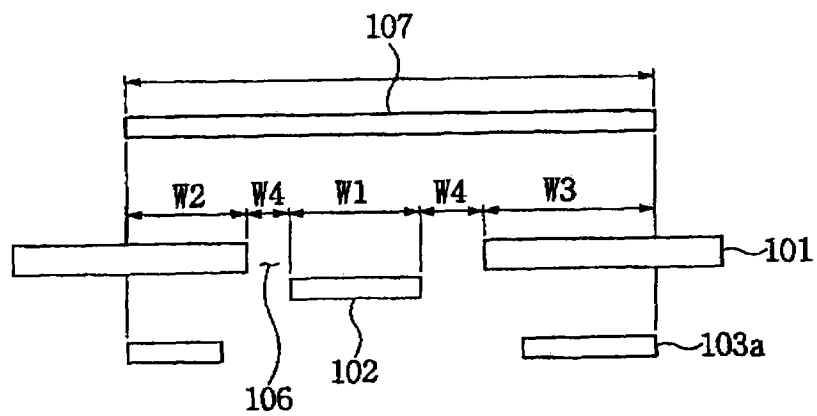


图 2

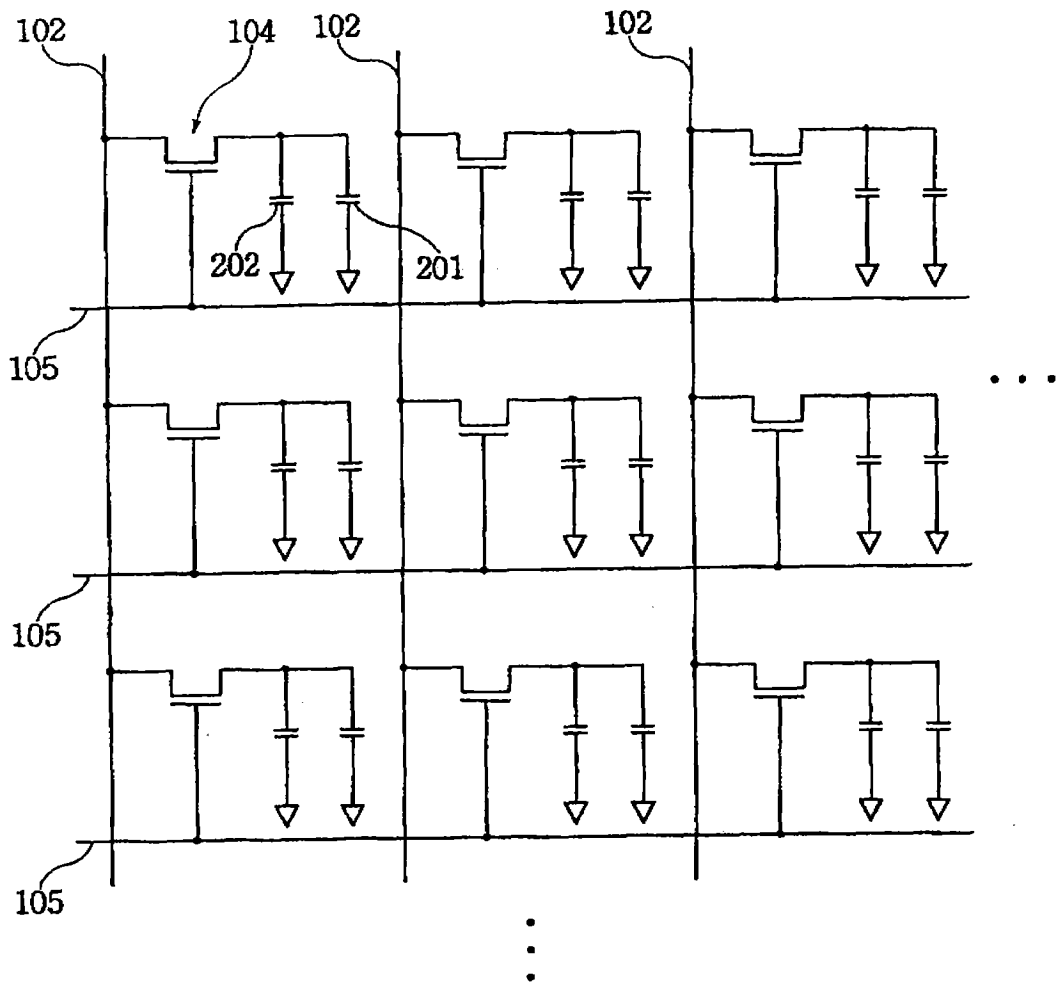


图 3

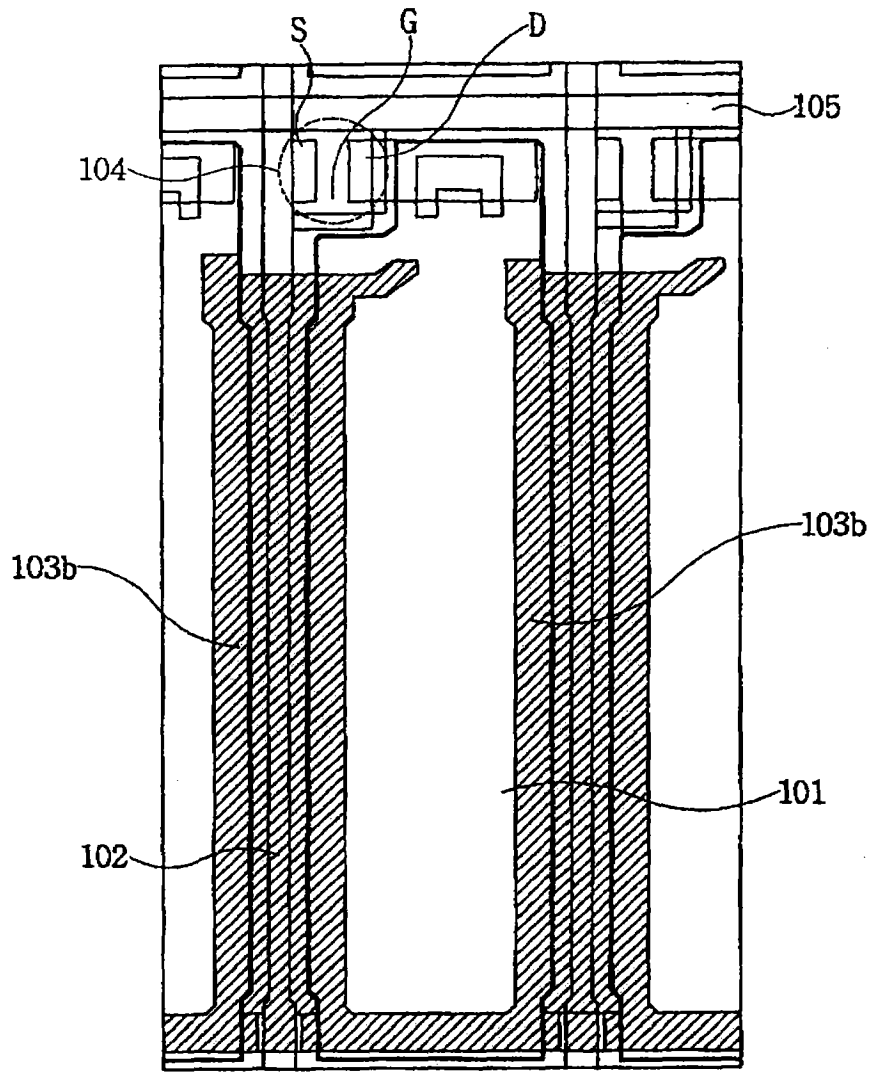


图 4

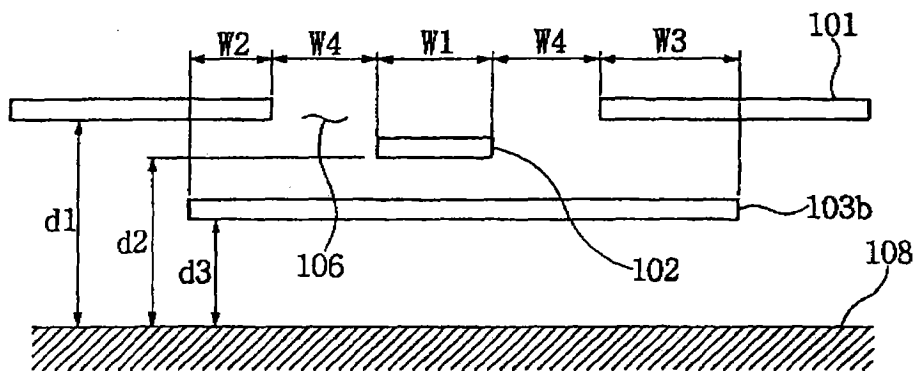


图 5

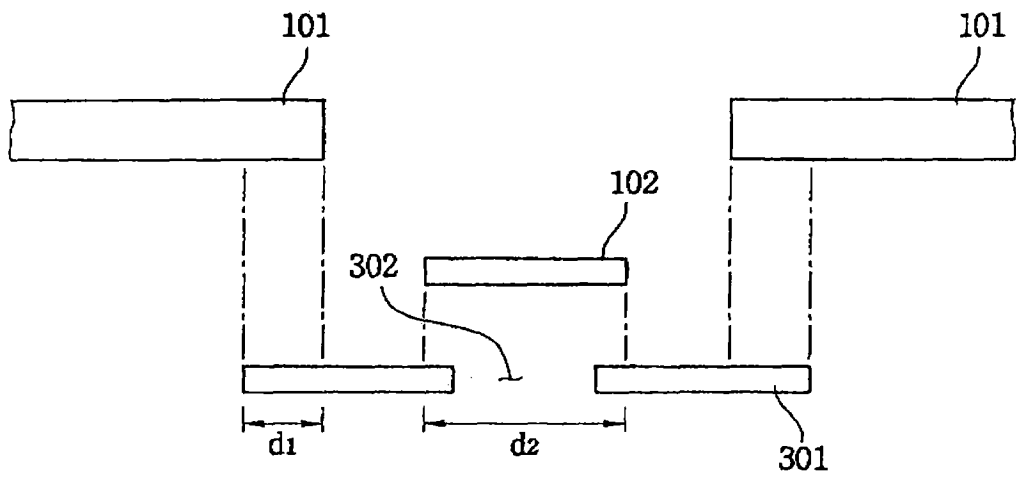


图 6

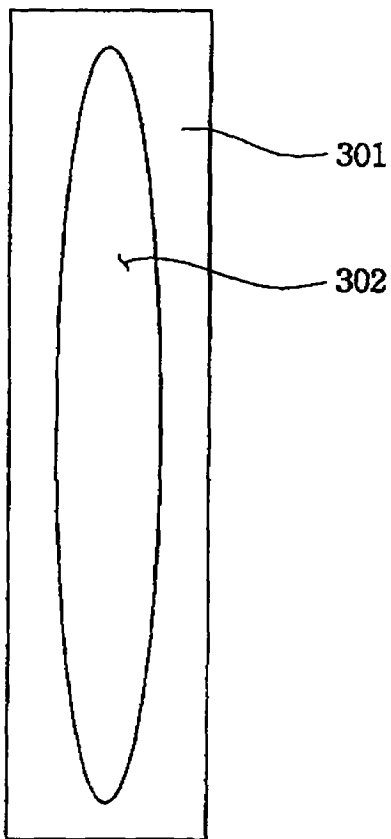


图 7

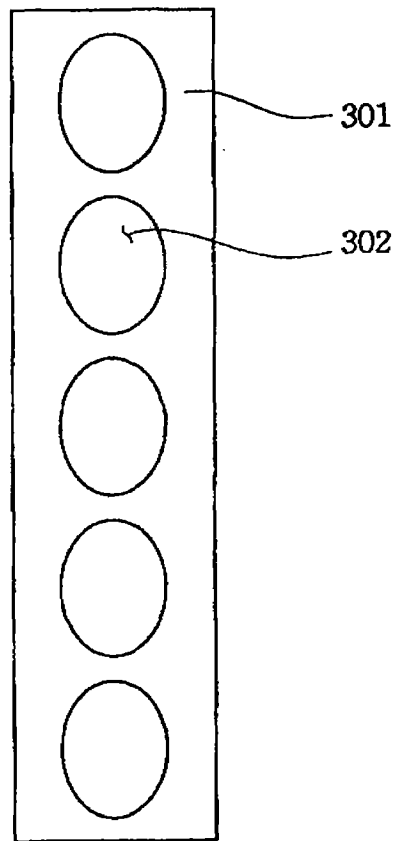


图 8

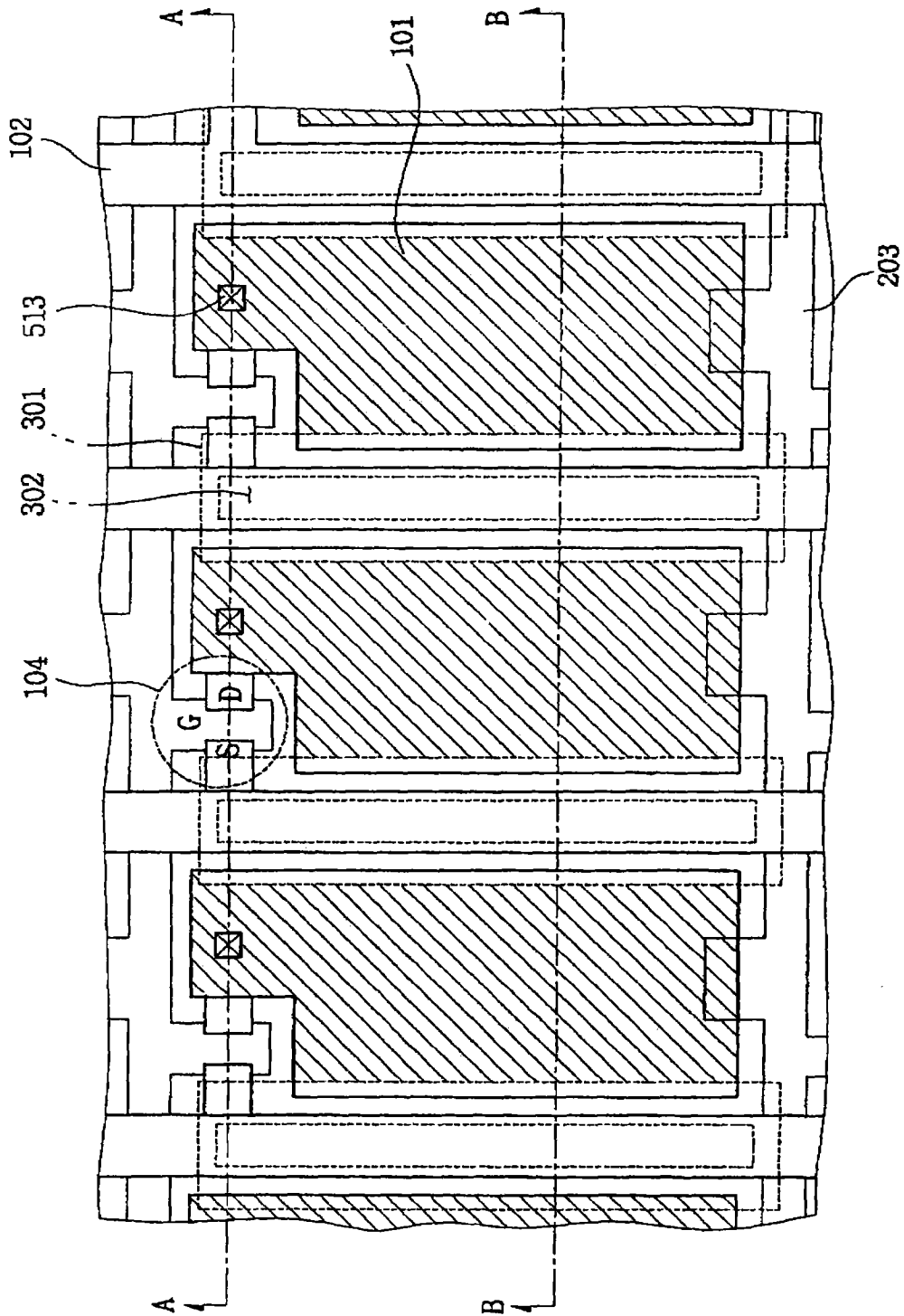


图 9

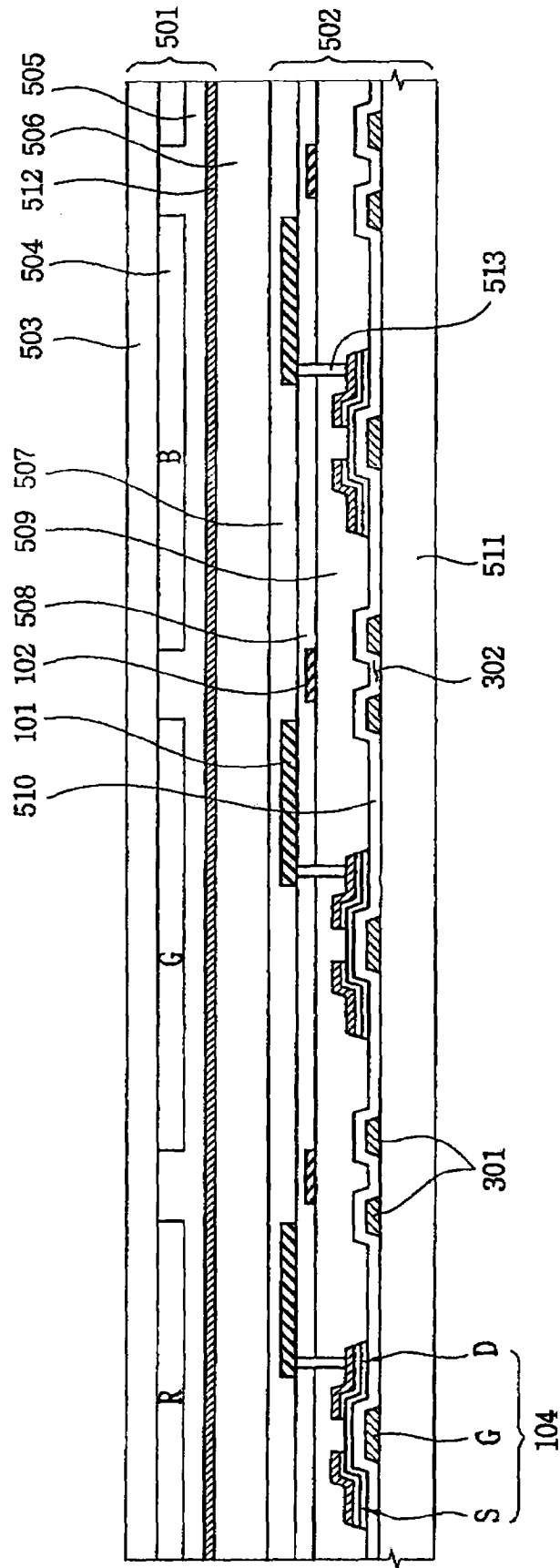


图 10

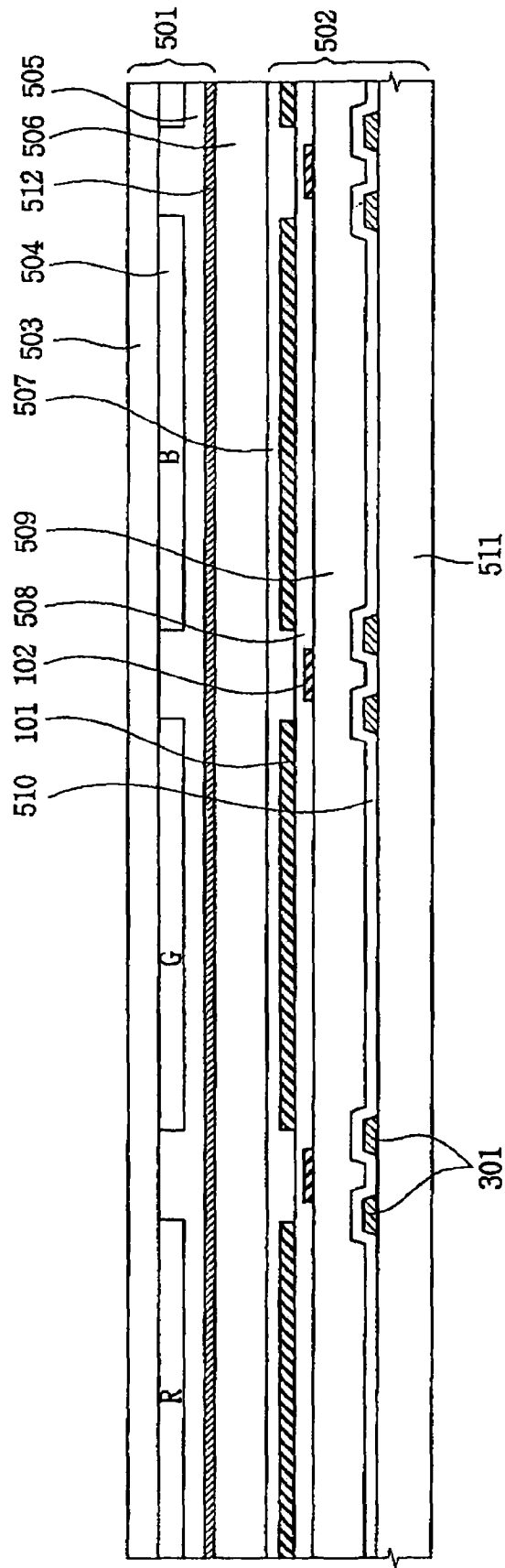


图 11

专利名称(译)	阵列基底及其制造方法、采用该阵列基底的液晶显示装置		
公开(公告)号	CN101685232B	公开(公告)日	2012-01-04
申请号	CN200910208502.2	申请日	2004-06-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍 朴真奭 金东焕 秋教燮 梁容豪 文智慧 李源规 宋俊昊		
发明人	全珍 朴真奭 金东焕 秋教燮 梁容豪 文智慧 李源规 宋俊昊		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1335 G09F9/30 H01L29/786		
CPC分类号	G02F1/136213 G02F2001/136218		
审查员(译)	张宾		
优先权	1020030036810 2003-06-09 KR 1020030066541 2003-09-25 KR		
其他公开文献	CN101685232A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种阵列基底，包括：一透明基底；多个像素电极，其呈矩阵状分布；多个开关器件，其包括栅电极、漏电极及源电极，所述开关器件的漏电极电连接到所述像素电极；一数据线，所述数据线设置在所述像素电极之间的一区域下方，所述数据线电连接到所述源电极，并且所述数据线具有一第一宽度；一栅极线，其电连接到所述栅电极；和一光阻挡图案，其与透明基底相隔一距离，并阻挡从所述像素电极之间的一空间泄漏的光，其中所述光阻挡图案重叠至少两个相邻的像素电极，且所述两个相邻像素电极的重叠宽度彼此不同。

