[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 5/02 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200810097052.X

[43] 公开日 2009 年 11 月 18 日

[11] 公开号 CN 101582242A

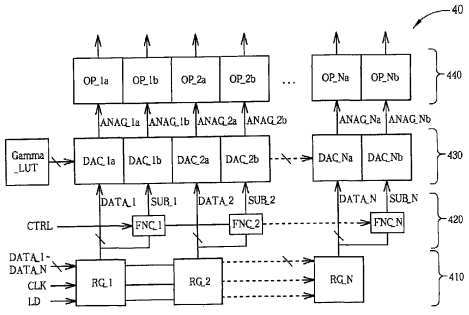
[22] 申请日 2008.5.12
[21] 申请号 200810097052.X
[71] 申请人 联咏科技股份有限公司
地址 中国台湾新竹科学工业园区
[72] 发明人 韩开旭
[74] 专利代理机构 北京市柳沈律师事务所
代理人 蒲迈文
权利要求书 4 页 说明书 12 页 附图 9 页

[54] 发明名称

用于低色偏液晶显示器的数据驱动电路

[57] 摘要

用于低色偏液晶显示器的数据驱动电路，包含有一序列至并列转换模组，用来将依序接收的多个像素数据转换成并列输出；一补偿数据产生模组，用来根据该多个像素数据进行运算，以产生多个迦玛补偿数据；一数字至模拟转换模组用来根据一迦玛电压表，对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组用来根据该数字至模拟转换器模组所输出的模拟信号，产生多个主要像素驱动电压及多个补偿像素驱动电压，以驱动低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。



1. 一种用于一低色偏液晶显示器的数据驱动电路，包含有：

一序列至并列转换模组，用来依序接收多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；

一补偿数据产生模组，耦接于该序列至并列转换模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；

一数字至模拟转换模组，耦接于该序列至并列转换模组及该补偿数据产生模组，用来根据一迦码电压表，分别对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及

一运算放大模组，耦接于该数字至模拟转换模组，用来根据该数字至模拟转换器模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

2. 如权利要求 1 所述的数据驱动电路，其中该补偿数据产生模组包含多个运算电路，用来分别对该多个像素数据进行一函数运算，以产生该多个迦玛补偿数据。

3. 如权利要求 2 所述的数据驱动电路，其中该函数运算是一多元函数的运算。

4. 如权利要求 3 所述的数据驱动电路，其中该多个运算电路根据一控制信号，执行该多元函数的运算。

5. 如权利要求 1 所述的数据驱动电路，其中该多个迦玛补偿数据的数量与该多个像素数据的数量相同。

6. 一种用于一低色偏液晶显示器的数据驱动电路，包含有：

一序列至并列转换模组，用来依序接收多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；

一数字至模拟转换模组，耦接于该序列至并列转换模组，用来根据一迦码电压表，对该多个像素数据进行数字至模拟转换，以产生多个模拟信号；以及

一驱动电压产生模组，耦接于该数字至模拟转换模组，包含有：

多个第一运算放大器，耦接于该数字至模拟转换模组，分别用来根据该多个模拟信号，产生多个主要像素驱动电压；以及

多个第二运算放大器，耦接于该数字至模拟转换模组，分别用来根据该多个模拟信号，产生多个相对应补偿像素驱动电压；

其中，该多个主要像素驱动电压及该多个相对应补偿像素驱动电压用来驱动一液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

7. 如权利要求 6 所述的数据驱动电路，其中该多个第二运算放大器分别根据该多个模拟信号进行一函数运算，以产生多个相对应补偿像素驱动电压。

8. 如权利要求 7 所述的数据驱动电路，其中该函数运算是一多元函数的运算。

9. 如权利要求 8 所述的数据驱动电路，其中该多个第二运算放大器根据一控制信号，执行该多元函数的运算。

10. 如权利要求 6 所述的数据驱动电路，其中该多个第二运算放大器的数量与该多个第一运算放大器的数量相同。

11. 一种用于一低色偏液晶显示器的数据驱动电路，包含有：

一移位暂存模组，用来将依序接收的多个像素数据转换成并列输出；

一补偿数据产生模组，耦接于该移位暂存模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；

一数据栓锁模组，耦接于该移位暂存模组及该补偿数据产生模组，用来储存该多个像素数据及该多个相对应迦玛补偿数据，并根据一数据上传信号，输出该多个像素数据及该多个相对应迦玛补偿数据；

一数字至模拟转换模组，耦接于该数据栓锁模组，用来根据一迦码电压表，分别对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及

一运算放大模组，耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

12. 如权利要求 11 所述的数据驱动电路，其中该补偿数据产生模组包含多个运算电路，用来分别对该多个像素数据进行一函数运算，以产生该多个迦玛补偿数据。

13. 如权利要求 12 所述的数据驱动电路，其中该函数运算是一多元函数的运算。

14. 如权利要求 13 所述的数据驱动电路，其中该多个运算电路根据一控制信号，执行该多元函数的运算。

15. 如权利要求 11 所述的数据驱动电路，其中该迦玛补偿数据的数量与该多个像素数据的数量相同。

16. 一种用于一低色偏液晶显示器的数据驱动电路，包含有：

一数据输入端，用来依序接收多个像素数据；

一补偿数据产生单元，耦接于该数据输入端，用来根据依序接收的该多个像素数据，依序产生对应于该多个像素数据的多个迦玛补偿数据；

一第一序列至并列转换模组，耦接于该数据输入端，用来储存该多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；

一第二序列至并列转换模组，耦接于该补偿数据产生单元，用来储存该多个迦玛补偿数据，并根据该数据上传信号，并列输出该多个迦玛补偿数据；

一数字至模拟转换模组，耦接于该第一序列至并列转换模组及该第二序列至并列转换模组，用来根据一迦码电压表，分别对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及

一运算放大模组，耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

17. 如权利要求 16 所述的数据驱动电路，其中该补偿数据产生单元是一运算电路，用来对依序接收的该多个像素数据进行一函数运算，以依序产生对应于该多个像素数据的多个迦玛补偿数据。

18. 如权利要求 17 所述的数据驱动电路，其中该函数运算是一多元函数的运算。

19. 如权利要求 18 所述的数据驱动电路，其中该运算电路根据一控制信号，执行该多元函数的运算。

20. 如权利要求 16 所述的数据驱动电路，其中该迦玛补偿数据的数量与该多个像素数据的数量相同。

21. 一种用于一低色偏液晶显示器的数据驱动电路，包含有：

一移位暂存模组，用来将依序接收的多个像素数据转换成并列输出；

一补偿数据产生模组，耦接于该移位暂存模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；

一切换模组，耦接于该移位暂存模组及该补偿数据产生模组，用来切换输出该多个像素数据及该多个迦玛补偿数据；

一数字至模拟转换模组，耦接于该切换模组，用来根据一迦码电压表，对该切换模组所切换输出的该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及

一运算放大模组，耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生多个驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个像素。

22. 如权利要求 21 所述的数据驱动电路，其中该补偿数据产生模组包含多个运算电路，用来分别对该多个像素数据进行一函数运算，以产生该多个迦玛补偿数据。

23. 如权利要求 22 所述的数据驱动电路，其中该函数运算是一多元函数的运算。

24. 如权利要求 23 所述的数据驱动电路，其中该多个运算电路根据一控制信号，执行该多元函数的运算。

25. 如权利要求 21 所述的数据驱动电路，其另包含一数据栓锁模组，耦接于该切换模组及该驱动电压产生模组之间，用来储存该切换模组所切换输出的该多个像素数据及该多个迦玛补偿数据，并根据一数据上传信号，输出该多个像素数据或该多个相对应迦玛补偿数据。

26. 如权利要求 21 所述的数据驱动电路，其另包含：

一第一数据栓锁模组，耦接于该移位暂存模组及该切换模组之间，用来储存该多个像素数据，并根据一数据上传信号，输出该多个像素数据；以及

一第二数据栓锁模组，耦接于该补偿数据产生模组及该切换模组之间，用来储存该多个迦玛补偿数据，并根据该数据上传信号，输出该多个迦玛补偿数据。

用于低色偏液晶显示器的数据驱动电路

技术领域

本发明指一种用于低色偏液晶显示器的数据驱动电路，尤指一种藉由最小的系统时钟及最少数量的迦玛电压表实现迦玛补偿的数据驱动电路。

背景技术

液晶显示器由于具有外型轻薄、耗电量少以及无辐射污染等特性，因此已被广泛地应用在笔记型计算机、个人计算机显示器与个人数字助理等信息产品上，并逐渐取代传统阴极射线管电视，成为家用电视商品的主流。

相较于传统阴极射线管显示器，液晶显示器容易因使用者观看角度不同而产生亮度及对比度差异的情形，甚至在大视角时有灰阶反转的现象。因此，目前业界一般会采用多维垂直配向（Multi-domain Vertical Alignment，MVA）技术及平面扭转技术等广视角液晶技术，来改善液晶显示器视角不够宽广的问题。然而，对于采用多维垂直配向技术的液晶显示器来说，在大视角方向观看液晶显视器的画面时仍会有色偏泛白现象（color wash-out）或伽玛曲线偏移的问题，举例来说，当使用者越远离多维垂直配向液晶显示器的正面位置时，所看到的影像的对比会越来越来差，导致高辉度影像之间的亮度差消失而无法看到清楚的影像。

色偏现象主要因为不同角度的入射光于液晶层中会有不同的穿透率，因此液晶显示器于不同视角（例如正视或侧视）所产生的灰阶系数曲线（或称迦玛曲线）亦会有所不同。如此一来，于不同视角下，各种色光（例如红色光、绿色光及蓝色光）将会以不同的灰阶比例进行混色，而导致显示颜色不相同的色偏差现象。

为了改善多维垂直配向液晶显示器的色偏问题，公知技术一般会藉由迦玛补偿的方式，混成两组以上的迦玛曲线，以使混成的迦玛曲线在不同的视角下具有相同的灰阶系数。上述迦玛补偿主要有下列两种实现方式：一为空间补偿，另一则为时间补偿。空间补偿在液晶面板的一像素内设计两个以上的子像素，并藉由显示对应于一原始灰阶值的另一组灰阶值，透过灰阶平均

效应获得如原始灰阶值的相同亮度感受及广视角的视觉效果。相较之下，时间补偿则是藉由人眼视觉暂留的特性，在一画面时间内另显示对应于一原始灰阶值的一组灰阶值，以达到广视角的视觉效果。然而，对于液晶显示器的数据驱动电路而言，不论采用空间补偿或时间补偿，每个像素皆需增加额外的补偿像素数据进行驱动，在此情形下，数据驱动晶片的生产成本将会大幅地提高。

首先，请参考图 1，图 1 为公知用于一传统液晶显示器的一数据驱动电路 10 的示意图。数据驱动电路 10 是一具有 N 个有效输出（即用来驱动 N 个像素）的数据驱动电路，其大致包含有一数据暂存模组 110、一数字至模拟转换模组 120 以及一运算放大模组 130。数据暂存模组 110 由数据暂存器 RG_1 ~ RG_N 所组成，用来根据一时钟信号 CLK 依序接收像素数据 DATA_1 ~ DATA_N，并根据一数据上传信号 LD 将像素数据 DATA_1 ~ DATA_N 并列输出至数字至模拟转换模组 120。数字至模拟转换模组 120 由数字至模拟转换器 DAC_1 ~ DAC_N 组成，用以根据一迦玛电压表 Gamma_LUT（亦即 Gamma 产生器），将像素数据 DATA_1 ~ DATA_N 转换成模拟信号 ANAG_1 ~ ANAG_N。最后，由运算放大器 OP_1 ~ OP_N 所组成的运算放大模组 130 根据数字至模拟转换模组 120 所输出的模拟信号，产生相对应的驱动电压，以驱动液晶显示器中对应于同一列的 N 个像素。

然而，对于采用迦玛补偿的低色偏液晶显示器来说，同样用来驱动 N 个像素的数据驱动电路则需要使用两倍以上的系统时钟或藉由两倍以上的硬件电路来实现。举例来说，请参考图 2，图 2 为公知用于采用空间补偿的一低色偏液晶显示器的一数据驱动电路 20 的示意图。类似地，数据驱动电路 20 亦包含有一数据暂存模组 210、一数字至模拟转换模组 220 以及一运算放大模组 230，其相关操作不再赘述。由于采用空间补偿的低色偏液晶显示器的每一像素同时需要两个驱动电压进行驱动，因此若在不增加迦玛电压表数量的情况下，数据暂存模组 210、数字至模拟转换模组 220 及运算放大模组 230 中元件的数量皆须加倍，并藉由两倍的系统时钟接收 N 个像素数据及相对应的 N 个迦码补偿数据，以产生 2N 个子像素驱动电压，如图 2 所示。在此情形下，晶片的生产成本及时钟信号产生的电磁波干扰也同时相对应地提高。

另一方面，若是维持系统时钟不变，则需要增加迦玛电压表的数量，以使数据驱动电路能根据所接收的像素数据，同时产生主要像素驱动电压及补

偿像素驱动电压。请参考图 3，图 3 为公知用于采用空间补偿的一低色偏液晶显示器的一数据驱动电路 30 的示意图。由于系统时钟保持不变，表示数据驱动电路 30 同一时间可从外部接收数字数据的数量亦保持不变，因此数据驱动电路 30 需从内部产生额外的迦玛补偿数据，以驱动液晶显示器中对应于同一列的 2N 个子像素。如图 3 所示，数据驱动电路 30 藉由增加一组额外的迦玛电压表 Gamma_LUT"，以根据所接收的 N 个像素数据，同时产生 2N 个子像素驱动电压。然而，所增加的迦玛电压表及其所需的分配绕线会大幅增加晶片布局的高度，导致晶片制造成本的增加。

简言之，公知技术需藉由提高系统时钟，或者增加迦玛电压表的数量，实现具迦玛补偿功能的数据驱动晶片，以改善液晶显示器的色偏问题。然而，提高系统时钟会造成严重的电磁干扰问题，增加迦玛电压表的数量则会大幅地增加晶片的尺寸，两者皆导致晶片生产成本的提高。

发明内容

本发明的目的即在于提供一种用于低色偏液晶显示器的数据驱动电路。

本发明揭露一种用于一低色偏液晶显示器的数据驱动电路，包含有一序列至并列转换模组，用来依序接收多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；一补偿数据产生模组耦接于该序列至并列转换模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；一数字至模拟转换模组耦接于该序列至并列转换模组及该补偿数据产生模组，用来根据一迦码电压表，对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组耦接于该数字至模拟转换模组，用来根据该数字至模拟转换器模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

本发明另揭露一种用于一低色偏液晶显示器的数据驱动电路，包含有一序列至并列转换模组，用来依序接收多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；一数字至模拟转换模组耦接于该序列至并列转换模组，用来根据一迦码电压表，对该多个像素数据进行数字至模拟转换，以产生多个模拟信号；以及一驱动电压产生模组耦接于该数字至模拟转换模组，

包含有多个第一运算放大器及多个第二放大器。该多个第一放大器耦接于该数字至模拟转换模组，分别用来根据该多个模拟信号，产生多个主要像素驱动电压。该多个第二运算放大器耦接于该数字至模拟转换模组，分别用来根据该多个模拟信号，产生多个相对应补偿像素驱动电压。其中，该多个主要像素驱动电压及该多个相对应补偿像素驱动电压用来驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

本发明另揭露一种用于一低色偏液晶显示器的数据驱动电路，包含有一移位暂存模组，用来将依序接收的多个像素数据转换成并列输出；一补偿数据产生模组耦接于该移位暂存模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；一数据栓锁模组耦接于该移位暂存模组及该补偿数据产生模组，用来储存该多个像素数据及该多个相对应迦玛补偿数据，并根据一数据上传信号，输出该多个像素数据及该多个相对应迦玛补偿数据；一数字至模拟转换模组耦接于该数据栓锁模组，用来根据一迦码电压表，分别对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。

本发明另揭露一种用于一低色偏液晶显示器的数据驱动电路，包含有一数据输入端，用来依序接收多个像素数据；一补偿数据产生单元耦接于该数据输入端，用来根据依序接收的该多个像素数据，依序产生对应于该多个像素数据的多个迦玛补偿数据；一第一序列至并列转换模组耦接于该数据输入端，用来储存该多个像素数据，并根据一数据上传信号，并列输出该多个像素数据；一第二序列至并列转换模组耦接于该补偿数据产生单元，用来储存该多个迦玛补偿数据，并根据该数据上传信号，并列输出该多个迦玛补偿数据；一数字至模拟转换模组耦接于该第一序列至并列转换模组及该第二序列至并列转换模组，用来根据一迦码电压表，分别对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生对应于该多个像素数据的多个主要像素驱动电压及对应于该多个迦玛补偿数据的多个补偿像素驱动电压，以驱动该低色偏液晶显示器中对应于同一列的多个

主要像素及多个相对应补偿像素。

本发明另揭露一种用于低色偏液晶显示器的数据驱动电路，包含有一移位暂存模组，用来将依序接收的多个像素数据转换成并列输出；一补偿数据产生模组耦接于该移位暂存模组，用来根据该多个像素数据，产生对应于该多个像素数据的多个迦玛补偿数据；一切换模组耦接于该移位暂存模组及该补偿数据产生模组，用来切换输出该多个像素数据及该多个迦玛补偿数据；一数字至模拟转换模组耦接于该切换模组，用来根据一迦码电压表，对该切换模组所切换输出的该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组耦接于该数字至模拟转换模组，用来根据该数字至模拟转换模组所输出的模拟信号，产生多个驱动电压，以驱动一液晶显示器中对应于同一列的多个像素。

附图说明

图 1 为公知用于一传统液晶显示器的一数据驱动电路的示意图。

图 2 为公知用于采用空间补偿的一低色偏液晶显示器的一数据驱动电路的示意图。

图 3 为公知用于采用空间补偿的一低色偏液晶显示器的一数据驱动电路的示意图。

图 4 为本发明第一实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

图 5 为本发明第二实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

图 6 为本发明第三实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

图 7 为本发明第四实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

图 8 为本发明第五实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

图 9 为本发明第六实施例用于一低色偏液晶显示器的一数据驱动电路的示意图。

【主要元件符号说明】

10、20、30、40、50、60、70、80、90 数据驱动电路

110、210、310 数据暂存模组

120、220、320、430、520、640、750、850、950 数字至模拟转换模组

130、230、330、440、530、650、760、860、960 运算放大模组

RG_1～RG_N、RG_1a～RG_Na、RG_1b～RG_Nb 数据暂存器

CLK 时钟信号

DATA_1～DATA_N 像素数据

LD 数据上传信号

DAC_1～DAC_n 数字至模拟转换器

Gamma _LUT、Gamma _LUT" 迦玛电压表

ANAG_1～ANAG_N、ANAG_1a～ANAG_Na、ANAG_1b～ANAG_Nb 模拟信号

OP_1～OP_n、OP_1a～OP_Na、OP_1b～OP_Nb 运算放大器

410、510、730、740 序列至并列转换模组

420、620、820、920 补偿数据产生模组

SUB_1～SUB_N 迦玛补偿数据

FNC_1～FNC_N、720 运算电路

CTRL 控制信号

610、810、910 移位暂存模组

630、840、930 数据栓锁模组

SR_1～SR_N 移位暂存器

DL_1～DL_N 数据栓锁器

710 数据输入端

830、940 切换模组

MUX_1～MUX_N 多工器

具体实施方式

请参考图 4，图 4 为本发明第一实施例用于一低色偏液晶显示器的一数据驱动电路 40 的示意图。数据驱动电路 40 是一具有 N 个有效输出（即用来

驱动 N 个像素）的数据驱动电路，其包含有一序列至并列转换模组 410、一补偿数据产生模组 420、一数字至模拟转换模组 430 以及一运算放大模组 440。序列至并列转换模组 410 用来根据一时钟信号 CLK 依序接收像素数据 DATA_1 ~ DATA_N，并根据一数据上传信号 LD 并列输出像素数据 DATA_1 ~ DATA_N。补偿数据产生模组 420 耦接于序列至并列转换模组 410，用来根据像素数据 DATA_1 ~ DATA_N 进行运算，以产生相对应的迦玛补偿数据 SUB_1 ~ SUB_N。数字至模拟转换模组 430 耦接于序列至并列转换模组 410 及补偿数据产生模组 420，用来根据一迦码电压表 Gamma_LUT（即 Gamma 电压产生器），分别对像素数据 DATA_1 ~ DATA_N 及迦玛补偿数据 SUB_1 ~ SUB_N 进行数字至模拟转换。运算放大模组 440 耦接于数字至模拟转换模组 430，用来根据数字至模拟转换器模组所输出的模拟信号 ANAG_1a ~ ANAG_Na 及 ANAG_1b ~ ANAG_Nb，产生对应于像素数据 DATA_1 ~ DATA_N 及迦玛补偿数据 SUB_1 ~ SUB_N 的驱动电压，以驱动该低色偏液晶显示器中对应于同一列的 N 个主要像素及 N 个相对应补偿像素。

其中，序列至并列转换模组 410、数字至模拟转换模组 430 及运算放大模组 440 的相关操作类似于图 1 中的数据暂存模组 110、数字至模拟转换模组 120 及运算放大模组 130，于此不再赘述。补偿数据产生模组 420 由运算电路 FNC_1 ~ FNC_N 所组成，其分别用来对像素数据 DATA_1 ~ DATA_N 进行一函数运算 F（x），以产生相对应的迦玛补偿数据 SUB_1 ~ SUB_N 。也就是说，本发明中迦玛补偿数据的产生藉由运算电路 FNC_1 ~ FNC_N 对主要画素数据进行函数转换而来，而主要像素数据与迦玛补偿数据间的转换函数 F（x）可以是任意的转换函数，只要能藉由迦玛补偿方式改善液晶显示器的色偏现象皆属本发明的范围。此外，运算电路 FNC_1 ~ FNC_N 所执行的函数运算亦可以是一多元函数运算，例如 F（x, y），其中变数 y 可藉由一外部输入的控制信号 CTRL 进行设定，以提高使用本发明数据驱动电路时的弹性。

较佳地，数据驱动电路 40 应用于采用空间补偿的一低色偏液晶显示器，而当该液晶显示器中的每一像素由两个以上的子像素组成时，数据驱动电路 40 亦可透过两个以上的运算电路对每一像素数据进行函数运算，以产生相对应数量的迦玛补偿数据，如此相对应变化亦属本发明的范围。另一方面，本发明所述的运算电路可藉由各种模拟或数字逻辑运算电路方式实现，而序列

至并列转换模组 410 的每一数据暂存单元 RG_N 由一移位暂存器及一数据栓锁器组成，其是本领域技术人员所知，于此不赘述。

因此，本发明数据驱动电路 40 藉由补偿数据产生模组 420，根据所接收的像素数据进行函数运算，以同时产生主要像素驱动电压及补偿像素驱动电压。如此一来，本发明数据驱动电路 40 可藉由最小的时钟频率及最少数量的迦玛电压表实现迦玛补偿，以改善液晶显示器的色偏问题，并大幅地降低驱动晶片的生产成本。

此外，由于运算放大器可视为一运算电路，因此本发明可进一步将上述用来产生迦玛补偿数据的运算函数 F（x）实现于数据驱动电路的运算放大器模组中，以降低驱动晶片的生产成本。请继续参考图 5，图 5 为本发明第二实施例用于一低色偏液晶显示器的一数据驱动电路 50 的示意图。数据驱动电路 50 是一具有 N 个有效输出的数据驱动电路，其包含有一序列至并列转换模组 510、一数字至模拟转换模组 520 以及一运算放大模组 530。序列至并列转换模组 510 及数字至模拟转换模组 520 类似于图 4 中的序列至并列转换模组 410 及数字至模拟转换模组 430，于此不再赘述。运算放大模组 530 耦接于数字至模拟转换模组 520，包含有第一运算放大器 OP_1a ~ OP_Na 及第二运算放大器 OP_1b ~ OP_Nb。第一运算放大器 OP_1a ~ OP_Na 耦接于数字至模拟转换器模组 520，用来根据数字至模拟转换模组所输出的模拟信号 ANAG_1 ~ ANAG_N 进行电压缓冲处理，以输出相对应的主要像素驱动电压。第二运算放大器 OP_1b ~ OP_Nb 耦接于数字至模拟转换模组 520，则用来根据模拟信号 ANAG_1 ~ ANAG_N 进行一函数运算 F（x），以产生相对应的补偿像素驱动电压。

也就是说，本发明数据驱动电路 50 除了藉由第一运算放大器 OP_1a ~ OP_Na 对模拟信号 ANAG_1 ~ ANAG_N 进行电压缓冲处理之外，同时藉由第二运算放大器 OP_1b ~ OP_Nb 对模拟信号 ANAG_1 ~ ANAG_N 进行函数运算，以同时产生主要像素驱动电压及相对应的补偿像素驱动电压。如此一来，本发明数据驱动电路 50 可藉由最小的时钟频率及最少数量的迦玛电压表实现迦玛补偿，改善液晶显示器的色偏问题，并大幅地降低驱动晶片的生产成本。

同样地，数据驱动电路 50 应用于采用空间补偿的一低色偏液晶显示器，而第二运算放大器亦可根据外部输入的控制信号 CTRL 进行设定，以执行一

多元函数的运算，于此不再赘述。

当然，上述用来产生迦玛补偿数据的运算函数F（x）亦可实现于数据驱动电路的序列至并列转换模组中。举例来说，请继续参考图6，图6为本发明第三实施例用于一低色偏液晶显示器的一数据驱动电路60的示意图。数据驱动电路60是一具有N个有效输出的数据驱动电路，其包含有一移位暂存模组610、一补偿数据产生模组620、一数据栓锁模组630、一数字至模拟转换模组640以及一运算放大模组650。移位暂存模组610由移位暂存器SR_1～SR_N所组成，用来根据一时钟信号CLK，将依序接收的像素数据DATA_1～DATA_N转换成并列输出。补偿数据产生模组620耦接于移位暂存器模组610，其由运算电路FNC_1～FNC_N所组成，分别用来对像素数据DATA_1～DATA_N进行一函数运算F（x），以产生相对应的迦玛补偿数据SUB_1～SUB_N。数据栓锁模组630耦接于移位暂存模组620及补偿数据产生模组610，其由数据栓锁器DL_1～DL_N所组成，用来根据一数据上传信号LD，输出所接收的像素数据DATA_1～DATA_N及迦玛补偿数据SUB_1～SUB_N。数字至模拟转换模组640及运算放大模组650的相关操作则类似于图4中的数字至模拟转换模组430及运算放大模组440，于此不再赘述。

也就是说，本发明数据驱动电路60将用来产生迦玛补偿数据的运算函数F（x）实现于移位暂存模组610及数据栓锁模组630之间，因此于移位暂存模组610并列输出像素数据DATA_1～DATA_N时，本发明数据驱动电路60可藉由运算电路FNC_1～FNC_N对像素数据DATA_1～DATA_N进行函数运算，以产生相对应的迦玛补偿数据SUB_1～SUB_N。如此一来，本发明数据驱动电路60可在维持相同系统时钟及相同迦玛电压表数量的情况下，同时产生主要像素驱动电压及迦玛补偿驱动电压，以改善液晶显示器的色偏问题。

请继续参考图7，图7为本发明第四实施例用于一低色偏液晶显示器的一数据驱动电路70的示意图。数据驱动电路70是一具有N个有效输出的数据驱动电路，其包含有一数据输入端710、一运算电路720、一第一序列至并列转换模组730、一第二序列至并列转换模组740、一数字至模拟转换模组750以及一运算放大模组760。数据输入端710用来依序接收像素数据DATA_1～DATA_N。运算电路720耦接于数据输入端710，用来对依序接收

的像素数据 DATA_1～DATA_N 进行一函数运算 F(x)，以依序产生相对应的迦玛补偿数据 SUB_1～SUB_N。第一序列至并列转换模组 730 耦接于数据输入端 710，其由数据暂存器 RG_1a～RG_Na 所组成，用来根据一时钟信号 CLK 依序暂存像素数据 DATA_1～DATA_N，并根据一数据上传信号 LD 并列输出像素数据 DATA_1～DATA_N。第二序列至并列转换模组 740 耦接于运算电路 720，其由数据暂存器 RG_1b～RG_Nb 所组成，用来根据时钟信号 CLK 依序暂存迦玛补偿数据 SUB_1～SUB_N，并根据数据上传信号 LD 并列输出迦玛补偿数据 SUB_1～SUB_N。数字至模拟转换器模组 750 及运算放大模组 760 则类似于图 4 中的数字至模拟转换模组 430 及运算放大模组 440，于此不再赘述。

也就是说，本发明数据驱动电路 70 将用来产生迦玛补偿数据的运算函数 F（x）实现于数据驱动电路中的数据暂存器之前，如此一来，本发明可藉由第一及第二序列至并列转换模组 730、740 同时栓锁到像素数据 DATA_1～DATA_N 及运算电路 720 所产生的迦玛补偿数据 SUB_1～SUB_N。在此情形下，本发明数据驱动电路可在维持相同系统时钟及相同迦玛电压表数量的情况下，同时产生主要像素驱动电压及迦玛补偿驱动电压，以改善液晶显示器的色偏问题，进而大幅地降低驱动晶片的生产成本。此外，由于本发明实施例仅需于数据驱动电路中设置一运算电路，因此可大幅降低运算电路所需使用的电路面积。

另一方面，藉由适当地设置运算函数 F（x），本发明数据驱动电路亦可于时序上依序产生主要像素驱动电压及补偿像素驱动电压，以藉由最小的系统时钟及最少数量的迦玛电压表对采用时间补偿的低色偏液晶显示器进行驱动。举例来说，请参考图 8，图 8 为本发明第五实施例用于一低色偏液晶显示器的一数据驱动电路 80 的示意图。数据驱动电路 80 是一具有 N 个有效输出的数据驱动电路，其包含有一移位暂存模组 810、一补偿数据产生模组 820、一切换模组 830、一数据栓锁模组 840、一数字至模拟转换模组 850 以及一运算放大模组 860。移位暂存模组 810 用来根据一时钟信号 CLK，将依序接收的像素数据 DATA_1～DATA_N 转换成并列输出。补偿数据产生模组 820 耦接于移位暂存器模组 810，其由运算电路 FNC_1～FNC_N 所组成，用来对像素数据 DATA_1～DATA_N 进行一函数运算 F(x)，以产生相对应的迦玛补偿数据 SUB_1～SUB_N。切换模组 830 耦接于移位暂存模组 810 及补偿数据产

生模组 820，其由多工器 MUX_1～MUX_n 所组成，用来切换输出像素数据 DATA_1～DATA_N 及迦玛补偿数据 SUB_1～SUB_N。数据栓锁模组 840 耦接于切换模组 830，用来暂存切换模组 830 所切换输出的像素数据 DATA_1～DATA_N 或迦玛补偿数据 SUB_1～SUB_N，并根据一数据上传信号 LD，输出所暂存的像素数据 DATA_1～DATA_N 或迦玛补偿数据 SUB_1～SUB_N。数字至模拟转换模组 850 耦接于数据栓锁模组 840，用来根据一迦码电压表 Gamma_LUT，对数据栓锁模组 840 所输出的像素数据 DATA_1～DATA_N 或迦玛补偿数据 SUB_1～SUB_N 进行数字至模拟的转换。运算放大模组 850 耦接于数字至模拟转换模组 840，则用来根据数字至模拟转换器模组所输出的模拟信号 ANAG_1～ANAG_N，产生对应于像素数据 DATA_1～DATA_N 及迦玛补偿数据 SUB_1～SUB_N 的驱动电压，以驱动该低色偏液晶显示器中对应于同一列的 N 个像素。

因此，本发明数据驱动电路藉由多工器 MUX 切换输出像素数据 DATA_1～DATA_N 及经由函数运算 F（x）所产生的迦玛补偿数据 SUB_1～SUB_N，以使数字至模拟转换模组 850 及运算放大模组 860 能依序产生对应于像素数据 DATA_1～DATA_N 及迦玛补偿数据 SUB_1～SUB_N 的驱动电压。如此一来，本发明数据驱动电路可藉由最小的系统时钟及最少数量的迦玛电压表，于时序上依序产生主要像素驱动电压及补偿像素驱动电压，以达到时间补偿的目的而改善液晶显示器的色偏问题。相较于先前技术中需使用两倍的系统时钟才能实现时间补偿，本发明数据驱动晶片可大幅地降低生产成本，并且时钟信号所产生的电磁干扰问题亦可有效地被改善。

请注意，上述用于实现时间补偿的数据驱动电路并非局限于图 8 的实施方式，本领域技术人员亦可根据实际需求作适当的变化，例如运算电路 FNC_1～FNC_N 亦可设置于数据驱动电路的第一级与第二级数据暂存器之间（即移位暂存器与数据栓锁器之间，如图 9 所示），其亦属本发明的范围。

此外，上述实施例中补偿数据产生模组并非局限于以运算电路的方式实现，补偿像素数据或补偿像素驱动电压亦可藉由查表等方式转换产生，如此相对应变化亦属本发明的范围。

综上所述，本发明是在数据驱动电路中设置用来产生迦玛补偿数据的运算电路，以藉由最小的系统时钟及最少数量的迦玛电压表实现迦玛补偿，进

而改善液晶显示器的色偏问题。在此情形下，本发明数据驱动晶片的生产成本及时钟信号所产生的电磁干扰可大幅地被降低。

以上所述仅为本发明的较佳实施例，凡依本发明权利要求所做的均等变化与修饰，皆应属本发明的涵盖范围。

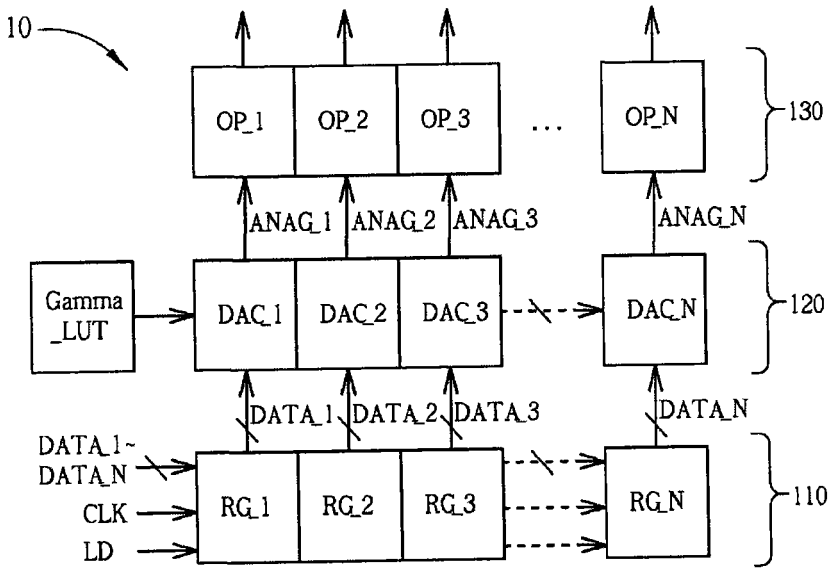

10
OP_1
OP_2
OP_3
...
OP_N
130
ANAG_1
ANAG_2
ANAG_3
ANAG_N
Gamma
_LUT
DAC_1
DAC_2
DAC_3
DAC_N
120
DATA_1
DATA_2
DATA_3
DATA_N
DATA_1~
DATA_N
CLK
LD
RG_1
RG_2
RG_3
RG_N
110

图 1

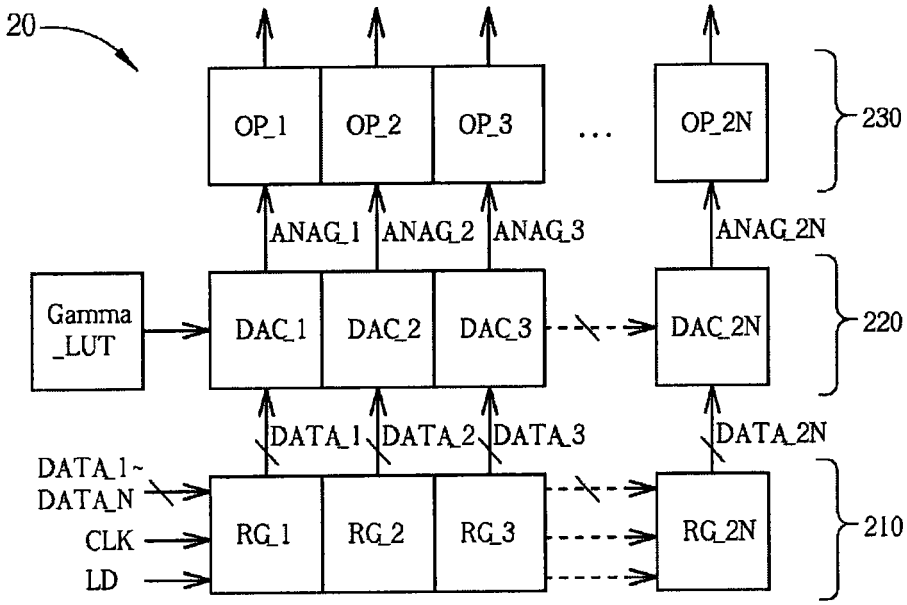

20
OP_1
OP_2
OP_3
...
OP_2N
230
ANAG_1
ANAG_2
ANAG_3
ANAG_2N
Gamma
_LUT
DAC_1
DAC_2
DAC_3
DAC_2N
220
DATA_1
DATA_2
DATA_3
DATA_2N
DATA_1~
DATA_N
CLK
LD
RG_1
RG_2
RG_3
RG_2N
210

图 2

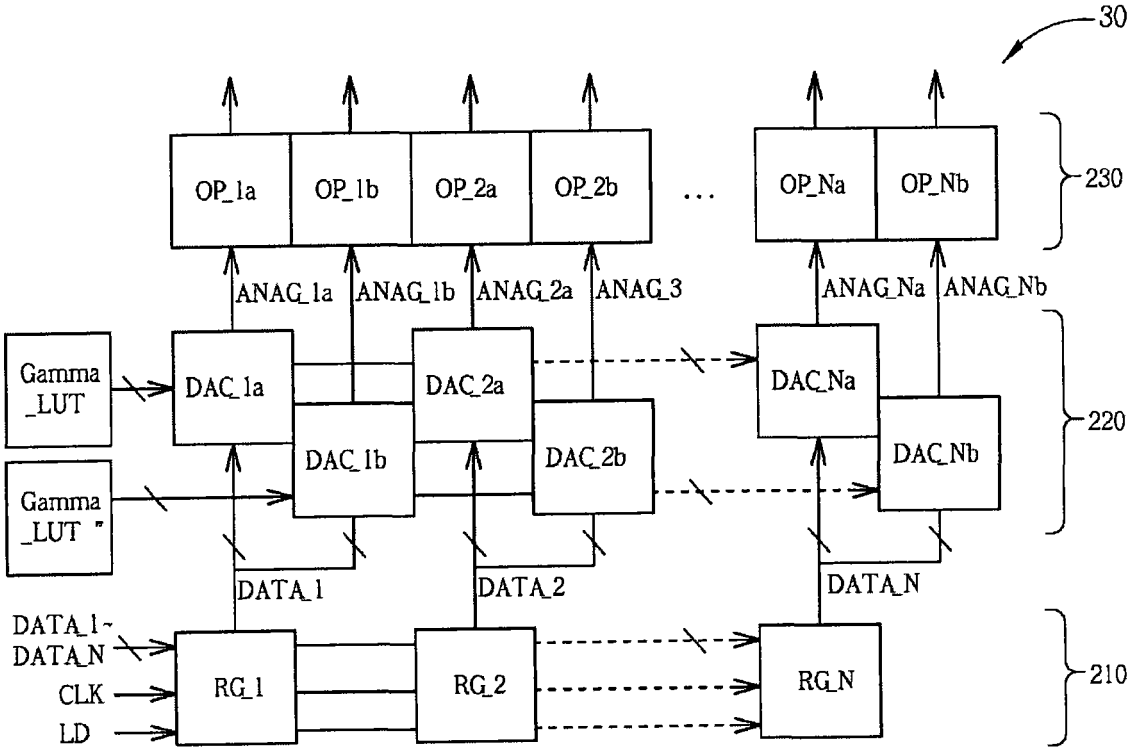

30
OP_1a
OP_1b
OP_2a
OP_2b
...
OP_Na
OP_Nb
230
ANAG_1a
ANAG_1b
ANAG_2a
ANAG_3
ANAG_Na
ANAG_Nb
Gamma _LUT
Gamma _LUT "
DAC_1a
DAC_1b
DAC_2a
DAC_2b
DAC_Na
DAC_Nb
220
DATA_1
DATA_2
DATA_N
DATA_1~ DATA_N
CLK
LD
RG_1
RG_2
RG_N
210

图 3

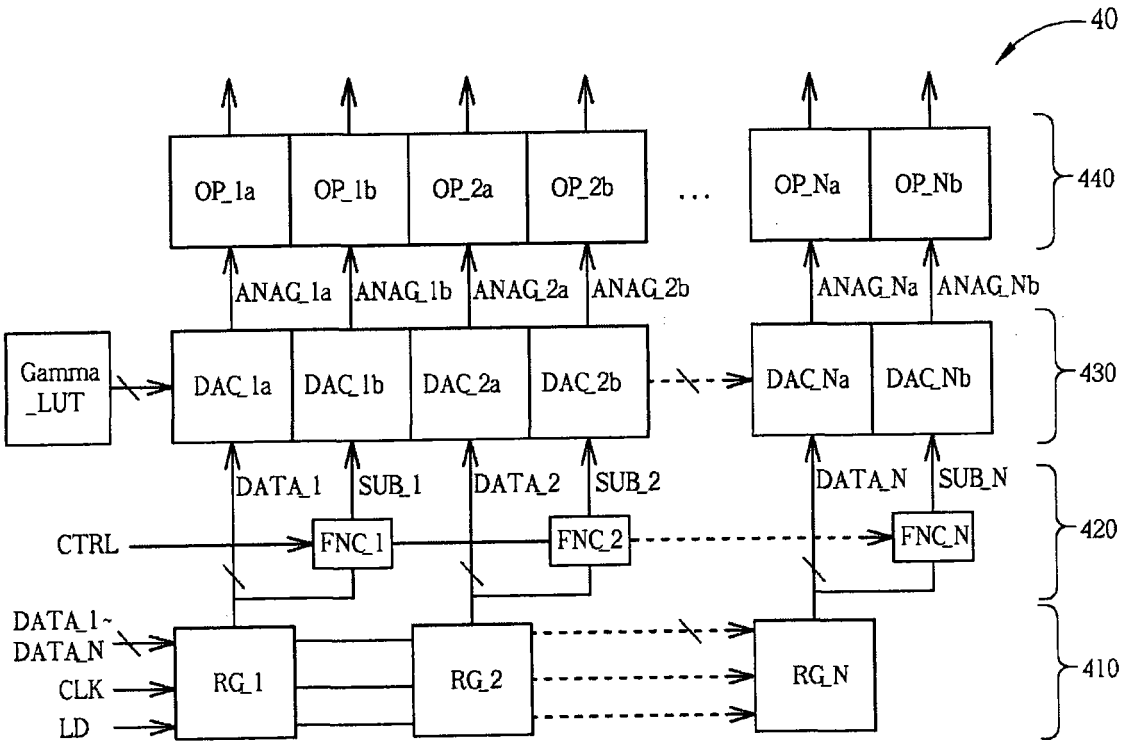

40
OP_1a
OP_1b
OP_2a
OP_2b
...
OP_Na
OP_Nb
440
ANAG_1a
ANAG_1b
ANAG_2a
ANAG_2b
ANAG_Na
ANAG_Nb
Gamma
_LUT
DAC_1a
DAC_1b
DAC_2a
DAC_2b
DAC_Na
DAC_Nb
430
DATA_1
SUB_1
DATA_2
SUB_2
DATA_N
SUB_N
CTRL
FNC_1
FNC_2
FNC_N
420
DATA_1~
DATA_N
CLK
LD
RG_1
RG_2
RG_N
410

图 4

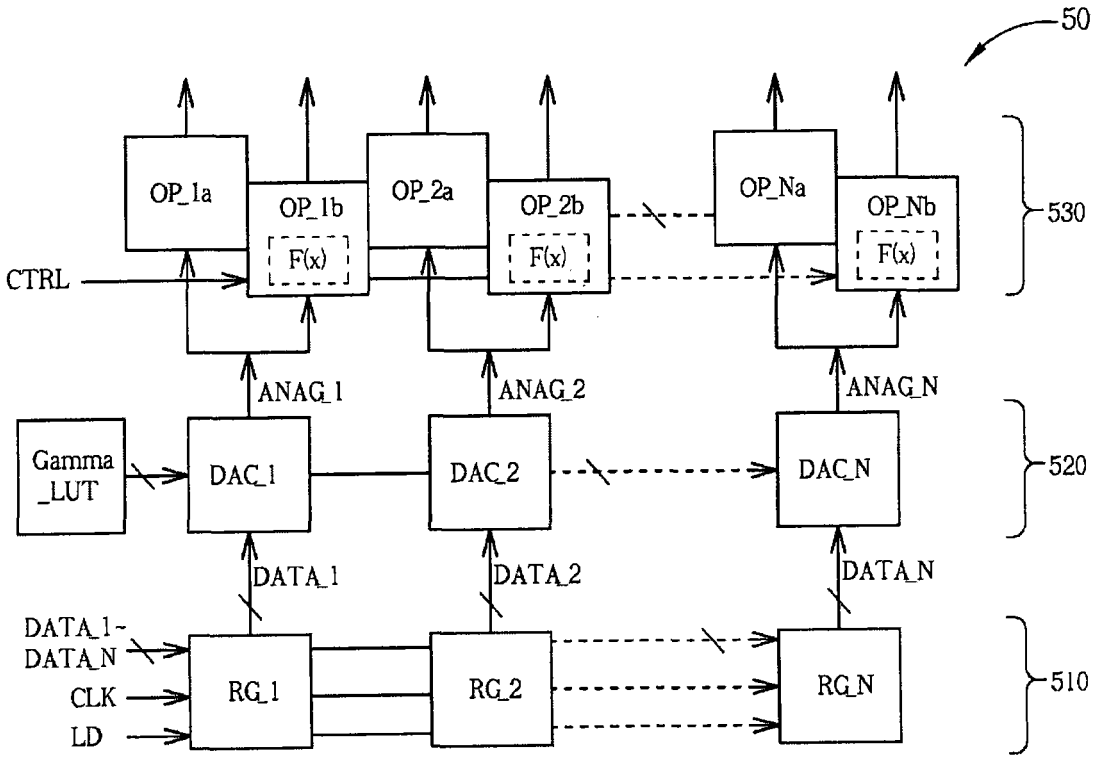

50
OP_1a
OP_1b
F(x)
OP_2a
OP_2b
F(x)
OP_Na
OP_Nb
F(x)
530
CTRL
ANAG_1
ANAG_2
ANAG_N
Gamma
_LUT
DAC_1
DAC_2
DAC_N
520
DATA_1
DATA_2
DATA_N
DATA_1~
DATA_N
CLK
LD
RG_1
RG_2
RG_N
510

图 5

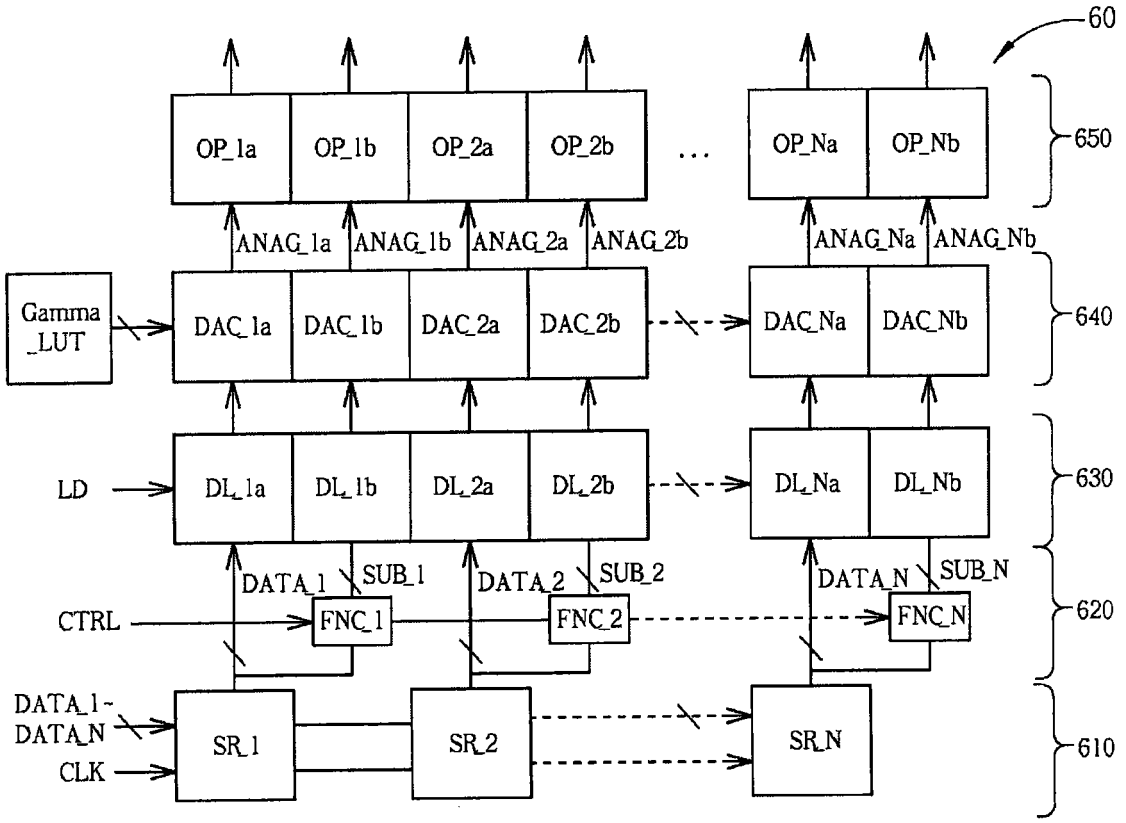

60
OP_1a
OP_1b
OP_2a
OP_2b
...
OP_Na
OP_Nb
650
ANAG_1a
ANAG_1b
ANAG_2a
ANAG_2b
ANAG_Na
ANAG_Nb
Gamma _LUT
DAC_1a
DAC_1b
DAC_2a
DAC_2b
DAC_Na
DAC_Nb
640
LD
DL_1a
DL_1b
DL_2a
DL_2b
DL_Na
DL_Nb
630
DATA_1
SUB_1
DATA_2
SUB_2
DATA_N
SUB_N
CTRL
FNC_1
FNC_2
FNC_N
620
DATA_1~ DATA_N
CLK
SR_1
SR_2
SR_N
610

图 6

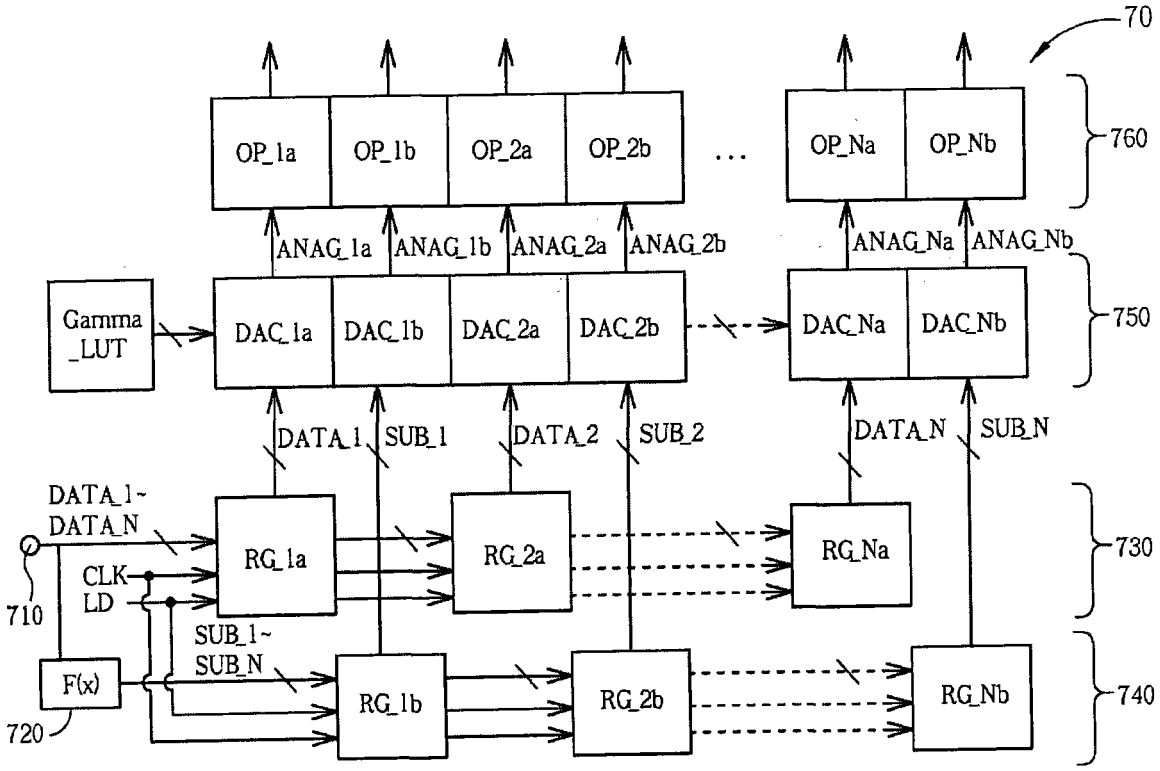

70
OP_1a
OP_1b
OP_2a
OP_2b
...
OP_Na
OP_Nb
760
ANAG_1a
ANAG_1b
ANAG_2a
ANAG_2b
ANAG_Na
ANAG_Nb
Gamma
_LUT
DAC_1a
DAC_1b
DAC_2a
DAC_2b
DAC_Na
DAC_Nb
750
DATA_1
SUB_1
DATA_2
SUB_2
DATA_N
SUB_N
DATA_1~
DATA_N
RG_1a
RG_2a
RG_Na
730
710
CLK
LD
SUB_1~
SUB_N
F(x)
720
RG_1b
RG_2b
RG_Nb
740

图 7

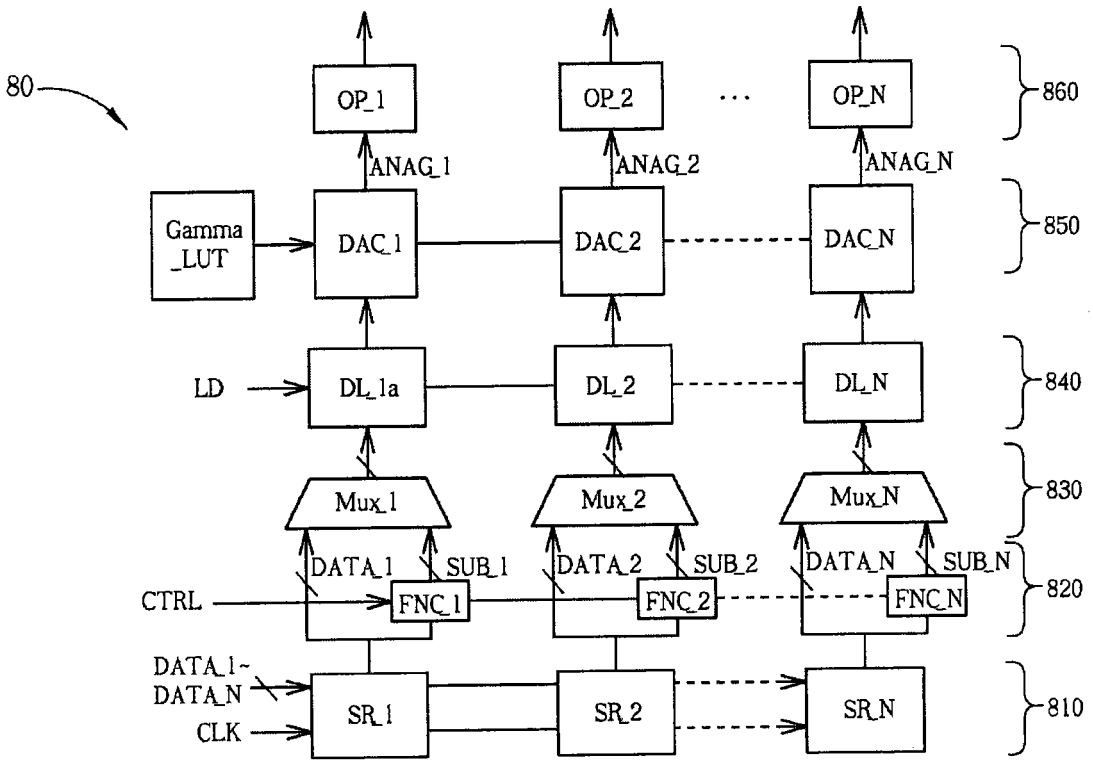

80
OP_1
OP_2
OP_N
860
ANAG_1
ANAG_2
ANAG_N
Gamma
_LUT
DAC_1
DAC_2
DAC_N
850
LD
DL_1a
DL_2
DL_N
840
Mux_1
Mux_2
Mux_N
830
DATA_1
SUB_1
DATA_2
SUB_2
DATA_N
SUB_N
CTRL
FNC_1
FNC_2
FNC_N
820
DATA_1~
DATA_N
CLK
SR_1
SR_2
SR_N
810

图 8

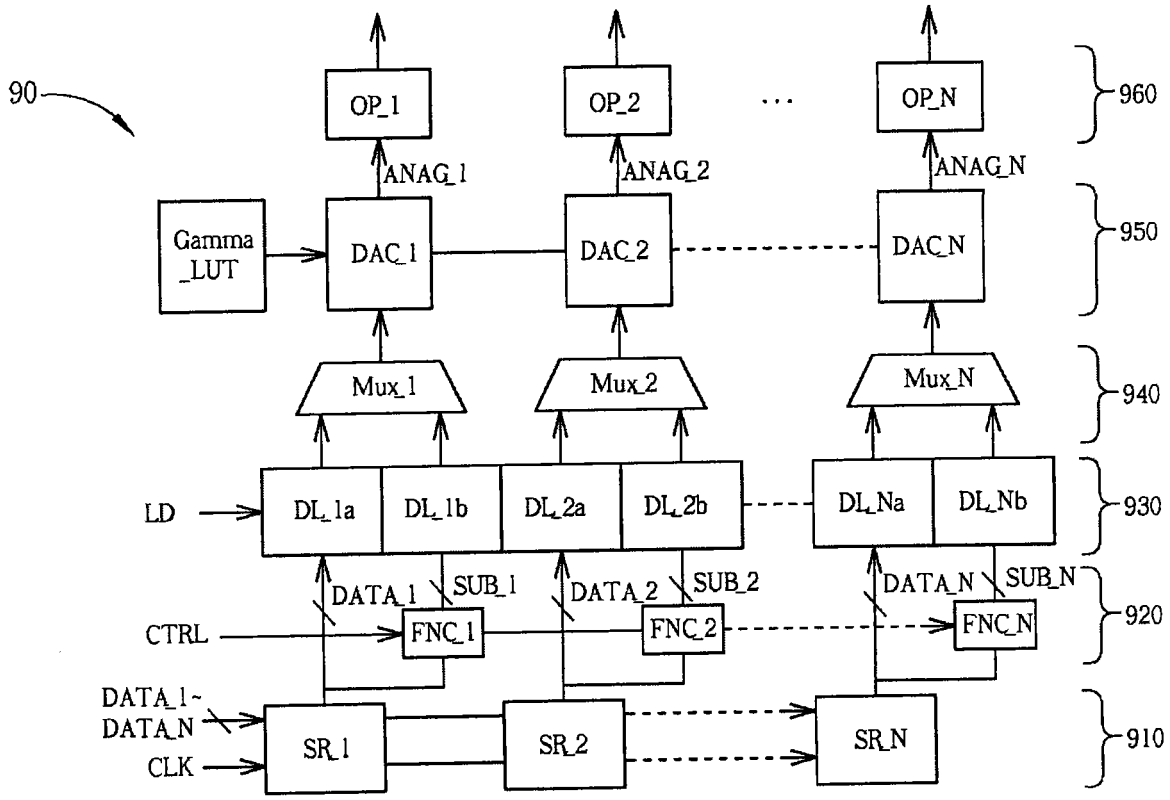
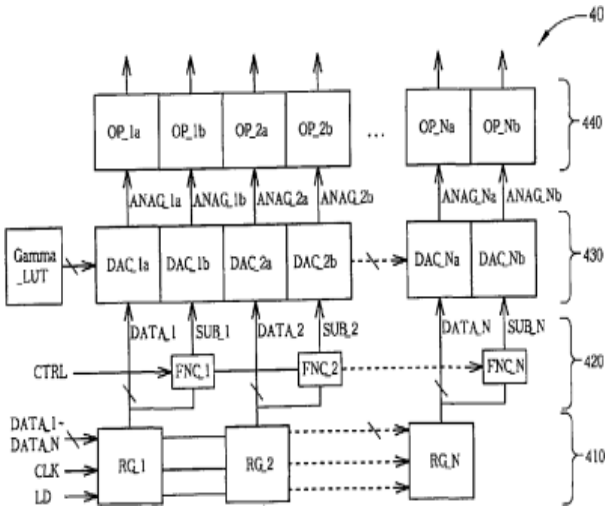

90
OP_1
OP_2
OP_N
960
ANAG_1
ANAG_2
ANAG_N
Gamma
_LUT
DAC_1
DAC_2
DAC_N
950
Mux_1
Mux_2
Mux_N
940
LD
DL_1a
DL_1b
DL_2a
DL_2b
DL_Na
DL_Nb
930
DATA_1
SUB_1
DATA_2
SUB_2
DATA_N
SUB_N
CTRL
FNC_1
FNC_2
FNC_N
920
DATA_1~
DATA_N
CLK
SR_1
SR_2
SR_N
910

图 9

专利名称(译)	用于低色偏液晶显示器的数据驱动电路		
公开(公告)号	CN101582242A	公开(公告)日	2009-11-18
申请号	CN200810097052.X	申请日	2008-05-12
[标]申请(专利权)人(译)	联咏科技股份有限公司		
申请(专利权)人(译)	联咏科技股份有限公司		
当前申请(专利权)人(译)	联咏科技股份有限公司		
[标]发明人	韩开旭		
发明人	韩开旭		
IPC分类号	G09G3/36 G09G5/02		
其他公开文献	CN101582242B		
外部链接	Espacenet SIPO		

摘要(译)

用于低色偏液晶显示器的数据驱动电路，包含有一序列至并列转换模组，用来将依序接收的多个像素数据转换成并列输出；一补偿数据产生模组，用来根据该多个像素数据进行运算，以产生多个迦玛补偿数据；一数字至模拟转换模组用来根据一迦玛电压表，对该多个像素数据及该多个迦玛补偿数据进行数字至模拟转换；以及一运算放大模组用来根据该数字至模拟转换器模组所输出的模拟信号，产生多个主要像素驱动电压及多个补偿像素驱动电压，以驱动低色偏液晶显示器中对应于同一列的多个主要像素及多个相对应补偿像素。