



(12) 实用新型专利

(10) 授权公告号 CN 201984789 U

(45) 授权公告日 2011. 09. 21

(21) 申请号 201120115832. X

(22) 申请日 2011. 04. 19

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 吕敬 彭宽军 孙涛

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 黄灿 赵爱军

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/133 (2006. 01)

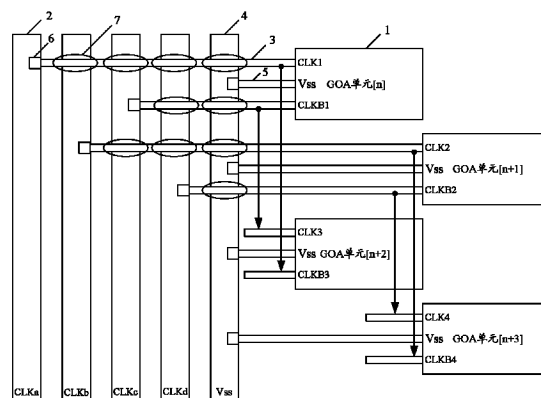
权利要求书 1 页 说明书 6 页 附图 4 页

(54) 实用新型名称

一种阵列基板行驱动电路、阵列基板及液晶显示装置

(57) 摘要

本实用新型提供一种阵列基板行驱动电路、阵列基板及液晶显示装置。阵列基板行驱动 GOA 电路具有多个 GOA 单元、多条驱动信号总线 and 多条驱动信号连接线,其中:多个 GOA 单元中的第一 GOA 单元的一输入端连接有第一驱动信号连接线,所述第一驱动信号连接线通过过孔与第一驱动信号总线电性连接,且所述第一驱动信号连接线跨过至少一条驱动信号总线;多个 GOA 单元中的第二 GOA 单元的一输入端连接有第二驱动信号连接线,所述第二驱动信号连接线通过过孔与所述第一驱动信号连接线电性连接。本实用新型能够降低液晶面板的逻辑功耗。



1. 一种阵列基板行驱动 GOA 电路, 具有多个 GOA 单元、多条驱动信号总线和多条驱动信号连接线, 其特征在于:

多个 GOA 单元中的第一 GOA 单元的一输入端连接有第一驱动信号连接线, 所述第一驱动信号连接线通过过孔与第一驱动信号总线电性连接, 且所述第一驱动信号连接线跨过至少一条驱动信号总线;

多个 GOA 单元中的第二 GOA 单元的一输入端连接有第二驱动信号连接线, 所述第二驱动信号连接线通过过孔与所述第一驱动信号连接线电性连接。

2. 如权利要求 1 所述的 GOA 电路, 其特征在于, 所述多条驱动信号总线中包括多条时钟信号总线, 所述多条驱动信号连接线中包括多条时钟信号连接线, 每个 GOA 单元具有正相时钟信号输入端和反相时钟信号输入端;

所述第一 GOA 单元的正相时钟信号输入端连接有第一时钟信号连接线, 所述第一时钟信号连接线通过过孔与第一时钟信号总线电性连接;

所述第二 GOA 单元的反相时钟信号输入端连接有第二时钟信号连接线, 所述第二时钟信号连接线通过过孔与所述第一时钟信号连接线电性连接。

3. 如权利要求 2 所述的 GOA 电路, 其特征在于:

所述第一 GOA 单元的反相时钟信号输入端连接有第三时钟信号连接线, 所述第三时钟信号连接线通过过孔与第二时钟信号总线电性连接;

所述第二 GOA 单元的正相时钟信号输入端连接有第四时钟信号连接线, 所述第四时钟信号连接线通过过孔与所述第三时钟信号连接线电性连接。

4. 如权利要求 2 所述的 GOA 电路, 其特征在于:

所述第二 GOA 单元的正相时钟信号输入端连接有第四时钟信号连接线, 所述第四时钟信号连接线通过过孔与第二时钟信号总线电性连接;

所述第一 GOA 单元的反相时钟信号输入端连接有第三时钟信号连接线, 所述第三时钟信号连接线通过过孔与所述第四时钟信号连接线电性连接。

5. 如权利要求 1 所述的 GOA 电路, 其特征在于, 所述多条驱动信号总线中包括一条低电压信号 V_{ss} 总线, 每个 GOA 单元具有 V_{ss} 输入端;

所述第一 GOA 单元的 V_{ss} 输入端连接有第一 V_{ss} 连接线, 所述第二 GOA 单元的 V_{ss} 输入端连接有第二 V_{ss} 连接线;

所述第一 V_{ss} 连接线与所述第二 V_{ss} 连接线中的一个通过过孔与所述 V_{ss} 总线电性连接;

所述第一 V_{ss} 连接线与所述第二 V_{ss} 连接线之间通过过孔电性连接。

6. 如权利要求 1 至 5 中任一项所述的 GOA 电路, 其特征在于:

所述驱动信号总线形成在栅金属层, 所述驱动信号连接线形成在源漏金属层, 所述过孔形成在钝化层。

7. 一种阵列基板, 其特征在于, 具有如权利要求 1 至 6 中任一项所述的 GOA 电路。

8. 一种液晶显示装置, 其特征在于, 具有如权利要求 7 所述的阵列基板。

一种阵列基板行驱动电路、阵列基板及液晶显示装置

技术领域

[0001] 本实用新型涉及液晶显示领域,尤其涉及一种阵列基板行驱动电路、阵列基板及液晶显示装置。

背景技术

[0002] 随着薄膜晶体管液晶显示器 (Thin film transistor liquid crystal display, TFT LCD) 产业的发展, TFT LCD 产品的竞争日趋激烈,各厂家都在通过采用新技术以降低产品的成本,从而提高其产品在市场上的竞争力,阵列基板行驱动 (Gate Driver on Array, GOA) 技术就是这些新技术的典型代表。

[0003] GOA 技术是将栅极 (Gate) 开关电路集成于阵列 (Array) 基板上,从而可以省掉栅极驱动集成电路 (Gate Driver IC) 部分,从材料成本和工艺步骤两个方面可以达到降低产品成本的目的。

[0004] 但是,GOA 技术的采用,相对于传统的覆晶薄膜 (Chip On Film, COF) 方式,液晶面板的逻辑功耗会有一定程度的上升。因此,在采用 GOA 技术后,如何降低液晶面板的逻辑功耗,特别是降低 GOA 电路部分的功耗,就成为亟待解决的技术问题。

实用新型内容

[0005] 本实用新型所要解决的技术问题是提供一种阵列基板行驱动电路、阵列基板及液晶显示装置,以降低液晶面板的逻辑功耗。

[0006] 为解决上述技术问题,本实用新型提供技术方案如下:

[0007] 一种阵列基板行驱动 GOA 电路,具有多个 GOA 单元、多条驱动信号总线和多条驱动信号连接线,其中:

[0008] 多个 GOA 单元中的第一 GOA 单元的一输入端连接有第一驱动信号连接线,所述第一驱动信号连接线通过过孔与第一驱动信号总线电性连接,且所述第一驱动信号连接线跨过至少一条驱动信号总线;

[0009] 多个 GOA 单元中的第二 GOA 单元的一输入端连接有第二驱动信号连接线,所述第二驱动信号连接线通过过孔与所述第一驱动信号连接线电性连接。

[0010] 上述的 GOA 电路,其中,所述多条驱动信号总线中包括多条时钟信号总线,所述多条驱动信号连接线中包括多条时钟信号连接线,每个 GOA 单元具有正相时钟信号输入端和反相时钟信号输入端;

[0011] 所述第一 GOA 单元的正相时钟信号输入端连接有第一时钟信号连接线,所述第一时钟信号连接线通过过孔与第一时钟信号总线电性连接;

[0012] 所述第二 GOA 单元的反相时钟信号输入端连接有第二时钟信号连接线,所述第二时钟信号连接线通过过孔与所述第一时钟信号连接线电性连接。

[0013] 上述的 GOA 电路,其中:

[0014] 所述第一 GOA 单元的反相时钟信号输入端连接有第三时钟信号连接线,所述第三

时钟信号连接线通过过孔与第二时钟信号总线电性连接；

[0015] 所述第二 GOA 单元的正相时钟信号输入端连接第四时钟信号连接线，所述第四时钟信号连接线通过过孔与第三时钟信号连接线电性连接。

[0016] 上述的 GOA 电路，其中：

[0017] 所述第二 GOA 单元的正相时钟信号输入端连接第四时钟信号连接线，所述第四时钟信号连接线通过过孔与第二时钟信号总线电性连接；

[0018] 所述第一 GOA 单元的反相时钟信号输入端连接第三时钟信号连接线，所述第三时钟信号连接线通过过孔与第四时钟信号连接线电性连接。

[0019] 上述的 GOA 电路，其中，所述多条驱动信号总线中包括一条低电压信号 V_{ss} 总线，每个 GOA 单元具有 V_{ss} 输入端；

[0020] 所述第一 GOA 单元的 V_{ss} 输入端连接第一 V_{ss} 连接线，所述第二 GOA 单元的 V_{ss} 输入端连接第二 V_{ss} 连接线；

[0021] 所述第一 V_{ss} 连接线与第二 V_{ss} 连接线中的一个通过过孔与 V_{ss} 总线电性连接；

[0022] 所述第一 V_{ss} 连接线与第二 V_{ss} 连接线之间通过过孔电性连接。

[0023] 上述的 GOA 电路，其中：

[0024] 所述驱动信号总线形成在栅金属层，所述驱动信号连接线形成在源漏金属层，所述过孔形成在钝化层。

[0025] 一种阵列基板，所述阵列基板具有上述的 GOA 电路。

[0026] 一种液晶显示装置，所述液晶显示装置具有上述的阵列基板。

[0027] 与现有技术相比，本实用新型的有益效果是：

[0028] 本实用新型的实施例将部分驱动信号连接线通过过孔与驱动信号总线电性连接，将剩余的驱动信号连接线通过过孔与电性连接到驱动信号总线的驱动信号连接线电性连接，能够减少驱动信号总线与驱动信号连接线的交叠区域的数目，使得交叠电容也随之减少，交叠电容的减少一方面能够降低 GOA 电路以及液晶面板的逻辑功耗，另一方面还可以减小 GOA 时钟信号的延迟。

附图说明

[0029] 图 1 为现有技术的 GOA 电路的结构示意图；

[0030] 图 2 为本实用新型实施例一的 GOA 电路的结构示意图；

[0031] 图 3 为本实用新型实施例二的 GOA 电路的结构示意图；

[0032] 图 4 为本实用新型实施例三的 GOA 电路的结构示意图。

具体实施方式

[0033] 为使本实用新型的目的、技术方案和优点更加清楚，下面将结合附图及具体实施例对本实用新型进行详细描述。

[0034] 图 1 为现有技术的 GOA 电路的结构示意图。参照图 1，所述 GOA 电路具有多个 GOA 单元 1、多条时钟信号总线 2、多条时钟信号连接线 3、一条低电压信号 V_{ss} 总线 4 和多条 V_{ss} 连接线 5，每个 GOA 单元 1 具有一正相时钟信号输入端 CLK、一反相时钟信号输入端 CLKB 和

一低电压信号输入端 V_{ss} 。

[0035] GOA 电路一般采用多时钟 (clock) 信号驱动, 图 1 中显示的为 4clock 信号驱动, 相应地, 其具有 4 条时钟信号总线 (CLKa、CLKb、CLKc 和 CLKd)。时钟信号总线 2 和 V_{ss} 总线 4 一般形成在栅金属层上, 时钟信号连接线 3 和 V_{ss} 连接线 5 一般形成在源漏金属层上。每个 GOA 单元 1 的正相时钟信号输入端 CLK 和反相时钟信号输入端 CLKB 都分别连接有时钟信号连接线 3, 各时钟信号连接线 3 分别通过过孔 6 与相应的时钟信号总线 2 电性连接。每个 GOA 单元 1 的低电压信号输入端 V_{ss} 都连接有 V_{ss} 连接线 5, 各 V_{ss} 连接线 5 通过过孔 6 与 V_{ss} 总线 4 电性连接。

[0036] 从图 1 中可以看出, 时钟信号总线 2 与时钟信号连接线 3 存在很多交叠区域 7 (图中的椭圆圈所示)。而所述交叠区域 7 在 GOA 时钟信号驱动和 GOA 单元 1 工作时, 会产生交叠电容。交叠电容的存在会带来如下问题:

[0037] 会额外增加时钟信号总线 2 的负载, 从而增加 GOA 电路的功耗;

[0038] 会使得时钟信号总线 2 上的时钟信号产生信号的延迟, 导致像素的充电时间减少, 使得像素的充电率降低, 严重时会造成显示异常。

[0039] 基于此, 本实用新型实施例通过减少交叠区域的数量来克服上述问题。具体地, 是将所有驱动信号连接线均通过过孔与驱动信号总线电性连接的方式修改为: 部分驱动信号连接线通过过孔与驱动信号总线电性连接, 剩余的驱动信号连接线通过过孔与电性连接到驱动信号总线的驱动信号连接线电性连接。

[0040] 在本实用新型实施例中, 驱动信号总线包括时钟信号总线和 V_{ss} 总线, 相应地, 驱动信号连接线包括时钟信号连接线和 V_{ss} 连接线。

[0041] 以下给出三个具体实施例。

[0042] 实施例一

[0043] 图 2 为本实用新型实施例一的 GOA 电路的结构示意图。参照图 2, 所述 GOA 电路具有多个 GOA 单元 1、多条时钟信号总线 2、多条时钟信号连接线 3、一条低电压信号 V_{ss} 总线 4 和多条 V_{ss} 连接线 5, 每个 GOA 单元 1 具有一正相时钟信号输入端 CLK、一反相时钟信号输入端 CLKB 和一低电压信号输入端 V_{ss} 。

[0044] GOA 电路一般采用多时钟 (clock) 信号驱动, 图 2 中显示的为 4clock 信号驱动, 相应地, 其具有 4 条时钟信号总线 (CLKa、CLKb、CLKc 和 CLKd)。时钟信号总线 2 和 V_{ss} 总线 4 一般形成在栅金属层上, 时钟信号连接线 3 和 V_{ss} 连接线 5 一般形成在源漏金属层上。每个 GOA 单元 1 的正相时钟信号输入端 CLK 和反相时钟信号输入端 CLKB 都分别连接有时钟信号连接线 3, 每个 GOA 单元 1 的低电压信号输入端 V_{ss} 都连接有 V_{ss} 连接线 5, 各 V_{ss} 连接线 5 通过过孔 6 与 V_{ss} 总线 4 电性连接。

[0045] 图 2 中共示出了 4 个 GOA 单元, 分别为 GOA 单元 [n]、GOA 单元 [n+1]、GOA 单元 [n+2] 和 GOA 单元 [n+3], 各 GOA 单元的时钟信号连接线的具体连接方式如下:

[0046] GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线通过过孔与时钟信号总线 CLKa 电性连接, GOA 单元 [n] 的反相时钟信号输入端 CLKB1 的时钟信号连接线通过过孔与时钟信号总线 CLKc 电性连接;

[0047] GOA 单元 [n+2] 的正相时钟信号输入端 CLK3 的时钟信号连接线通过过孔与 GOA 单元 [n] 的反相时钟信号输入端 CLKB1 的时钟信号连接线电性连接, GOA 单元 [n+2] 的反相

时钟信号输入端 CLKB3 的时钟信号连接线通过过孔与 GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线电性连接；

[0048] GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线通过过孔与时钟信号总线 CLKb 电性连接,GOA 单元 [n+1] 的反相时钟信号输入端 CLKB2 的时钟信号连接线通过过孔与时钟信号总线 CLKd 电性连接；

[0049] GOA 单元 [n+3] 的正相时钟信号输入端 CLK4 的时钟信号连接线通过过孔与 GOA 单元 [n+1] 的反相时钟信号输入端 CLKB2 的时钟信号连接线电性连接,GOA 单元 [n+3] 的反相时钟信号输入端 CLKB4 的时钟信号连接线通过过孔与 GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线电性连接。

[0050] 完成上述连接方式的具体工艺流程如下：

[0051] 首先形成 GOA 电路的时钟信号总线,即在基板（例如 Glass）上面形成 Gate 层图案；

[0052] 然后形成到 GOA 单元的时钟信号连接线,即形成 Active 和 SD 层图案；

[0053] 最后按照上述连接方式形成时钟信号总线与时钟信号连接线之间、时钟信号连接线与时钟信号连接线之间的过孔连接,即在钝化层 (PVX) 形成过孔,并通过过孔用透明电极层,如 ITO 层将相应的时钟信号总线与时钟信号连接线、时钟信号连接线与时钟信号连接线进行电性连接。

[0054] 实施例二

[0055] 图 3 为本实用新型实施例二的 GOA 电路的结构示意图。参照图 2,所述 GOA 电路具有多个 GOA 单元 1、多条时钟信号总线 2、多条时钟信号连接线 3、一条低电压信号 Vss 总线 4 和多条 Vss 连接线 5,每个 GOA 单元 1 具有一正相时钟信号输入端 CLK、一反相时钟信号输入端 CLKB 和一低电压信号输入端 Vss。

[0056] GOA 电路一般采用多时钟 (clock) 信号驱动,图 3 中显示的为 4clock 信号驱动,相应地,其具有 4 条时钟信号总线 (CLKa、CLKb、CLKc 和 CLKd)。时钟信号总线 2 和 Vss 总线 4 一般形成在栅金属层上,时钟信号连接线 3 和 Vss 连接线 5 一般形成在源漏金属层上。每个 GOA 单元 1 的正相时钟信号输入端 CLK 和反相时钟信号输入端 CLKB 都分别连接有时钟信号连接线 3,每个 GOA 单元 1 的低电压信号输入端 Vss 都连接有 Vss 连接线 5,各 Vss 连接线 5 通过过孔 6 与 Vss 总线 4 电性连接。

[0057] 图 3 中共示出了 4 个 GOA 单元,分别为 GOA 单元 [n]、GOA 单元 [n+1]、GOA 单元 [n+2] 和 GOA 单元 [n+3],各 GOA 单元的时钟信号连接线的具体连接方式如下：

[0058] GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线通过过孔与时钟信号总线 CLKa 电性连接,GOA 单元 [n+2] 的反相时钟信号输入端 CLKB3 的时钟信号连接线通过过孔与 GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线电性连接；

[0059] GOA 单元 [n+2] 的正相时钟信号输入端 CLK3 的时钟信号连接线通过过孔与时钟信号总线 CLKc 电性连接,GOA 单元 [n] 的反相时钟信号输入端 CLKB1 的时钟信号连接线通过过孔与 GOA 单元 [n+2] 的正相时钟信号输入端 CLK3 的时钟信号连接线电性连接；

[0060] GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线通过过孔与时钟信号总线 CLKb 电性连接,GOA 单元 [n+3] 的反相时钟信号输入端 CLKB4 的时钟信号连接线通过过孔与 GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线电性连接；

[0061] GOA 单元 [n+3] 的正相时钟信号输入端 CLK4 的时钟信号连接线通过过孔与时钟信号总线 CLKd 电性连接,GOA 单元 [n+1] 的反相时钟信号输入端 CLKB2 的时钟信号连接线通过过孔与 GOA 单元 [n+3] 的正相时钟信号输入端 CLK4 的时钟信号连接线电性连接。

[0062] 完成上述连接方式的具体工艺流程请参见实施例一。

[0063] 实施例三

[0064] 图 4 为本实用新型实施例一的 GOA 电路的结构示意图。参照图 4,所述 GOA 电路具有多个 GOA 单元 1、多条时钟信号总线 2、多条时钟信号连接线 3、一条低电压信号 Vss 总线 4 和多条 Vss 连接线 5,每个 GOA 单元 1 具有一正相时钟信号输入端 CLK、一反相时钟信号输入端 CLKB 和一低电压信号输入端 Vss。

[0065] GOA 电路一般采用多时钟 (clock) 信号驱动,图 4 中显示的为 4clock 信号驱动,相应地,其具有 4 条时钟信号总线 (CLKa、CLKb、CLKc 和 CLKd)。时钟信号总线 2 和 Vss 总线 4 一般形成在栅金属层上,时钟信号连接线 3 和 Vss 连接线 5 一般形成在源漏金属层上。每个 GOA 单元 1 的正相时钟信号输入端 CLK 和反相时钟信号输入端 CLKB 都分别连接有时钟信号连接线 3,每个 GOA 单元 1 的低电压信号输入端 Vss 都连接有 Vss 连接线 5。

[0066] 图 4 中共示出了 4 个 GOA 单元,分别为 GOA 单元 [n]、GOA 单元 [n+1]、GOA 单元 [n+2] 和 GOA 单元 [n+3],与实施例一不同之处在于 Vss 连接线与 Vss 总线的连接方式不同,具体为:

[0067] GOA 单元 [n] 的 Vss 连接线通过过孔与 Vss 总线电性连接,GOA 单元 [n+1] 的 Vss 连接线通过过孔与 GOA 单元 [n] 的 Vss 连接线电性连接,GOA 单元 [n+2] 的 Vss 连接线通过过孔与 GOA 单元 [n+1] 的 Vss 连接线电性连接,GOA 单元 [n+3] 的 Vss 连接线通过过孔与 GOA 单元 [n+2] 的 Vss 连接线电性连接。

[0068] 其中,各 GOA 单元的时钟信号连接线可以采用如下的连接方式:

[0069] GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线通过过孔与时钟信号总线 CLKa 电性连接,GOA 单元 [n] 的反相时钟信号输入端 CLKB1 的时钟信号连接线通过过孔与时钟信号总线 CLKc 电性连接;

[0070] GOA 单元 [n+2] 的正相时钟信号输入端 CLK3 的时钟信号连接线通过过孔与 GOA 单元 [n] 的反相时钟信号输入端 CLKB1 的时钟信号连接线电性连接,GOA 单元 [n+2] 的反相时钟信号输入端 CLKB3 的时钟信号连接线通过过孔与 GOA 单元 [n] 的正相时钟信号输入端 CLK1 的时钟信号连接线电性连接;

[0071] GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线通过过孔与时钟信号总线 CLKb 电性连接,GOA 单元 [n+1] 的反相时钟信号输入端 CLKB2 的时钟信号连接线通过过孔与时钟信号总线 CLKd 电性连接;

[0072] GOA 单元 [n+3] 的正相时钟信号输入端 CLK4 的时钟信号连接线通过过孔与 GOA 单元 [n+1] 的反相时钟信号输入端 CLKB2 的时钟信号连接线电性连接,GOA 单元 [n+3] 的反相时钟信号输入端 CLKB4 的时钟信号连接线通过过孔与 GOA 单元 [n+1] 的正相时钟信号输入端 CLK2 的时钟信号连接线电性连接。

[0073] 完成上述连接方式的具体工艺流程请参见实施例一。

[0074] 将图 2-4 与图 1 进行对比可以看出,本实用新型实施例的技术方案减少了时钟信号总线与时钟信号连接线之间的交叠区域的数量。一般来说,驱动信号总线的宽度在几百

微米的量级,而驱动信号连接线的宽度在 10 微米的量级上。因此,通过减少驱动信号总线与驱动连接线之间的交叠区域的数量,更多采用驱动信号连接线与驱动信号连接线之间的交叠,能够减少交叠区域的总面积。交叠区域的总面积减少后,交叠电容也随之减少,交叠电容的减少一方面能够降低 GOA 电路以及液晶面板的逻辑功耗,另一方面还可以减小 GOA 时钟信号的延迟。

[0075] 需要说明的是,本实用新型的实施例是以 4clock 信号驱动为基准进行的说明,所以采用了 4 个 GOA 单元为最小重复单元,但是,这并不是说只能采用 4 个 GOA 单元为最小重复单元,按照本实用新型实施例的思路,还可以根据实际需要选择不同的 GOA 重复单元个数。

[0076] 并且,随着双栅 / 三栅 (Dual-Gate/Triple-Gate) 像素设计的逐渐普及化,GOA 驱动正向着更多的时钟信号驱动方式发展。显然,时钟信号越多,图 1 中的交叠区域的数目就越多,采用本实用新型实施例的技术方案后,对交叠区域的数目减少的也就越多,从而对液晶面板的逻辑功耗的改善也更加明显。

[0077] 最后还应当说明的是,以上实施例仅用以说明本实用新型的技术方案而非限制,本领域的普通技术人员应当理解,可以对本实用新型的技术方案进行修改或者等同替换,而不脱离本实用新型技术方案的精神范围,其均应涵盖在本实用新型的权利要求范围当中。

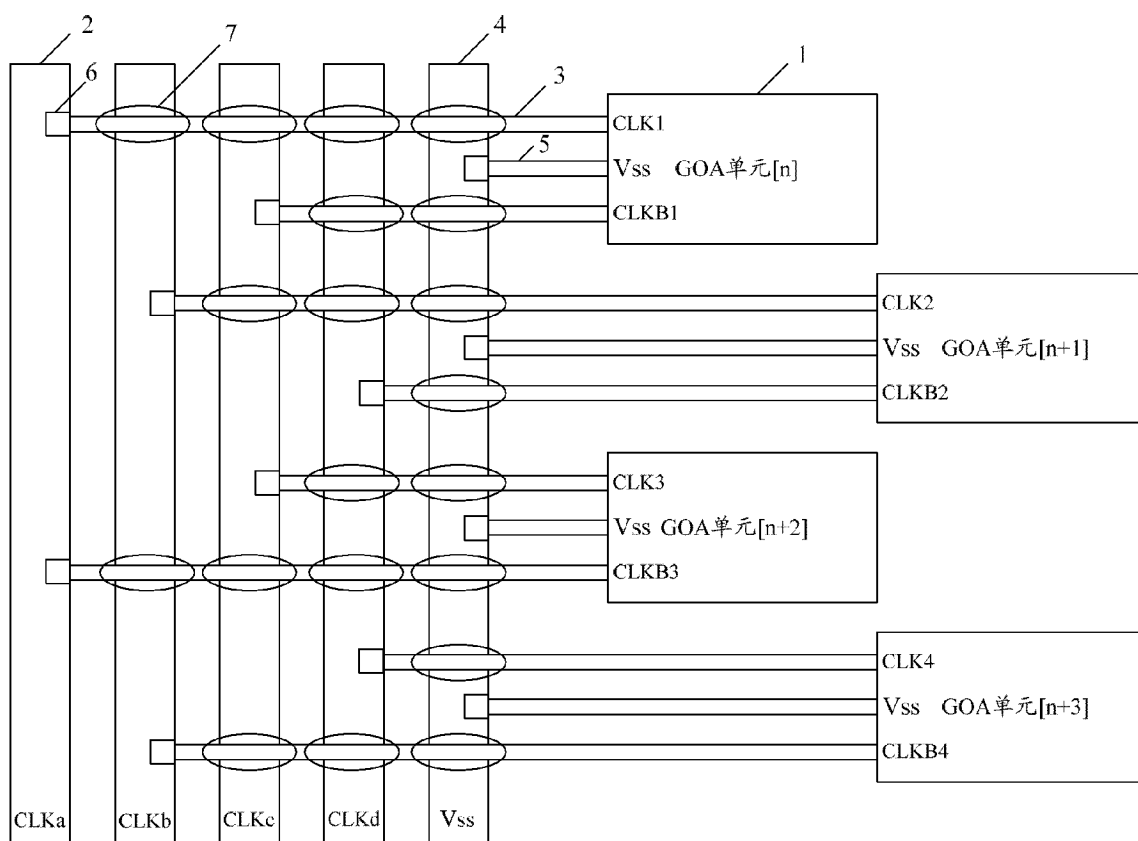


图 1

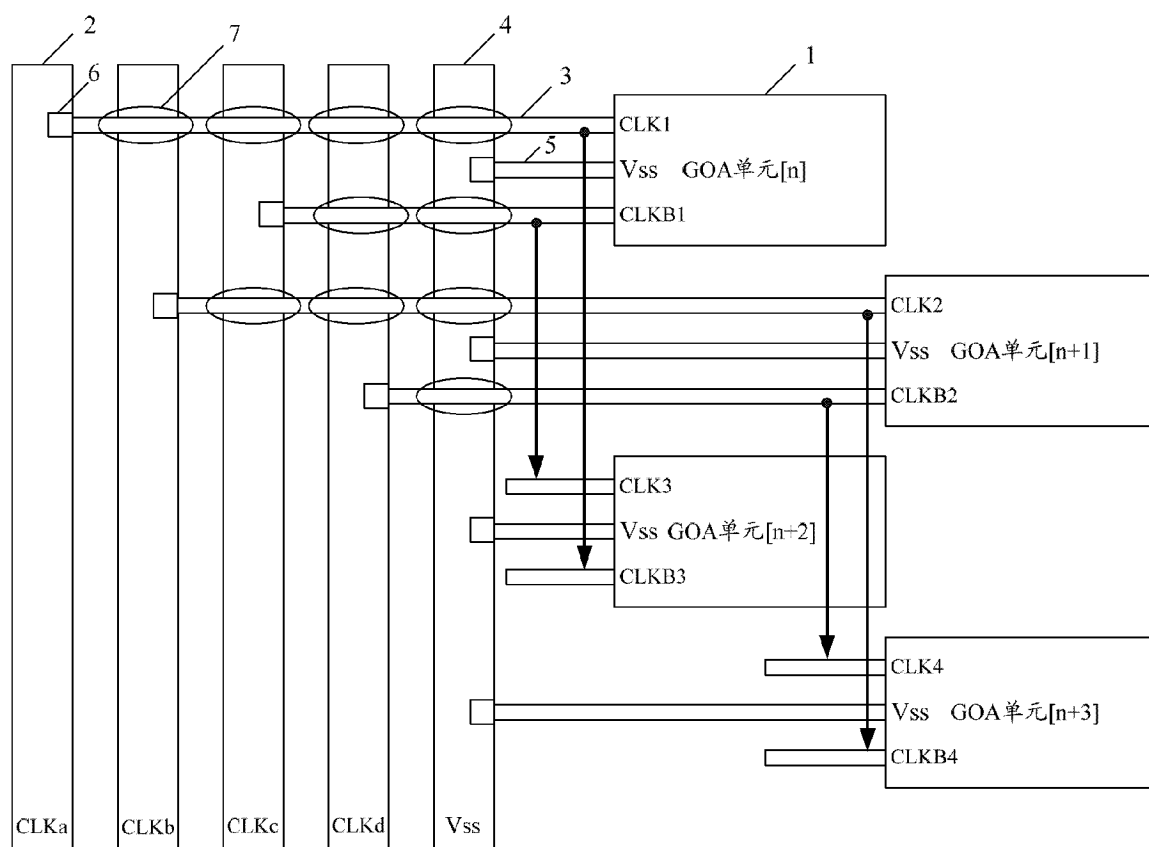


图 2

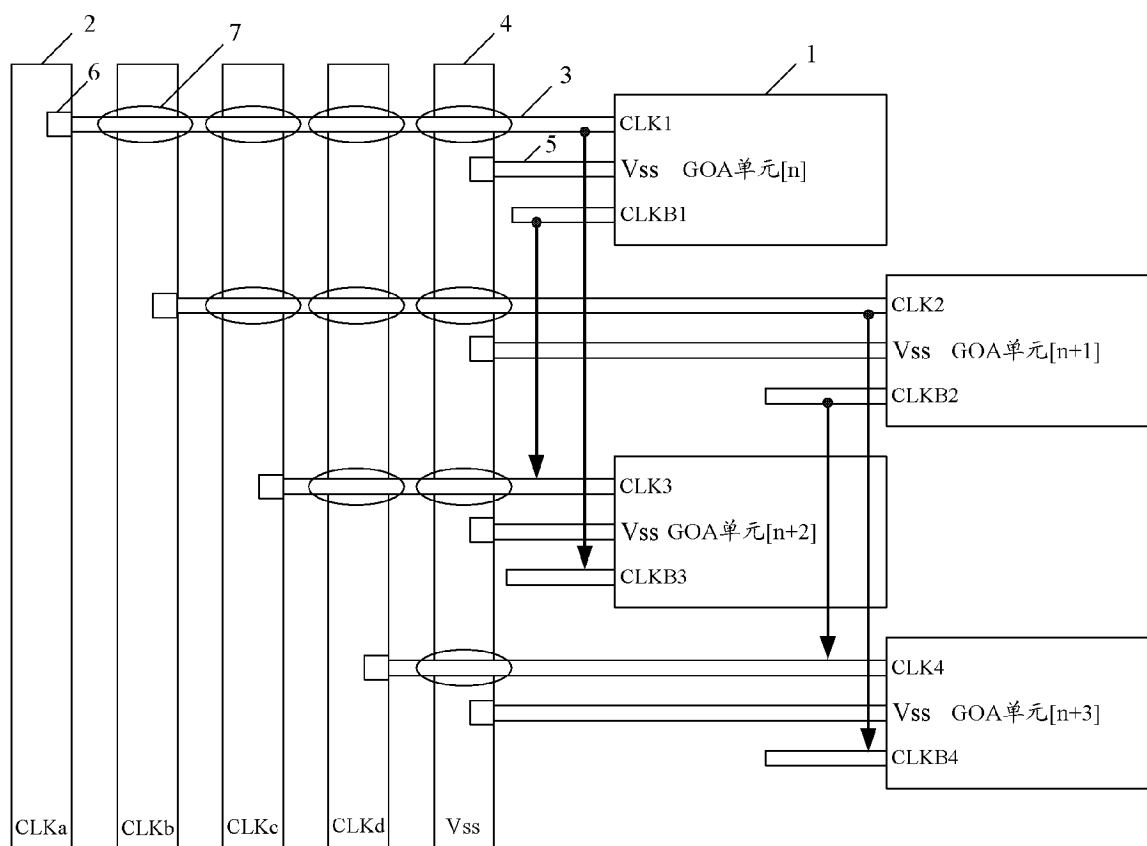


图 3

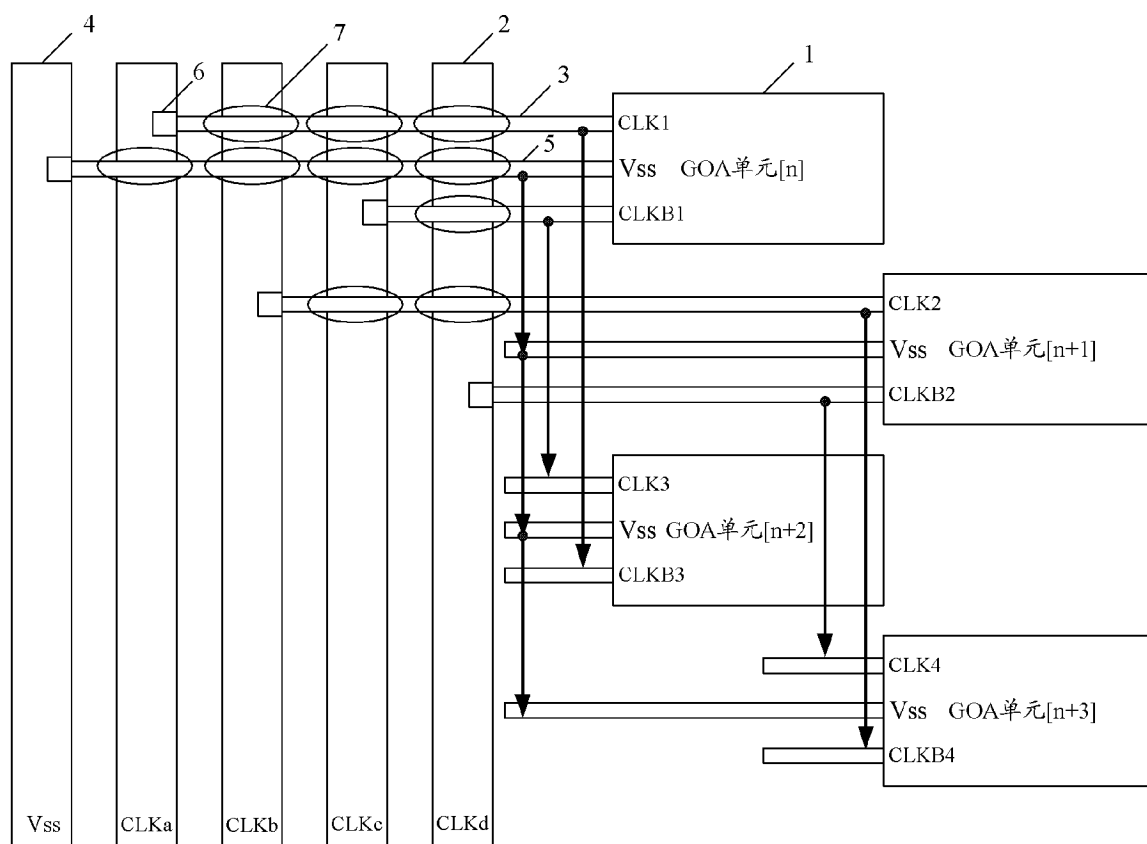


图 4

专利名称(译)	一种阵列基板行驱动电路、阵列基板及液晶显示装置		
公开(公告)号	CN201984789U	公开(公告)日	2011-09-21
申请号	CN201120115832.X	申请日	2011-04-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	吕敬 彭宽军 孙涛		
发明人	吕敬 彭宽军 孙涛		
IPC分类号	G09G3/36 G02F1/1362 G02F1/133		
代理人(译)	黄灿 赵爱军		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供一种阵列基板行驱动电路、阵列基板及液晶显示装置。阵列基板行驱动GOA电路具有多个GOA单元、多条驱动信号总线和多条驱动信号连接线，其中：多个GOA单元中的第一GOA单元的一输入端连接有第一驱动信号连接线，所述第一驱动信号连接线通过过孔与第一驱动信号总线电性连接，且所述第一驱动信号连接线跨过至少一条驱动信号总线；多个GOA单元中的第二GOA单元的一输入端连接有第二驱动信号连接线，所述第二驱动信号连接线通过过孔与所述第一驱动信号连接电线电性连接。本实用新型能够降低液晶面板的逻辑功耗。

