



(12) 发明专利申请

(10) 申请公布号 CN 102654982 A

(43) 申请公布日 2012. 09. 05

(21) 申请号 201110126582. 4

(22) 申请日 2011. 05. 16

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 成都京东方光电科技有限公司

(72) 发明人 李天马 祁小敬 青海刚

(74) 专利代理机构 北京中博世达专利商标代理  
有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

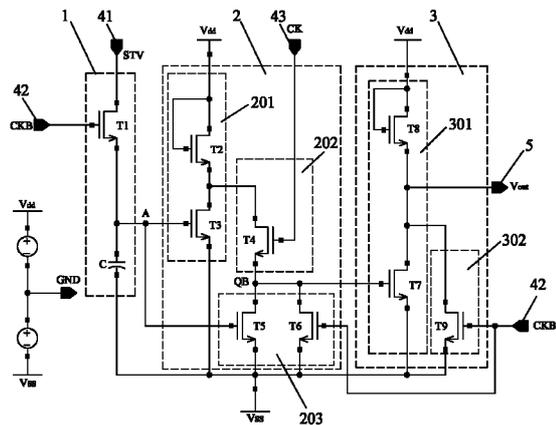
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器

(57) 摘要

本发明公开一种移位寄存器单元电路、移位寄存器及液晶显示器阵列基板，主要是为了解决现有移位寄存器可靠性差的问题而设计。本发明移位寄存器，具有至少两个级联连接的移位寄存器单元电路，各移位寄存器单元电路均基于两个时钟信号工作；单元电路包括：输入端、预充电电路、第一电平拉低电路、第二电平拉低电路和输出端。本发明在改善了下拉 TFT 阈值电压在直流偏压下漂移的问题，同时解决了时钟跳变带来的输出不稳定，提高了电路的可靠性，并减少了功耗。



1. 一种移位寄存器单元电路,其特征在于,包括:

输入端,包括起始信号输入端、第一时钟信号输入端和第二时钟信号输入端;

预充电电路,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

第一电平拉低电路,接入导通电平后,将所述预充电电路输出的导通电平拉低输出低电平;导通电平截止后,响应于第一时钟信号的致能电平及第二时钟信号的非致能电平输出低电平,响应于第一时钟信号的非致能电平及第二时钟信号的致能电平输出高电平;

第二电平拉低电路,耦接于所述第一电平拉低电路的输出端,响应于第一电平拉低电路输出的高电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于第一时钟信号的致能电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于所述第一电平拉低电路输出的低电平及第一时钟信号的非致能电平,第二电平拉低电路输出高电平;

输出端,耦接于所述第二电平拉低电路的输出端,输出电平信号。

2. 根据权利要求1所述移位寄存器单元电路,其特征在于,所述第一电平拉低电路由第一反向电路、电平拉高电路和第一电平拉低子电路构成;其中,

所述第一反向电路,接入导通电平后,将第一反向电路输出端的电平拉低输出低电平;导通电平截止后,第一反向电路输出高电平;

所述电平拉高电路,响应于第二时钟信号的致能电平将所述第一反向电路输出的高电平拉高输出高电平;

所述第一电平拉低子电路,响应于第一时钟信号的致能电平,将所述电平拉高电路输出的高电平拉低输出低电平。

3. 根据权利要求1或2所述移位寄存器单元电路,其特征在于,所述预充电电路由第一开关、第一节点和电容构成;其中,

所述第一开关,栅极接入第一时钟信号,漏极接入起始信号,源极耦接于所述第一节点;

所述第一节点,为所述预充电电路导通电平输出端;

所述电容,一端耦接于所述第一节点,另一端连接低电平。

4. 根据权利要求2所述移位寄存器单元电路,其特征在于,所述第一反向电路由第二开关、第二节点和第三开关构成;其中,

所述第二开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第二节点;

所述第二节点,为所述第一电平拉低电路的输出端;

所述第三开关,栅极接入所述预充电电路的导通电平输出端,漏极耦接于所述第二节点,源极连接低电平。

5. 根据权利要求2所述移位寄存器单元电路,其特征在于,所述电平拉高电路由第四开关和第三节点构成;其中,

所述第四开关,栅极接入第二时钟信号,漏极耦接于所述第一反向电路的输出端,源极耦接于所述第三节点;

所述第三节点,为所述电平拉高电路的输出端。

6. 根据权利要求2或5所述移位寄存器单元电路,其特征在于,所述第一电平拉低子电路由第五开关和第六开关构成;其中,

所述第五开关,栅极耦接于所述预充电电路的输出端,漏极耦接于所述电平拉高电路的输出端,源极连接低电平;

所述第六开关,栅极接入第一时钟信号,漏极耦接于所述电平拉高电路的输出端,源极连接低电平。

7. 根据权利要求 2 或 5 所述移位寄存器单元电路,其特征在于,所述第一电平拉低子电路由第五开关和第六开关构成;其中,

所述第五开关,栅极耦接于所述第二电平拉低电路的输出端,漏极耦接于所述电平拉高电路的输出端,源极连接低电平;

所述第六开关,栅极接入第一时钟信号,漏极耦接于所述电平拉高电路的输出端,源极连接低电平。

8. 根据权利要求 2 或 5 所述移位寄存器单元电路,其特征在于,所述第二电平拉低电路由第二反向电路和第二电平拉低子电路构成;其中,

所述第二反向电路,响应于第一电平拉低电路输出的高电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于所述第一电平拉低电路输出的低电平,第二反向电路输出高电平;

所述第二电平拉低子电路,响应于第一时钟信号的致能电平将所述第二反向电路输出的高电平拉低输出低电平。

9. 根据权利要求 8 所述移位寄存器单元电路,其特征在于,所述第二反向电路包括:第八开关、第四节点和第七开关;其中,

所述第八开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第四节点;

所述第四节点,为所述第二电平拉低电路的输出端;

所述第七开关,栅极耦接于所述第一电平拉低电路的输出端,漏极耦接于所述第四节点,源极连接低电平。

10. 根据权利要求 8 或 9 所述移位寄存器单元电路,其特征在于,所述第二电平拉低子电路由第九开关构成;所述第九开关,其栅极接入第一时钟信号,漏极耦接于所述第二电平拉低电路的输出端,源极连接低电平。

11. 一种移位寄存器,具有至少两个级联连接的移位寄存器单元电路,各移位寄存器单元电路均基于两个时钟信号工作,其特征在于,所述的移位寄存器单元电路为权利要求 1 至权利要求 10 中所述的任意一移位寄存器单元电路。

12. 一种液晶显示器阵列基板,所述阵列基板上设置有 GOA 电路,其特征在于,所述 GOA 电路的移位寄存器为权利要求 11 中所述的移位寄存器。

13. 一种液晶显示器,包括液晶显示器阵列基板,其特征在于,所述液晶显示器阵列基板为权利要求 12 中所述的液晶显示器阵列基板。

## 移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器

### 技术领域

[0001] 本发明涉及一种液晶显示技术领域,尤其涉及一种移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器。

### 背景技术

[0002] 液晶显示器是一种以玻璃基板为制造材料的平面显示器。为了在不增加任何工艺和制造成本的情况下,通过 GOA 电路的设计(如图 1 所示的 GOA 电路移位寄存器单元电路的原理图),采用用于形成像素电路内的 TFT(Thin Film Transistor,薄膜晶体管)的制造工艺,将像素电路的驱动电路与像素电路形成为一体。在此情况下,为了降低制造成本,最好是用于 TFT 相同异电型的晶体管形成包含移位寄存器在内的驱动电路。而现有技术中,由 TFT 相同异电型的晶体管形成的移位寄存器单元电路中存在着下拉 TFT 阈值电压在直流偏压下会产生漂移以及在时钟跳变时易引起输出不稳定等问题,影响了移位寄存器的工作可靠性。

### 发明内容

[0003] 针对上述问题,本发明提供一种能有效改善漂移输出稳定的移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器。

[0004] 为达到上述目的,本发明所述移位寄存器单元电路包括:

[0005] 输入端,包括起始信号输入端、第一时钟信号输入端和第二时钟信号输入端;

[0006] 预充电电路,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

[0007] 第一电平拉低电路,接入导通电平后,将所述预充电电路输出的导通电平拉低输出低电平,导通电平截止后,响应于第一时钟信号的致能电平及第二时钟信号的非致能电平输出低电平,响应于第一时钟信号的非致能电平及第二时钟信号的致能电平输出高电平;

[0008] 第二电平拉低电路,耦接于所述第一电平拉低电路的输出端,响应于第一电平拉低电路输出的高电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于第一时钟信号的致能电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于所述第一电平拉低电路输出的低电平及第一时钟信号的非致能电平,第二电平拉低电路输出高电平;

[0009] 输出端,耦接于所述第二电平拉低电路的输出端,输出电平信号。

[0010] 进一步地,所述第一电平拉低电路由第一反向电路、电平拉高电路和第一电平拉低子电路构成;其中,

[0011] 所述第一反向电路,接入导通电平后,将第一反向电路输出端的电平拉低输出低电平;导通电平截止后,第一反向电路输出高电平;

[0012] 所述电平拉高电路,响应于第二时钟信号的致能电平将所述第一反向电路输出的高电平拉高输出高电平;

[0013] 所述第一电平拉低子电路,响应于第一时钟信号的致能电平,将所述电平拉高电路输出的高电平拉低输出低电平。

[0014] 于一具体实施例中,所述预充电电路由第一开关、第一节点和电容构成;其中,

[0015] 所述第一开关,栅极接入第一时钟信号,漏极接入起始信号,源极耦接于所述第一节点;

[0016] 所述第一节点,为所述预充电电路导通电平输出端;

[0017] 所述电容,一端耦接于所述第一节点,另一端连接低电平。

[0018] 于一具体实施例中,所述第一反向电路由第二开关、第二节点和第三开关构成;其中,

[0019] 所述第二开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第二节点;

[0020] 所述第二节点,为所述第一电平拉低电路的输出端;

[0021] 所述第三开关,栅极接入所述预充电电路的导通电平输出端,漏极耦接于所述第二节点,源极连接低电平。

[0022] 于一具体实施例中,所述电平拉高电路由第四开关和第三节点构成;其中,

[0023] 所述第四开关,栅极接入第二时钟信号,漏极耦接于所述第一反向电路的输出端,源极耦接于所述第三节点;

[0024] 所述第三节点,为所述电平拉高电路的输出端。

[0025] 于一具体实施例中,所述第一电平拉低子电路由第五开关和第六开关构成;其中,

[0026] 所述第五开关,栅极耦接于所述预充电电路的输出端,漏极耦接于所述电平拉高电路的输出端,源极连接低电平;

[0027] 所述第六开关,栅极接入第一时钟信号,漏极耦接于所述电平拉高电路的输出端,源极连接低电平。

[0028] 于一具体实施例中,所述第一电平拉低子电路由第五开关和第六开关构成;其中,

[0029] 所述第五开关,栅极耦接于所述第二电平拉低电路的输出端,漏极耦接于所述电平拉高电路的输出端,源极连接低电平;

[0030] 所述第六开关,栅极接入第一时钟信号,漏极耦接于所述电平拉高电路的输出端,源极连接低电平。

[0031] 于一具体实施例中,所述第二电平拉低电路由第二反向电路和第二电平拉低子电路构成;其中,

[0032] 所述第二反向电路,响应于第一电平拉低电路输出的高电平将所述第二电平拉低电路输出端的电平拉低输出低电平;响应于所述第一电平拉低电路输出的低电平,第二反向电路输出高电平;

[0033] 所述第二电平拉低子电路,响应于第一时钟信号的致能电平将所述第二反向电路输出的高电平拉低输出低电平。

[0034] 于一具体实施例中,所述第二反向电路包括:第八开关、第四节点和第七开关;其中,

[0035] 所述第八开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第四节点;

[0036] 所述第四节点,为所述第二电平拉低电路的输出端;

[0037] 所述第七开关,栅极耦接于所述第一电平拉低电路的输出端,漏极耦接于所述第四节点,源极连接低电平。

[0038] 于一具体实施例中,所述第二电平拉低子电路由第九开关构成;所述第九开关,其栅极接入第一时钟信号,漏极耦接于所述第二电平拉低电路的输出端,源极连接低电平。

[0039] 为达到上述目的,本发明所述移位寄存器,具有至少两个级联连接的移位寄存器单元电路,各移位寄存器单元电路均基于两个时钟信号工作,所述的移位寄存器单元电路为上述的电路结构中任意一移位寄存器单元电路。

[0040] 为达到上述目的,本发明所述液晶显示器阵列基板,所述阵列基板上设置有 GOA 电路,所述 GOA 电路的移位寄存器为上述的移位寄存器。

[0041] 为达到上述目的,本发明所述液晶显示器,包括液晶显示器阵列基板,该液晶显示器阵列基板为上述的液晶显示器阵列基板。

[0042] 本发明的有益效果是:

[0043] 1、本发明通过采用电平双下拉的设计,使得下拉 TFT 从直流下拉转变为交流下拉,不仅改善了下拉 TFT 阈值电压在直流偏压下的漂移问题,还减小了 TFT 交流工作周期 (TFTAC Duty Cycle)。

[0044] 2、本发明还减少了移位寄存器单元电路中 TFT 输出和上拉节点的悬空,进而减小了电路的杂散 (Stray) 效应。

[0045] 3、本发明所述移位寄存器单元电路中使用了较少的 TFT 薄膜晶体管即实现了 GOA 电路,电路结构简单,输出稳定性好,且能耗低。

## 附图说明

[0046] 图 1 是基本的 GOA 电路移位寄存器单元电路的原理图;

[0047] 图 2 是本发明所述移位寄存器单元电路的一实施例示意图;

[0048] 图 3 是本发明所述移位寄存器单元电路的另一实施例示意图;

[0049] 图 4 是本发明实施例 1 的时序波形图;

[0050] 图 5 本发明所述移位寄存器的结构示意图;

[0051] 图 6 是本发明所述移位寄存器自上而下的逐行输出栅极驱动信号的示意图。

## 具体实施方式

[0052] 下面结合说明书附图对本发明做进一步的描述。

[0053] 如图 2 所示,本发明所述移位寄存器单元电路原理图,所述移位寄存器单元电路包括:输入端、预充电电路 1、第一电平拉低电路 2、第二电平拉低电路 3 及输出端 5;其中,

[0054] 输入端,包括起始信号输入端 41、第一时钟信号输入端 42 和第二时钟信号输入端 43;

[0055] 预充电电路 1,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

[0056] 第一电平拉低电路 2,接入导通电平后,将所述预充电电路 1 输出的导通电平拉低输出低电平,导通电平截止后,响应于第一时钟信号的致能电平及第二时钟信号的非致能电平输出低电平,响应于第一时钟信号的非致能电平及第二时钟信号的致能电平输出高电

平；

[0057] 第二电平拉低电路 3, 耦接于所述第一电平拉低电路 2 的输出端, 响应于第一电平拉低电路 2 输出的高电平将所述第二电平拉低电路 3 输出端的电平拉低输出低电平; 响应于第一时钟信号的致能电平将所述第二电平拉低电路 3 输出端的电平拉低输出低电平; 响应于所述第一电平拉低电路 2 输出的低电平及第一时钟信号的非致能电平, 第二电平拉低电路 3 输出高电平;

[0058] 输出端 5, 耦接于所述第二电平拉低电路 3 的输出端, 输出电平信号。

[0059] 作为本发明进一步地实施例, 所述第一电平拉低电路 2 由第一反向电路 201、电平拉高电路 202 和第一电平拉低子电路 203 构成; 其中,

[0060] 所述第一反向电路 201, 接入导通电平后, 将第一反向电路 201 输出端的电平拉低输出低电平; 导通电平截止后, 第一反向电路输出高电平;

[0061] 所述电平拉高电路 202, 响应于第二时钟信号的致能电平将所述第一反向电路 201 输出的高电平拉高输出高电平;

[0062] 所述第一电平拉低子电路 203, 响应于第一时钟信号的致能电平, 将所述所述电平拉高电路 202 输出的高电平拉低输出低电平。

[0063] 作为本发明更进一步地实施例, 所述第二电平拉低电路由第二反向电路 301 和第二电平拉低子电路 302 构成; 其中, 所述第二反向电路 301, 响应于第一电平拉低电路 2 输出的高电平将所述第二电平拉低电路 3 输出端的电平拉低输出低电平; 响应于所述第一电平拉低电路 2 输出的低电平, 第二反向电路 301 输出高电平; 所述第二电平拉低子电路 302, 响应于第一时钟信号的致能电平将所述第二反向电路 301 输出的高电平拉低输出低电平。

[0064] 下面结合具体的实施例对本发明所述移位寄存器单元电路作进一步地说明。在下列实施例中所述的致能电平为高电平, 非致能电平为低电平。

[0065] 实施例 1

[0066] 如图 2 所示, 本发明所述移位寄存器单元电路的一具体实施例, 本实施例中各开关 T1 ~ T7 均为 TFT (Thin Film Transistor, 薄膜晶体管)。从图中可以看出, 所述预充电电路 1 由第一开关 T1、第一节点 A 和电容 C 构成; 所述第一开关 T1, 栅极接入第一时钟信号 CKB, 漏极接入起始信号 (该起始信号可以是 STV 信号, 还可以是上一级移位寄存器单元电路输出的电平信号), 源极耦接于所述第一节点 A; 所述第一节点 A, 为所述预充电电路 1 导通电平输出端; 所述电容 C, 一端耦接于所述第一节点 A, 另一端连接低电平  $V_{SS}$ 。

[0067] 所述第一电平拉低电路 2 由第一反向电路 201、电平拉高电路 202 和第一电平拉低子电路 203 构成。所述第一反向电路由第二开关 T2、第二节点 B 和第三开关 T3 构成; 其中, 所述第二开关 T2, 栅极与漏极相互耦接, 漏极连接高电平  $V_{DD}$ , 源极耦接于所述第二节点 T2; 所述第二节点 B, 为所述第一电平拉低电路的输出端; 所述第三开关 T3, 栅极接入所述预充电电路 1 的导通电平输出端, 漏极耦接于所述第二节点 B, 源极连接低电平  $V_{SS}$ 。

[0068] 所述电平拉高电路 202 由第四开关 T4 和第三节点 QB 构成; 其中, 所述第四开关 T4, 栅极接入第二时钟信号 CK, 漏极耦接于所述第一反向电路 201 的输出端 (即节点 B), 源极耦接于所述第三节点 QB; 所述第三节点 QB, 为所述电平拉高电路 202 的输出端。

[0069] 所述第一电平拉低子电路 203 由第五开关 T5 和第六开关 T6 构成; 其中, 所述第五

开关 T5, 栅极耦接于所述预充电电路 1 的输出端, 漏极耦接于所述电平拉高电路 202 的输出端 (即节点 QB), 源极连接低电平  $V_{ss}$ ; 所述第六开关 T6, 栅极接入第一时钟信号 CKB, 漏极耦接于所述电平拉高电路 202 的输出端 (即节点 QB), 源极连接低电平  $V_{ss}$ 。

[0070] 所述第二电平拉低电路 3 由第二反向电路 301 和第二电平拉低子电路 302 构成。所述第二反向电路 301 包括: 第八开关 T8、第四节点 D 和第七开关 T7; 其中, 所述第八开关 T8, 栅极与漏极相互耦接, 漏极连接高电平  $V_{dd}$ , 源极耦接于所述第四节点 D; 所述第四节点 D, 为所述第二电平拉低电路 3 的输出端; 所述第七开关 T7, 栅极耦接于所述第一电平拉低电路 2 的输出端 (即节点 QB), 漏极耦接于所述第四节点 D, 源极连接低电平  $V_{ss}$ 。所述第二电平拉低子电路 302 由所述第九开关构成; 所述第九开关, 栅极接入第一时钟信号 CKB, 漏极耦接于所述第四节点 D, 源极连接低电平  $V_{ss}$ 。

[0071] 如图 4 所示, 为本实施例的工作时序图。如图中所示, 上述电路工作于差分输入的第一时钟信号 CKB 与第二时钟信号 CK 下, 即第一时钟信号 CKB 与第二时钟信号 CK 是差分输入的所以在第一时钟 CKB 处于高电平时第二时钟信号 CK 则处于低电平, 第一时钟信号 CKB 处于低电平时第二时钟信号 CK 则处于高电平。

[0072] 在图中  $t_0 \sim t_1$  时刻, 第一时钟信号 CKB 输出低电平, 第二时钟信号 CK 输出高电平。此时, 第一开关 T1 截止, 耦接于第一开关 T1 的起始信号输出的是低电平, 即节点 A 点输出低电平。节点 A 输出低电平时, 第三开关 T3 截止, 节点 B 输出高电平。节点 B 输出高电平时, 因第四开关 T4 的栅极连接的第二时钟信号 CK 为高电平, T4 导通, T5 因与其栅极耦接的节点 A 为低电平而截止, T6 因与其栅极耦接的第一时钟信号为低电平而截止, 节点 QB 输出高电平。节点 QB 输出高电平时, 第七开关 T7 导通, 第九开关 T9 因与其栅极耦接的第一时钟信号为低电平而截止, 输出端  $V_{out}$  此时段输出低电平。

[0073] 在图中  $t_1 \sim t_2$  时刻, 第一时钟信号 CKB 输出高电平, 第二时钟信号 CK 输出低电平。此时, 栅极与所述第一时钟信号 CKB 耦接的第一开关 T1 导通, 起始信号输出高电平, 节点 A 输出高电平, 并同时开始对电容 C 进行充电。节点 A 输出高电平时, 第三开关 T3 导通, 节点 B 输出低电平; 第四开关 T4 因第二时钟信号 CK 为低电平而截止, 第五开关 T5 因节点 A 输出高电平而导通, 第六开关 T6 因第一时钟信号 CKB 输出高电平而导通, 节点 QB 输出低电平; 节点 QB 为低电平时, 第七开关 T7 截止, 第九开关 T9 因第一时钟信号 CKB 输出高电平而截止, 输出端  $V_{out}$  此时段输出低电平。

[0074] 在图中  $t_2 \sim t_3$  时刻, 第一时钟信号 CKB 输出低电平, 第二时钟信号 CK 输出高电平。此时, 起始信号输出低电平, 停止对电容 C 充电。电容 C 开始放电, 维持节点 A 输出高电平直至电容 C 放电完成 (即图中  $t_3$  时刻)。节点 A 输出高电平时, 第三开关 T3 导通, 节点 B 输出低电平。此时, 第二时钟信号 CK 输出高电平致使第四开关 T4 导通, 同时第五开关 T5 因节点 A 输出高电平而导通, 第六开关 T6 因第一时钟信号 CKB 输出低电平而截止, 节点 QB 因第四开关 T4 导通输出的低电平被轻微的拉高 (如图 4 中所示); 节点 QB 输出的轻微被拉高的电平还不能使第七开关 T7 导通, 第九开关 T9 因第一时钟信号 CKB 输出低电平而截止, 此时第八开关与第七开关构成如反向器 201 结构的电路, 将 QB 低电平反向输出, 即输出端  $V_{out}$  此时段输出为高电平。

[0075] 在图中  $t_3 \sim t_4$  时刻, 第一时钟信号 CKB 输出高电平, 第二时钟信号 CK 输出低电平。第一时钟信号 CKB 输出高电平 T1 导通, 但耦接于第一开关 T1 漏极的起始信号输出的

是低电平且电容 C 放电也已完毕,因此节点 A 点输出低电平。节点 A 输出低电平时,第三开关 T3 截止,节点 B 输出高电平,第四开关 T4 因第二时钟信号 CK 输出低电平截止,第五开关 T5 因节点 A 输出低电平而截止,第六开关 T6 因第一时钟信号 CKB 输出高电平而导通,节点 QB 输出低电平,第七开关 T7 截止,第九开关 T9 因第一时钟信号 CKB 输出高电平导通,致使输出端  $V_{out}$  此时段的电平被拉低从而输出低电平。

[0076] 在后续的周期中(即  $t_4$  时刻之后),因节点 A 始终处于低电平, T5 始终处于截止状态,节点 B 始终处于高电平。当第一时钟信号 CKB 输出低电平、第二时钟信号 CK 输出高电平时,此时第五开关 T5 与第六开关 T6 均处于截止状态会具有电容的特性,进而致使节点 QB 输出的高电平有波动而不是稳定的高电平(如图 4 中  $t_4$  时刻之后);反之输出低电平。第七开关 T7 在节点 QB 输出高电平时导通,此时第九开关 T9 因第一时钟信号 CKB 输出的是低电平而截止,第七开关 T7 和第八开关 T8 即构成一反向器,将节点 QB 输出的电平反向;当第一时钟信号 CKB 输出的是高电平时,第九开关 T9 导通拉低输出端  $V_{out}$  输出的电平,进而可以保持输出端  $V_{out}$  在输出低电平时的稳定性。

[0077] 上述  $t_0 \sim t_4$  时刻,即为一个周期,在  $t_4$  时刻之后无论第一时钟信号 CKB 与第二时钟信号 CK 如何变换,只要起始信号不输出高电平,输出端  $V_{out}$  就一直输出低电平。当起始信号再次输出高电平时,本发明所述移位寄存器单元电路的工作时序均同上述  $t_0 \sim t_4$  周期。

[0078] 实施例 2

[0079] 如图 3 所示,本发明所述移位寄存器单元电路的另一具体实施例,本实施例只是将实施例 1 中的第五开关 T5 的栅极改为耦接于所述第二电平拉低电路的输出端,因节点 A 输出的电平波形在  $t_2$  时刻之后同输出端  $V_{out}$  的波形,其对 T5 的作用相同,即本实施例的工作原理同实施例 1。

[0080] 如图 5 所示,本发明所述移位寄存器,包括多级移位寄存器单元  $S_1$ 、 $S_2 \dots S_n$ ,各级移位寄存器单元于输出端 ( $OUT_0$ 、 $OUT_1$ 、 $OUT_2 \dots OUT_n$ ) 产生扫描信号。每一级移位寄存器单元均设有第一时钟接口 CKB、第二时钟接口 CK、起始信号接口、复位信号接口 RT 以及扫描信号输出端口  $OUT_n$ 。各级移位寄存器单元电路均采用上述电路结构的移位寄存器单元电路。其中,

[0081] 处于第一级的移位寄存器单元  $S_1$ ,其起始信号接口接入起始信号 STV,第一时钟接口接入第一时钟信号,第二时钟接口接入第二时钟信号,复位信号接口接下级移位寄存器单元的扫描信号输出端口;

[0082] 处于第一级紧接下一级的移位寄存器单元  $S_2$ ,其起始信号接口接入第一级移位寄存器单元  $S_1$  输出的扫描信号,第一时钟接口接入第二时钟信号,第二时钟接口接入第一时钟信号,复位信号接口接下级移位寄存器单元的扫描信号输出端口;

[0083] 依次类推直至移位寄存器单元  $S_n$ ,级联在最后一位的  $S_n$  无需接入复位信号。

[0084] 这里需要注意的是, $n$  为奇数的移位寄存器单元  $S_n$ ,其第一时钟接口应接入第一时钟信号,第二时钟接口应接入第二时钟信号。 $n$  为偶数的移位寄存器单元  $S_n$ ,第一时钟接口应接入第二时钟信号,第二时钟接口应接入第一时钟信号。

[0085] 如图 6 所示,所述移位寄存器在双时钟输入下工作,自上而下的逐行输出栅极驱动信号的示意图。

[0086] 本发明所述的液晶显示器阵列基板,该阵列基板上设置有GOA电路,所述GOA电路的移位寄存器具有至少两个移位寄存器单元电路级联连接的结构(如图5所示),且基于两相时钟信号工作,其中,所述的移位寄存器单元电路,包括:

[0087] 输入端,包括起始信号输入端、第一时钟信号输入端和第二时钟信号输入端;

[0088] 预充电电路,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

[0089] 第一电平拉低电路,接入导通电平后,将所述预充电电路输出的导通电平拉低输出低电平,导通电平截止后,响应于第二时钟信号的非致能电平输出低电平,响应于第二时钟信号的致能电平输出高电平;

[0090] 第二电平拉低电路,耦接于所述第一电平拉低电路的输出端,响应于第一时钟信号的非致能电平将所述第一电平拉低电路输出的电平反向;响应于第一时钟信号的致能电平将所述第一电平拉低电路经反向输出的电平拉低输出低电平;

[0091] 输出端,耦接于所述第二电平拉低电路的输出端,输出电平信号。

[0092] 上述输出端分别与所述阵列基板上的对应的栅极扫描线相连,用于提供各栅极扫描线的栅极驱动信号。

[0093] 作为本发明所述液晶显示器阵列基板进一步的实施例,所述第一电平拉低电路由第一反向电路、电平拉高电路和第一电平拉低子电路构成;其中,

[0094] 所述第一反向电路,将所述预充电电路输出的电平进行反向并输出;

[0095] 所述电平拉高电路,响应于第二时钟信号的致能电平将所述第一反向电路输出的高电平拉高输出高电平;

[0096] 所述第一电平拉低子电路,响应于第一时钟信号的致能电平,将所述电平拉高电路输出的高电平拉低输出低电平。

[0097] 作为本发明所述液晶显示器阵列基板更进一步的实施例,所述第二电平拉低电路由第二反向电路和第二电平拉低子电路构成;其中,

[0098] 所述第二反向电路,响应于所述第一时钟信号的非致能电平,将所述第一电平拉低电路输出的电平反向输出;

[0099] 所述第二电平拉低子电路,响应于所述第一时钟信号的致能电平,将所述第一电平拉低电路经反向输出的电平拉低输出低电平。

[0100] 本发明所述液晶显示器阵列基板上集成的所述移位寄存器单元电路还可以是上述实施例1(如图2所示)和实施例2(如图3所示)所述结构的电路。

[0101] 本发明所述的液晶显示器,包括液晶显示器阵列基板,该液晶显示器阵列基板为上述所述结构的阵列基板。

[0102] 以上,仅为本发明的较佳实施例,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应该以权利要求所界定的保护范围为准。

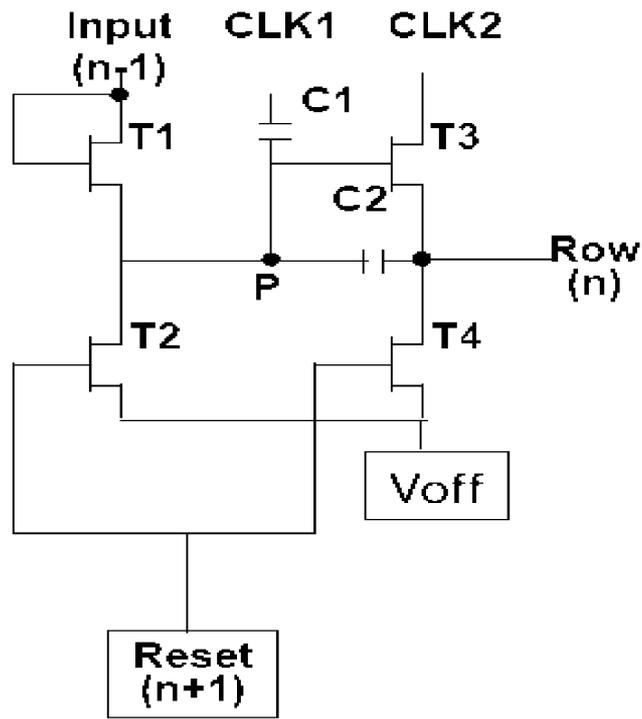


图 1

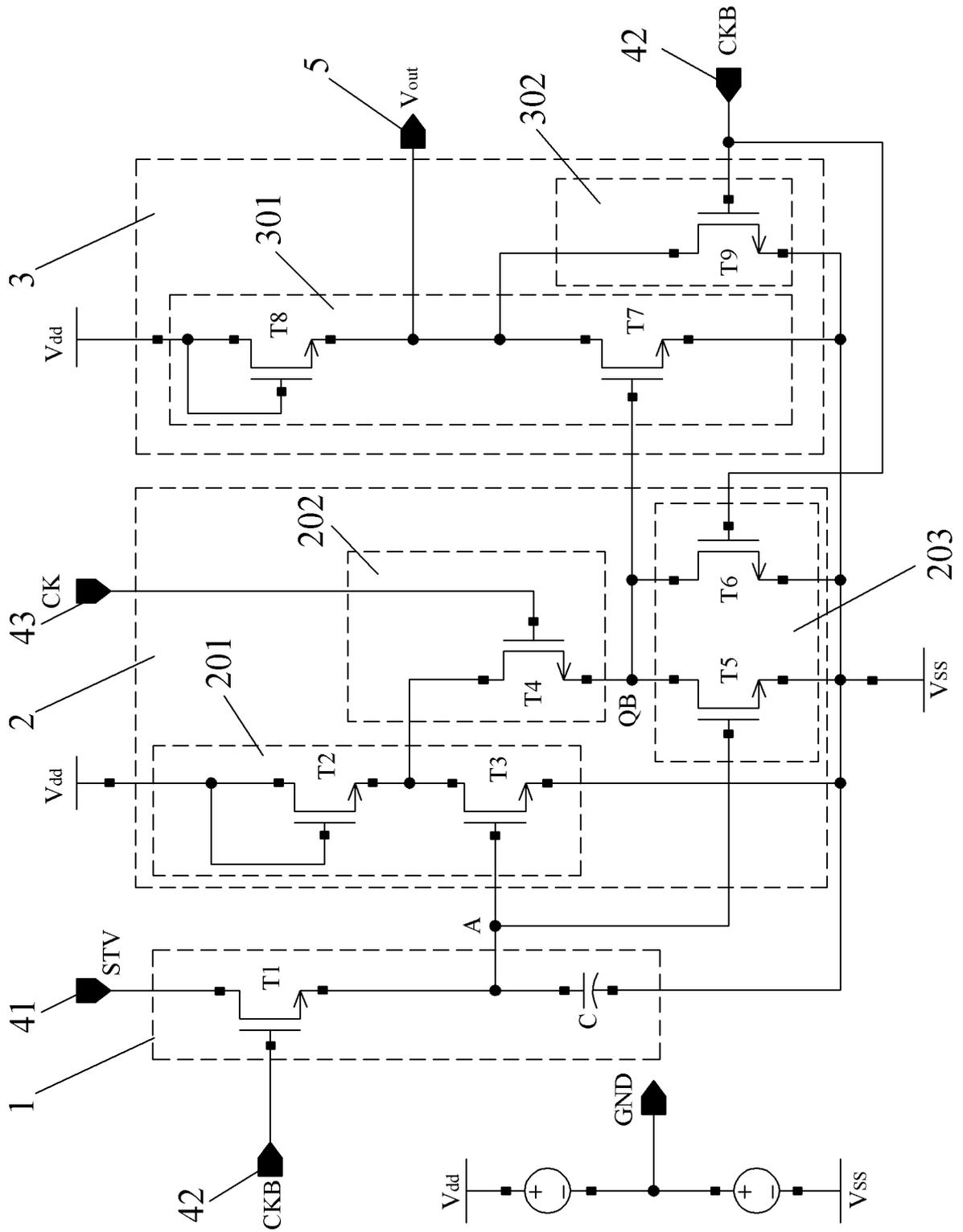


图 2

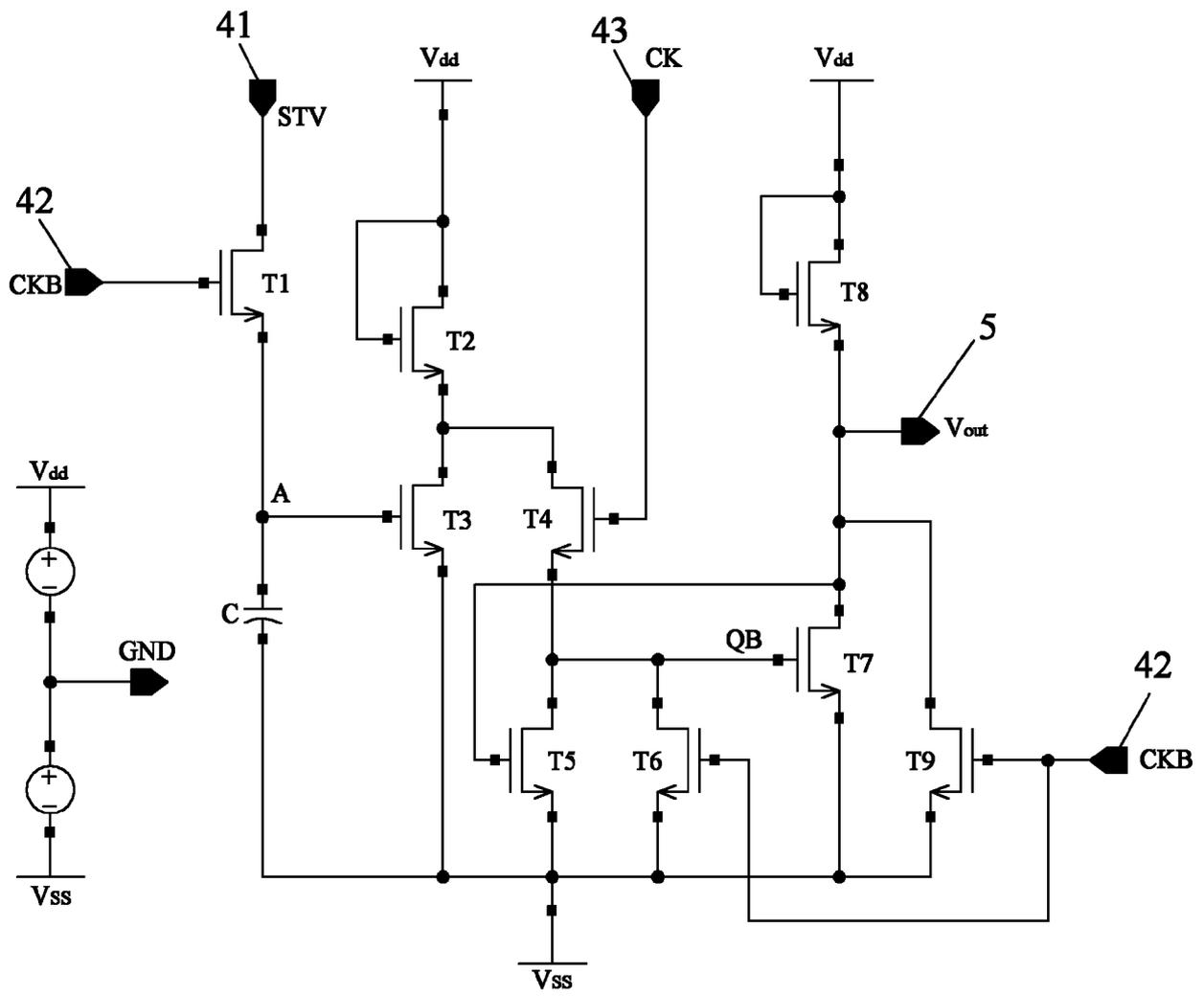


图 3

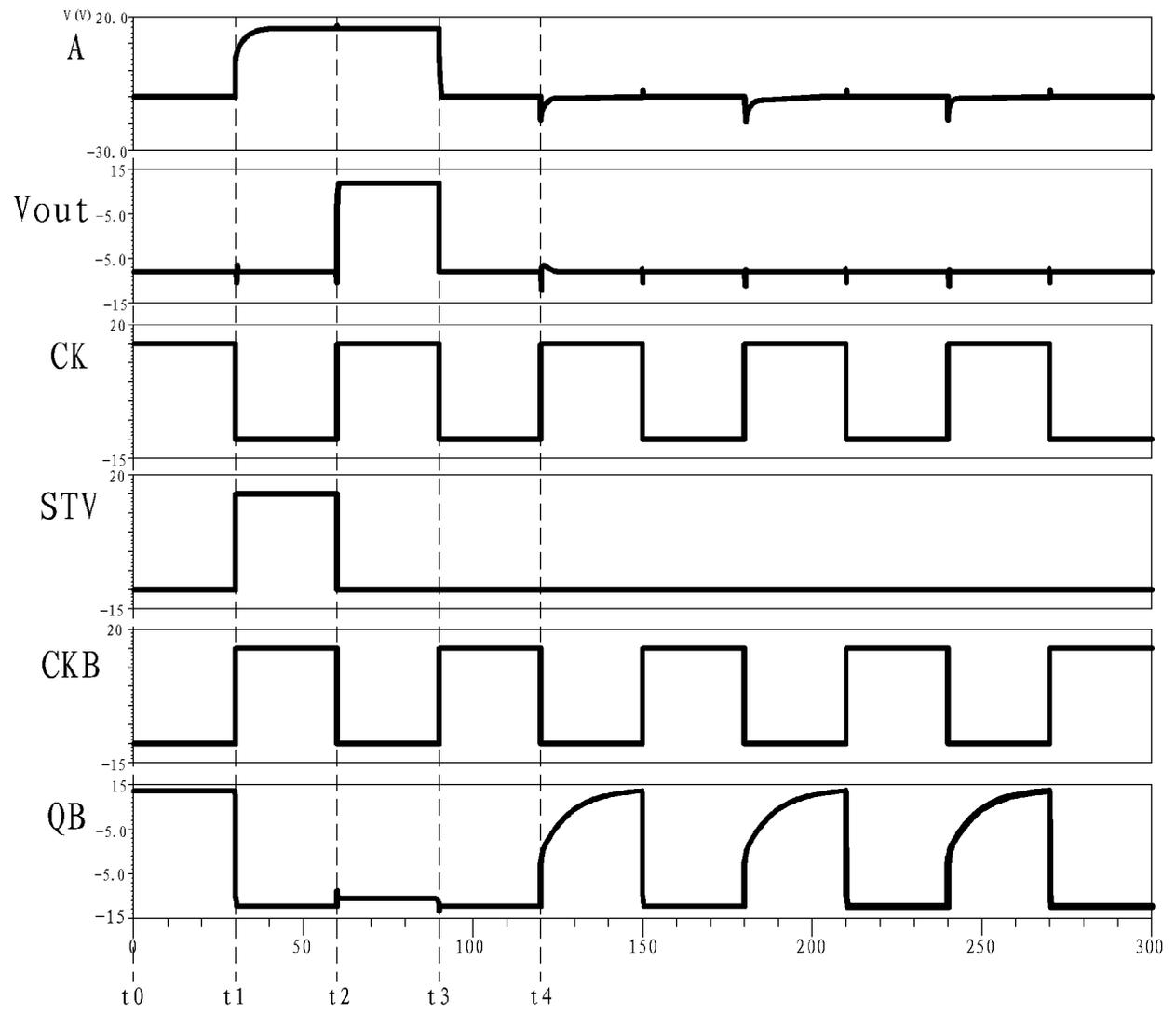


图 4

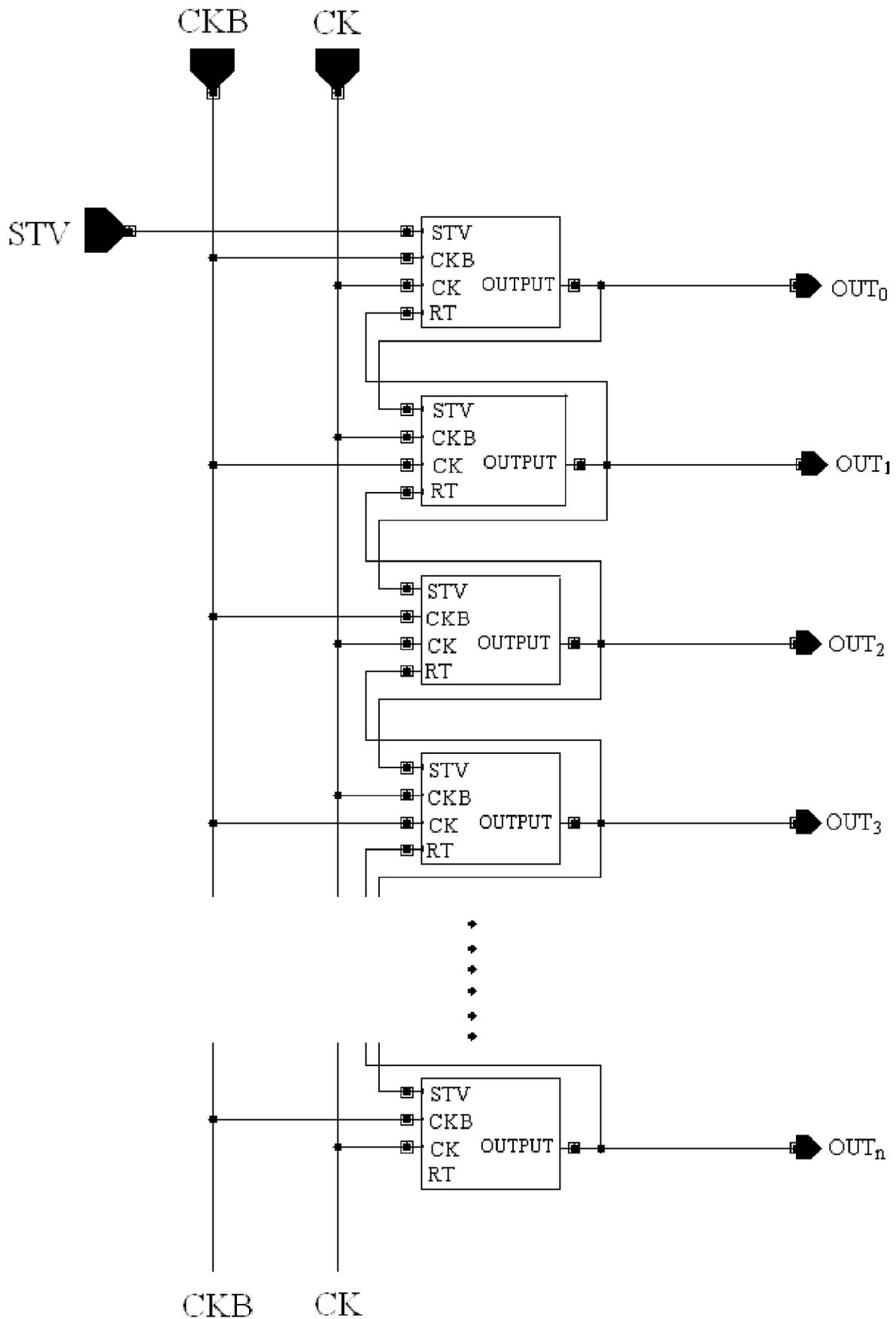


图 5

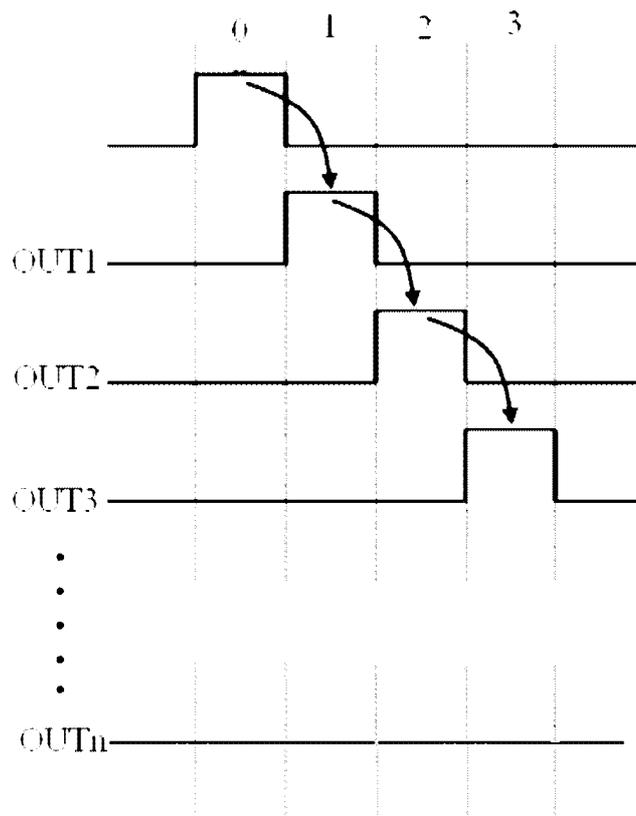


图 6

专利名称(译)	移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器		
公开(公告)号	<a href="#">CN102654982A</a>	公开(公告)日	2012-09-05
申请号	CN201110126582.4	申请日	2011-05-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	李天马 祁小敬 青海刚		
发明人	李天马 祁小敬 青海刚		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/184 G11C19/28		
代理人(译)	申健		
其他公开文献	CN102654982B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开一种移位寄存器单元电路、移位寄存器及液晶显示器阵列基板，主要是为了解决现有移位寄存器可靠性差的问题而设计。本发明移位寄存器，具有至少两个级联连接的移位寄存器单元电路，各移位寄存器单元电路均基于两个时钟信号工作；单元电路包括：输入端、预充电电路、第一电平拉低电路、第二电平拉低电路和输出端。本发明在改善了下拉TFT阈值电压在直流偏压下漂移的问题，同时解决了时钟跳变带来的输出不稳定，提高了电路的可靠性，并减少了功耗。

