



(12) 发明专利

(10) 授权公告号 CN 102651187 B

(45) 授权公告日 2014. 09. 24

(21) 申请号 201110126328. 4

CN 101650506 A, 2010. 02. 17, 附图 3—4, 6.

(22) 申请日 2011. 05. 16

JP 特开 2011-60411 A, 2011. 03. 24, 全文.

(73) 专利权人 京东方科技集团股份有限公司

审查员 李玮

地址 100015 北京市朝阳区酒仙桥路 10 号

专利权人 成都京东方光电科技有限公司

(72) 发明人 李天马 祁小敬

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/20 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101556833 A, 2009. 10. 14, 全文.

CN 101752005 A, 2010. 06. 23, 全文.

JP 特开 2002-258819 A, 2002. 09. 11, 全文.

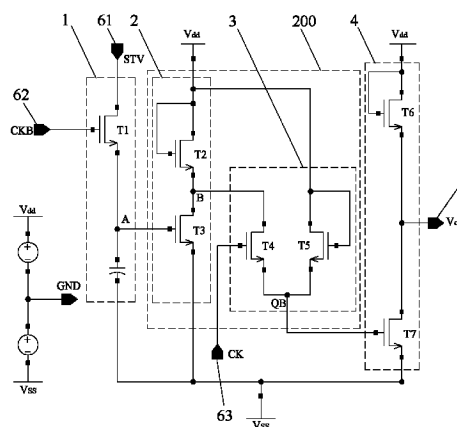
权利要求书2页 说明书6页 附图6页

(54) 发明名称

移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器

(57) 摘要

本发明公开一种移位寄存器单元电路、移位寄存器及液晶显示器阵列基板,主要是为了解决现有移位寄存器能耗高噪音大的问题而设计。本发明移位寄存器,具有至少两个移位寄存器单元电路级联连接的结构,且基于两相时钟信号工作;单元电路包括:输入端、预充电电路、电平拉低电路、输出电路和扫描信号输出端。本发明通过下拉电位的设计,使得扫描信号输出的波形稳定,噪音小,并且,本发明以较少的 TFT 电路即实现了 GOA 电路,电路简单,能耗小。本发明特别适合 LPTS 制成下的 GOA 电路需求,非晶硅工艺亦可适用。



1. 一种移位寄存器单元电路,包括:输入端以及输出端,其中所述输入端包括:起始信号输入端、第一时钟信号输入端和第二时钟信号输入端;所述输出端耦接于输出电路的输出端,输出电平信号;其特征在于,还包括:

预充电电路,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

电平拉低电路,接入所述导通电平后,响应于第二时钟信号的致能电平将所述预充电电路输出端的电平拉低并将拉低后的低电平输出,响应于第二时钟信号的非致能电平输出高电平;导通电平截止后输出高电平;其中,

输出电路,耦接于所述电平拉低电路的输出端,响应于所述电平拉低电路输出的高电平将输出电路输出端的电平拉低输出低电平;响应于所述电平拉低电路输出的低电平,输出电路输出高电平。

2. 根据权利要求1所述移位寄存器单元电路,其特征在于,所述电平拉低电路由第一电平拉低电路和第二电平拉低电路构成;其中,

所述第一电平拉低电路,接入所述导通电平后,响应于第二时钟信号的致能电平将所述预充电电路输出端的电平一次拉低,并将一次拉低后的低电平输出,响应于第二时钟信号的非致能电平输出高电平;导通电平截止后,输出高电平;

所述第二电平拉低电路,在所述第一电平拉低电路输出低电平时对输出的低电平进行二次拉低,并将二次拉低后的低电平输出,在所述第一电平拉低电路输出高电平时输出高电平。

3. 根据权利要求1所述移位寄存器单元电路,其特征在于,还包括反馈电路,将经所述输出端输出的扫描信号反馈至所述电平拉低电路的输出端,以稳定输出的扫描信号。

4. 根据权利要求1或2或3所述移位寄存器单元电路,其特征在于,所述预充电电路由第一开关、第一节点和电容构成;其中,

所述第一开关,栅极接入第一时钟信号,漏极接入起始信号,源极耦接于所述第一节点;

所述第一节点,为所述预充电电路导通电平输出端;

所述电容,一端耦接于所述第一节点,另一端连接低电平。

5. 根据权利要求2所述移位寄存器单元电路,其特征在于,所述第一电平拉低电路由第二开关、第二节点和第三开关构成;其中,

所述第二开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第二节点;

所述第二节点,为所述第一电平拉低电路的输出端;

所述第三开关,栅极接入所述预充电电路的导通电平输出端,漏极耦接于所述第二节点,源极连接低电平。

6. 根据权利要求2所述移位寄存器单元电路,其特征在于,所述第二电平拉低电路由第四开关、第三节点和第五开关构成;其中,

所述第四开关,栅极接入第二时钟信号,漏极耦接于所述第一电平拉低电路的输出端,源极耦接于所述第三节点;

所述第三节点,为所述第二电平拉低电路的输出端;

所述第五开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第三节点。

7. 根据权利要求1或2或3所述移位寄存器单元电路,其特征在于,所述输出电路由第

六开关和第七开关构成 ;其中,

所述第六开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述输出端 ;

所述第七开关,栅极耦接于所述第二电平拉低电路的输出端,漏极耦接于所述输出端,源极连接低电平。

8. 根据权利要求 3 所述移位寄存器单元电路,其特征在于,所述反馈电路由第八开关、第四节点和第九开关构成 ;其中,

所述第八开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第四节点 ;

所述第四节点,为所述反馈电路的反馈输出端,其耦接于所述电平拉低电路的输出端 ;

所述第九开关,栅极耦接于所述输出端,漏极耦接于所述第四节点,源极连接低电平。

9. 一种移位寄存器,具有至少两个级联连接的移位寄存器单元电路,各移位寄存器单元电路均基于两个时钟信号工作,其特征在于,所述的移位寄存器单元电路为权利要求 1 至权利要求 8 中所述的任意一移位寄存器单元电路。

10. 一种液晶显示器阵列基板,所述阵列基板上设置有 GOA 电路,其特征在于,所述 GOA 电路的移位寄存器为权利要求 9 中所述的移位寄存器。

11. 一种液晶显示器,包括液晶显示器阵列基板,其特征在于,所述液晶显示器阵列基板为权利要求 10 中所述的液晶显示器阵列基板。

移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器

技术领域

[0001] 本发明涉及一种液晶显示技术领域,尤其涉及一种移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器。

背景技术

[0002] 液晶显示器是一种以玻璃基板为制造材料的平面显示器。为了在不增加任何工艺和制造成本的情况下,通过 GOA 电路的设计(如图 1 所示的 GOA 电路移位寄存器单元电路的原理图),采用用于形成像素电路内的 TFT(Thin Film Transistor,薄膜晶体管)的制造工艺,将像素电路的驱动电路与像素电路形成为一体。在此情况下,为了降低制造成本,最好是用于 TFT 相同异电型的晶体管形成包含移位寄存器在内的驱动电路。而现有技术中,由 TFT 相同异电型的晶体管形成的移位寄存器单元电路存在能耗较高的问题,主要是由于电路中使用较多的 TFT;此外,还存在移位寄存器栅极驱动输出不稳定,毛刺较多的问题。

发明内容

[0003] 针对上述问题,本发明提供一种能耗低,输出栅极驱动信号稳定的移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器。

[0004] 为达到上述目的,本发明所述移位寄存器单元电路,包括:

[0005] 输入端,包括起始信号输入端、第一时钟信号输入端和第二时钟信号输入端;

[0006] 预充电电路,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

[0007] 电平拉低电路,接入所述导通电平后,响应于第二时钟信号的致能电平将所述预充电电路输出端的电平拉低并将拉低后的低电平输出,响应于第二时钟信号的非致能电平输出高电平;导通电平截止后输出高电平;

[0008] 输出电路,耦接于所述电平拉低电路的输出端,响应于所述电平拉低电路输出的高电平将输出电路输出端的电平拉低输出低电平;响应于所述电平拉低电路输出的低电平,输出电路输出高电平;以及,

[0009] 输出端,耦接于所述输出电路的输出端,输出电平信号。

[0010] 优选地,所述电平拉低电路由第一电平拉低电路和第二电平拉低电路构成;其中,

[0011] 所述第一电平拉低电路,接入所述导通电平后,响应于第二时钟信号的致能电平将所述预充电电路输出端的电平一次拉低,并将一次拉低后的低电平输出,响应于第二时钟信号的非致能电平输出高电平;导通电平截止后,输出高电平;

[0012] 所述第二电平拉低电路,在所述第一电平拉低电路输出低电平时对输出的低电平进行二次拉低,并将二次拉低后的低电平输出,在所述第一电平拉低电路输出高电平时输出高电平。

[0013] 进一步地,还包括反馈电路,将经所述输出端输出的扫描信号反馈至所述电平拉低电路的输出端,以稳定输出的扫描信号。

[0014] 于一具体实施例中,所述预充电电路由第一开关、第一节点和电容构成;其中,

[0015] 所述第一开关,栅极接入第一时钟信号,漏极接入起始信号,源极耦接于所述第一节点;

[0016] 所述第一节点,为所述预充电电路导通电平输出端;

[0017] 所述电容,一端耦接于所述第一节点,另一端连接低电平。

[0018] 于一具体实施例中,所述第一电平拉低电路由第二开关、第二节点和第三开关构成;其中,

[0019] 所述第二开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第二节点;

[0020] 所述第二节点,为所述第一电平拉低电路的输出端;

[0021] 所述第三开关,栅极接入所述预充电电路的导通电平输出端,漏极耦接于所述第二节点,源极连接低电平。

[0022] 于一具体实施例中,所述第二电平拉低电路由第四开关、第三节点和第五开关构成;其中,

[0023] 所述第四开关,栅极接入第二时钟信号,漏极耦接于所述第一电平拉低电路的输出端,源极耦接于所述第三节点;

[0024] 所述第三节点,为所述第二电平拉低电路的输出端;

[0025] 所述第五开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第三节点。

[0026] 于一具体实施例中,所述输出电路由第六开关和第七开关构成;其中,

[0027] 所述第六开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述输出端;

[0028] 所述第七开关,栅极耦接于所述第二电平拉低电路的输出端,漏极耦接于所述输出端,源极连接低电平。

[0029] 于一具体实施例中,所述反馈电路由第八开关、第四节点和第九开关构成;其中,

[0030] 所述第八开关,栅极与漏极相互耦接,漏极连接高电平,源极耦接于所述第四节点;

[0031] 所述第四节点,为所述反馈电路的反馈输出端,其耦接于所述电平拉低电路的输出端;

[0032] 所述第九开关,栅极耦接于所述输出端,漏极耦接于所述第四节点,源极连接低电平。

[0033] 为达到上述目的,本发明所述移位寄存器,具有至少两个级联连接的移位寄存器单元电路,各移位寄存器单元电路均基于两个时钟信号工作,其特征在于,所述移位寄存器单元电路为上述发明中任意一种移位寄存器单元电路。

[0034] 为达到上述目的,本发明所述的液晶显示器阵列基板,所述阵列基板上设置有 GOA 电路,所述 GOA 电路的移位寄存器为上述发明中所述的移位寄存器。

[0035] 为达到上述目的,本发明所述的液晶显示器,包括液晶显示器阵列基板,该液晶显示器阵列基板为上述发明中所述的液晶显示器阵列基板。

[0036] 本发明的有益效果是:

[0037] 1、本发明所述移位寄存器单元电路中使用了较少的 TFT 薄膜晶体管即实现了 GOA 电路,电路结构简单,能耗也明显降低。

[0038] 2、本发明通过采用电位下拉的设计,使得移位寄存器输出的栅极驱动信号稳定,噪音小。

[0039] 3、本发明通过增设一反馈电路,进一步稳定移位寄存器输出的栅极驱动信号,噪音更小。

[0040] 4、本发明所述移位寄存器和液晶显示器阵列基板特别适合 LTPS (LowTemperature Poly-silicon, 低温多晶硅) 制程下的 GOA 电路的需求,非晶硅工艺亦可适用。

附图说明

[0041] 图 1 是基本的 GOA 电路移位寄存器单元电路的原理图;

[0042] 图 2 是本发明所述移位寄存器单元电路的一实施例示意图;

[0043] 图 3 是本发明所述移位寄存器单元电路的另一实施例示意图;

[0044] 图 4 是本发明实施例 1 的时序波形图;

[0045] 图 5 本发明所述移位寄存器的结构示意图;

[0046] 图 6 是本发明所述移位寄存器自上而下的逐行输出栅极驱动信号的示意图。

具体实施方式

[0047] 下面结合说明书附图对本发明做进一步的描述。

[0048] 如图 2 所示,本发明所述移位寄存器单元电路原理图,所述移位寄存器单元电路包括:输入端、预充电电路 1、电平拉低电路 200、输出电路 4 及输出端 7;其中,

[0049] 输入端,包括起始信号输入端 61、第一时钟信号输入端 62 和第二时钟信号输入端 63;

[0050] 预充电电路 1,响应于起始信号和第一时钟信号的致能电平,输出导通电平;

[0051] 电平拉低电路 200,接入导通电平后,响应于第二时钟信号的致能电平将所述预充电电路输出端的电平拉低并将拉低后的低电平输出,响应于第二时钟信号的非致能电平输出高电平;导通电平截止后输出高电平;

[0052] 输出电路 4,耦接于所述电平拉低电路 200 的输出端,响应于所述电平拉低电路 200 输出的高电平将输出电路 4 输出端的电平拉低输出低电平;响应于所述电平拉低电路输出的低电平,输出电路 4 输出高电平;;以及,

[0053] 输出端 7,耦接于所述输出电路 4 的输出端,用于输出电平信号。

[0054] 作为本发明的进一步的实施例,为使本发明所述移动寄存器单元电路输出的扫描信号稳定,少毛刺。本发明所述电平拉低电路 200,由第一电平拉低电路 2 和第二电平拉低电路 3 构成,其中,所述

[0055] 第一电平拉低电路 2,接入导通电平后,响应于第二时钟信号的致能电平将所述预充电电路 1 输出端的电平一次拉低,并将拉低后的低电平在第一电平拉低电路 2 的输出端(如图中节点 B)输出;响应于第二时钟信号的非致能电平在第一电平拉低电路 2 输出端输出高电平;导通电平截止后,输出高电平;

[0056] 第二电平拉低电路 3,在所述第一电平拉低电路 2 输出低电平时进一步进行第二次拉低该低电平,并将拉低后的低电平在第二电平拉低电路 3 的输出端(如图中节点 QB)输出;在所述第一电平拉低电路 2 输出高电平时在第二电平拉低电路 3 的输出端输出高电

平。

[0057] 作为本发明的更进一步的实施例,为使本发明所述扫描信号输出端输出的扫描信号更稳定,噪音更小。如图3所示,本发明所述移位寄存器单元电路还包括一反馈电路5,将经所述扫描信号输出端7输出的扫描信号反馈至所述电平拉低电路的输出端,以稳定输出的扫描信号。

[0058] 本发明中所述的致能电平为高电平,非致能电平为低电平。

[0059] 下面结合具体的实施例对本发明所述移位寄存器单元电路作进一步地说明。

[0060] 实施例1

[0061] 如图2所示,本发明所述移位寄存器单元电路的一具体实施例,本实施例中各开关T1~T7均为TFT(Thin Film Transistor,薄膜晶体管)。从图中可以看出,所述预充电电路1由第一开关T1、第一节点A和电容C构成;所述第一开关T1,栅极接入第一时钟信号CKB,漏极接入起始信号(该起始信号可以是STV信号,还可以是上一级移位寄存器单元电路输出的电平信号),源极耦接于所述第一节点A;所述第一节点A,为所述预充电电路1导通电平输出端;所述电容C,一端耦接于所述第一节点A,另一端连接低电平 V_{SS} 。

[0062] 所述第一电平拉低电路2由第二开关T2、第二节点B和第三开关T3构成。其中,所述第二开关T2,其栅极与漏极相互耦接,漏极连接高电平 V_{dd} ,源极耦接于所述第二节点B。所述第二节点B为所述第一电平拉低电路2的电平输出端。所述第三开关T3,其栅极接入所述预充电电路1的导通电平输出端,漏极耦接于所述第二节点B,源极连接低电平 V_{SS} 。

[0063] 所述第二电平拉低电路3由第四开关T4、第三节点QB和第五开关T5构成。其中,所述第四开关T4,其栅极接入第二时钟信号CK,漏极耦接于所述第一电平拉低电路2的电平输出端,源极耦接于所述第三节点QB。所述第三节点QB为所述第二电平拉低电路3的输出端。所述第五开关T5,其栅极与漏极相互耦接,漏极连接高电平 V_{dd} ,源极耦接于所述第三节点QB。

[0064] 所述输出电路4由第六开关T6和第七开关T7构成。其中,所述第六开关T6,其栅极与漏极相互耦接,漏极连接高电平 V_{dd} ,源极耦接于所述扫描信号输出端 V_{out} 。所述第七开关T7,其栅极耦接于所述第二电平拉低电路3的输出端,漏极耦接于所述扫描信号输出端 V_{out} ,源极连接低电平 V_{SS} 。

[0065] 如图4所示,为本实施例的工作时序图。如图中所示,上述电路工作于差分输入的第一时钟信号CKB与第二时钟信号CK下,即第一时钟信号CKB与第二时钟信号CK是差分输入的所以在第一时钟CKB处于高电平时第二时钟信号CK则处于低电平,第一时钟信号CKB处于低电平时第二时钟信号CK则处于高电平。

[0066] 在图中 $t_0 \sim t_1$ 时刻,第一时钟信号CKB输出低电平,第二时钟信号CK输出高电平。此时,第一开关T1截止,耦接于第一开关T1的起始信号输出的是低电平,即节点A输出低电平。节点A输出低电平时,第三开关T3截止,节点B输出高电平。节点B输出高电平时,第四开关T4导通,同时T5也处于导通,节点QB输出高电平。节点QB输出高电平时,第七开关T7导通,扫描信号输出端 V_{out} 输出低电平。

[0067] 在图中 $t_1 \sim t_2$ 时刻,第一时钟信号CKB输出高电平,第二时钟信号CK输出低电平。此时,第一开关T1导通,起始信号输出高电平,节点A输出高电平,并同时开始对电容C进行充电。节点A输出高电平时,第三开关T3导通,节点B输出低电平;第四开关T4截

止,第五开关 T5 导通,节点 QB 输出高电平;节点 QB 为高电平时,第七开关 T7 导通,扫描信号输出端 V_{out} 输出低电平。

[0068] 在图中 $t_2 \sim t_3$ 时刻,第一时钟信号 CKB 输出低电平,第二时钟信号 CK 输出高电平。此时,起始信号输出低电平,停止对电容 C 充电。电容 C 开始放电,维持节点 A 输出高电平直至电容 C 放电完成(即图中 t_3 时刻)。节点 A 输出高电平时,第三开关 T3 导通,将节点 A 输出的高电平一次拉低并输出,即节点 B 输出低电平。此时,第二时钟信号 CK 输出高电平致使第四开关 T4 导通,同时第五开关 T5 处于截止,将节点 B 输出的高电平二次拉低并输出,QB 点即输出低电平;QB 为低电平时,第七开关 T7 截止,扫描信号输出端 V_{out} 输出高电平。

[0069] 在图中 $t_3 \sim t_4$ 时刻,第一时钟信号 CKB 输出高电平,第二时钟信号 CK 输出低电平。第一时钟信号 CKB 输出高电平 T1 导通,但耦接于第一开关 T1 漏极的起始信号输出的是低电平且电容 C 放电也已完毕,因此节点 A 点输出低电平。节点 A 输出低电平时,第三开关 T3 截止,节点 B 输出高电平,第四开关 T4 和第五开关 T5 同时导通,节点 QB 输出高电平,第七开关 T7 导通,扫描信号输出端 V_{out} 输出低电平。

[0070] 上述 $t_0 \sim t_4$ 时刻,即为一个周期,在 t_4 时刻之后无论第一时钟信号 CKB 与第二时钟信号 CK 如何变换,只要起始信号不输出高电平,扫描信号输出端 V_{out} 就一直输出低电平。当起始信号再次输出高电平时,本发明所述移位寄存器单元电路的工作时序均同上述 $t_0 \sim t_4$ 周期。

[0071] 实施例 2

[0072] 如图 3 所示,本发明所述移位寄存器单元电路的另一具体实施例。本实施例在实施例 1 的基础上增加了一反馈电路 5,该反馈电路 5 将经所述扫描信号输出端 V_{out} 输出的扫描信号反馈至所述第二电平拉低电路 3 的输出端(即图中节点 QB 处),以稳定输出的扫描信号。如图 3 中所示,所述反馈电路 5 由第八开关 T8、第四节点 D 和第九开关 T9 构成。其中,所述第八开关 T8,其栅极与漏极相互耦接,漏极连接高电平 V_{dd} ,源极耦接于所述第四节点 D。所述第四节点 D 为所述反馈电路 5 的反馈输出端,其耦接于所述第二电平拉低电路 3 的输出端。所述第九开关 T9,其栅极耦接于所述扫描信号输出端,漏极耦接于所述第四节点 D,源极连接低电平 V_{ss} 。

[0073] 其工作原理为:当 V_{out} 输出高电平时,开关 T9 导通,节点 D 输出低电平,D 点的低电平反馈至图 5 中的 QB 节点,以使 QB 节点输出的低电平更稳定,进而扫描信号输出端 V_{out} 的高电平输出更稳定。当 V_{out} 输出低电平时,开关 T9 截止,节点 D 处于高电平,D 点的高电平反馈至图 5 中的 QB 节点,以稳定所述 QB 节点的高电位,进而使扫描信号输出端 V_{out} 的低电平输出更稳定。

[0074] 如图 5 所示,本发明所述移位寄存器,包括多级移位寄存器单元 S_1 、 $S_2 \dots S_n$,各级移位寄存器单元于输出端 (OUT_0 、 OUT_1 、 $OUT_2 \dots OUT_n$) 产生扫描信号。每一级移位寄存器单元均设有第一时钟接口 CKB、第二时钟接口 CK、起始信号接口、复位信号接口 RT 以及扫描信号输出端口 OUT_n 。各级移位寄存器单元电路均采用上述电路结构的移位寄存器单元电路。其中,

[0075] 处于第一级的移位寄存器单元 S_1 ,其起始信号接口接入起始信号 STV,第一时钟接口接入第一时钟信号,第二时钟接口接入第二时钟信号,复位信号接口接入下级

移位寄存器单元的扫描信号输出端口；

[0076] 处于第一级紧接下一级的移位寄存器单元 S2, 其起始信号接入口接入第一级移位寄存器单元 S1 输出的扫描信号, 第一时钟接入口接入第二时钟信号, 第二时钟接入口接入第一时钟信号, 复位信号接入口接下级移位寄存器单元的扫描信号输出端口；

[0077] 依次类推直至移位寄存器单元 Sn, 级联在最后一位的 Sn 无需接入复位信号。

[0078] 这里需要注意的是, n 为奇数的移位寄存器单元 Sn, 其第一时钟接入口应接入第一时钟信号, 第二时钟接入口应接入第二时钟信号。n 为偶数的移位寄存器单元 Sn, 第一时钟接入口应接入第二时钟信号, 第二时钟接入口应接入第一时钟信号。

[0079] 如图 6 所示, 所述移位寄存器在双时钟输入下工作, 自上而下的逐行输出栅极驱动信号的示意图。

[0080] 本发明所述的液晶显示器阵列基板, 该阵列基板上设置有 GOA 电路, 所述 GOA 电路的移位寄存器具有至少两个移位寄存器单元电路级联连接的结构 (如图 5 所示), 且基于两相时钟信号工作, 其中, 所述的移位寄存器单元电路, 包括：

[0081] 输入端, 包括起始信号输入端、第一时钟信号输入端和第二时钟信号输入端；

[0082] 预充电电路, 响应于起始信号和第一时钟信号的致能电平, 输出导通电平；

[0083] 电平拉低电路, 接入所述导通电平后, 响应于第二时钟信号的致能电平将所述预充电电路输出端的电平拉低并将拉低后的低电平输出, 响应于第二时钟信号的非致能电平输出高电平；

[0084] 输出电路, 将所述电平拉低电路输出的电平进行反向并输出；以及,

[0085] 扫描信号输出端, 耦接于所述输出电路的输出端, 输出扫描信号。

[0086] 作为本发明所述液晶显示器阵列基板进一步的实施例, 所述电平拉低电路由第一电平拉低电路和第二电平拉低电路构成；其中,

[0087] 所述第一电平拉低电路, 接入所述导通电平后, 响应于第二时钟信号的致能电平将所述预充电电路输出端的电平一次拉低, 并将一次拉低后的低电平输出, 响应于第二时钟信号的非致能电平输出高电平；

[0088] 所述第二电平拉低电路, 在所述第一电平拉低电路输出低电平时对输出的低电平进行二次拉低, 并将二次拉低后的低电平输出, 在所述第一电平拉低电路输出高电平时输出高电平。

[0089] 作为本发明所述液晶显示器阵列基板更进一步的实施例, 所述的移位寄存器单元电路还包括反馈电路, 将经所述扫描信号输出端输出的扫描信号反馈至所述电平拉低电路的输出端, 以稳定输出的扫描信号。

[0090] 本发明所述液晶显示器阵列基板上集成的所述移位寄存器单元电路还可以是上述实施例 1 和实施例 2 所述结构的电路。

[0091] 本发明所述的液晶显示器, 包括液晶显示器阵列基板, 该液晶显示器阵列基板为上述所述结构的阵列基板。

[0092] 以上, 仅为本发明的较佳实施例, 但本发明的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明揭露的技术范围内, 可轻易想到的变化或替换, 都应涵盖在本发明的保护范围之内。因此, 本发明的保护范围应该以权利要求所界定的保护范围为准。

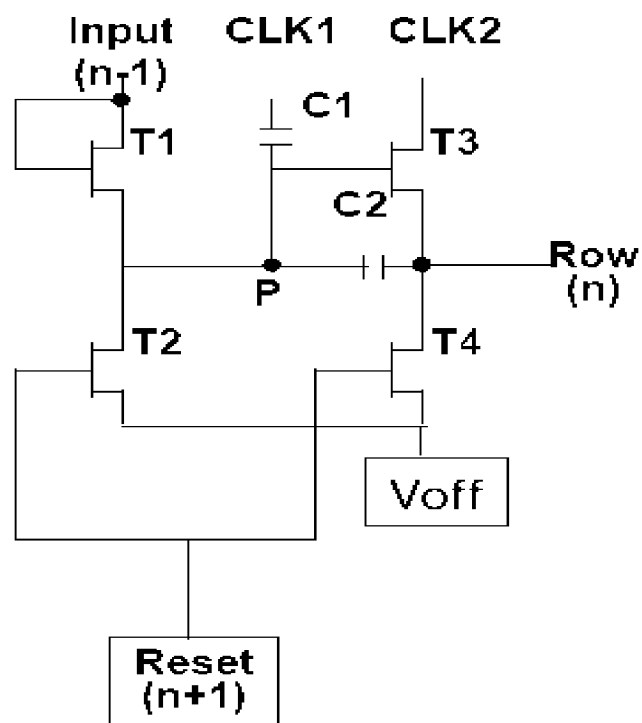


图 1

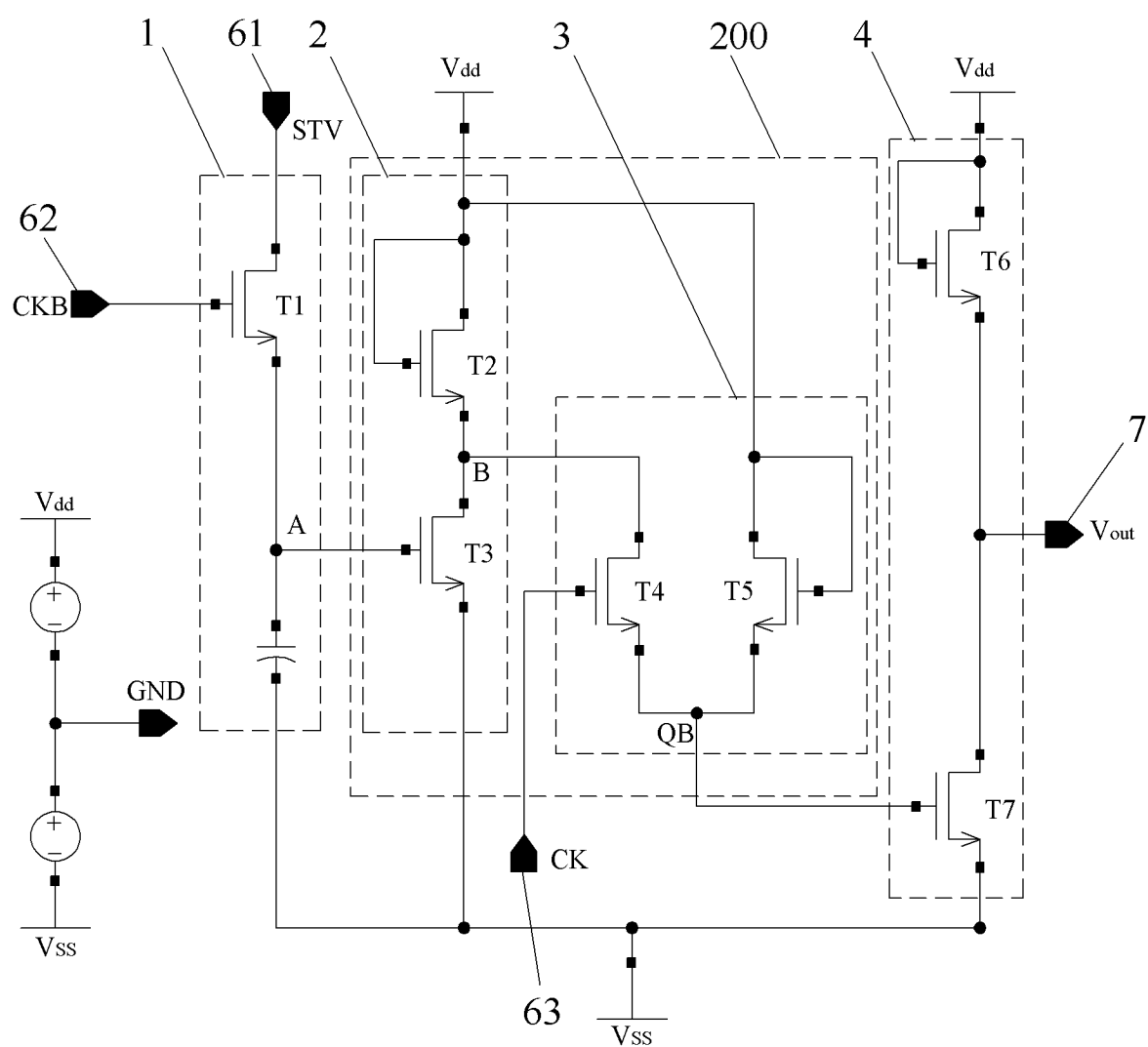


图 2

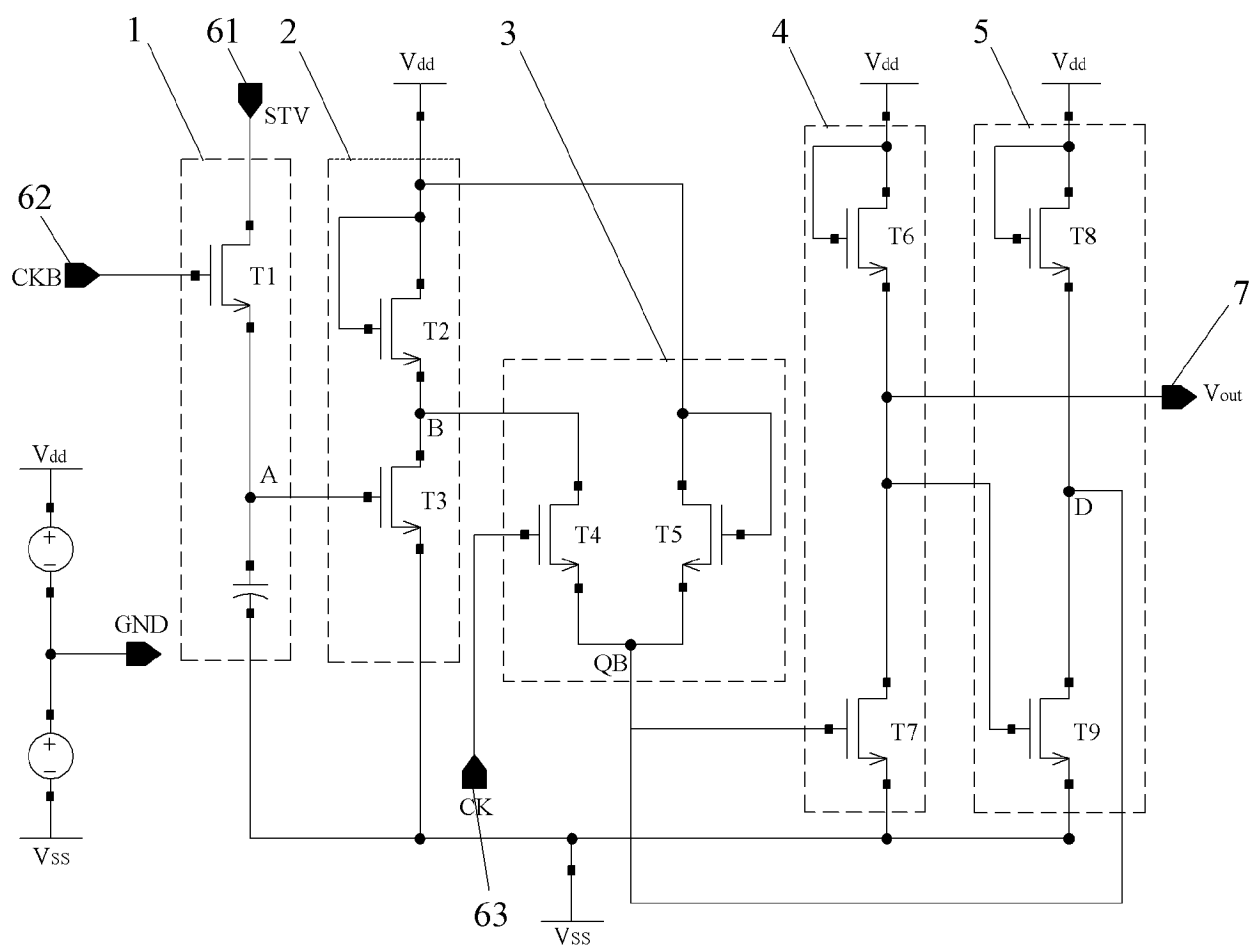


图 3

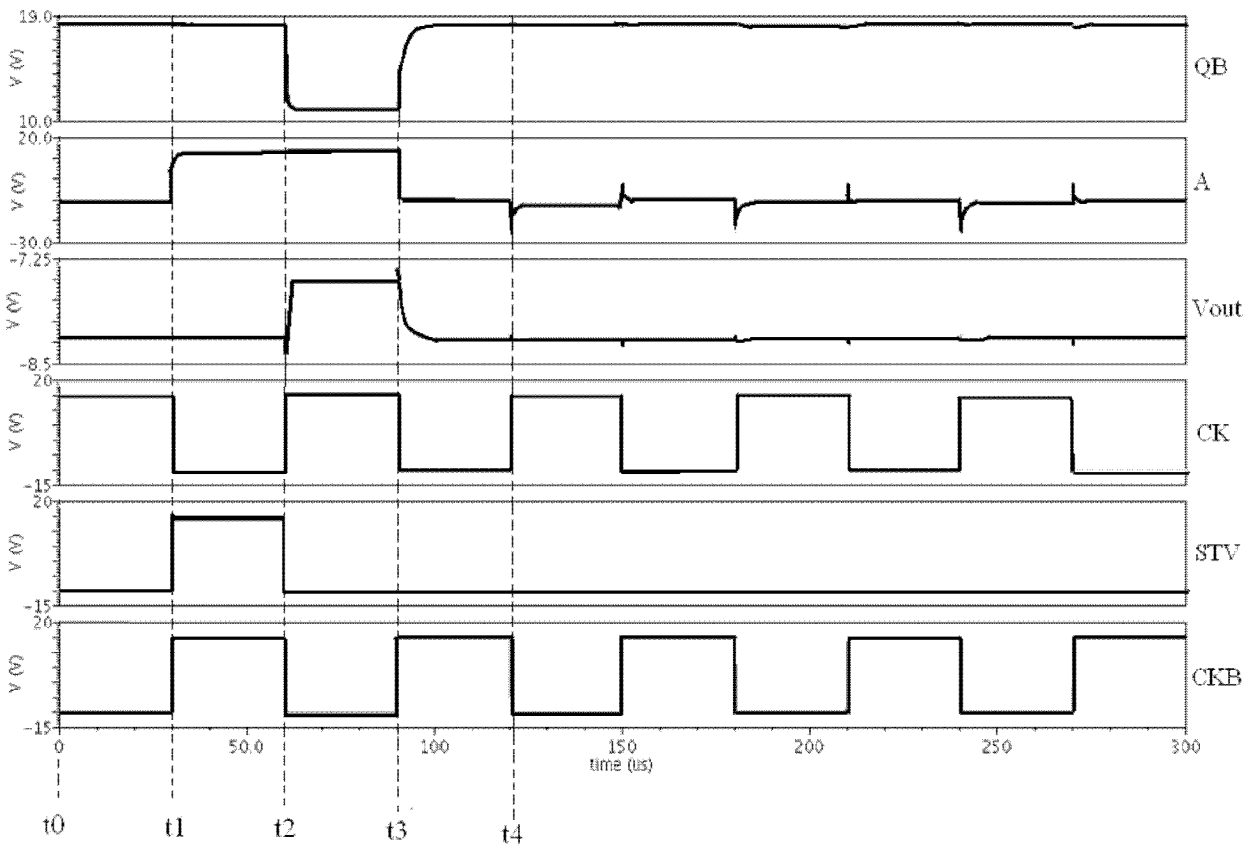


图 4

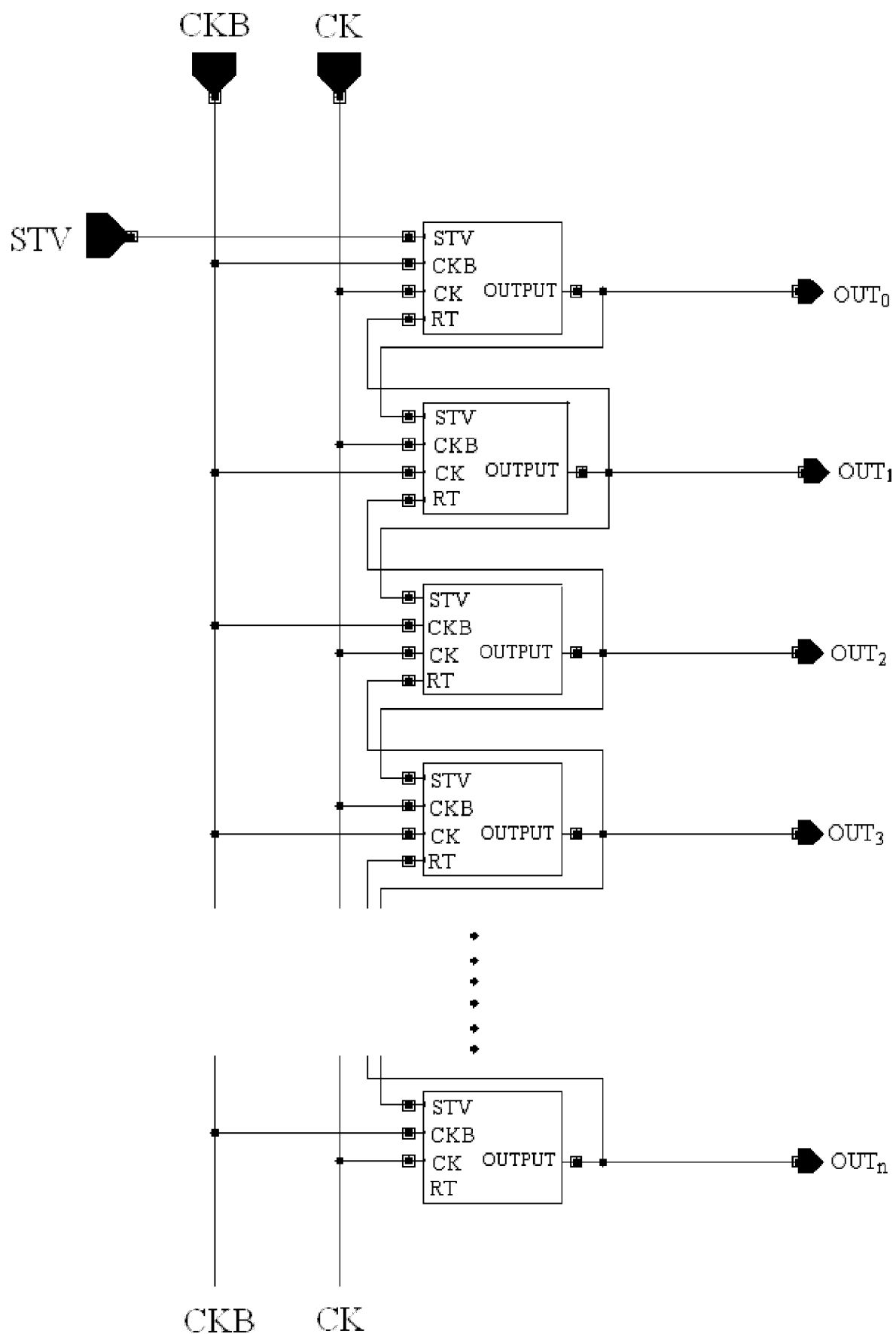


图 5

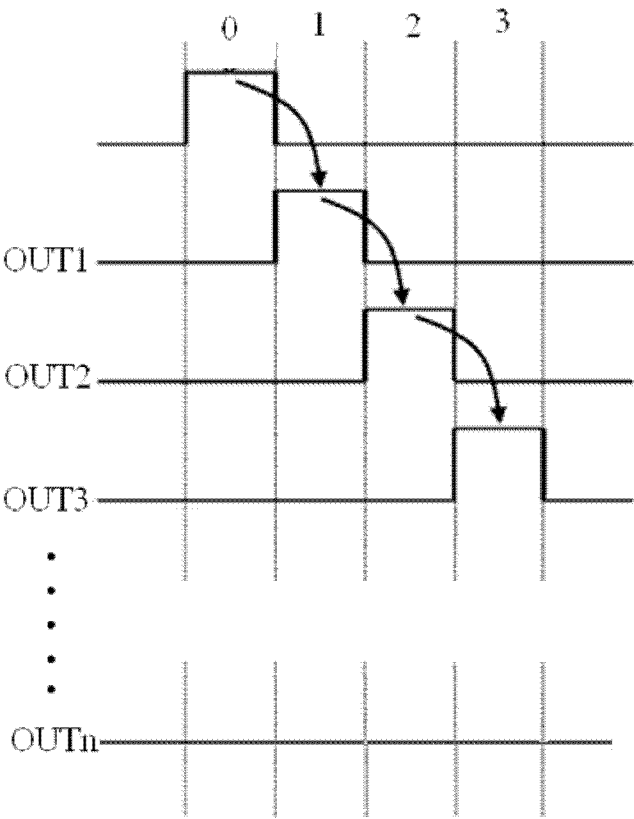


图 6

专利名称(译)	移位寄存器单元电路、移位寄存器、阵列基板及液晶显示器		
公开(公告)号	CN102651187B	公开(公告)日	2014-09-24
申请号	CN201110126328.4	申请日	2011-05-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	李天马 祁小敬		
发明人	李天马 祁小敬		
IPC分类号	G09G3/20 G09G3/36		
CPC分类号	G11C19/28 G09G3/3677 G11C19/184 G09G2300/0417 G09G2310/0286 G09G2300/0408		
代理人(译)	申健		
审查员(译)	李玮		
其他公开文献	CN102651187A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种移位寄存器单元电路、移位寄存器及液晶显示器阵列基板，主要是为了解决现有移位寄存器能耗高噪音大的问题而设计。本发明移位寄存器，具有至少两个移位寄存器单元电路级联连接的结构，且基于两相时钟信号工作；单元电路包括：输入端、预充电电路、电平拉低电路、输出电路和扫描信号输出端。本发明通过下拉电位的设计，使得扫描信号输出的波形稳定，噪音小，并且，本发明以较少的TFT电路即实现了GOA电路，电路简单，能耗小。本发明特别适合LPTS制成下的GOA电路需求，非晶硅工艺亦可适用。

