



(12) 发明专利

(10) 授权公告号 CN 101303841 B

(45) 授权公告日 2010. 12. 15

(21) 申请号 200810095039. 0

审查员 林韵英

(22) 申请日 2008. 04. 23

(30) 优先权数据

10-2007-0046120 2007. 05. 11 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 宋鸿声 闵雄基 崔秉辰 张修赫

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G02F 1/133(2006. 01)

G02F 1/13(2006. 01)

G09G 3/36(2006. 01)

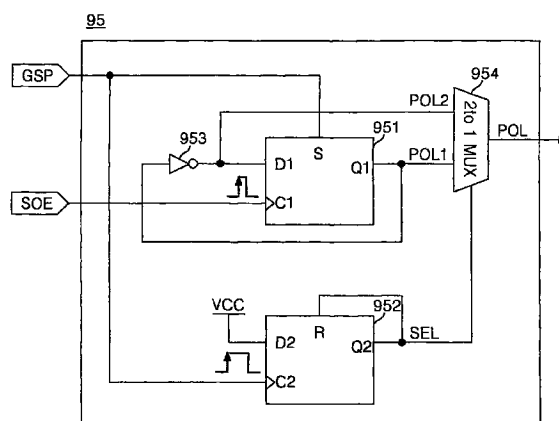
权利要求书 2 页 说明书 9 页 附图 13 页

(54) 发明名称

液晶显示器件

(57) 摘要

本发明公开了一种具有简化的印刷电路板 (PCB) 的液晶显示器件 (LCD)。所述 LCD 器件包括：LCD 面板，包括第一数据线组、第二数据线组、和从所述第一和第二数据线组分离的玻上线 (LOG) 配线；第一集成电路 (IC) 组，将数字视频数据转换为数据电压，并将所述数据电压施加给第一数据线组；第一源 PCB，第一 IC 组中的 IC 与其连接；第二 IC 组，用于经由第一源 PCB 和 LOG 配线接收所述时序控制信号和数字视频数据，将所述数字视频数据转换为数据电压，并将所述数据电压施加给第二数据线组；第二 PCB，第二 IC 组中的 IC 与其连接；时序控制器，包括单输出端口以输出所述时序控制信号和数字视频数据；控制 PCB，所述时序控制器安装在其上；以及连接器，连接到控制 PCB 和第一源 PCB。



1. 一种液晶显示器件,包括:

液晶显示面板,包括第一数据线组、第二数据线组、和从所述第一和第二数据线组分离的玻上线配线;

第一集成电路组,根据时序控制信号运行,以将数字视频数据转换为数据电压,并且将所述数据电压施加给所述第一数据线组;

第一源印刷电路板,在所述第一集成电路组中包括的集成电路与该第一源印刷电路板相连接;

第二集成电路组,用于经由所述第一源印刷电路板和所述玻上线配线接收来自所述第一集成电路组的所述时序控制信号和所述数字视频数据,并且根据所述时序控制信号运行,以将数字视频数据转换为数据电压,并且将所述数据电压施加给所述第二数据线组;

第二印刷电路板,在所述第二集成电路组中的包括集成电路与该第二印刷电路板相连接;

时序控制器,包括单输出端口以输出所述时序控制信号和所述数字视频数据;

控制印刷电路板,所述时序控制器安装在该控制印刷电路板上;以及

连接器,连接到所述控制印刷电路板和所述第一源印刷电路板,以将通过所述时序控制器的单输出端口输出的所述时序控制信号和所述数字视频数据转移到所述第一源印刷电路板,

其中所述第一和第二集成电路组的每个集成电路包括一极性控制信号产生器,用于使用一部分所述时序控制信号,产生极性控制信号以控制所述数据电压的极性。

2. 根据权利要求1所述的液晶显示器件,其特征在于,所述极性控制信号产生器使用栅起动脉冲和源输出使能信号来产生所述极性控制信号,其中所述栅起动脉冲指示起动水平线,从所述起动水平线开始一个垂直周期的扫描操作,用于显示一个帧,并且所述源输出使能信号使能所述数字视频数据被输出。

3. 根据权利要求2所述的液晶显示器件,其特征在于,所述极性控制信号产生器包括:

第一D触发器,使用所述源输出使能信号作为输入时钟,所述第一D触发器产生在参照每个垂直周期产生的所述源输出使能信号的上升边缘的逻辑状态中反相的第一极性控制信号;

第二D触发器,使用所述栅起动脉冲作为输入时钟,所述第二D触发器产生在参照每个垂直周期产生的所述栅起动脉冲的上升边缘的逻辑状态中反相的选择信号;

乘法器,用于接收所述第一极性控制信号和第二极性控制信号,该第二极性控制信号具有与所述第一极性控制信号相反的逻辑值,并且响应所述选择信号,以一个垂直周期的间隔交替地输出所述第一和第二极性控制信号。

4. 根据权利要求3所述的液晶显示器件,其特征在于,

所述第一D触发器包括经由反相器互相电连接的非反相输出端子和输入端子;以及

所述反相器接收从所述第一D触发器的非反相输出端子反馈的所述第一极性控制信号,并且输出反馈信号作为所述第二极性控制信号。

5. 根据权利要求1所述的液晶显示器件,其特征在于,所述控制印刷电路板包括用于产生驱动所述液晶显示面板需要的驱动电压的电压产生器。

6. 根据权利要求5所述的液晶显示器件,其特征在于,所述第一和第二集成电路组的

每个集成电路安装在薄膜上芯片和载带封装之一上,在其上形成用于转移所述时序控制信号、所述数字视频数据和所述驱动电压的虚拟配线。

7. 根据权利要求 1 所述的液晶显示器件,其特征在于,所述时序控制器包括:

2- 端口扩展器,用于将以输入频率输入的数字视频数据 RGB 分为奇数像素数据和偶数像素数据,并且以对应输入频率的 1/2 的频率提供分离的奇数和偶数像素数据;以及

数据调制器,用于调制来自所述 2- 端口扩展器的奇数和偶数像素数据,以减少从所述单输出端口输出的数字视频数据的摆动宽度,所述数据调制器以对应 2 倍输入频率的频率输出所述数字视频数据。

8. 根据权利要求 7 所述的液晶显示器件,其特征在于,所述数据调制器根据迷你低压差分信号方案和小摆动差分信号方案之一调试所述数字视频数据。

9. 根据权利要求 8 所述的液晶显示器件,其特征在于,所述第一和第二集成电路组的每一个还包括用于恢复调制的数字视频数据的数据恢复器。

液晶显示器件

[0001] 本申请要求享有 2007 年 5 月 11 日提出的申请号为 No. 10-2007-0046120 的韩国专利申请的权益,在此结合其全部内容作为参考。

技术领域

[0002] 本发明涉及一种液晶显示 (LCD) 器件,尤其涉及一种具有简化的印刷电路板 (PCB) 的 LCD 器件。

背景技术

[0003] LCD 器件通过控制液晶单元依照视频信号的透光率来显示图像。参照图 1,示出了有源矩阵型 LCD 器件。在这种有源矩阵型 LCD 器件中,由在各个液晶单元 C1c 中形成的薄膜晶体管 (TFT) 开关施加给液晶单元 C1c 的数据电压,用于主动控制数据,以获得移动图像的显示质量的提高。图 1 中,附图标记“Cst”表示存储电容器,用来保持在相关液晶单元 C1c 中充电的数据电压,附图标记“DL”表示施加有数据电压的数据线,而附图标记“GL”表示施加有扫描电压的栅线。

[0004] 对于 LCD 器件,正在开发中等和大尺寸型号以及小尺寸型号,与具有大屏幕尺寸的电视机和监视器近来的发展保持同步。如图 2 所示,这种 LCD 器件包括控制 PCB 20、源 PCB 22、源 PCB 22 和控制 PCB 20 之间连接的电缆 21、和连接到源 PCB 22 和 LCD 面板 25 的多个源薄膜上芯片 (COF) 24。

[0005] 每个源 COF 24 电连接到源 PCB 22 和 LCD 面板 25 的数据焊盘。数据集成电路 (IC) 23 安装在每个源 COF 24 上。

[0006] 信号线在源 PCB 22 上形成,以从控制 PCB 20 转移数字视频数据和时序控制信号。

[0007] 控制电路、数据转移电路等安装在控制 PCB 20 上。控制 PCB 20 向数据 IC 23 提供数据,并且经由电缆 21 向源 PCB 22 提供时序控制信号以控制数据 IC 23 的操作。

[0008] 由于在如图 2 所示的 LCD 器件中,LCD 面板 25 具有增加的尺寸,数据线的数目和源 COF 24 的数目相应地增加。因此,源 PCB 22 的尺寸增加。在这种情况下,在对准源 COF 24 和源 PCB 22 中存在困难。此外,不能通过现有的自动安装设备,比如表面安装技术 (SMT) 设备处理如上所述具有增加的尺寸的源 PCB 22,因为该设备是为具有比大尺寸的源 PCB 22 小的尺寸的源 PCB 设计的。此外,由于 LCD 设备具有增加的尺寸,比如内存的电路设备的数目增加,并且输出管脚的数目增加。由于这个原因,存在控制 PCB 20 的制造成本增加的问题。

发明内容

[0009] 因此,本发明涉及一种液晶显示器件,其基本上消除由于现有技术的局限性和缺陷引起的一个或多个问题。

[0010] 本发明的一个目的在于提供一种液晶显示器件,其包括具有分开的结构的源印刷电路板 (PCB),以减小控制 PCB 的尺寸和输出管脚的数目。

[0011] 本发明的其它优点、目的和特征将在说明书中部分阐明,熟悉本领域的技术人员从说明书可以明白,或可以通过本发明的实施方式理解。本发明的目的和其它优点将通过说明书和权利要求书以及附图所指出的结构来实现和获得。

[0012] 为了获得这些目的和其它的优点并根据本发明的目的,如在此具体和广泛描述的,一种液晶显示器件包括:液晶显示面板,包括第一数据线组、第二数据线组、和从所述第一和第二数据线组分离的玻上线 (LOG) 配线;第一集成电路 (IC) 组,根据时序控制信号运行,以将数字视频数据转换为数据电压,并且将所述数据电压施加给所述第一数据线组;第一源印刷电路板 (PCB),包括在所述第一集成电路组中的集成电路与其连接;第二集成电路组,用于经由所述第一源印刷电路板和所述 LOG 配线接收所述时序控制信号和所述数字视频数据,并且根据所述时序控制信号运行,以将数字视频数据转换为数据电压,并且将所述数据电压施加给所述第二数据线组;第二 PCB,包括在所述第二集成电路组中的集成电路与其连接;时序控制器,包括单输出端口以输出所述时序控制信号和所述数字视频数据;控制 PCB,所述时序控制器安装在其上;以及连接器,连接到所述控制 PCB 和所述第一源 PCB,以将通过所述时序控制器的单输出端口输出的所述时序控制信号和所述数字视频数据转移到所述第一源印刷电路板,其中所述第一和第二集成电路组的每个集成电路包括一极性控制信号 (POL) 产生器,用于使用一部分所述时序控制信号,产生极性控制信号以控制所述数据电压的极性。

[0013] 所述 POL 产生器利用栅起动脉冲和源输出使能信号来产生所述极性控制信号,其中所述栅起动脉冲指示起动水平线,从所述起动水平线开始一个垂直周期的扫描操作,用于显示一个帧,并且所述源输出使能信号使能所述数字视频数据被输出。

[0014] 所述 POL 产生器包括第一 D 触发器,使用所述源输出使能信号作为输入时钟,所述第一 D 触发器产生在参照每个垂直周期产生的所述源输出使能信号的上升边缘的逻辑状态中反相的第一极性控制信号;第二 D 触发器,使用所述栅起动脉冲作为输入时钟,所述第二 D 触发器产生在参照每个垂直周期产生的所述栅起动脉冲的上升边缘的逻辑状态中反相的选择信号;和乘法器,用于接收所述第一极性控制信号和第二极性控制信号,该第二极性控制信号具有与所述第一极性控制信号相反的逻辑值,并且响应所述选择信号,以一个垂直周期的间隔交替地输出所述第一和第二极性控制信号。

[0015] 所述第一 D 触发器可以包括经由反相器互相电连接的非反相输出端子和输入端子。所述反相器可以接收从所述第一 D 触发器的非反相输出端子反馈的所述第一极性控制信号,并且可以输出反馈信号作为所述第二极性控制信号。

[0016] 所述控制 PCB 包括用于产生驱动所述液晶显示面板需要的驱动电压的电压产生器。

[0017] 所述第一和第二集成电路组的每个集成电路 (IC) 可以安装在薄膜上芯片 (COF) 和载带封装之一上,在其上形成用于转移所述时序控制信号、所述数字视频数据和所述驱动电压的虚拟配线。

[0018] 所述时序控制器可以包括 2- 端口扩展器,用于将以输入频率输入的数字视频数据 RGB 分为奇数像素数据和偶数像素数据,并且以对应输入频率的 1/2 的频率提供分离的奇数和偶数像素数据;以及数据调制器,用于调制来自所述 2- 端口扩展器的奇数和偶数像素数据,以减少从所述单输出端口输出的数字视频数据的摆动宽度,所述数据调制器以对

应 2 倍输入频率的频率输出所述数字视频数据。

[0019] 所述数据调制器可以根据迷你低压差分信号 (LVDS) 方案和小摆动差分信号 (RSDS) 方案之一调试所述数字视频数据。

[0020] 所述第一和第二集成电路组的每一个还可以包括用于恢复调制的数字视频数据的数据恢复器。

[0021] 应该理解, 本发明上面的概括性描述和下面的详细说明都是示例性和解释性的, 其目的在于对本发明的权利要求作进一步解释。

附图说明

[0022] 本申请所包含的附图用于进一步理解本发明, 其与说明书相结合并构成本申请的一部分, 所示的本发明的实施方式与说明书一起解释本发明的原理。在图中:

[0023] 图 1 是表示液晶显示 (LCD) 器件的一个液晶单元的等效电路图;

[0024] 图 2 是表示具有单个源 PCB 的 LCD 器件的图;

[0025] 图 3 是表示根据本发明一示例性实施方式的 LCD 器件的方框图;

[0026] 图 4 是具体地示出图 3 中的时序控制器和各个数据 IC 之间的连接结构的示图;

[0027] 图 5 是在源薄膜上芯片 (COF) 上形成的虚拟配线和在 LCD 面板的基板上形成的玻璃上线 (LOG) 配线的平面图;

[0028] 图 6 是示出了包括在图 3 和 4 所示的时序控制器中的数据处理器的详细配置的方框图;

[0029] 图 7 和 8 是表示来自图 6 所示的数据调制器的输出的示例的波形图;

[0030] 图 9 是图 4 所示的时序控制器和各个数据 IC 之间建立的信号转移路径的示图;

[0031] 图 10 是表示图 4 所示一个数据 IC 的详细配置的方框图;

[0032] 图 11 是表示图 10 所示的 POL 产生器的一个示例的电路图;

[0033] 图 12 是描述图 11 的示例中产生的极性控制信号的波形图;

[0034] 图 13 是表示图 10 所示的 POL 产生电路的另一示例的电路图;

[0035] 图 14 是表示图 13 的示例中产生的极性控制信号的波形图;

[0036] 图 15 是表示图 10 所示的伽玛补偿电压产生器的详细配置的方框图;

[0037] 图 16 是表示图 10 所示的数字 / 模拟转换器 (DAC) 的详细配置的方框图。

具体实施方式

[0038] 现在详细参照附图所示的示例, 说明本发明的优选实施方式。尽可能的, 相同的附图标记在所有的图中指代相同或相似的部分。

[0039] 下文中, 将参照图 3 到 16 说明根据本发明的优选实施方式。

[0040] 参照图 3, 示出了根据本发明一示例性实施方式的液晶显示 (LCD) 器件。LCD 器件包括 LCD 面板 30、时序控制器 31、数据驱动电路 32、和栅驱动电路 33。

[0041] LCD 面板 30 包括两个玻璃基板, 在基板之间密封液晶分子。LCD 面板 30 还包括排列成矩阵形式的 $m \times n$ 个液晶单元 Clc , 形成 m 条数据线 $D1$ 到 Dm 和 n 条栅线 $G1$ 到 Gn 的交叉点结构。

[0042] 在 LCD 面板 30 的下玻璃基板上形成数据线 $D1$ 到 Dm 、栅线 $G1$ 到 Gn 、薄膜晶体管

(TFT)、连接到 TFT 的各液晶单元 Clc 的像素电极 1、和存储电容器 Cst。玻上线 (LOG) 配线形成在 LCD 面板 30 的下玻璃基板上,以在源 PCB 之间转移数字视频数据、时序控制信号、驱动电压等,将在后面描述。

[0043] 黑矩阵、滤色片、和公共电极 2 形成在 LCD 面板 30 的上玻璃基板上。在比如扭曲向列 (TN) 模式或垂直对准 (VA) 模式的垂直电场驱动系统中,如上所述,公共电极 2 形成在上玻璃基板上。另一方面,在比如共平面开关 (IPS) 模式或边缘场开关 (FFS) 模式的水平电场驱动系统中,公共电极 2 与像素电极 1 一起形成在下玻璃基板上。具有互相正交的光轴的偏振板分别连接到上、下玻璃基板。对准薄膜形成在每个偏振板和液晶之间的接口,以设置液晶的预倾斜的角度。

[0044] 时序控制器 31 接收比如垂直 / 水平同步信号的时序信号、数据使能信号、和时钟信号,并且基于接收的时序信号,产生数据时序控制信号以控制数据驱动电路 32 的运行时序,并产生栅时序控制信号以控制栅驱动电路 33 的运行时序。栅时序控制信号包括栅起动脉冲 GSP、栅移位时钟信号 GSC、栅输出使能信号 GOE 等。栅起动脉冲 GSP 是指示将第一扫描脉冲提供给起动水平线的时序控制信号,从该水平线开始一个垂直周期的扫描操,用于显示一个帧。栅移位时钟信号 GSC 是时序控制信号,其被输入到栅驱动电路 33 中包括的移位寄存器,以顺序移位栅起动脉冲 GSP。栅移位时钟信号 GSC 具有对应 TFT 的开 (ON) 周期的脉宽。栅输出使能信号 GOE 使能从栅驱动电路 33 的输出。数据时序控制信号包括源采样时钟 SSC、源输出使能信号 SOE 等等。源采样时钟 SSC 基于上升或下降边缘使能数据驱动电路 32 的数据闭锁操作。源输出使能信号 SOE 等等使能来自数据驱动电路 32 的输出。时序控制器 31 还将数字视频数据分为奇数像素数据 RGBodd 和偶数像素数据 RGBeven,并且将分离的数据提供给数据驱动电路 32。为了减少数据转移路径中的电磁干扰 (EMI) 并且减小数据电压的摆动宽度,时序控制器按照迷你低压差分信号 (LVDS) 方案或小摆动差分信号 (RSDS) 方案调制数据 RGBodd 和 RGBeven,并且将调制的数据提供给数据驱动电路 32。

[0045] 数据驱动电路 32 使用来自时序控制器 31 的栅起动脉冲 GSP 和源输出使能信号 SOE 产生极性控制信号 POL。极性控制信号 POL 指示将数据电压的极性施加给液晶单元 Clc。数据驱动电路 32 还在时序控制器 31 的控制之下闭锁数字视频数据 RGBodd 和 RGBeven。数据驱动电路 32 还根据极性控制信号 POL 将闭锁的数字视频数据 RGBodd 和 RGBeven 转换为正 / 负模拟伽玛补偿电压,并且从而产生正 / 负模拟数据电压。来自数据驱动电路 32 的数据电压施加给数据线 D1 到 Dm。

[0046] 栅驱动电路 33 包括多个各自包括移位寄存器的栅集成电路 (IC)、用于将移位寄存器的输出信号转换为具有适合于驱动相关液晶单元的 TFT 的摆动宽度的信号的的水平移位器,以及连接在水平移位器和相关的栅线 G1 到 Gn 之一之间的输出缓冲器。栅驱动电路 33 顺序向栅线 G1 到 Gn 施加扫描脉冲。栅驱动电路 33 的每个栅 IC 安装在薄膜上芯片 (COF) 或载带封装 (TCP) 之上,并且连接到形成在 LCD 面板 30 的下玻璃基板上的栅焊盘。可选地,栅驱动电路 33 的每个栅 IC 可以按照玻上芯片工艺直接连接到 LCD 面板 30 的下玻璃基板。同时,栅驱动电路 33 可以使用面板内栅极 (gate-in-panel) 工艺与数据线 D1 到 Dm、栅线 G1 到 Gn、和 TFT 同时直接在 LCD 面板 30 的下玻璃基板上形成,这些构成像素阵列。栅驱动电路 33 排列在 LCD 面板 30 的相反的横向侧面,以符合 LCD 面板 30 的大尺寸趋势。按照该排列,可以防止在配置为通过长栅线提供扫描脉冲的大尺寸 LCD 面板中,扫描脉冲由于 RC 延

迟而失真。

[0047] 图 4 示出了图 3 所示的 LCD 面板 30、数据驱动电路 32、和时序控制器 31 的装配状态。图 5 示出了在 LCD 面板 30 的一个基板上形成的源 COF 和 LOG 配线上形成的虚拟配线。

[0048] 参照图 4 和 5, 数据驱动电路 32 包括多个第一数据 IC 32a 和多个第二数据 IC 32b。

[0049] 数据 IC 32a 和 32b 分别安装在源 COF 42 上。每个源 COF 42 可以由 TCP 替代。源 COF 42 连接到源 PCB, 源 PCB 被分为两部分, 即, 第一源 PCB 41A 和第二源 PCB 41B。也就是说, 两组源 COF 42 分别连接到第一和第二源 PCB 41A 和 41B。每个源 COF 42 具有电连接到相关的第一或第二源 PCB 41A 或 41B 的输出端子之一。每个源 COF 42 还具有电连接到在 LCD 面板 30 的下玻璃基板上形成的数据焊盘之一的输出端子。如图 5 所示, 虚拟配线 51 形成在每个源 COF 42 上, 以转移时序控制信号和驱动电压。LOG 配线 45 形成在连接到第一源 PCB 41A 的源 COF 42 之中相邻第二源 PCB 41B 的源 COF 42 和连接到第二源 PCB 41B 的源 COF 42 之中相邻第一源 PCB 41A 的源 COF 42 之间的 LCD 面板 30 的下玻璃基板上。LOG 配线 45 分别起到转移数字视频数据 RGBodd 和 RGBeven、转移包括进位信号的时序控制信号和转移驱动电压的作用。在根据本发明的 LCD 器件中, 依照 LOG 配线 45 的使用取消一个柔性扁形电缆 (FFC) 43。因此, 可以简化源 PCB 41A 和 41B 到控制 PCB 40 的连接结构, 从而减少使用的元件的数目。同时, 有必要将 LOG 配线 45 的数目减到最少, 这是因为由于采用的工艺的特性, LOG 配线 45 的形成区域是有限的。为此, 在根据本发明的 LCD 器件中, 取消了 LOG 配线 45 之中转移极性控制信号 POL 的 LOG 配线。适当的, 每个数据 IC 32a 和 32b 使用栅起动脉冲 GSP 和源输出使能信号 SOE 产生极性控制信号 POL。这将参照图 11 到 14 在后面详细描述。从其移除转移极性控制信号 POL 的 LOG 配线的区域可以用于转移驱动电压的 LOG 配线线宽的增加。依照转移驱动电压的 LOG 配线的增加的线宽, 可以减少由 LOG 配线引起的压降, 并且从而使第一和第二源 PCB 41A 和 41B 之间的伽玛补偿电压 VGH 和 VGL 的差减到最小。

[0050] 转移数字视频数据 RGBodd 和 RGBeven 的总线配线、转移栅时序控制信号和数据时序控制信号的总线配线、和转移驱动电压的总线配线形成在第一和第二源 PCB 41A 和 41B 的每一个上。

[0051] 第一源 PCB 41A 具有经由 FFC 43 电连接到形成在控制 PCB 40 上的连接配线 44 的输入端子。另一方面, 第二源 PCB 41B 没有连接到控制 PCB 40。源 PCB 41A 和 41B 经由 LOG 配线 45 和源 COF 42 互相电连接。因此, 第一源 PCB 41A 经由形成在控制 PCB 40 上的连接配线 44 从控制 PCB 40 接收数字视频数据 RGBodd 和 RGBeven、时序控制信号、和驱动电压。第二源 PCB 41B 经由 LOG 配线 45 和源 COF 42 从第一源 PCB 41A 接收数字视频数据 RGBodd 和 RGBeven、时序控制信号、和驱动电压。提供给第一源 PCB 41A 的栅时序控制信号经由形成在第一源 PCB 41A 上的总线配线提供给设置在 LCD 面板 30 右侧的栅驱动电路。经由 LOG 配线 45 提供给第二源 PCB 41B 的栅时序控制信号经由在形成第二源 PCB 41B 上的总线配线提供给设置在 LCD 面板 30 左侧的栅驱动电路。

[0052] 连接配线 44 与时序控制器 31、EEPROM 31a、和起到为 LCD 显示面板 30 产生驱动电压作用的比如 DC-DC 转换器的电路一起形成在控制 PCB 40 上。从 DC-DC 转换器产生的驱动电压包括栅高电压 Vgh、栅低电压 Vgl、公共电压 Vcom、高电平电源电压 Vdd、低电平电

源电压 V_{ss} 、和在高电平电源电压 V_{dd} 和低电平电源电压 V_{ss} 之间分配的多个伽玛基准电压。伽玛基准电压被再分配为模拟伽玛补偿电压,从而模拟伽玛补偿电压的数目对应于由数据 IC 32a 和 32b 中的数字视频数据 RGBodd 和 RGBeven 的比特表示的灰度值的数目。栅高电压 V_{gh} 和栅低电压 V_{gl} 分别是扫描脉冲的高和低摆动电压。EEPROM 31a 存储有关于从时序控制器 31 产生的时序控制信号对于不同模式的波形选项信息。这样,EEPROM 31a 根据来自用户的命令,向时序控制器 31 提供所选模式的波形信息。时序控制器 31 基于来自 EEPROM 31a 的波形选项信息,产生对应所选模式的时序控制信号。这样,根据不同的模式,分别从时序控制器 31 产生不同的时序控制信号。

[0053] 在控制 PCB 40 上形成的连接配线 44 将时序控制器 31 的单输出端口 63 连接到 FFC 43。图 6 示出了时序控制器 31 的单输出端口 63。经由连接配线 44 将从 DC-DC 转换器产生的数字视频数据 RGBodd 和 RGBeven 和时序控制信号、以及驱动电压发送到 FFC 43。

[0054] 图 6 是表示时序控制器 31 的数据处理部分的示意图。

[0055] 参照图 6,时序控制器 31 包括 2- 端口扩展器 61 和数据调制器 62。

[0056] 2- 端口扩展器 61 在某一输入频率 f 将来自系统主板的数字视频数据 RGB 分为奇数像素数据 RGBodd 和偶数像素数据 RGBeven,并且将分离的数据 RGBodd 和 RGBeven 以 $1/2$ 频率 $f/2$ 提供给数据调制器 62。转移频率减小到 $1/2$ 的原因在于在 $1/2$ 频率可以减小电磁干扰 (EMI)。从 2- 端口扩展器 61 输出的数据 RGBodd 和 RGBeven 的摆动宽度相对较宽,例如,大约对应晶体管到晶体管 (TTL) 电平的 3.3V。

[0057] 数据调制器 62 调制从 2- 端口扩展器 61 发送的数据 RGBodd 和 RGBeven,以将数据 RGBodd 和 RGBeven 的摆动宽度减小到大约 300 到 600mV。数据调制器 62 还按照 4 倍加速的迷你 LVDS 时钟,将数据 RGBodd 和 RGBeven 的频率增加到 2 倍输入频率 f ,即,到频率 $2f$ 。虽然从数据调制器 62 输出的数据 RGBodd 和 RGBeven 的频率增加到 2 倍输入频率 f ,即,到频率 $2f$,但是由于数据 RGBodd 和 RGBeven 的摆动宽度具有大约 300 到 600mV 的相当小的值,EMI 没有或很少的增加。数据调制器 62 输出包括 3 对奇数像素数据 RGBodd、3 对偶数像素数据 RGBeven、和 1 对迷你时钟迷你 CLK 的信号。每个信号对包括正信号和负信号。同时,数据调制器 62 可以按照 RSDS 方案执行数据调制。

[0058] 图 7 和 8 示出了从数据调制器 62 输出的数据的示例。示出的示例对应以迷你 LVDS 方案调制的数据的示例。

[0059] 在图 7 中,“数据 CLK”表示从系统的主板产生的数据时钟,而“迷你 LVDSCLK”表示从数据调制器 62 产生的时钟,然后和数据一起转移。同样,“迷你 LVDS RGB”表示由数据调制器 62 调制的正数据波形,从而正数据波形包括复位波形。数据调制器 62 还产生具有与正数据波形相反的相位的负数据波形。这样,数据调制器 62 转移 6 个每个包括正数据波形 P 和负数据波形 N 的数据对,以及一个迷你 LVDS 时钟对到数据 IC 32a 和 32b。采样第一数据的数据 IC 将在复位波形复位之后,识别起动脉冲开始,作为数据采样起始点,并且在起始脉冲开始之后开始采样数据。因此,对于时序控制器 31 不需要通过单独的配线提供源起始脉冲 SSP。

[0060] 图 9 示出了时序控制器 31 和各自的数据 IC 32a 和 32b 之间建立的信号转移路径。

[0061] 参照图 9,来自时序控制器 31 以迷你 LVDS 或 RSDS 方案调制的数字视频数据之中的右数据 RGBodd 和 RGBeven 经由时序控制器 31 的单输出端口 63、连接配线 44、和 FFC

43 被转移到连接第一源 PCB 41A 的第一数据 IC 32a。右数据 RGBodd 和 RGBeven 将在 LCD 面板 30 的屏幕的右半部分上显示。另一方面,由时序控制器 31 以迷你 LVDS 或 RSDS 方案调制的左数据 RGBodd 和 RGBeven 经由时序控制器 31 的单输出端口 63、连接配线 44、第一源 PCB41A、源 COF 42 的虚拟配线 51、LCD 面板 30 的 LOG 配线 45 被转移到连接第二源 PCB 41B 的第二数据 IC 32b。左数据 RGBodd 和 RGBeven 将在 LCD 面板 30 的屏幕的左半部分上显示。

[0062] 从时序控制器 31 产生的数据时序控制信号经由时序控制器 31 的单输出端口 63、连接配线 44、和 FFC 43 被转移到连接第一源 PCB 41A 的第一数据 IC32a。数据时序控制信号还经由时序控制器 31 的单输出端口 63、连接配线 44、第一源 PCB 41A、源 COF 42 的虚拟配线 51、LCD 面板 30 的 LOG 配线 45 被转移到连接第二源 PCB 41B 的第二数据 IC 32b。

[0063] 如图 7 和 8 所示,采样起动脉冲之后的第一数据的最左边的数据 IC 32b,在采样对应最左边的数据 IC 32b 的输出通道的数目的数量的第一数据之后,产生表示第一数据之后的数据采样时序的进位信号进位。然后最左边的数据 IC 32b 将进位信号进位提供给在右边方向相邻最左边的数据 IC 32b 的数据 IC32b。这样,进位信号进位被顺序转移到相邻的数据 IC 32b。通过在 LCD 面板 30 上形成的 LOG 配线 45 获得第一和第二源 PCB 41A 和 41B 之间的进位信号进位的转移。同时,数据 IC 32a 和 32b 的数据采样方向可以改变为相反的方向。在这种情况下,在相反的方向执行第一和第二源 PCB 41A 和 41B 之间的进位信号进位的转移。

[0064] 从安装在控制 PCB 40 上的 DC-DC 转换器产生的驱动电压经由 DC-DC 转换器各自的输出端子、连接配线 44、和 FFC 43 被转移到连接第一源 PCB 41A 的第一数据 IC 32a。驱动电压还经由 DC-DC 转换器各自的输出端子、连接配线 44、第一源 PCB 41A、源 COF 42 的虚拟配线 51、LCD 面板 30 的 LOG 配线 45 被转移到连接第二源 PCB 41B 的第二数据 IC 32b。

[0065] 图 10 到 12 是表示一个第一数据 IC 32a 的详细配置的电路图。

[0066] 参照图 10 到 12,每个第一数据 IC 32a 包括移位寄存器 91、数据恢复器 92、第一闭锁阵列 93、第二闭锁阵列 94、POL 产生器 95、伽玛补偿电压产生器 96、数字 / 模拟转换器 (DAC)97、电荷共享电路 98、输出电路 99。

[0067] 数据恢复器 92 临时存储由时序控制器 31 分离的奇数像素数据 RGBodd 和偶数像素数据 RGBeven,并且按照对应由时序控制器 31 施加给数据的调制方案的解调方案恢复调制数据。例如,如图 8 所示,数据恢复器 92 以为具有高逻辑值的正数据产生“1”,并为具有低逻辑值的正数据产生“0”的方式恢复数据。数据恢复器 92 向第一闭锁阵列 93 提供恢复的数据 RGBodd 和 RGBeven。

[0068] 移位寄存器 91 按照源采样时钟 SSC 移位采样信号。移位寄存器 91 还在施加给移位寄存器 91 的数据的数量超过第一闭锁阵列 93 中的闭锁的数目时,产生进位信号进位。采样第一数据的第一数据 IC 32a 的移位寄存器 91 确定在提供数据前经由数据总线提供的复位信号,和起动脉冲之后提供的数据,作为首先采样的数据。

[0069] 第一闭锁阵列 93 响应从移位寄存器 91 顺序输入的采样信号,采样数字视频数据 RGBodd 和 RGBeven,并且对于每个水平线闭锁采样的数字视频数据 RGBodd 和 RGBeven,并且同时输出闭锁的一个水平线数据。

[0070] 第二闭锁阵列 94 闭锁从第一闭锁阵列 93 输入的一个水平线的数据 RGBodd 和

RGBeven,并且与其余的数据 IC 的第二闭锁阵列 94 同时,在源输出使能信号 SOE 的低逻辑周期中输出闭锁的数字视频数据 RGBodd 和 RGBeven。

[0071] 如图 11 和 12 所示, POL 产生器 95 包括第一 D 触发器 951、第二 D 触发器 952、反相器 953、和乘法器 954。

[0072] 第一 D 触发器 951 使用源输出使能信号 SOE 作为输入时钟 C1,该源输出使能信号 SOE 以一个水平周期 1H 的间隔产生。第一 D 触发器 951 具有经由反相器 953 连接到第一 D 触发器 951 的输入端子 D1 的非反相输出端子 Q1。栅起动脉冲 GSP 施加给第一 D 触发器 951 的一组端子 S。第一 D 触发器 951 响应栅起动脉冲 GSP,将从非反相输出端子 Q1 输出的第一极性控制信号 POL1 的极性初始化为“+”。反相器 953 反相从第一 D 触发器 951 的非反相输出端子 Q1 反馈的第一极性控制信号 POL1,并且将反向的信号输入到第一 D 触发器 951 的输入端子 D。第一 D 触发器 951 闭锁来自第一极性控制信号 POL1 的反相输入,并且输出与源输出使能信号 SOE 的上升边缘同步的闭锁信号。这样,第一 D 触发器 951 起到延迟来自第一极性控制信号 POL1 的反相信号一个水平周期的作用。因此,第一极性控制信号 POL1 的逻辑值以一个水平周期的间隔反相。相反的,第二极性控制信号 2 具有与第一极性控制信号 POL1 相反的相位,这是因为其没有由第一 D 触发器 951 延迟。

[0073] 第二 D 触发器 952 使用栅起动脉冲 GSP 作为输入时钟 C2,该栅起动脉冲 GSP 以一个水平周期 1V 的间隔产生。第二 D 触发器 952 具有连接到第二 D 触发器 952 的复位端子 R 和乘法器 954 的控制端子的非反相输出端子 Q2。第二 D 触发器 952 还具有连接到 D 触发器的输入端子 D2。按照这种结构,第二 D 触发器 952 以当在栅起动脉冲 GSP 的上升边缘之前产生的输出是“1”时输出复位信号,并且当在栅起动脉冲 GSP 的上升边缘之后产生的输出是“0”时输出来自高电平电压源 VCC 的电压的方式,参照栅起动脉冲 GSP 的上升边缘输出选择信号 SEL。这样,第二 D 触发器 952 以一个垂直周期的间隔,反相从非反相输出端子 Q2 输出的选择信号 SEL 的逻辑值。

[0074] 乘法器 954 响应来自第二 D 触发器 952 的选择信号 SEL,以一个垂直周期的间隔交替地选择第一和第二极性控制信号 POL1 和 POL2,并且输出选择的信号作为最终极性控制信号 POL。这样,如图 12 所示,最终极性控制信号 POL 不仅以一个水平周期的间隔,而且以一个垂直周期的间隔,逻辑值被反相。

[0075] 同时,可以如图 13 所示实现 POL 产生器 95。在图 13 的情况下,第一 D 触发器 951 响应栅起动脉冲 GSP,将从非反相输出端子 Q1 输出的第一极性控制信号 POL1 的极性初始化为“-”,以产生如图 14 所示的最终极性控制信号 POL。

[0076] 如图 15 所示,伽玛补偿电压产生器 96 再分配多个伽玛基准电压,该伽玛基准电压在高电平电源电压 Vdd 和低电平电源电压 Vss 之间分配,从而再分配的伽玛基准电压的数目对应由数字视频数据 RGBodd 和 RGBeven 的比特表示的灰度值“i”的数目。伽玛补偿值产生器 96 产生对应各自的灰度值的正伽玛补偿电压 VGH0 到 VGH(i-1),和对应各自的灰度值的负伽玛补偿电压 VGL0 到 VGL(i-1)。为此,伽玛补偿电压产生器 96 包括包含有串联在高电平电压 Vdd 和低电平电源电压 Vss 之间的多个电压分配寄存器 R01 到 Ri1 和多个电压分配寄存器 R02 到 Ri2 的寄存器串。

[0077] 如图 16 所示,DAC 97 包括向其施加正伽玛补偿电压 VGH 的 P- 解码器 (PDEC) 101、向其施加负伽玛补偿电压 VGL 的 N- 解码器 (NDEC) 102、和每一个连接到相关的 PDEC 101 之

一和相关的 NDEC 102 之一的乘法器 103,以响应极性控制信号 POL,选择来自相关的 PDEC 101 的输出或来自相关的 NDEC 102 的输出。每个 PDEC 101 解码从相关的第二闭锁阵列 94 输入的数字视频数据 RGBodd 和 RGBeven,并且对应解码的数字视频数据的灰度值,输出正伽玛补偿电压 VGH。每个 NDEC 102 解码从相关的第二闭锁阵列 94 输入的数字视频数据 RGBodd 和 RGBeven,并且对应解码的数字视频数据的灰度值,输出负伽玛补偿电压 VGL。每个乘法器 103 响应极性控制信号 POL 选择正伽玛补偿电压 VGH 或负伽玛补偿电压 VGL。

[0078] 电荷共享电路 98 在源输出使能信号 SOE 的高逻辑周期中短路相邻的数据输出通道,从而输出相邻数据电压的平均电压作为电荷共享电压。电荷共享电路 98 还向源输出使能信号 SOE 的高逻辑周期中的数据输出通道提供公共电压 Vcom,以减小正负数据电压之间的数据电压摆动宽度。

[0079] 输出电路 99 包括用于最小化提供给数据线 D1 到 Dk 的模拟数据电压的信号衰减的缓冲器。

[0080] 每个第二数据 IC 32b 与每个第一数据 IC 32a 依次具有相同的结构。

[0081] 从以上说明中显而易见,根据本发明的 LCD 器件包括分配的源 PCB 结构、和用于其时序控制器的输出部分的单输出端口,从而获得其控制 PCB 的尺寸的减小和输出管脚的数目的减少。

[0082] 在根据本发明的 LCD 器件中,还可以使用在 LCD 面板上形成的 LOG 配线取消一个 FFC,从而简化源 PCB 和控制 PCB 之间的连接结构并且减少使用的元件的数目。

[0083] 此外,使用一部分时序控制信号,通过产生数据 IC 中的极性控制信号,可以取消用于转移极性控制信号的 LOG 配线。这样,在根据本发明的 LCD 器件中,可以减少时序控制器的负载。同样,从其移除 LOG 配线的区域,可以用于用来转移驱动电压的 LOG 配线的线宽的增加。

[0084] 显然,对于熟悉本领域的技术人员来说在不脱离本发明精神或范围的情况下,对本发明可以进行各种修改和变形。从而,本发明意在覆盖落入所附权利要求书及其等同物范围内的本发明的修改和变形。

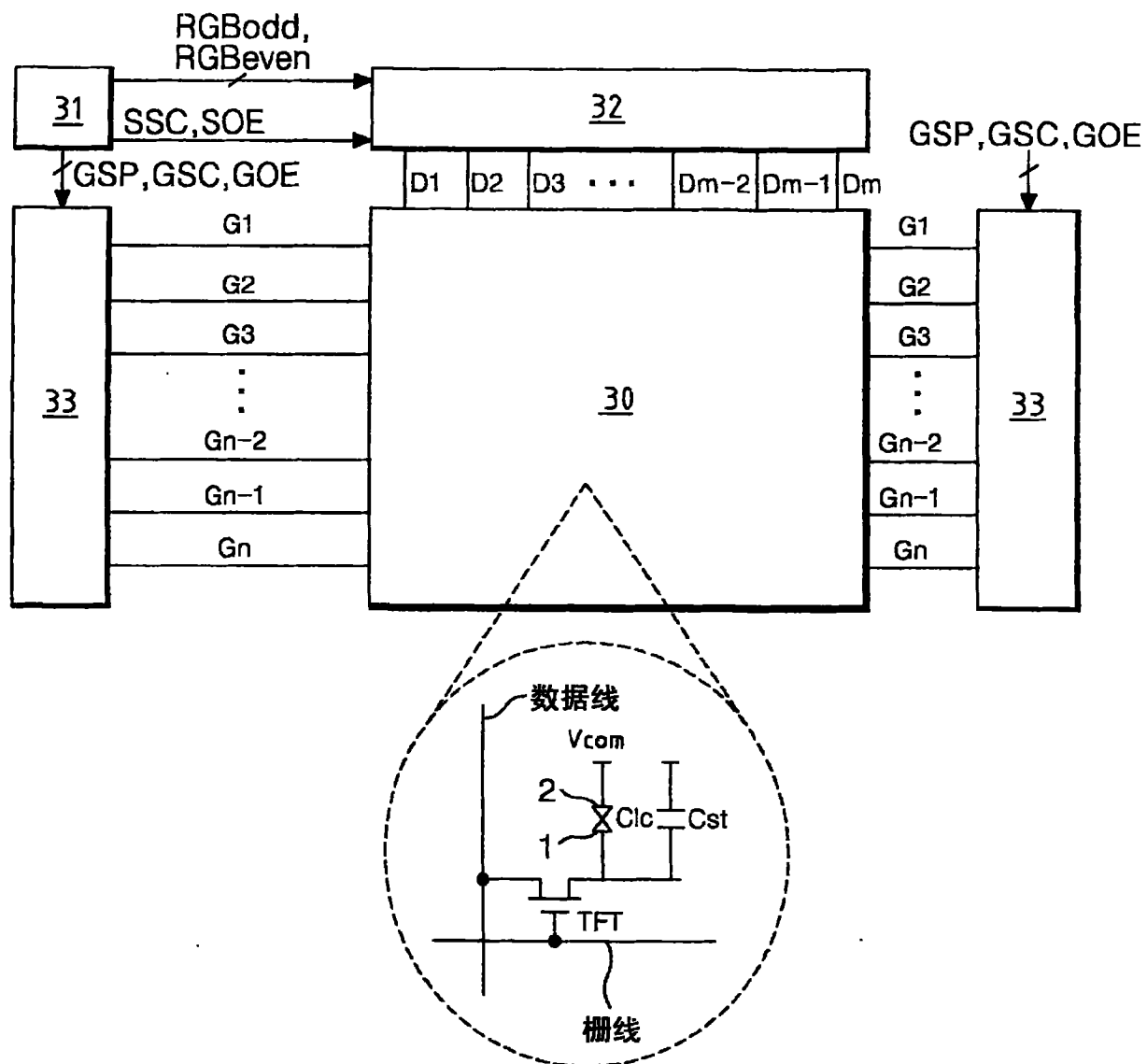


图 3

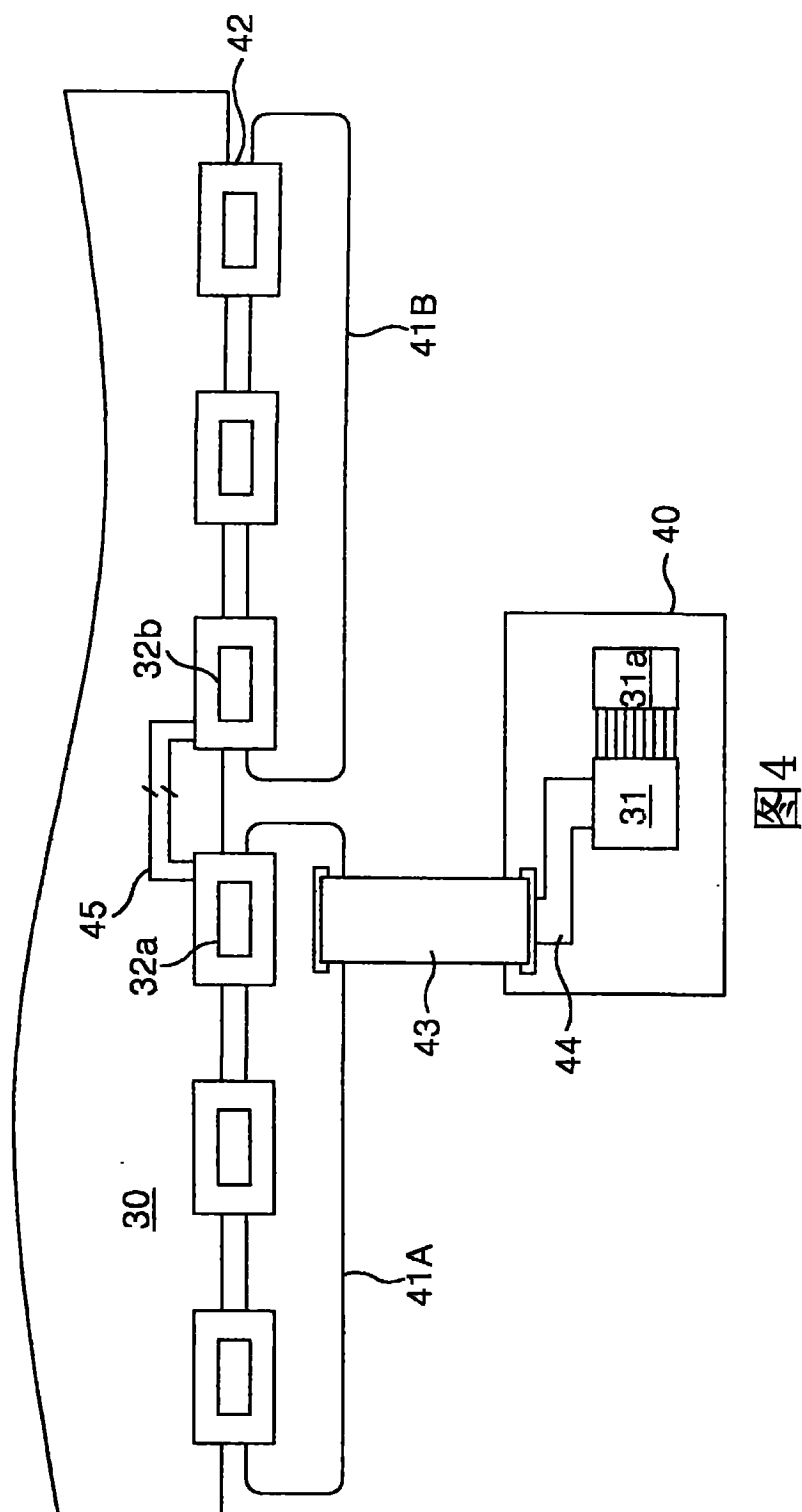


图4

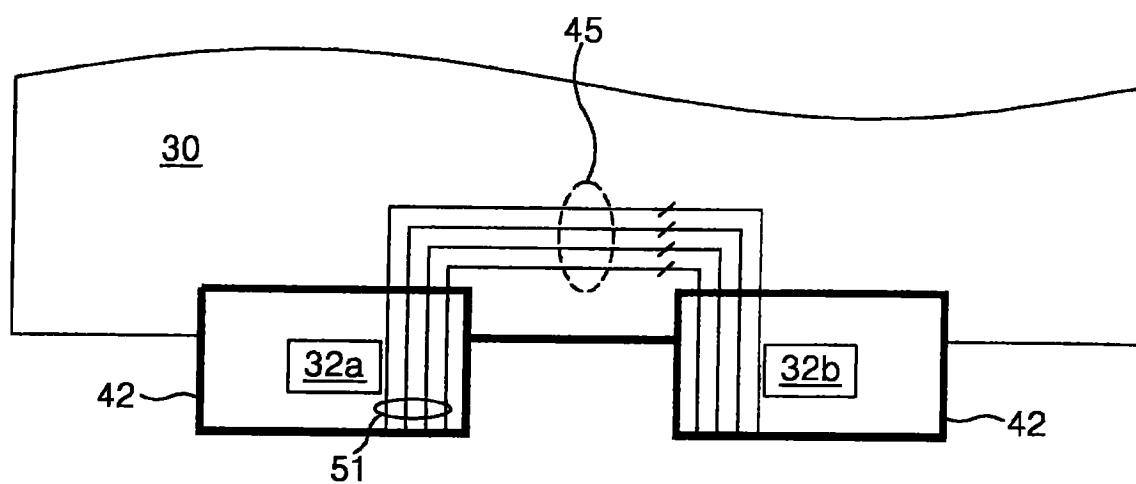


图 5

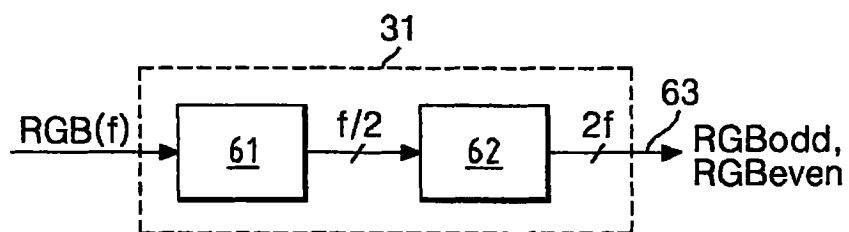


图 6

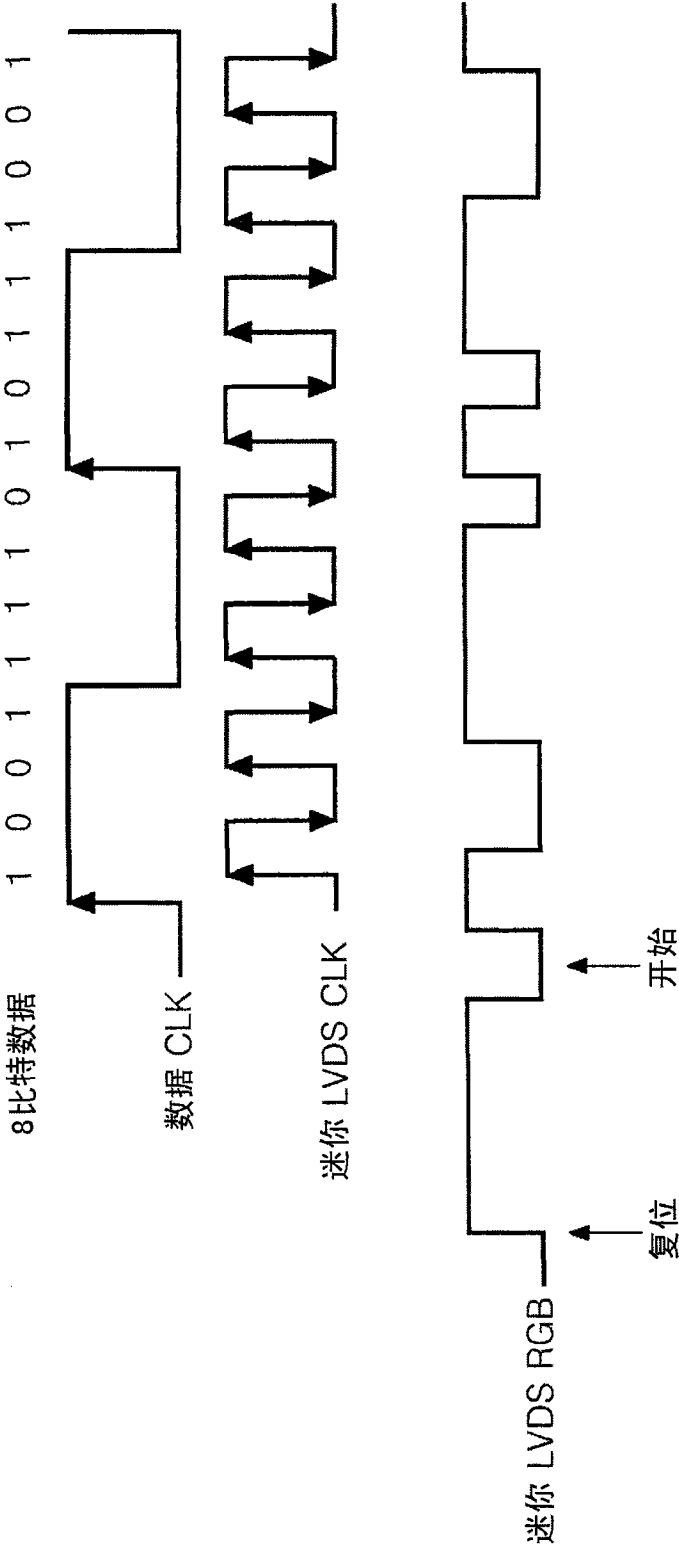


图7

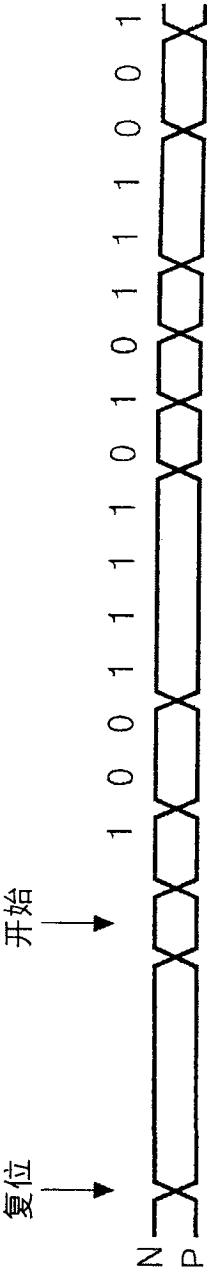


图8

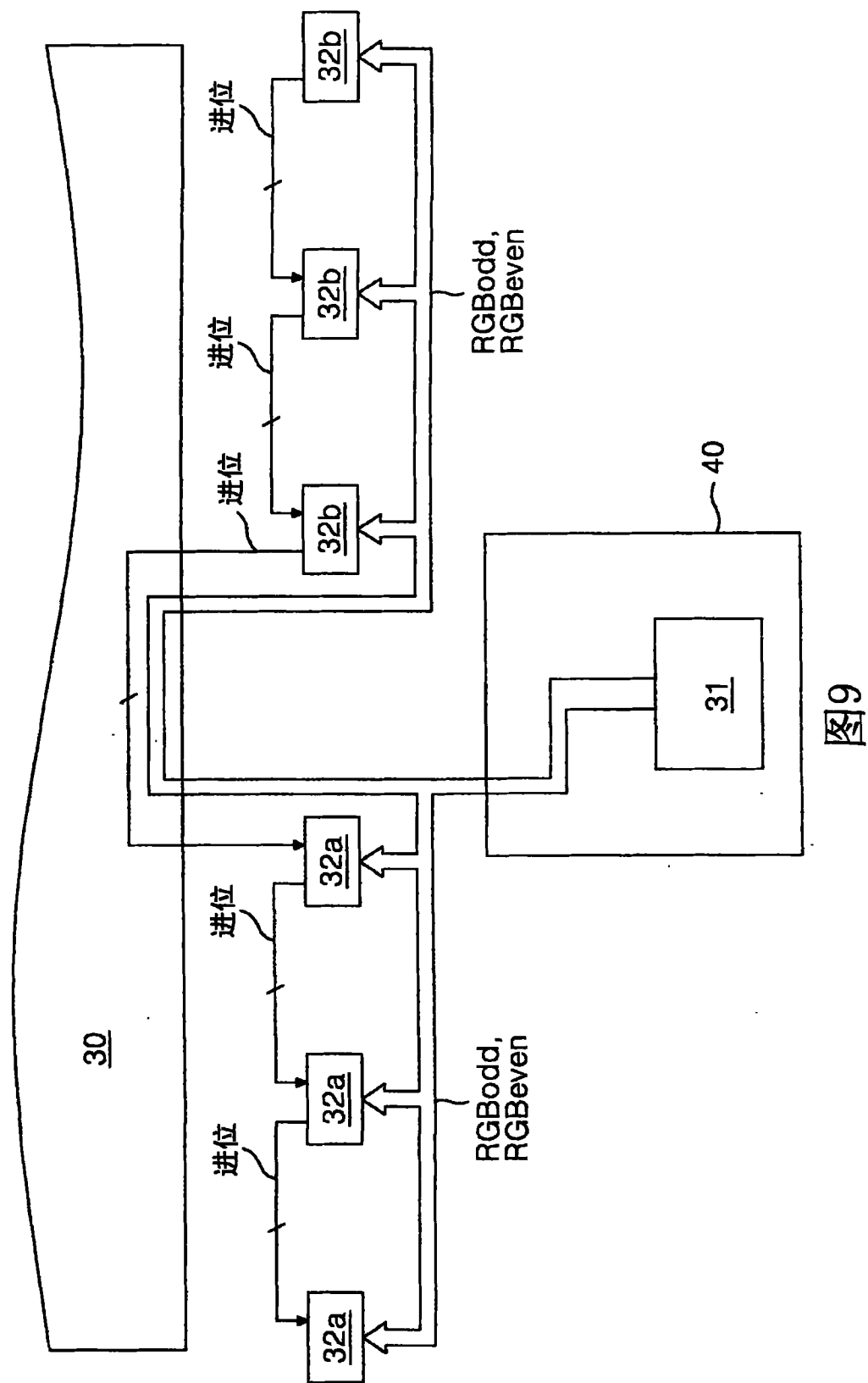


图9

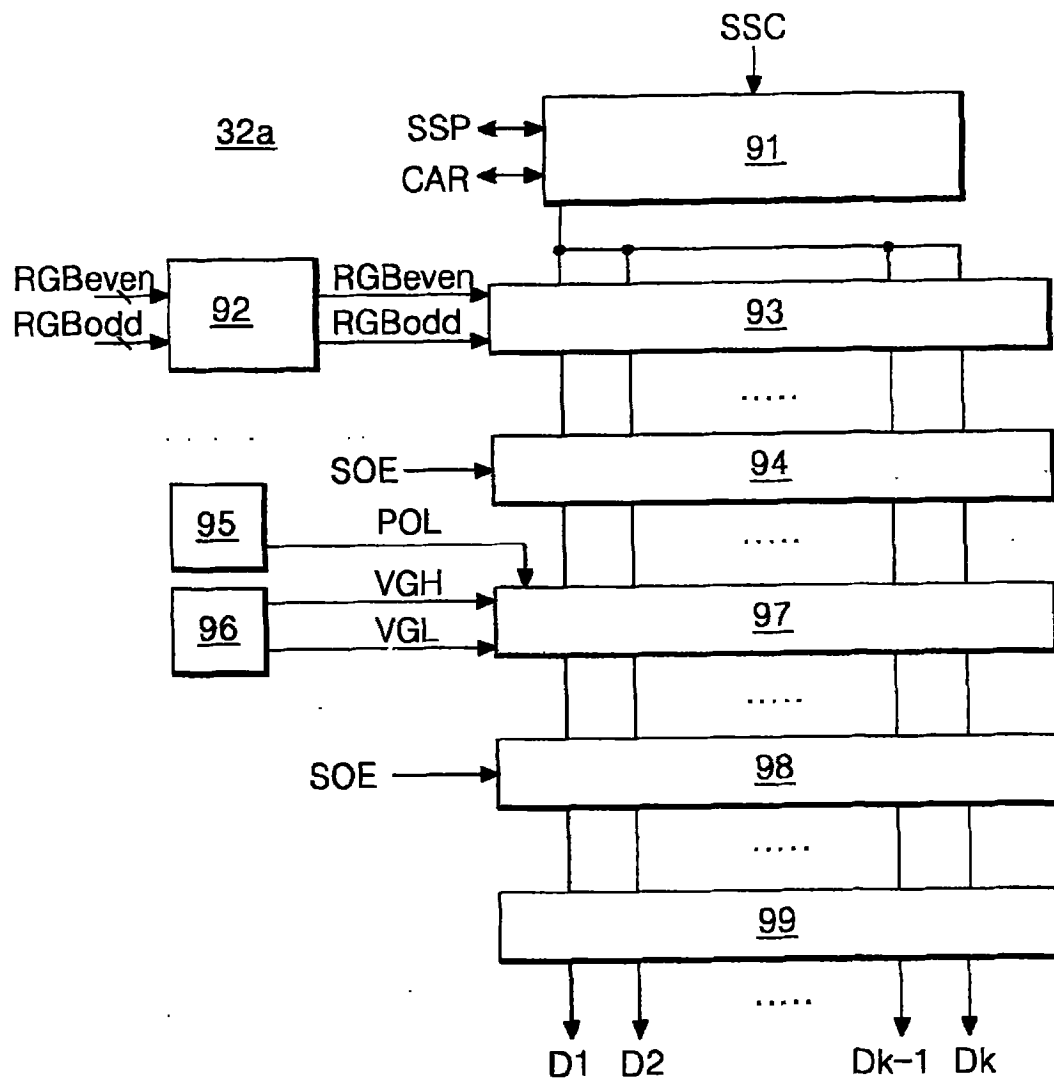


图 10

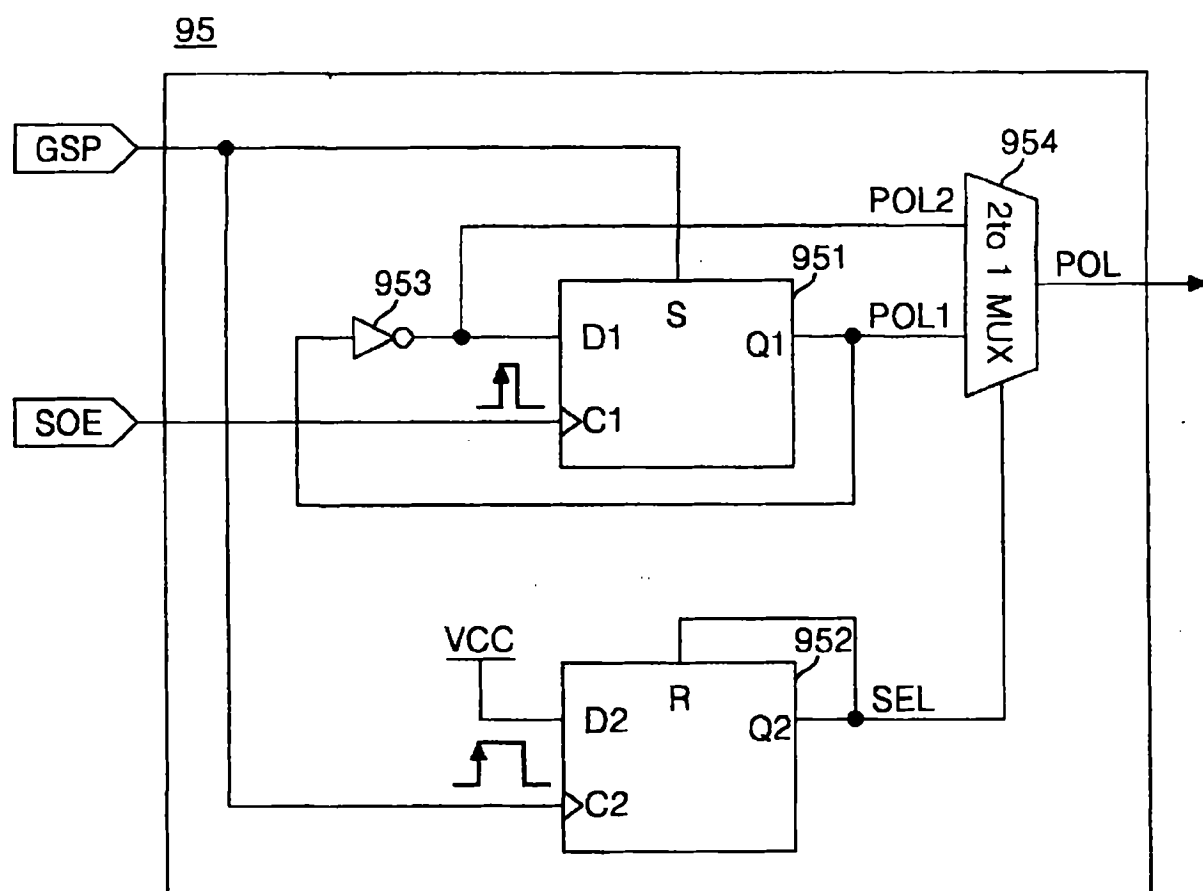


图 11

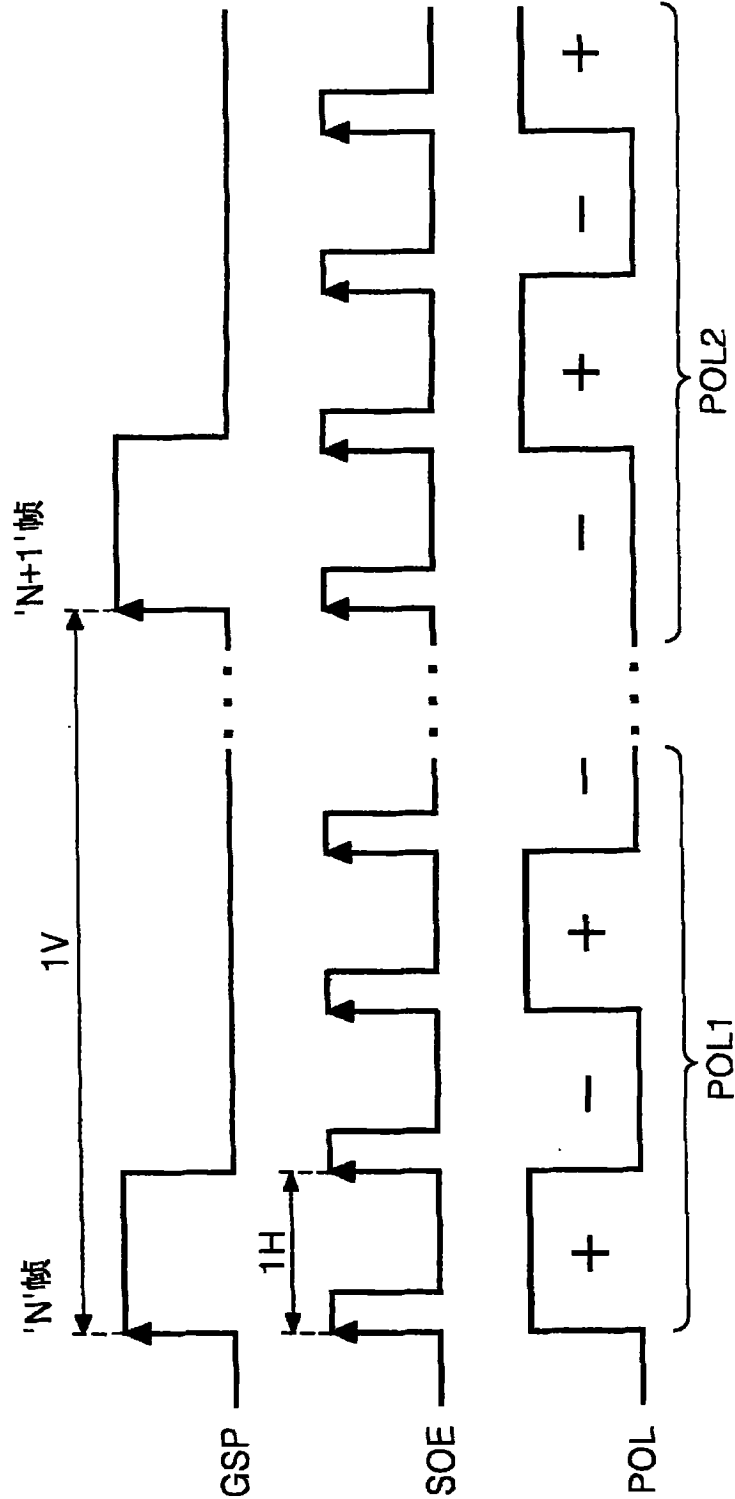


图12

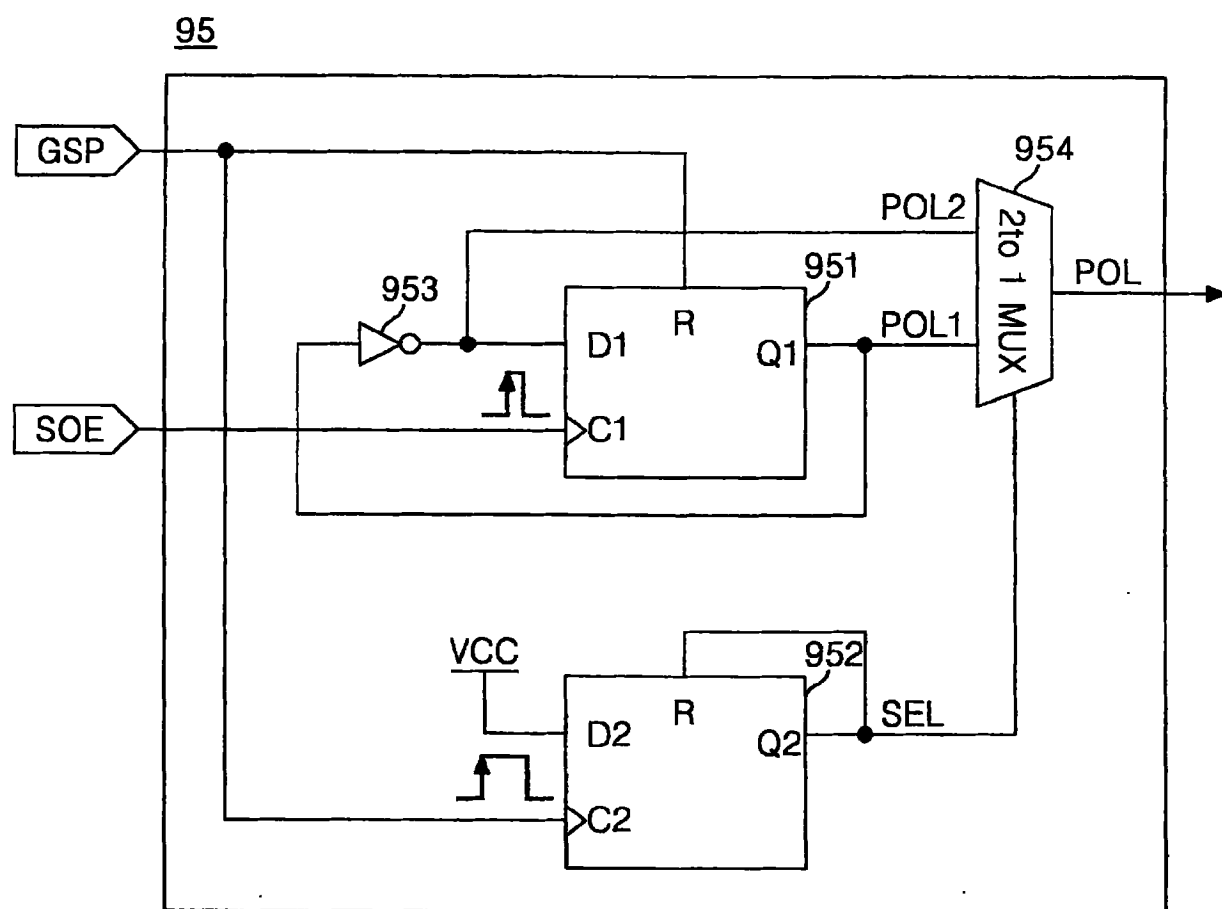


图 13

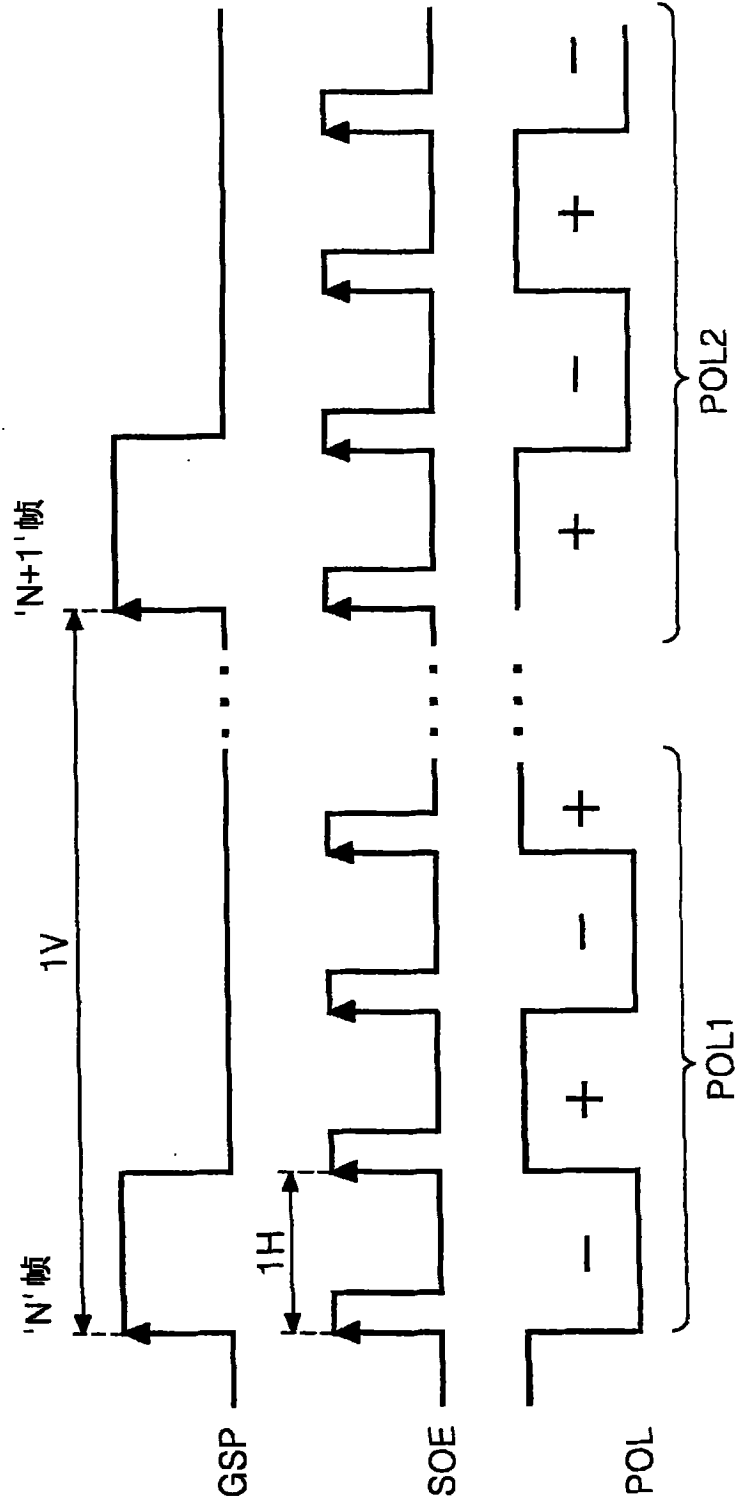


图 14

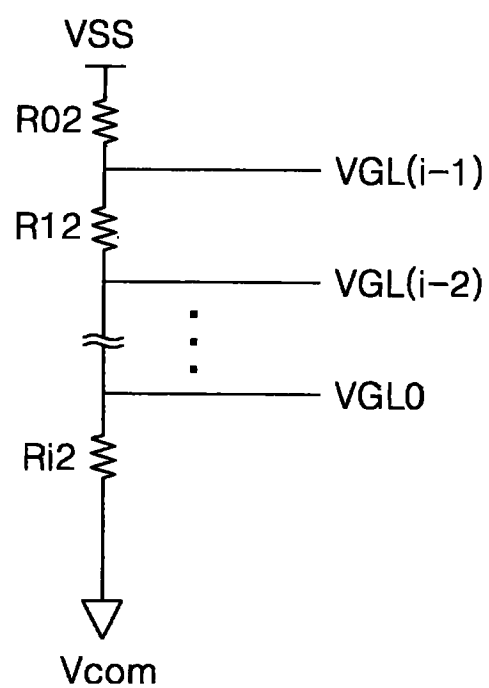
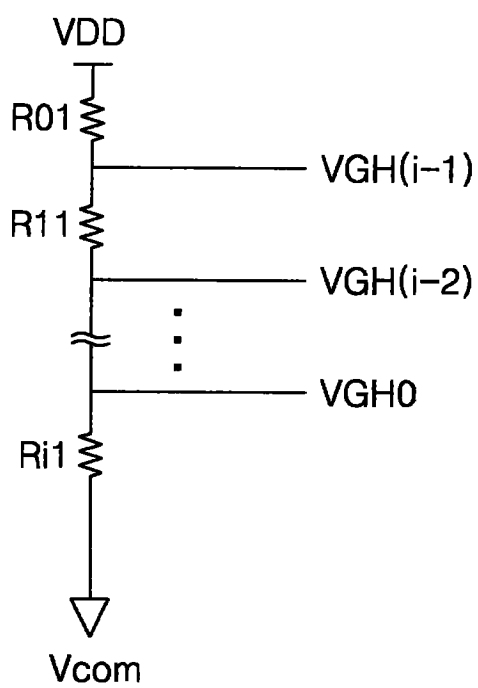
96

图 15

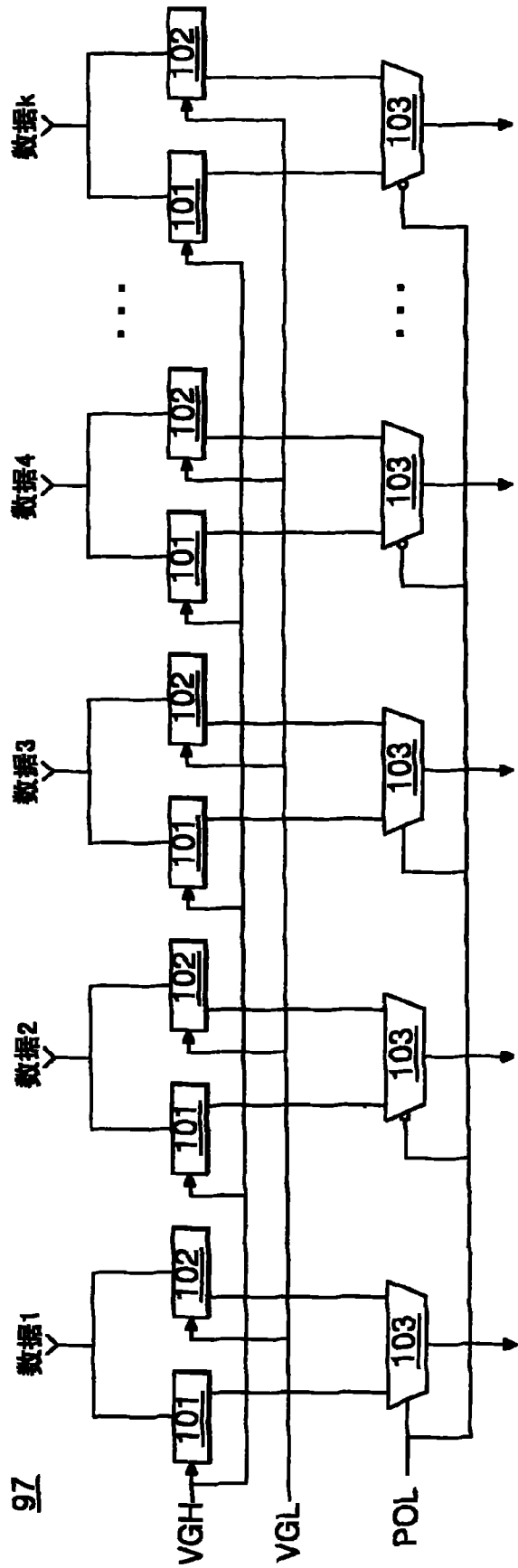


图16

专利名称(译)	液晶显示器件		
公开(公告)号	CN101303841B	公开(公告)日	2010-12-15
申请号	CN200810095039.0	申请日	2008-04-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	宋鸿声 闵雄基 崔秉辰 张修赫		
发明人	宋鸿声 闵雄基 崔秉辰 张修赫		
IPC分类号	G02F1/133 G02F1/13 G09G3/36		
CPC分类号	G02F1/13452 G09G3/3696 G09G2310/0218 G09G2300/0426		
代理人(译)	徐金国		
优先权	1020070046120 2007-05-11 KR		
其他公开文献	CN101303841A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种具有简化的印刷电路板(PCB)的液晶显示器件(LCD)。所述LCD器件包括：LCD面板，包括第一数据线组、第二数据线组、和从所述第一和第二数据线组分离的玻上线(LOG)配线；第一集成电路(IC)组，将数字视频数据转换为数据电压，并将所述数据电压施加给第一数据线组；第一源PCB，第一IC组中的IC与其连接；第二IC组，用于经由第一源PCB和LOG配线接收所述时序控制信号和数字视频数据，将所述数字视频数据转换为数据电压，并将所述数据电压施加给第二数据线组；第二PCB，第二IC组中的IC与其连接；时序控制器，包括单输出端口以输出所述时序控制信号和数字视频数据；控制PCB，所述时序控制器安装在其上；以及连接器，连接到控制PCB和第一源PCB。

