

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)
G09G 5/00 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710088188.X

[43] 公开日 2007 年 9 月 26 日

[11] 公开号 CN 101042845A

[22] 申请日 2007.3.20

[21] 申请号 200710088188.X

[30] 优先权

[32] 2006. 3. 20 [33] JP [31] 2006 - 076010

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 野尻勋

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 浦柏明 刘宗杰

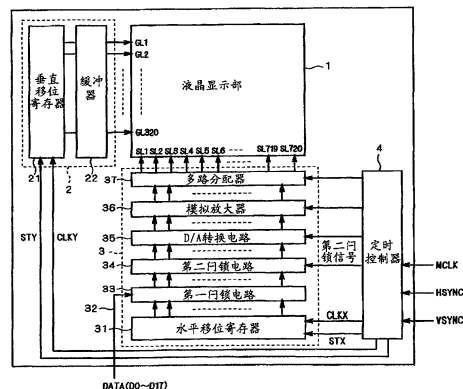
权利要求书 3 页 说明书 13 页 附图 13 页

[54] 发明名称

图像显示装置

[57] 摘要

本发明涉及一种图像显示装置，其具备在将多个源极线分多次驱动时，消耗电力低且稳定地生成启动信号及第二门控信号的电路。本发明是具备液晶显示部(1)、栅极线驱动电路(2)、源极线驱动电路(3)、以及定时控制器(4)的图像显示装置。而且，源极线驱动电路(3)具备水平移位寄存器(31)、第一门控电路(33)、第二门控电路(34)、D/A 转换电路(35)、以及能将多个所述源极线分多次驱动的多路分配器(37)。而且，定时控制器(4)具备脉冲生成电路(421)、信号传输电路(422)、以及生成第二门控信号并同时使移位后的启动信号返回信号传输电路(422)中的移位脉冲生成电路(423)。



1. 一种图像显示装置, 具备:

将多个源极线及多个栅极线行列设置, 且在所述源极线和所述栅极线的交点附近分别形成有像素晶体管的显示部;

驱动所述栅极线的栅极线驱动电路;

驱动所述源极线的源极线驱动电路; 以及

控制所述栅极线驱动电路及所述源极线驱动电路的定时的定时控制器,

该图像显示装置的特征在于,

所述源极线驱动电路具备:

生成将灰度数据进行门锁的第一门锁信号的水平移位寄存器;

基于所述水平移位寄存器的所述第一门锁信号, 将所述灰度数据进行门锁的多个第一门锁电路;

对应各所述第一门锁电路设置且在同一定时将由所述第一门锁电路门锁后的第一门锁数据进行门锁的多个第二门锁电路;

将由所述第二门锁电路门锁后的第二门锁数据转换为模拟灰度电压的多个 D/A 转换电路; 以及

以能将多个所述源极线分多次驱动的方式, 对从所述 D/A 转换电路向所述源极线的所述模拟灰度电压供给进行切换的多路分配器,

所述定时控制器具备:

由水平同步信号生成所述水平移位寄存器的启动信号的脉冲生成电路;

基于所述水平同步信号, 控制所述启动信号的传输的信号传输电路; 以及

生成使所述启动信号在规定期间移位并控制所述第二门锁电路的第二门锁信号, 同时使移位后的所述启动信号返回所述信号传输电路中的移位脉冲生成电路。

2. 一种图像显示装置, 具备:

将多个源极线及多个栅极线行列设置, 且在所述源极线和所述栅极线的交点附近分别形成有像素晶体管的显示部;

驱动所述栅极线的栅极线驱动电路;

驱动所述源极线的源极线驱动电路; 以及

控制所述栅极线驱动电路及所述源极线驱动电路的定时的定时控制器，

该图像显示装置的特征在于，

所述源极线驱动电路具备：

生成将灰度数据进行闩锁的第一闩锁信号的水平移位寄存器；

基于所述水平移位寄存器的所述第一闩锁信号，将所述灰度数据进行闩锁的多个第一闩锁电路；

对应各所述第一闩锁电路设置且在同一定时将由所述第一闩锁电路闩锁后的第一闩锁数据进行闩锁的多个第二闩锁电路；

将由所述第二闩锁电路闩锁后的第二闩锁数据转换为模拟灰度电压的多个 D/A 转换电路；以及

以能将多个所述源极线分多次驱动的方式，对从所述 D/A 转换电路向所述源极线的所述模拟灰度电压供给进行切换的多路分配器，

所述定时控制器具备：

由水平同步信号生成所述水平移位寄存器的启动信号的脉冲生成电路，

所述水平移位寄存器具备：

基于所述水平同步信号，控制所述启动信号的传输的信号传输电路；以及

通过使所述启动信号在规定的期间移位来生成将所述灰度数据进行闩锁的所述第一闩锁信号及控制所述第二闩锁电路的第二闩锁信号，同时使移位后的所述启动信号返回所述信号传输电路中的电路部。

3. 如权利要求 1 或 2 所述的图像显示装置，其特征在于，

所述信号传输电路是具有基于所述水平同步信号来控制开闭的开关功能的信号切换电路。

4. 如权利要求 3 所述的图像显示装置，其特征在于，
所述信号切换电路由多个传输门构成。

5. 如权利要求 1 所述的图像显示装置，其特征在于，
所述移位脉冲生成电路由多个延迟型闩锁电路构成。

6. 如权利要求 2 所述的图像显示装置，其特征在于，
所述水平移位寄存器的所述电路部具备：

在所述第一门锁信号及所述第二门锁信号的生成中共用的多个延迟型门锁电路。

7. 如权利要求 1 所述的图像显示装置, 其特征在于,
构成所述栅极线驱动电路、所述源极线驱动电路及所述定时控制器的有源元件是薄膜晶体管。

8. 如权利要求 2 所述的图像显示装置, 其特征在于,
构成所述栅极线驱动电路、所述源极线驱动电路及所述定时控制器的有源元件是薄膜晶体管。

图像显示装置

技术领域

本发明涉及图像显示装置，特别是涉及多路分配方式（demultiplexing type）的图像显示装置。

背景技术

液晶显示装置等中有具有将像素矩阵状配置并分别驱动这些像素的结构有源矩阵型。该有源矩阵型液晶显示装置上设有以行单位选择各像素的栅极线驱动电路、和将灰度数据写入由该栅极线驱动电路选择的行的各像素中的源极线驱动电路。而且，最近的液晶显示装置中有如下倾向，即，将这些栅极线驱动电路及源极线驱动电路一体形成于形成有像素的玻璃基板上。

有源矩阵型液晶显示装置的驱动除栅极线驱动电路及源极线驱动电路以外，还需要生成控制这些驱动电路的定时的各种定时信号的定时控制器等。目前，定时控制器等的电路与栅极线驱动电路及源极线驱动电路不同，其通过与形成有像素的玻璃基板不同的单晶硅 IC 及分立部件形成于印刷电路板上。

但是，在有源矩阵型液晶显示装置中，在印刷电路板上通过单晶硅 IC 及分立部件形成了定时控制器等时，构成组件的部件数量增加，同时必须用不同的工艺制作各部件，从而存在妨碍组件小型化、低成本化的问题。

针对这样的问题，特许文献 1 公开了如下结构，利用同一工艺在形成有像素的玻璃基板上制作栅极线驱动电路、源极线驱动电路及定时控制器。

另外，在形成有像素的玻璃基板上形成源极线驱动电路时，构成源极线驱动电路的第一门锁电路、第二门锁电路、D/A 转换电路及放大器所占的面积非常大，因此，难以将显示装置小型化。针对这样的问题，在特许文献 2 中，通过将多个源极线分多次驱动，来削减第一门锁电路、第二门锁电路及 D/A 转换电路的数量，从而简化源极线驱动电路的结构。

特许文献 1: 日本专利公开 2002-175026 号公报

特许文献 2: 日本专利公开 2001-337657 号公报

但是, 在特许文献 2 中所示的多个源极线分多次驱动的方法中, 需要在 1 水平线期间内向构成源极线驱动电路的水平移位寄存器多次输入启动信号。另外, 也需要将输入第二门锁电路的第二门锁信号在 1 水平线期间内多次输入。

因此, 定时控制器使用将多个双稳态多谐振荡器串联连接而构成的移位寄存器。通过向初级双稳态多谐振荡器输入由水平同步信号生成的启动信号, 与时钟信号同步使移位寄存器执行移位动作, 由此可取出所需要的定时的启动信号及第二门锁信号。

在通过将这样的多个双稳态多谐振荡器单纯地串联连接而构成的定时控制器生成了启动信号及第二门锁信号的情况下, 该定时控制器消耗的电力非常高。进而, 移位寄存器需要生成的信号数, 而且, 薄膜晶体管与单晶硅相比, 工艺规则不精细, 因此, 定时控制器的布局面积非常大。

发明内容

因此, 本发明的目的在于, 提供一种图像显示装置, 其具备在将多个源极线分多次驱动时, 消耗电力低且稳定地生成启动信号及第二门锁信号的电路。

本发明的解决方法是, 提供一种图像显示装置, 具备: 将多个源极线及多个栅极线行列设置, 且在所述源极线和所述栅极线的交点附近分别形成有像素晶体管的显示部; 驱动所述栅极线的栅极线驱动电路; 驱动所述源极线的源极线驱动电路; 以及控制所述栅极线驱动电路及所述源极线驱动电路的定时的定时控制器, 所述源极线驱动电路具备: 生成将灰度数据进行门锁的第一门锁信号的水平移位寄存器; 基于所述水平移位寄存器的所述第一门锁信号, 将所述灰度数据进行门锁的多个第一门锁电路; 对应各所述第一门锁电路设置且在同一定时将由所述第一门锁电路门锁后的第一门锁数据进行门锁的多个第二门锁电路; 将由所述第二门锁电路门锁后的第二门锁数据转换为模拟灰度电压的多个 D/A 转换电路; 以及以能将多个所述源极线分多次驱动的方式, 对从所述 D/A 转换电路向所述源极线的所述模拟灰度电压

供给进行切换的多路分配器,所述定时控制器具备:由水平同步信号生成所述水平移位寄存器的启动信号的脉冲生成电路;基于所述水平同步信号,控制所述启动信号的传输的信号传输电路;以及生成使所述启动信号在规定期间移位并控制所述第二门锁电路的第二门锁信号,同时使移位后的所述启动信号返回所述信号传输电路中的移位脉冲生成电路。

本发明中所记载的图像显示装置中,由于定时控制器具备:由水平同步信号生成所述水平移位寄存器的启动信号的脉冲生成电路;基于所述水平同步信号控制所述启动信号的传输的信号传输电路;生成使所述启动信号在规定期间移位并控制所述第二门锁电路的第二门锁信号,同时使移位后的所述启动信号返回所述信号传输电路的移位脉冲生成电路,所以具有在将多个源极线分多次驱动时,能够降低消耗电力且稳定地生成启动信号和第二门锁信号的效果。

附图说明

- 图 1 是本发明实施例 1 的图像显示装置的框图;
- 图 2 是本发明实施例 1 的液晶显示部的电路图;
- 图 3 是本发明实施例 1 的源极线驱动电路的电路图;
- 图 4 是本发明实施例 1 的水平移位寄存器的电路图;
- 图 5 是本发明实施例 1 的多路分配器的电路图;
- 图 6 是本发明实施例 1 的定时控制器的框图;
- 图 7 是本发明实施例 1 的 STX·第二门锁信号生成电路的框图;
- 图 8 是本发明实施例 1 的 STX·第二门锁信号生成电路的电路图;
- 图 9 是本发明实施例 1 的图像显示装置的时间图;
- 图 10 是本发明实施例 2 的图像显示装置的框图;
- 图 11 是本发明实施例 2 的定时控制器的框图;
- 图 12 是本发明实施例 2 的水平移位寄存器的电路图;
- 图 13 是本发明的延迟型双稳态多谐振荡器的电路图;
- 图 14 是本发明的延迟型门锁电路的电路图。

符号说明

1 液晶显示部; 2 栅极线驱动电路; 3 源极线驱动电路; 4 定时控制器; 11 TFT; 12 液晶单元; 13 存储电容器; 21 垂直移位寄存器; 22

栅极线驱动缓冲器; 31、38 水平移位寄存器; 32 数字数据总线; 33 第一门锁电路; 34 第二门锁电路; 35 D/A 转换电路; 36 模拟放大器; 37 多路分配器; 41 CLKX 生成电路; 42 STX·第二门锁信号生成电路; 43 DAC 控制信号生成电路; 44 放大器控制信号生成电路; 45 多路分配器控制信号生成电路; 46 CLKY 生成电路; 47 STY 生成电路; 48 STX-0 信号生成电路; 311、382、383、423a 延迟型门锁电路; 381 信号传输电路部; 381a、b、422a、b 传输门; 381C 反相器; 384 NAND 电路; 421 脉冲生成电路; 421a、b 延迟型双稳态多谐振荡器; 421c 二输入 NOR 电路; 422 信号传输电路; 423 移位脉冲生成电路。

具体实施方式

(实施例 1)

图 1 表示本实施例的图像显示装置的框图。图 1 所示的图像显示装置是薄膜晶体管液晶显示装置(以下, 简称为液晶显示装置)。该液晶显示装置具备行列状配置了像素(子像素)的(未图示)液晶显示部 1、用于驱动各子像素的栅极线驱动电路 2、源极线驱动电路 3 及定时控制器 4。另外, 如背景技术中所做的说明, 本发明中, 栅极线驱动电路 2、源极线驱动电路 3 及定时控制器 4 与液晶显示部 1 形成于同一基板上, 且构成各元件的有源元件由薄膜晶体管形成。

另外, 图 2 表示液晶显示部 1 的电路图。图 2 所示的液晶显示部 1 的各子像素具备 TFT(薄膜晶体管) 11、与该 TFT11 的漏极电极(像素电极)连接的液晶单元 12、与液晶单元 12 并列连接的存储电容器 13。而且, 设于各子像素上的 TFT11 的栅极电极与栅极线 GL (GL (m-1)、GL (m)、GL (m+1) ...) (m 为任意数) 连接。另外, 设于各子像素上的 TFT11 的源极电极与源极线 SL (SL (n-1)、SL (n)、SL (n+1) ...) (n 为任意数) 连接。再有, 在液晶单元 12 的对向电极及存储电容器 13 的另一个电极上施加有公共电位 Vcom。

另外, 图 2 所示的各子像素与未图示的滤色器的 RGB 条纹 (RGB Stripe) 对应。与各 RGB 对应的三个子像素进行一像素量的色显示。因此, 在本实施例的液晶显示部 1 具有 240×320 像素的显示分辨率的情况下, 由于各像素分别由 RGB 的三个子像素构成, 所以, 在各像素上分别设有三条源极线。因此, 本实施例的液晶显示部 1 的源极线

的总数为 $240 \times 3 = 720$ 条。

其次，图 1 所示的栅极线驱动电路 2 具备使栅极线扫描信号位移的垂直移位寄存器 21 和栅极线驱动缓冲器 22。各栅极线驱动缓冲器 22 对连接的各栅极线 GL 输出栅极线扫描信号。从定时控制器 4 向垂直移位寄存器 21 供给栅极时钟信号 CLKY 及启动信号 STY 等的控制信号。

再有，图 1 所示的源极线驱动电路 3 具备水平移位寄存器 31、数字数据总线 32、第一门锁电路 33、第二门锁电路 34、D/A 转换电路 (DAC) 35、模拟放大器 (Amp.) 36、多路分配器 (Demux) 37。而且，从定时控制器 4 向水平移位寄存器 31 供给源极时钟信号 CLKX 和启动信号 STX (下面也称作 STX 信号)，从图像显示装置外部，通过数字数据总线 32 向第一门锁电路 33 供给数字灰度数据 (D0 ~ D17)。

其次，图 3 是表示源极线驱动电路 3 的结构的框图。图 3 所示的源极线驱动电路 3 由水平移位寄存器 31、数字数据总线 32、第一门锁电路 33、第二门锁电路 34、D/A 转换电路 35、模拟放大器 36 及多路分配器 37 构成。图 3 中例示有，18 比特的数字灰度数据 (DATA: D0 ~ D17) 经由数字数据总线 32 输入第一门锁电路 33。但是，本发明不限于 18 比特的数字灰度数据，数字灰度数据的比特数没有特别限制。另外，向第二门锁电路 34 供给第二门锁信号，向 D/A 转换电路 35 供给 DAC 控制信号，向模拟放大器 36 供给放大器控制信号，向多路分配器 37 供给多路分配器控制信号 SW1 ~ SW6。

水平移位寄存器 31 从定时控制器 4 供给源极时钟信号 CLKX 及 STX 信号，生成第一门锁信号 (LAT1、LAT2、...、LAT40)，并向第一门锁电路 33 输出。在本实施例中，源极线的总数为 720 条，为构成 18 比特单位的数字灰度数据，而生成 $720/18 = 40$ 个的第一门锁信号。

图 4 表示水平移位寄存器电路 31 的电路图。图 4 所示的水平移位寄存器 31 将多个延迟型门锁电路 (D-latch) 311 串联连接，并将源极时钟信号 CLKX 和其反转信号输入各延迟型门锁电路 311。然后，将 STX 信号输入第一级延迟型门锁电路 311，将第一级的延迟型门锁电路 311 的输出信号输入第二级延迟型门锁电路 311。再有，图 4 所示的水平移位寄存器 31 将相邻的延迟型门锁电路 311 的输出由 NAND 电路 312 运算，将 NAND 电路 312 的输出反转信号作为第一门锁信号

(LAT1、LAT2、...、LAT40)来输出。

第一门锁电路 33 基于来自水平移位寄存器 31 的第一门锁信号将数字灰度数据 (DATA) 门锁。将由第一门锁电路 33 终止 1 子线量 (扫描一次的量) 的数字灰度数据 (DATA) 的门锁之前的时间称作 1 子线期间。

第二门锁电路 34 在各第一门锁电路 33 全部进行 1 子线量的门锁的时点, 将各门锁电路 33 的全部输出同时门锁。在第二门锁电路 34 的门锁动作终了后, 各第一门锁电路 33 顺序开始下一子线的门锁动作。在第一门锁电路 33 进行门锁动作期间, 由第二门锁电路 34 门锁了的数字灰度数据 (DATA) 通过 D/A 转换电路 35 被转换为模拟灰度电压。

该模拟灰度电压经由模拟放大器 36 供给向多路分配器 37。在多路分配器 37 中, 相对 D/A 转换电路 35 具有多个模拟开关 ASW。另外, 图 5 表示多路分配器 37 的电路图。图 3 所示的例子中, 相对于一个 D/A 转换电路 35 设有六个模拟开关 ASW1 ~ ASW6。这些模拟开关分别与各源极线 SL 连接。

各模拟开关 ASW1 ~ ASW6 基于多路分配器控制信号 SW1 ~ SW6 仅将任一个模拟开关打开 (ON)。例如, 当模拟开关 ASW1 打开 (ON) 时, 将来自 D/A 转换电路 35 的模拟灰度电压供给向与模拟开关 ASW1 连接的源极线 SL。通过重复六次上述的动作, 可将 1 水平线量的图像数据写入液晶显示部 1。在图 5 所示的多路分配器 37 中, 设有多路分配器控制信号 SW1 ~ SW6 及通过其反转信号进行开关的模拟开关 ASW1 ~ ASW6。

其次, 定时控制器 4 从自外部输入的主时钟信号 MCLK、水平同步信号 HSYNC 及垂直同步信号 VSYNC 生成栅极线驱动电路 2 的控制信号 (STY、CLKY)、源极线驱动电路 3 的控制信号。另外, 源极线驱动电路 3 的控制信号含有水平移位寄存器 31 的控制信号 (STX、CLKX)、第二门锁信号、DAC 控制信号、放大器控制信号、多路分配器控制信号 SW1 ~ SW6。

图 6 表示定时控制器 4 的框图。图 6 所示的定时控制器 4 由 CLKX 生成电路 41、STX·第二门锁信号生成电路 42、DAC 控制信号生成电路 43、放大器控制信号生成电路 44、多路分配器控制信号生成电路 45、

CLKY 生成电路 46 及 STY 生成电路 47 构成。另外，自外部输入的主时钟信号 MCLK、水平同步信号 HSYNC 及垂直同步信号 VSYNC 通常为低电压振幅。为此，该信号在被输入定时控制器 4 之前，由电压转换电路（电平移位器）变换为高电压电平。但是，在本实施例中省略了电压转换电路的说明。

CLKX 生成电路 41 是生成供给水平移位寄存器 31 的源极时钟信号 CLKX（下面也简称为 CLKX 信号）的电路。另外，如图 3 所示，DAC 控制信号生成电路 43 是生成供给 D/A 转换电路 35 的 DAC 控制信号的电路。另外，如图 3 所示，放大器控制信号生成电路 44 是生成供给模拟放大器 36 的放大器控制信号的电路。如图 3 所示，多路分配器控制信号生成电路 45 是生成供给多路分配器 37 的多路分配器控制信号 SW1~SW6 的电路。再有，CLKY 生成电路 46 是生成供给垂直移位寄存器 21 的栅极时钟信号 CLKY 的电路。还有，STY 生成电路 47 是生成供给垂直移位寄存器 21 的启动信号 STY 的电路。

图 7 表示 STX·第二门锁信号发生电路 42 的框图。图 7 所示的 STX·第二门锁信号发生电路 42 由脉冲生成电路 421、信号传输电路 422 及移位脉冲信号生成电路 423 构成。脉冲生成电路 421 是接收水平同步信号 HSYNC 的下降信号或上升信号，在经过规定时间后，生成规定宽度的启动信号 STX-0 的电路。

另外，信号传输电路 422 传输由脉冲生成电路 421 生成的启动信号 STX-0 或从后述的移位脉冲生成电路 423 返回的移位后的启动信号的任一个，并将其设为向水平移位寄存器 31 输出的 STX 信号。该信号传输电路 422 也可以是“或”电路（OR 电路），但优选具有后述的开关功能的信号切换电路。

移位脉冲生成电路 423 通过输入作为启动信号的 STX 信号和规定数的脉冲信号，而生成第二门锁信号及向信号传输电路 422 返回的脉冲信号。

图 8 表示 STX·第二门锁信号发生电路 42 的详细电路图。图 9 表示本实施例的图像显示装置的时间图。另外，图 9 中，由定时 1~定时 264 表示 1 水平线期间为 1 周期的定时。另外，图 9 中，由于定时 1~子定时 44 表示 1 子线为 1 周期的定时。

参照图 9 对本实施例的图像显示装置，特别是 STX·第二门锁信

号生成电路 42 的动作进行说明。首先,在图 9 所示的定时 1 中,将水平同步信号 HSYNC 从“H”切换为“L”。该信号通过图 8 的脉冲生成电路 421 所示的两个延迟型双稳态多谐振荡器(D-FF) 421a 延迟规定时间。由延迟型双稳态多谐振荡器延迟了规定时间的信号输入到二输入 NOR 电路 421c 的一侧。另一方面,在二输入 NOR 电路 421c 的另一侧,将由延迟型双稳态多谐振荡器 421a 延迟了规定时间后的信号进一步由两个延迟型双稳态多谐振荡器(D-FF) 421b 延迟规定时间,输入由反相器反转了的信号。

图 8 所示的脉冲生成电路 421 的四个延迟型双稳态多谐振荡器 421a、b 分别输入主时钟信号 MCLK 和其反转信号。如图 9 所示,二输入 NOR 电路 421c 在定时 3、4 的期间输出具有由两个延迟型双稳态多谐振荡器(D-FF) 421a 延迟了的脉冲宽度(主时钟信号 MCLK 的两个周期量)的脉冲信号 STX-0。

启动信号 STX-0(下面也称作 STX-0 信号)也被输入信号传输电路 422。本实施例的信号传输电路 422 中具备传输门 422a 及传输门 422b,通过由水平同步信号 HSYNC 和其反转信号构成的控制信号/STX-SW 及控制信号 STX-SW,控制传输门 422a 及传送门 422b 的动作。

具体而言,在定时 1~4(子定时 1~4)的期间,控制信号 STX-SW 为“H”,控制信号/STX-SW 为“L”。因此,信号传输电路 422 的传输门 422a 成为打开(ON),将脉冲生成电路 421 输出的 STX-0 信号作为 STX 信号输送。

该 STX 信号作为定时控制器 4 的输出经由缓冲电路(未图示)被送向水平移位寄存器 31。另外,该 STX 信号还被输入到移位脉冲生成电路 423 的延迟型闩锁电路(D-latch) 423a。与被输入各闩锁电路(D-latch) 423a 的 CLKX 信号的“H”、“L”的切换定时相配合,输入的 STX 信号作为脉冲信号(SR1~SR44)顺次向后级的延迟型闩锁电路 432a 移位。

而且,在定时 44、45(子定时 44、1)的期间,脉冲信号 SR42 成为“H”,该信号作为第二闩锁信号经由缓冲电路(未图示)从定时控制器 4 输出。进而,在定时 46、47(子定时 2、3)的期间,脉冲信号 SR44 成为“H”,该信号成为作为 SR-END 经由缓冲电路(未图示)返回信号传输电路 422 的启动信号。

在定时 46、47（子定时 2、3）的期间，控制信号 STX-SW 为“L”，控制信号/STX-SW 为“H”，为此，传输门 422b 为打开（ON），SR-END 信号被作为 STX 信号进行输送。

之后，对于定时 88，89、定时 132，133、定时 176，177、定时 220，221、定时 264，1（子定时 44、1）的期间而言，脉冲信号 SR42 成为“H”，输出第二门锁信号。同样，对于定时 90，91、定时 134，135、定时 178，179、定时 222，223、定时 2，3（子定时 2、3）的期间而言，SR44 成为“H”，输出 SR-END 信号。其中，就定时 90，91、定时 134，135、定时 178、179、定时 222，223 而言，由于控制信号 STX-SW 为“L”，控制信号/STX-SW 为“H”，故传输门 422b 为打开（ON），将 SR-END 作为 STX 信号进行输送。

另一方面，在定时 2、3，由于控制信号 STX-SW 为“H”，控制信号/STX-SW 为“L”，故传输门 422b 为关闭（OFF），不输送 SR-END 信号。

在该定时 2、3 的期间，从脉冲生成电路 421 生成 STX-0 信号，且传输门 422a 为打开（ON），由此，将 STX-0 信号作为 STX 信号进行输送。本实施例的 STX·第二门锁信号生成电路 42 的动作通过重复上述所说明的动作而进行。

另外，图 9 所示的第一门锁信号（LAT1、LAT2、...、LAT40）是通过向图 4 所示的水平移位寄存器 31 的电路输入 STX 信号及 CLKX 信号而生成的信号。

其次，对信号传输电路 422 不使用“或”电路（OR 电路），而使用具有开关功能的信号切换电路（传输门 422a、b）的优点进行说明。例如，在供给图像显示装置的电压中产生了瞬时变动时，移位脉冲生成电路 423 发生误动作，脉冲信号（SR1～SR44）的脉冲幅度增大，可能长时间为“H”状态。如果信号传输电路 422 使用“或”电路（OR 电路），则异常的脉冲信号（SR1～SR44）在信号传输电路 422 和移位脉冲生成电路 423 之间持续循环，从而产生异常显示。

要使该异常状态恢复正常，有暂时切断电源的方法或将移位脉冲生成电路 423 复位的方法。但是，在将移位脉冲生成电路 423 复位时，需要具有复位功能（本实施例中表示没有复位功能的情况），且需要将复位信号输入移位脉冲生成电路 423 中，使显示装置再启动。

但是, 在使用信号切换电路(传输门 422a、b)作为信号传输电路 422 时, 在输入了水平同步信号 HSYNC 的时点, 在信号传输电路 422 和移位脉冲生成电路 423 之间循环的信号被切断, 从脉冲生成电路 421 供给新的 STX 信号, 因此, 即使在产生了异常的情况下, 也可以将其结束于 1 水平线期间内。因此, 本实施例的 STX·第二门锁信号生成电路 42 具有能够避免移位脉冲生成电路 423 的误动作造成的显示异常的效果。

(实施例 2)

实施例 1 中所说明的图 4 所示的水平移位寄存器 31 和图 8 所示的移位脉冲生成电路 423 在具有将多个延迟型门锁电路(D-latch) 311、423a 串联连接的电路结构的方面是相同的。因此, 考虑图 4 所示的水平移位寄存器 31 的电路共用图 8 所示的移位脉冲生成电路 423 的功能。因此, 在本实施例中, 将定时控制器的移位脉冲生成电路省略, 下面对水平移位寄存器的电路共用该功能的图像显示装置进行说明。

首先, 图 10 表示本实施例的图像显示装置即液晶显示装置的框图。图 10 所示的液晶显示装置具备行列状配置像素(子像素)(未图示)的液晶显示部 1、用于驱动各子像素的栅极线驱动电路 2、源极线驱动电路 3 及定时控制器 4。液晶显示部 1 具有与实施例 1 中相同的结构, 图 2 所示的各子像素具备 TFT(薄膜晶体管) 11、与该 TFT 11 的漏极电极(像素电极)连接的液晶单元 12、与液晶单元 12 并联连接的存储电容器 13。

其次, 栅极线驱动电路 2 也具有与实施例 1 相同的结构, 如图 10 所示, 具备使栅极线扫描信号移位的垂直移位寄存器 21 和栅极线驱动缓冲器 22。另外, 源极线驱动电路 3 也具有与实施例 1 相同的结构, 如图 10 所示, 其具备水平移位寄存器 38、数字数据总线 32、第一门锁电路 33、第二门锁电路 34、D/A 转换电路(DAC) 35、模拟放大器(Amp.) 36、多路分配器(Demux) 37。

但是, 图 10 所示的水平移位寄存器 38 与图 1 所示的水平移位寄存器 31 不同, 其是从定时控制器 4 供给 STX-0 信号及控制信号/STX-SW。另外, 图 10 所示的水平移位寄存器 38 生成第二门锁信号, 将其供给到第二门锁电路 34。即, 水平移位寄存器 38 在本实施例中

执行实施例 1 中定时控制器 4 内的 STX·第二门锁信号生成电路所进行的功能。

另一方面，本实施例的定时控制器 4 为图 11 所示的结构。具体而言，除将 STX·第二门锁信号生成电路 42 置换为 STX-0 信号生成电路 48 之外，图 11 所示的定时控制器 4 的结构与图 6 所示的定时控制器 4 的结构相同。另外，STX-0 信号生成电路 48 以外的电路与本实施例 1 相同，故省略详细的说明。

STX-0 信号生成电路 48 的结构中，从图 7 及图 8 所示的 STX·第二门锁信号生成电路 42 结构除去信号传输电路 422 及移位脉冲生成电路 423，仅保留脉冲生成电路 421。因此，STX-0 信号生成电路 48 基于主时钟信号 MCLK 和水平同步信号 HSYNC 生成 STX-0 信号，并将该 STX-0 信号向水平移位寄存器 38 输出。

其次，图 12 表示本实施例的水平移位寄存器 38 的电路图。图 12 所示的水平移位寄存器 38 与图 4 所示的水平移位寄存器 31 相比，追加了信号传输电路部 381 和多个延迟型门锁电路 382。该信号传输电路部 381 具有与图 8 所示的信号传输电路 422 相同的结构，具备传输门 381a、381b。而且，信号传输电路部 381 通过控制信号/STX-SW 及控制信号 STX-SW 控制传输门 381a 及传输门 381b 的动作。另外，控制信号/STX-SW 及控制信号 STX-SW 与实施例 1 相同，是水平同步信号 HSYNC 和其反转信号。

本实施例的水平移位寄存器 38 的动作，首先将从定时控制器 4 供给的 STX-0 信号输入到信号传输电路部 381。进而，从定时控制器 4 供给的控制信号/STX-SW 被输入到反相器 381c，生成作为其反转信号的控制信号 STX-SW。该控制信号/STX-SW 及控制信号 STX-SW 被输入到传输门 381a 及传输门 381b 内。

若将实施例 1 中说明的图 9 的时间图，使用在本实施例的水平移位寄存器 38 中进行说明时，在定时 1~4（子定时 1~4）的期间，控制信号 STX-SW 成为“H”，控制信号/STX-SW 成为“L”。为此，信号传输电路部 381 的传输门 381a 为打开（ON），将从定时控制器 4 供给的 STX-0 信号作为 STX 信号进行传输。

将该 STX 信号输入串联连接的延迟型门锁电路（D-latch）383。与被输入到各延迟型门锁电路（D-latch）383 的 CLKX 信号的“H”、

“L”的切换定时相配合，输入的 STX 信号作为脉冲信号 (SR1 ~ SR40) 顺次向后级的延迟型门锁电路 383 移位。然后，将从各相邻的延迟型门锁电路 383 输出的脉冲信号 (SR1 ~ SR40) 输入到二输入的 NAND 电路 384。具体而言，将脉冲信号 SR1 和脉冲信号 SR2 输入 NAND 电路 384，且该输出信号的反转信号成为第一门锁信号 LAT1。将脉冲信号 SR2 和脉冲信号 SR3 输入 NAND 电路 384，且该输出信号的反转信号成为第一门锁信号 LAT2。通过重复该处理，同样生成第一门锁信号 (LAT3 ~ LAT40)。

进而由于水平移位寄存器 38 追加了四个延迟型门锁电路 382，故在定时 44、45 (子定时 44、1) 的期间，脉冲信号 SR42 成为 “H”，该信号经由缓冲器电路 (未图示) 作为第二门锁信号输出。再有，在定时 46、47 (子定时 2、3) 的期间，脉冲信号 SR44 成为 “H”，该信号经由缓冲电路 (未图示) 作为 SR-END 信号，返回到信号传输电路部 381 而成为启动信号。

在定时 46、47 (子定时 2、3) 的期间，由于控制信号 STX-SW 为 “L”，控制信号 /STX-SW 为 “H”，故传输门 381b 打开 (ON)，SR-END 信号作为 STX 信号被传输。之后，重复同样的动作。

这样，在本实施例中，由于水平移位寄存器 38 的电路共用生成返回到信号传输电路的启动信号及第二门锁信号的移位脉冲生成电路的功能，从而可减小定时控制器 4 的布局面积，进而可实现电力消耗的降低。特别是，在本实施例中，示出了启动信号 STX、第一门锁信号及第二门锁信号的生成中共用了构成水平移位寄存器 38 的多个延迟型门锁电路 382、383 的例子。

另外，在实施例 1 及 2 中使用的延迟型双稳态多谐振荡器 (D-FF) 421a、b 是由多个时钟控制式反相器构成的延迟型双稳态多谐振荡器，图 13 表示其电路例。另外，实施例 1 及 2 中使用的延迟型门锁电路 (D-latch) 311、382、383、423a 是由多个时钟控制式反相器构成的延迟型门锁电路，图 14 表示其电路例。但是，本发明中使用的延迟型双稳态多谐振荡器及延迟型门锁电路不限于时钟控制式反相器，也可为其它结构。

另外，在实施例 1 及 2 中，作为图像显示装置的例子对液晶显示装置的情况进行了说明。但是，本发明不限于此，只要是具有将多个

源极线及多个栅极线行列设置并在源极线和栅极线交叉的各附近形成有像素晶体管的显示部的图像显示装置即可。例如，有源矩阵型有机EL等可应用于本发明的图像显示装置中。

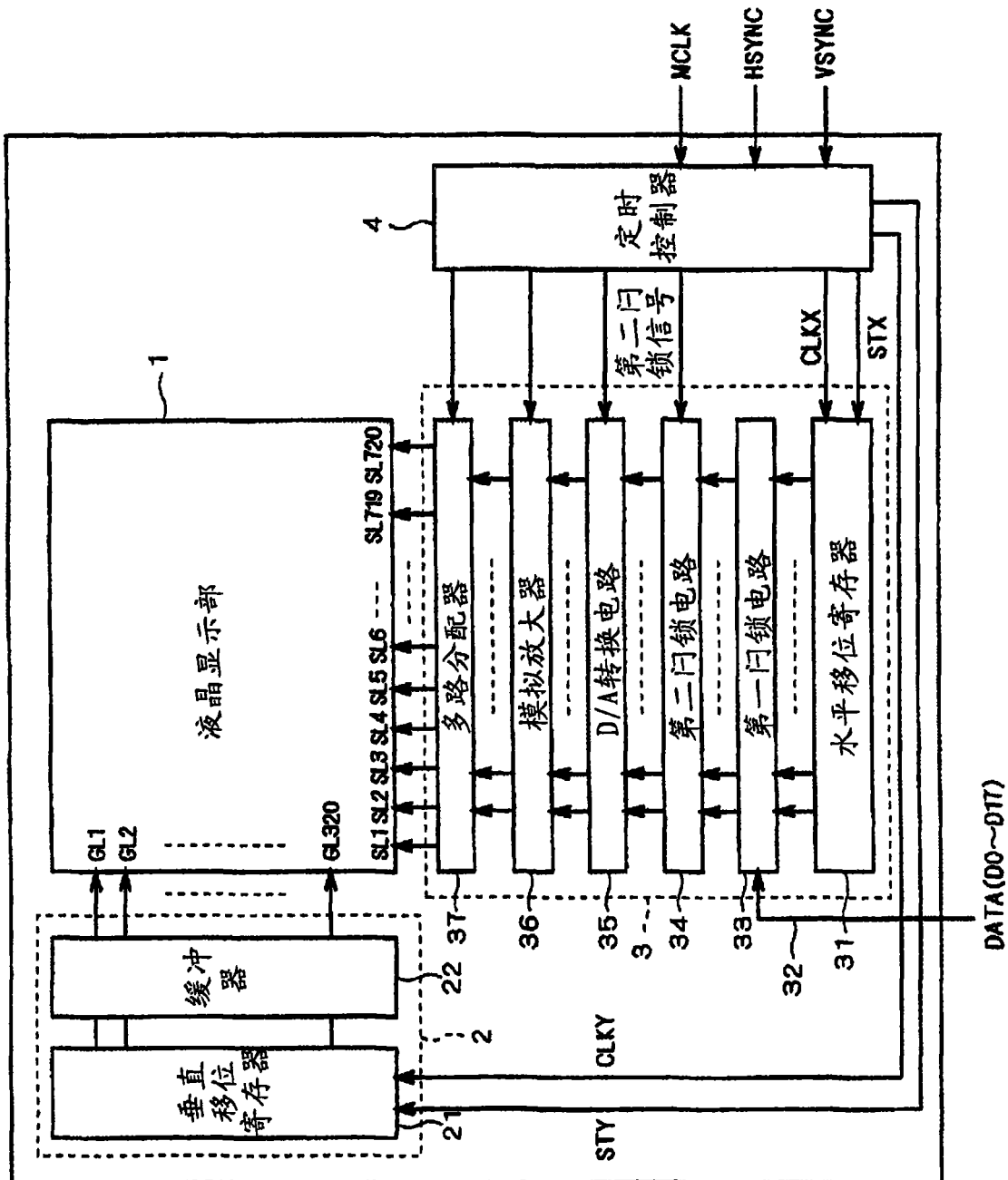


图 1

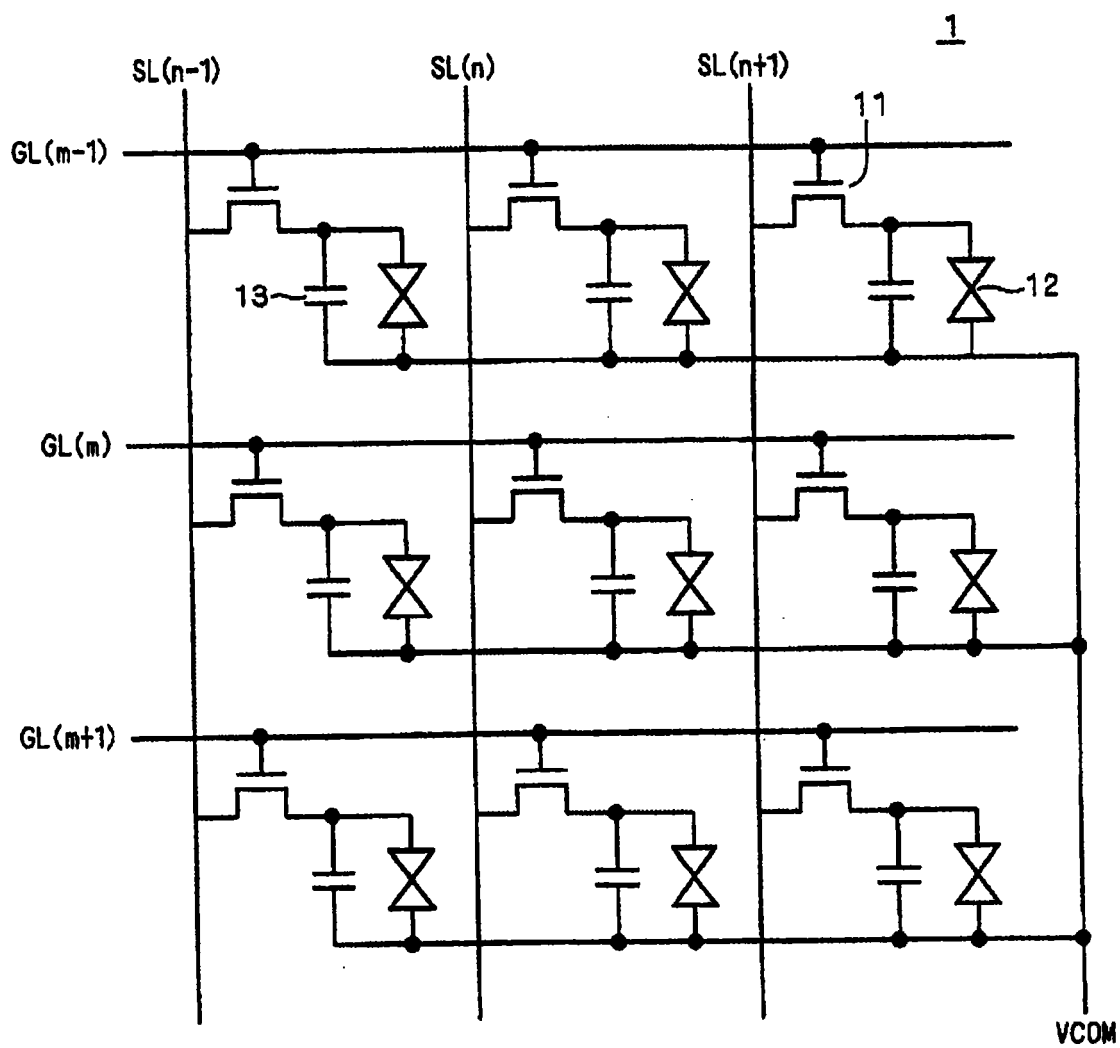
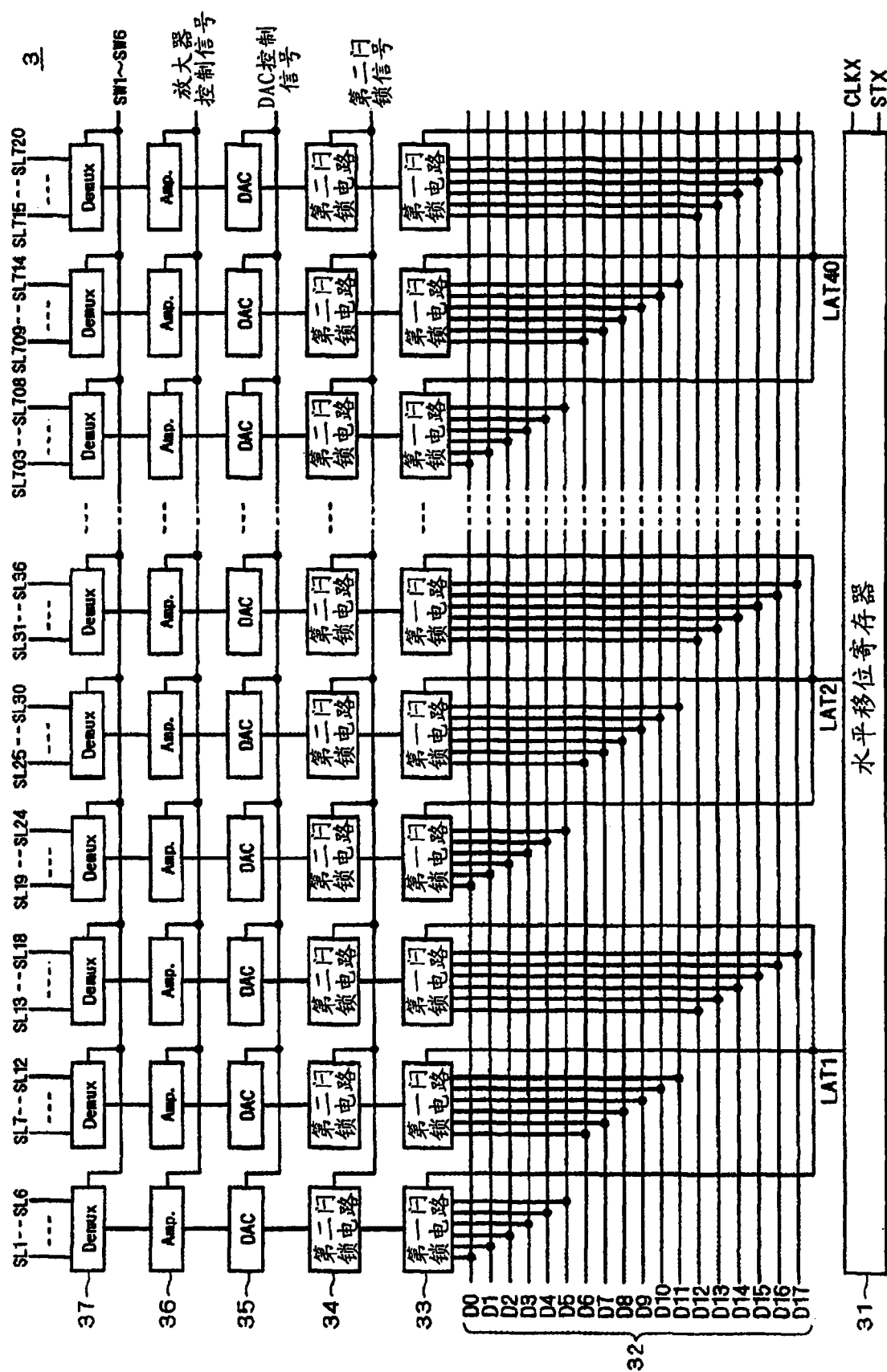


图 2



3
[X]

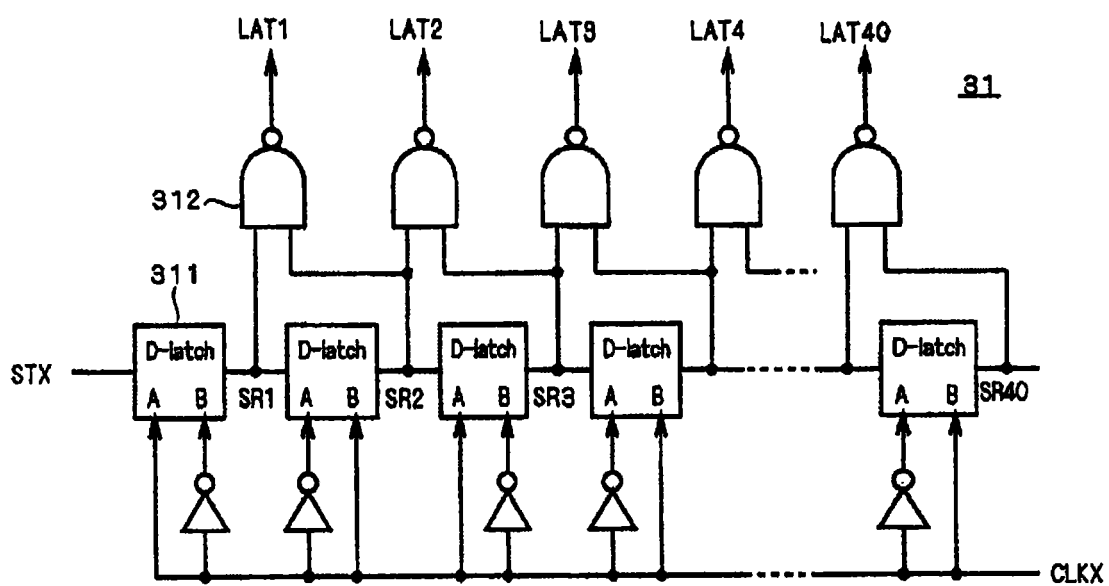


图 4

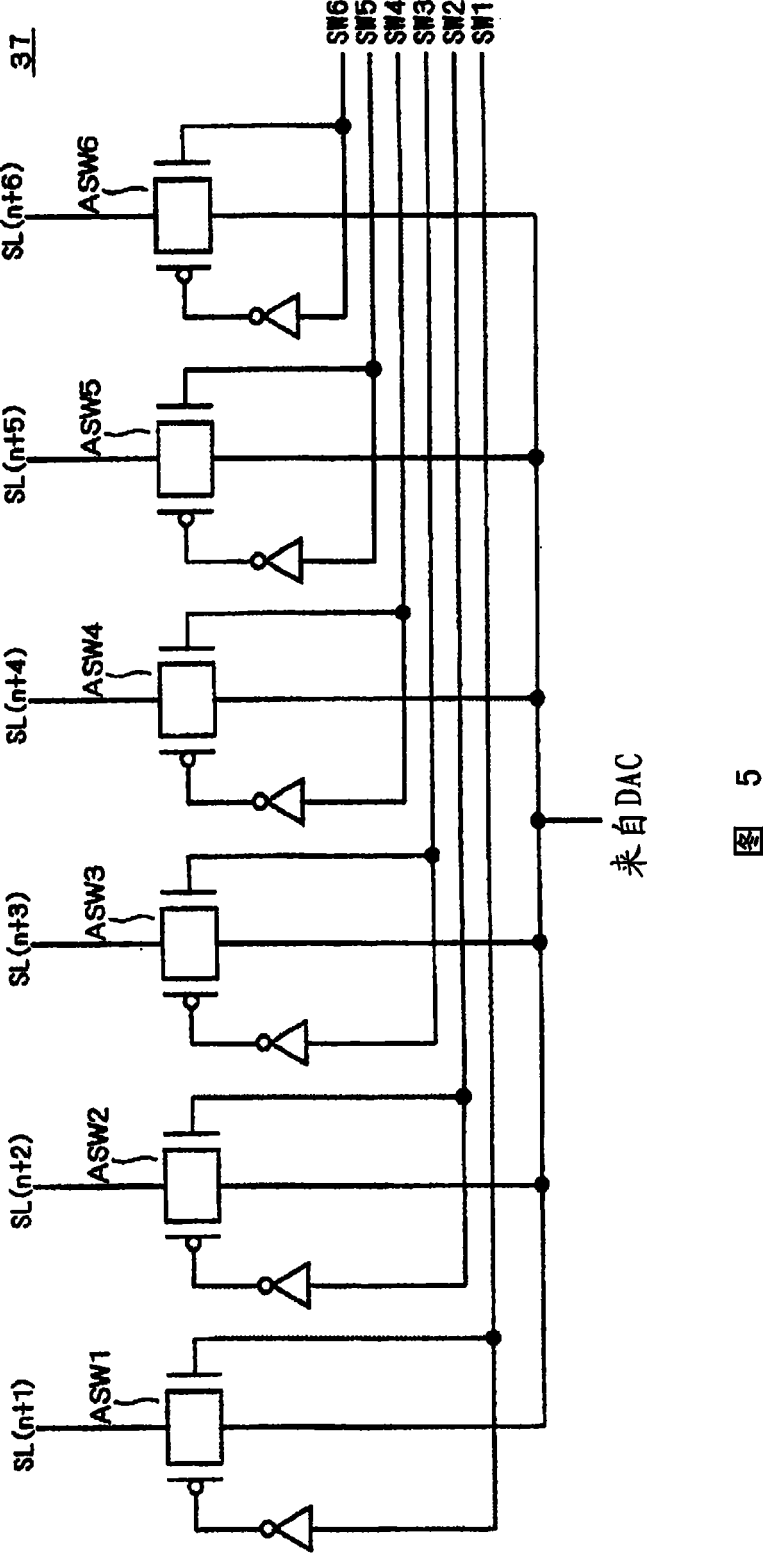


图 5

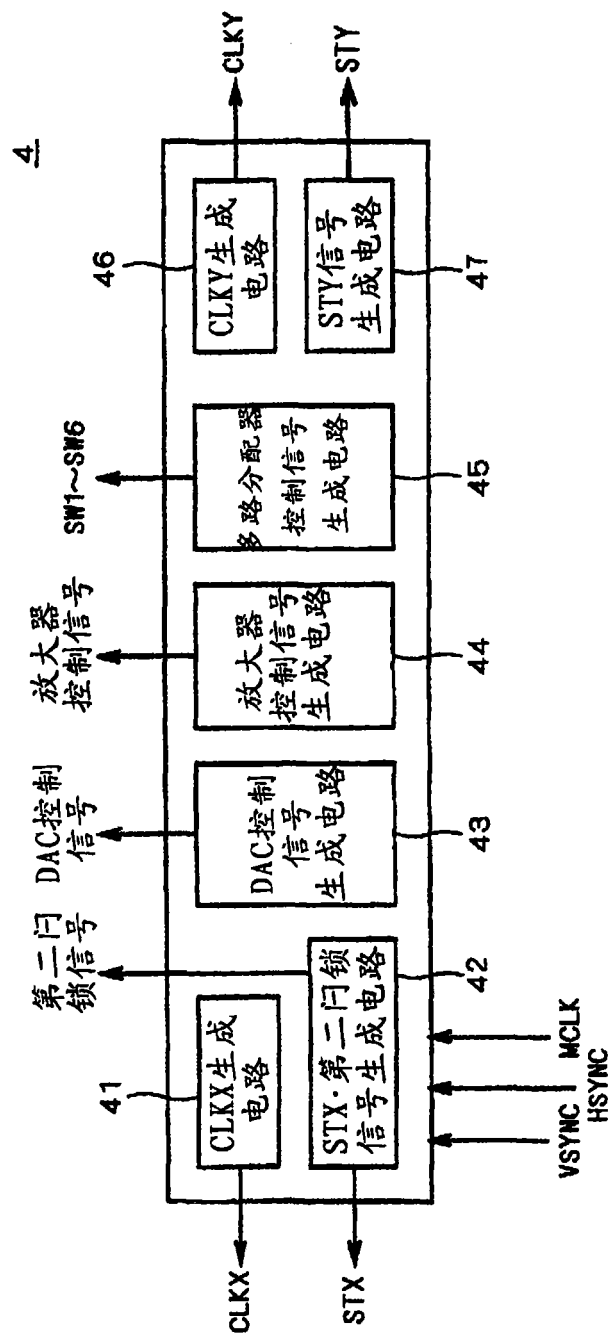


图 6

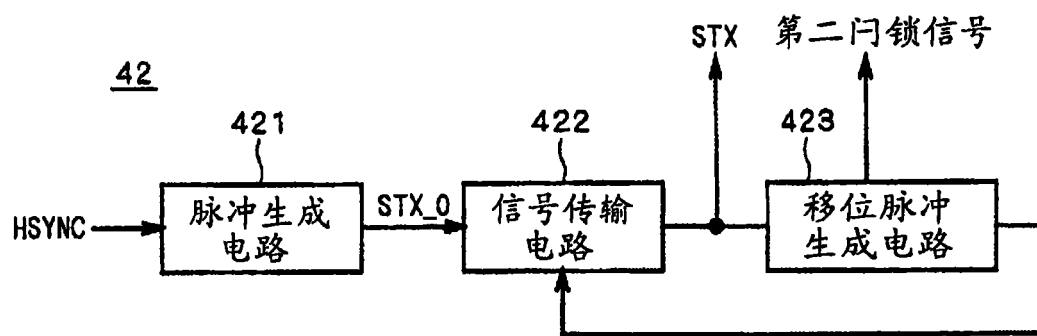


图 7

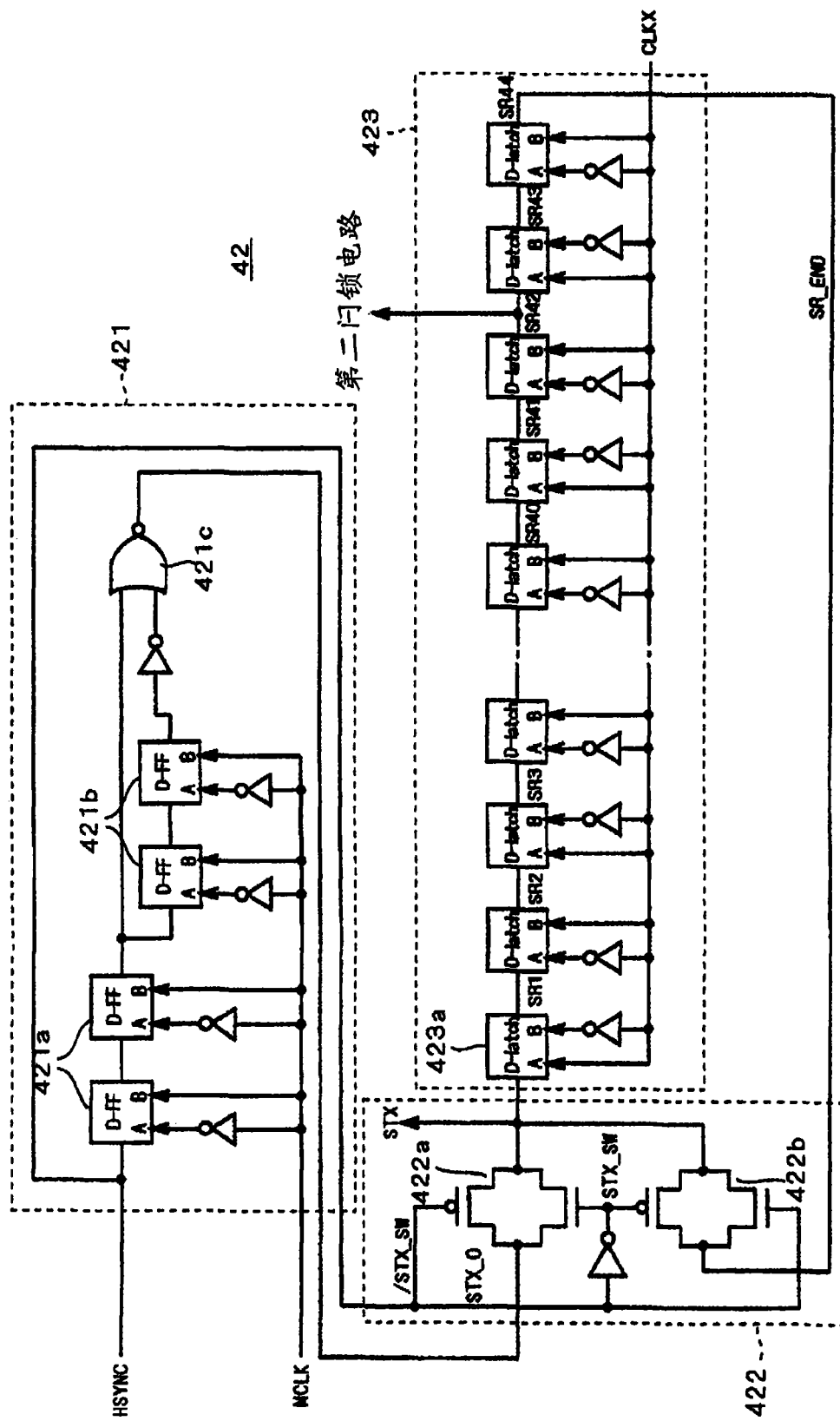
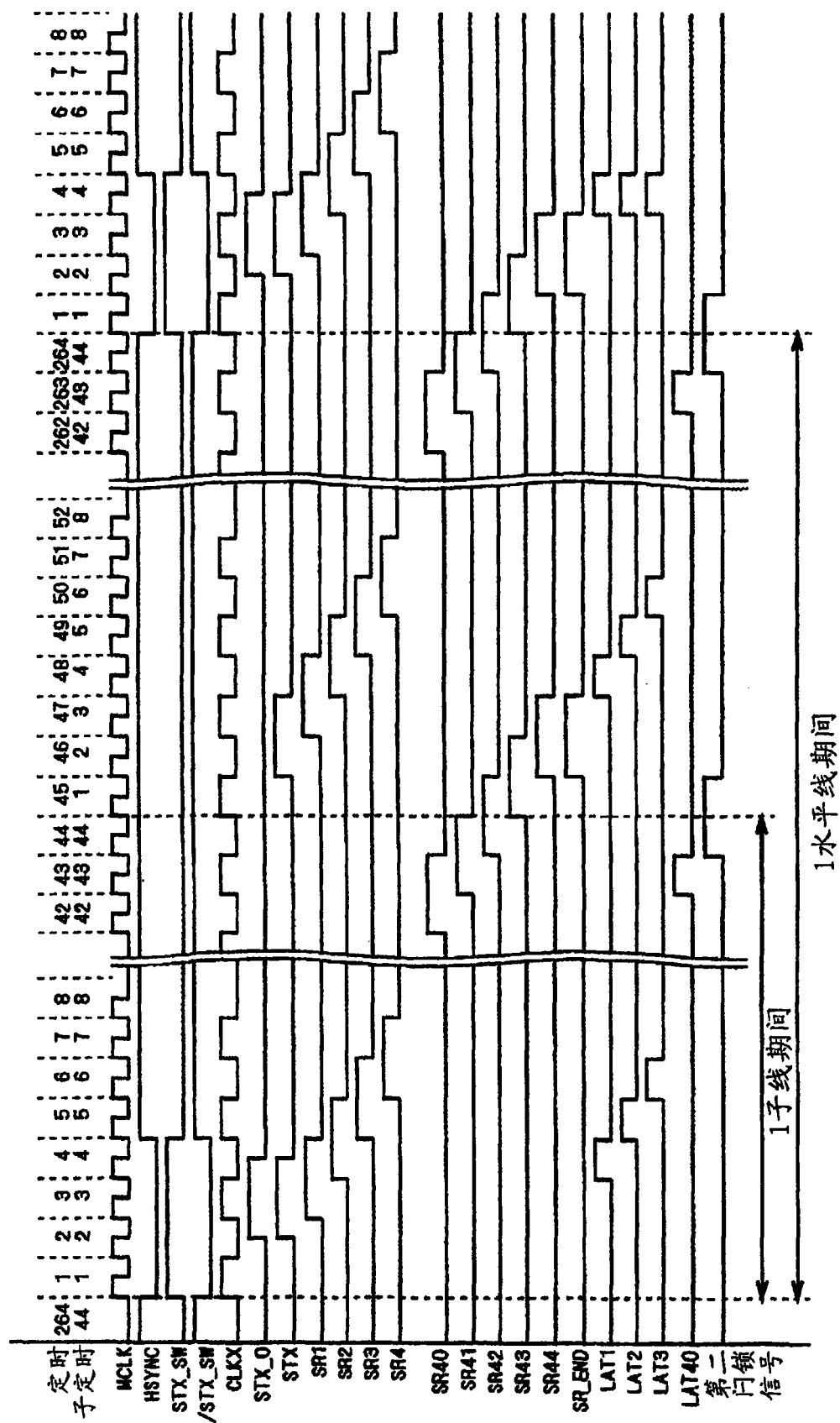


图 8



9

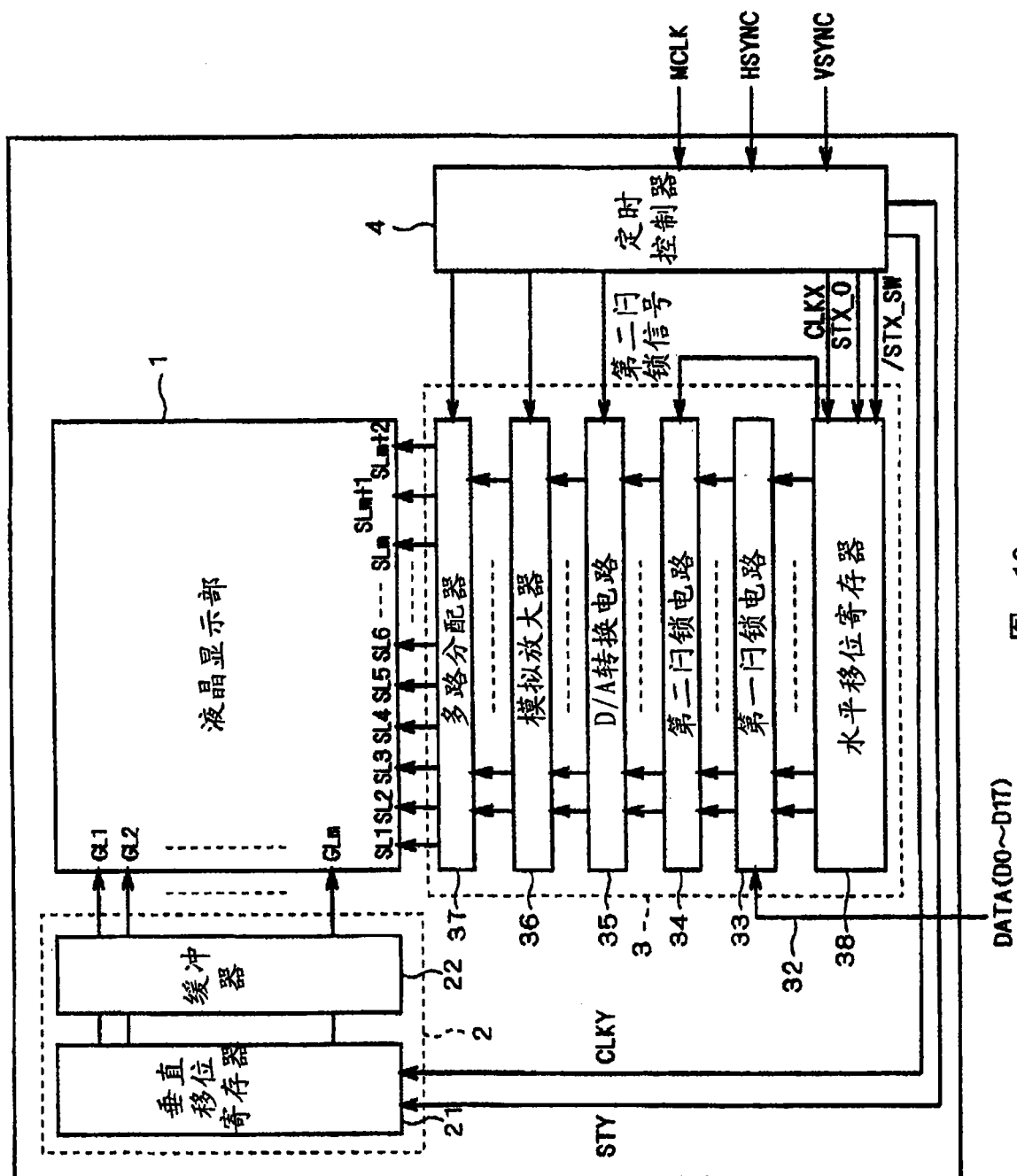



图 10

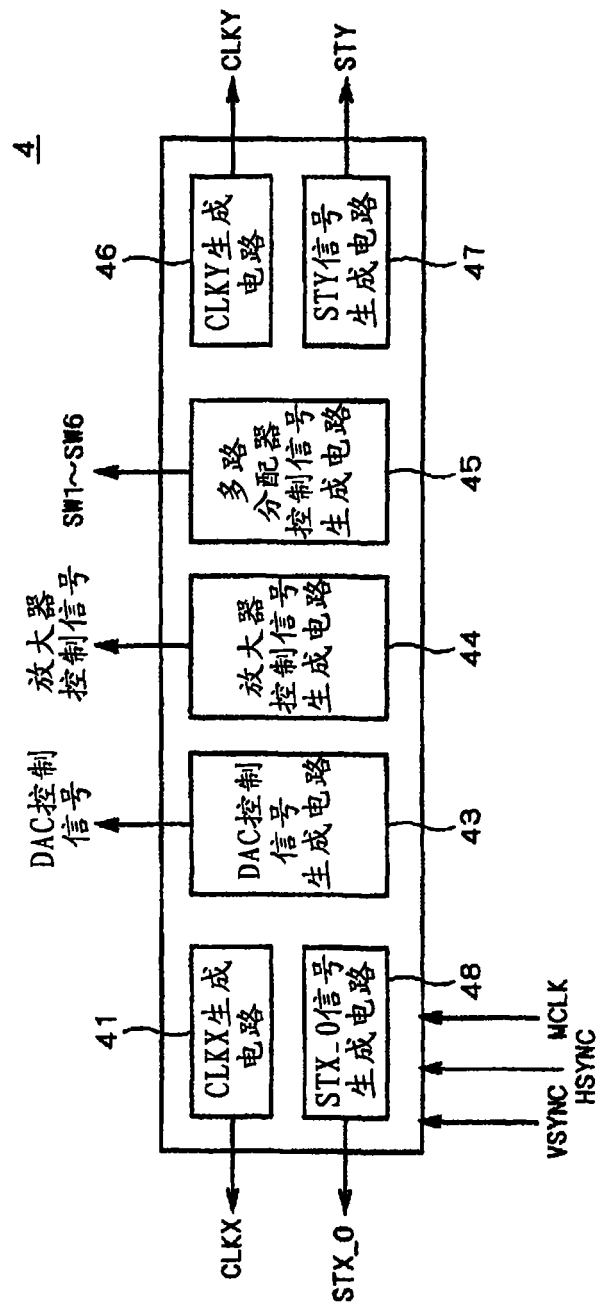


图 11

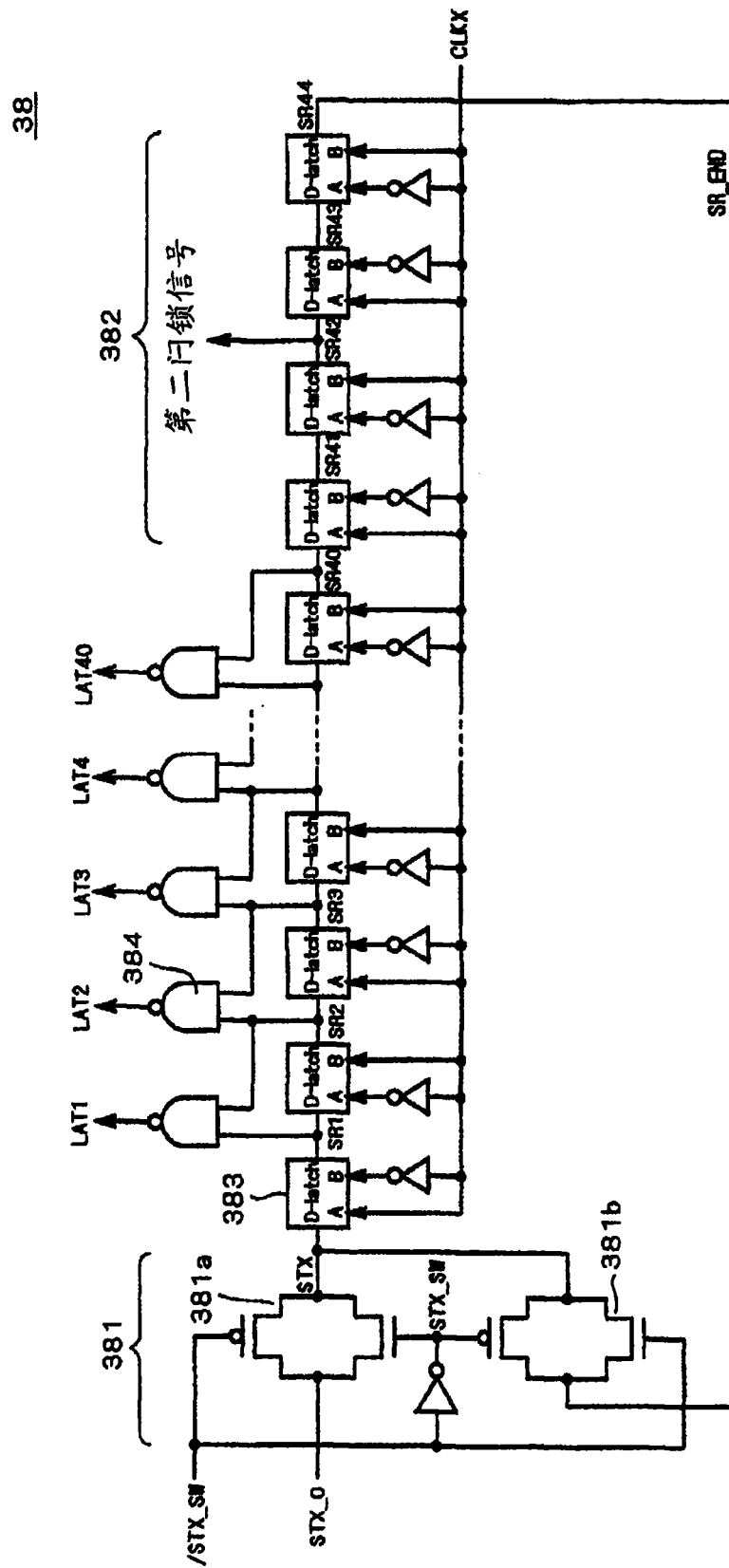


图 12

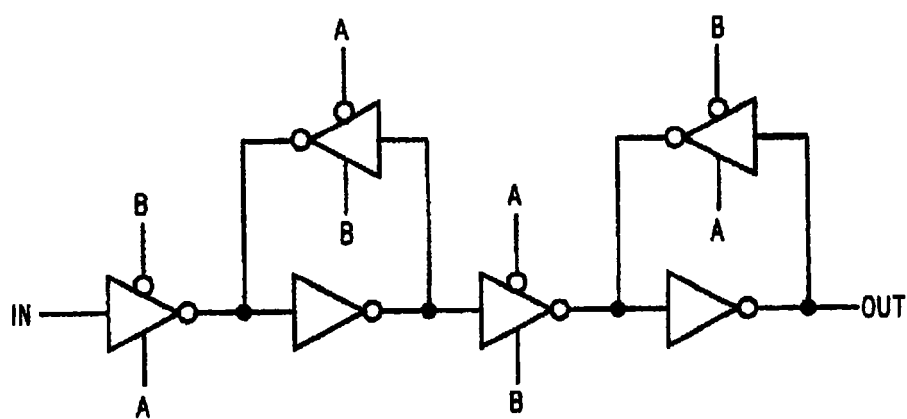


图 13

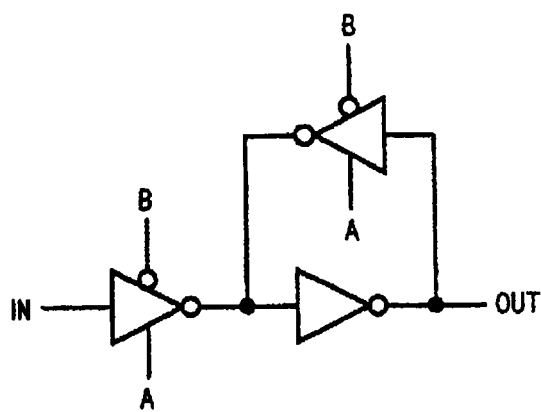


图 14

专利名称(译)	图像显示装置		
公开(公告)号	CN101042845A	公开(公告)日	2007-09-26
申请号	CN200710088188.X	申请日	2007-03-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	野尻勋		
发明人	野尻勋		
IPC分类号	G09G3/36 G09G5/00		
CPC分类号	G09G2310/027 G09G2310/08 G09G2310/0297 G09G3/3688		
代理人(译)	刘宗杰		
优先权	2006076010 2006-03-20 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种图像显示装置，其具备在将多个源极线分多次驱动时，消耗电力低且稳定地生成启动信号及第二门锁信号的电路。本发明是具备液晶显示部(1)、栅极线驱动电路(2)、源极线驱动电路(3)、以及定时控制器(4)的图像显示装置。而且，源极线驱动电路(3)具备水平移位寄存器(31)、第一门锁电路(33)、第二门锁电路(34)、D/A转换电路(35)、以及能将多个所述源极线分多次驱动的多路分配器(37)。而且，定时控制器(4)具备脉冲生成电路(421)、信号传输电路(422)、以及生成第二门锁信号并同时使移位后的启动信号返回信号传输电路(422)中的移位脉冲生成电路(423)。

