



[12] 发明专利申请公开说明书

[21] 申请号 02829615. X

[43] 公开日 2005 年 9 月 14 日

[11] 公开号 CN 1668967A

[22] 申请日 2002. 9. 19 [21] 申请号 02829615. X

[30] 优先权

[32] 2002. 7. 19 [33] KR [31] 2002/42658

[86] 国际申请 PCT/KR2002/001782 2002. 9. 19

[87] 国际公布 WO2004/010212 英 2004. 1. 29

[85] 进入国家阶段日期 2005. 3. 17

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 崔永玟 宋长根 金振润

[74] 专利代理机构 北京市柳沈律师事务所

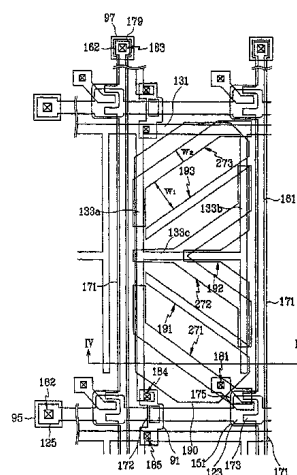
代理人 李晓舒 魏晓刚

权利要求书 2 页 说明书 17 页 附图 31 页

[54] 发明名称 垂直排列模式液晶显示器

[57] 摘要

提供一种液晶显示器，其包括：第一绝缘基底；形成在第一绝缘基底上的栅极线；形成在栅极线上的栅极绝缘层；形成在栅极绝缘层上的数据线；形成在数据线上的钝化层；形成在钝化层和第一切口图案上的像素电极；面对第一绝缘基底的第二绝缘基底；和形成在第二绝缘基底上且具有第二切口图案的公共电极，其中，畴的宽度等于或小于 $30\ \mu\text{m}$ 。



1. 一种液晶显示器, 包括:
 - 第一绝缘基底;
 - 5 形成在该第一绝缘基底上的栅极线;
 - 形成在该栅极线上的栅极绝缘层;
 - 形成在该栅极绝缘层上的数据线;
 - 形成在该数据线上的钝化层;
 - 形成在该钝化层上的像素电极;
 - 10 面对该第一绝缘基底的第二绝缘基底;
 - 形成在该第二绝缘基底上的公共电极;
 - 形成在该第一和第二绝缘基底中的至少一个上的第一畴分割件; 以及
 - 形成在该第一和第二绝缘基底中的至少一个上并与该第一畴分割件一起将像素区划分成多个畴的第二畴分割件,
 - 15 其中, 所述畴的宽度等于或小于 $30\mu\text{m}$.
 2. 如权利要求 1 的液晶显示器, 其中所述畴的宽度等于或小于 $28\mu\text{m}$.
 3. 如权利要求 2 的液晶显示器, 其中所述畴的宽度等于或小于 $22\mu\text{m}$.
 4. 如权利要求 3 的液晶显示器, 其中所述畴的宽度等于或小于 $17\mu\text{m}$.
 5. 如权利要求 1 的液晶显示器, 其中该第一畴分割件包括设置在该像
 - 20 素电极处的切口, 该第二畴分割件包括设置在该公共电极处的切口。
 6. 如权利要求 5 的液晶显示器, 其中该第二畴分割件的宽度等于或小于 $24\mu\text{m}$.
 7. 如权利要求 6 的液晶显示器, 其中该第二畴分割件的宽度等于或小于 $5\mu\text{m}$.
 8. 如权利要求 1 的液晶显示器, 其中所述畴的延伸与所述栅极线成 45° 或 135° 的角。
 9. 如权利要求 1 的液晶显示器, 其中该数据线具有包括非晶硅层、掺杂非晶硅层和金属层的三层结构。
 10. 一种液晶显示器, 包括:
 - 30 第一绝缘基底;
 - 栅极布线, 其形成在该第一绝缘基底上, 包括栅极线、连接到该栅极线

的栅电极、以及连接到该栅极线的栅极垫；

存储电极布线，其形成在该第一绝缘基底上，包括存储电极线、以及自该存储电极线分岔出的存储电极；

形成在该栅极布线和该存储电极布线上的栅极绝缘层；

5 形成在该栅极绝缘层上的非晶硅层；

形成在该非晶硅层上的接触层；

数据布线，其形成在该接触层上，包括与该栅极线交叉的数据线、连接到该数据线的的数据垫、连接到该数据线并与该栅电极相邻的源电极、以及关于该栅电极与该源电极相对设置的漏电极；

10 形成在该数据布线上的钝化层；

像素电极，形成在该钝化层上，连接到该漏电极，并具有第一切口图案；面对该第一绝缘基底；

形成在该第二绝缘层上并限定像素区的黑矩阵；

形成在该像素区上的滤色片；以及

15 形成在该滤色片上并具有第二切口图案的公共电极，

其中，该第二切口图案的宽度等于或小于 $24\mu\text{m}$ 。

11. 如权利要求 10 的液晶显示器，还包括置于该第一绝缘基底和第二绝缘基底之间的液晶层，其中包含在该液晶层中的液晶分子在没有电场时垂直于该第一绝缘基底排列。

20 12. 如权利要求 11 的液晶显示器，其中该第二切口图案的宽度等于或小于 $5\mu\text{m}$ 。

13. 如权利要求 11 的液晶显示器，其中该第一和第二切口图案的宽度等于或小于液晶层的单元间隙。

25 14. 如权利要求 11 的液晶显示器，其中该第一和第二切口图案把像素区划分成多个畴，且所述畴的宽度等于或小于 $28\mu\text{m}$ 。

15. 如权利要求 14 的液晶显示器，其中所述畴的宽度等于或小于 $22\mu\text{m}$ 。

16. 如权利要求 15 的液晶显示器，其中所述畴的宽度等于或小于 $17\mu\text{m}$ 。

17. 如权利要求 11 的液晶显示器，还包括置于该滤色片和公共电极之间的涂层。

垂直排列模式液晶显示器

5 技术领域

本发明涉及一种垂直排列模式液晶显示器,尤其涉及一种包含带有用于确保宽视角的切口(cutout)的电极的垂直排列模式液晶显示器。

背景技术

10 通常的液晶显示器(“LCD”)包括带有参考电极和滤色片的上基板、带有薄膜晶体管(“TFT”)和像素电极的下基板、以及夹置在其间的介电各向异性液晶层,并通过对参考电极和像素电极施加不同的电压以在液晶层中产生电场来显示所需的图像,其中产生的电场改变液晶分子的取向以控制光的透射率。

15 在这些 LCD 中,在没有电场时使液晶分子的主轴垂直于上下基板的垂直排列模式 LCD(以下称作“VALCD”)最有希望,因为其有高的对比度和宽的视角。

为了在 VALCD 中实现宽视角,在电极上设置切口图案或突起。切口图案和突起均产生边缘场以把液晶分子的倾斜方向规律地调节为四个方向,由此给予宽视角。这些 LCD 中,包含切口图案的图案化垂直排列(PVA)模式 LCD 被认为是平面内切换(IPS)模式 LCD 的替代宽视角技术。

20 PVA 模式 LCD 与扭转向列(TN) LCD 相比有较快的响应时间,因为液晶分子的行为不是扭转的,并且只包括垂直于场方向的方向上的弹性运动,如倾斜或弯曲。但是, LCD TV 市场的成熟需要快于 25ms 的当前响应时间的响应时间。响应时间可以随着介电各向异性的变高而增加,以在液晶分子中感生更强的电场。已知的是,响应时间随着旋转粘滞度的变低而变短,因为较低的粘滞度减少液晶分子的变化过程以及去除电场时的恢复时间。因此,虽然提出了几个通过调节液晶材料来加快响应时间的技术,但负介电各向异性的液晶在改善介电各向异性和降低旋转粘滞度方面有局限。因此,通过改善液晶材料来加快响应时间受到了限制。

25

30

发明内容

本发明的目的在于改善 LCD 的响应时间。

为了实现这些和其它目的,本发明优化了电极和切口的宽度。用于产生边缘电场的切口宽度基本上满足关系: (切口宽度)/(单元间隙) ≥ 1.0 。

- 5 具体地说,提供了一种用于液晶显示器的薄膜晶体管阵列板,其包括:
第一绝缘基底;形成在第一绝缘基底上的栅极线;形成在栅极线上的栅极绝缘层;形成在栅极绝缘层上的数据线;形成在数据线上的钝化层;形成在钝化层上的像素电极;面对第一绝缘基底的第二绝缘基底;形成在第二绝缘基底上的公共电极;形成在第一和第二绝缘基底中的至少一个上的第一畴分割件(domain partitioning member);和形成在第一和第二绝缘基底中的至少一个上并与第一畴分割件一起将像素区划分成多个畴(domain)的第二畴分割件,其中,畴的宽度等于或小于 30 μm 。

畴的宽度优选等于或小于 28 μm 、22 μm 或 17 μm 。

- 15 第一畴分割件可以包括设置在像素电极处的切口,第二畴分割件可以包括设置在公共电极处的切口。第二畴分割件的宽度优选等于或小于 24 μm 或 5 μm 。优选畴的延伸与栅极线形成 45°或 135°的角。数据线可以具有三层结构,包括非晶硅层、掺杂非晶硅层和金属层。

- 提供一种液晶显示器,包括:第一绝缘基底;栅极布线,形成在第一绝缘基底上,包括栅极线、连接到栅极线的栅电极和连接到栅极线的栅极垫;
20 存储电极布线,形成在第一绝缘基底上,包括存储电极线和自存储电极线分出的存储电极;形成在栅极布线和存储电极布线上的栅极绝缘层;形成在栅极绝缘层上的非晶硅层;形成在非晶硅层上的接触层;数据布线,形成在接触层上,包括与栅极线交叉的数据线、连接到数据线的栅极垫、连接到数据线并与栅电极相邻的源电极、以及关于栅电极与源电极相对的漏电极;形成
25 在数据布线上的钝化层;像素电极,形成在钝化层上,连接到漏电极,并具有第一切口图案;面对第一绝缘基底;形成在第二绝缘层上并限定像素区的黑矩阵;形成在像素区上的滤色片;以及形成在滤色片上并具有第二切口图案的公共电极,其中第二切口图案的宽度等于或小于 24 μm 。

- 液晶显示器还包括夹置在第一绝缘基底和第二绝缘基底之间的液晶层,
30 其中包含在液晶层中的液晶分子在没有电场时垂直于第一绝缘基底排列。第二切口图案的宽度优选等于或小于 5 微米,第一和第二切口图案的宽度等于

或小于液晶层的单元间隙。第一和第二切口图案优选把像素区分成多个畴，畴的宽度等于或小于 $28\mu\text{m}$ 、 $22\mu\text{m}$ 和 $17\mu\text{m}$ 。优选液晶显示器还包括夹置在滤色片和公共电极之间的涂层。

5 附图说明

图 1 是根据本发明第一实施例的 LCD 的 TFT 阵列板的平面图；

图 2 是根据本发明第一实施例的 LCD 的滤色片板的平面图；

图 3 是根据本发明第一实施例的 LCD 的平面图；

图 4 是沿图 3 中的 IV-IV' 线截取的剖视图；

10 图 5 是曲线图，示出 PVA 模式 LCD 中依赖于电极距离（即畴的宽度）的响应特性；

图 6 是关于电极宽度（即畴的宽度）的响应时间的曲线图；

图 7 是示出依赖于电极宽度（即畴的宽度）的 ON 尖顶位置的曲线图；

图 8 是曲线图，示出对于电极宽度（即畴的宽度）的织构响应时间；

15 图 9 是示出依赖于电极距离（即畴的宽度）的第二透射效率的曲线图；

图 10 示出依赖于电极距离（即畴的宽度）的第三透射效率；

图 11 是曲线图，示出 PVA 模式 LCD 中，作为公共电极切口宽度的函数的响应特性；

20 图 12 是曲线图，示出 PVA 模式 LCD 中，作为公共电极切口宽度的函数的透射率；

图 13 至 17 是 LCD 的 TFT 阵列板的剖视图，顺序示出采用五道掩模的其制造方法的步骤；以及

图 18A 和 18B 至图 26A 和 26B 是 LCD 的 TFT 阵列板的剖视图，依次示出采用四道掩模的其制造方法的步骤。

25

具体实施方式

下面将参考附图详细描述本发明的实施例，以便于本领域技术人员易于实施。但本发明也可以以不同的形式实施，不应局限于在此提出的实施例。

附图中，为了清楚起见夸大了层的厚度和区域。附图中相同的部件采用
30 相同的附图标记。可以理解，当称一个元件如层、膜、区域、基底或板处于另一个元件“上”时，其可以是直接在该另一个元件上，或是还可以存在居

间元件。相反，当称一个元件直接在另一个元件上时，没有居间元件。

下面参考附图描述根据本发明实施例的液晶显示器的薄膜晶体管阵列板。

图 1 是根据本发明第一实施例的 LCD 的 TFT 阵列板的平面图，图 2 是根据本发明第一实施例的 LCD 的滤色片板的平面图，图 3 是根据本发明第一实施例的 LCD 的平面图，图 4 是沿图 3 中 IV-IV' 线截取的剖视图。

LCD 包括下基底 110、与下基底相对的上基底 210、以及夹置在基底 110 与 210 之间的液晶层 3，液晶层 3 包含垂直于基底 110 和 210 排列的液晶分子。

在优选由透明绝缘材料如玻璃制成的下基底 110 的内表面上形成多个像素电极 190。像素电极 190 优选由透明导体材料如 ITO（氧化铟锡）和 IZO（氧化铟锌）制成，并具有多个切口 191、192 和 193。各个像素电极 190 连接到 TFT 以被施加以图像信号电压。TFT 连接传递扫描信号的多个栅极线 121 和传递图像信号的多个数据线 171，从而响应于扫描信号被开或关。下偏振片 12 附着在下基底 110 的外表面上。对于反射式 LCD，像素电极 190 不由透明材料制成，且下偏振片 12 是不必要的。

在优选由透明绝缘材料如玻璃制成的上基底 210 的内表面上形成用于阻挡光泄漏的黑矩阵 220、多个红色、绿色和蓝色滤色片 230、以及优选由透明导体材料如 ITO 和 IZO 制成的参考电极 270。在参考电极 270 上设置多个切口 271、272 和 273。虽然黑矩阵 220 与像素区的边界交叠，但还可以与参考电极 270 的切口 271、272 和 273 交叠，以阻挡切口 271、272 和 273 造成的光泄漏。

下面更详细地描述根据第一实施例的 LCD。

在下绝缘基底 110 上形成基本上横向延伸的多个栅极线 121。每条栅极线 121 的多个延伸部形成多个栅电极 123，每条栅极线 121 的端部形成栅极垫 125。在绝缘基底 110 上还形成基本上平行于栅极线 121 延伸的多个存储电极线 131。在纵向方向上延伸的多对存储电极 133a 和 133b 自每条存储电极线 131 分支出，通过在横向方向上延伸的存储电极 133c 彼此连接。存储电极线 131 的数量可以是两条或更多条。栅极线 121、栅电极 123、存储电极线 131 和存储电极 133 优选由金属如 Al 或 Cr 制成。它们包括单层、或优选包括依次沉积的 Cr 和 Al 层的双层。或者，它们包含多种金属。

在栅极线 121、存储电极线 131 和存储电极 133 上形成优选由 SiN_x 制成的栅极绝缘层 140。

在栅极绝缘层 140 上形成纵向延伸的多条数据线 171。每条数据线 171 的多个分支形成多个源电极 173，多个漏电极 175 邻近各源电极 173 形成。

- 5 此外，在栅极绝缘层 140 上形成多个与栅极线 121 交叠的桥下金属片 (under-bridge metal piece) 172。类似于栅极布线，数据线 171、源电极 173 和漏电极 175 优选由 Cr 或 Al 等制成。它们也可以有单层结构或多层结构。

- 在源电极 173 和漏电极 175 之下形成用作 TFT 的沟道部分的非晶硅层 151 和 153 的多个沟道部分 151，并且在数据线 171 之下形成纵向延伸并连接半导体沟道部分 153 的非晶硅层 151 和 153 的多个数据部分 153。在非晶硅层 151 和 153 上形成用于减小源电极和漏电极 173 和 175 与半导体沟道部分 151 之间的接触电阻的接触层 161。非晶硅层 151 和 153 优选由非晶硅制成，接触层 161 优选由重掺杂 N 型杂质的非晶硅制成。
- 10

- 在数据线 171 等上形成优选由无机绝缘体如 SiN_x 或有机绝缘体如树脂制成的钝化层 180。在钝化层 180 中设置露出漏电极 175 的多个接触孔 181。
- 15

- 在钝化层 180 上形成多个像素电极 190，每个像素电极有多个切口 191、192 和 193。像素电极 190 优选由透明导体如 ITO 或 IZO 或是具有良好的光反射特性的不透明导体如 Al 制成。每个像素电极 190 上的切口 191、192 和 193 包括：横向切口 192，其横向延伸，并位于一位置从而将像素电极 190 划分成纵向布置的上半部和下半部；以及两个斜向切口 191 和 193，其斜向延伸，并分别位于像素电极 190 的下半部和上半部内。斜向切口 191 和 193 的延伸彼此垂直，以便将边缘电场的电场方向规律地分布为四个方向。
- 20

- 此外，在钝化层 180 上形成多个存储连接或桥 91，它们将存储电极 133a 连接到关于栅极线 121 与其相对的存储电极线 131。存储桥 91 经设置在钝化层 180 和栅极绝缘层 140 中的多个接触孔 183 和 184 与存储电极 133a 和存储电极线 131 接触。存储桥 91 与桥下金属片 172 交叠。存储桥 91 电连接下基底 110 上的所有存储布线。如果需要，此存储布线可以用于修理栅极线 121 和/或数据线 171 的缺陷，且当照射激光束用于这样的修理时，桥下金属片 172 用于增强栅极线 121 和存储桥 91 之间的电连接。
- 25

- 在钝化层 180 上形成多个辅助栅极垫 95 和多个辅助数据垫 97。辅助栅极垫 95 经钝化层 180 和栅极绝缘层 140 中的接触孔 182 连接到栅极垫 125，
- 30

而辅助数据垫 97 经钝化层 180 中的接触孔 183 连接到数据垫 179。

在上基底 210 上形成用于阻挡光泄漏的黑矩阵 220。在黑矩阵 220 上形成多个红色、绿色和蓝色滤色片 230。在滤色片 230 上形成具有多组切口 271、272 和 273 的参考电极 270。参考电极 270 优选由透明导体如 ITO 或 IZO 制成。

参考电极 270 的每组切口 271、272 和 273 将像素电极 190 的斜向切口 191 和 193 放在两个相邻的切口 271、272 和 273 之间。每个切口 271、272 或 273 包括平行于斜向切口 191 和 193 的一个或多个斜向部分、以及与像素电极 190 的边缘交叠的横向和纵向部分。

通过对齐并结合具有上述结构的 TFT 阵列板和滤色片板，并在二者之间注入液晶材料从而被垂直排列，制备了根据本发明的 LCD 的基本结构。当 TFT 阵列板和滤色片板对齐时，像素电极 190 的切口 191、192 和 193、以及参考电极的切口 271、272 和 273 将各个像素区分成若干小畴。这些小畴根据其中液晶分子主轴的平均方向分为四类。小畴较长，以致于可区分其宽度和长度。将宽度，即畴的长边之间的距离，设置为等于或小于 $30\mu\text{m}$ 的值，并预期这产生等于或短于 25ms 的响应时间。但是，为了显示每帧变化的动态图像，需要响应时间具有等于或小于 20ms 的值，因而需要畴的宽度具有等于或小于 $17\mu\text{m}$ 的值。此外，需要畴的宽度具有等于或小于 $28\mu\text{m}$ 的值，以将织构(texture)的量保持在等于或小于 0.03。需要畴的宽度具有等于或小于 $22\mu\text{m}$ 的值，以便 PVA 模式 LCD 的第三透射效率等于或大于 90%。畴的等于或小于 $22\mu\text{m}$ 的宽度保持织构量等于或小于 0.02。

同时，响应时间与切口的宽度有关。如果切口的宽度等于或小于 $24\mu\text{m}$ ，则响应时间等于或小于 25ms；而如果切口的宽度等于或小于 $5\mu\text{m}$ ，则响应时间等于或小于 20ms。

畴的宽度、响应时间、织构的量和透射效率之间的关系。

PVA 模式 LCD 通过用切口使电场变形来实现宽视角。但是，这些切口使电场畸变，因而造成液晶分子的异常行为从而产生织构，织构降低透射效率和响应时间。本发明调节畴和切口的宽度。

首先，详细描述响应特性。

表 1 所示的响应特性通过用包含宽度为 21、23、25 和 $27\mu\text{m}$ 的小畴的液晶单元获得。

表 1

畴的宽度	21	23	25	27
ON	14.4	15.0	16.2	17.0
OFF	7.4	7.2	7.4	7.4
ON +OFF	21.8	22.2	23.6	24.4

参见表 1，随着小畴的宽度变窄，响应时间变短。更详细地，OFF（关）时间基本上保持恒定，即使畴的宽度变窄，而当畴的宽度变窄时 ON（开）时间缩短，从而 ON 时间和 OFF 时间之和减少。表 1 的结果表示为图 5 所示的曲线。由图 5 预期，当畴的宽度等于或小于约 17μm 时，响应时间等于或小于 20ms。

下面描述作为响应时间函数的响应时间的波形。

图 6 是示出对于电极宽度（即畴的宽度）的响应时间的曲线图，图 7 是示出 ON 尖顶位置与电极宽度（即畴的宽度）的依赖关系的曲线图。

参见图 6，随着畴的宽度变小，响应时间曲线的位置变高。即，畴的宽度和响应时间的位置具有反比关系。因此，随着畴的宽度变得更窄，ON 尖顶位置(cusp position)变高,如图 7 所示。由图 5 预期,当畴的宽度为约 15.89μm 时，尖顶位于 90 % 透射率的点处。ON 时间预期为约 12ms，以致于总响应时间为 19.27ms。

图 8 是曲线图，示出对于电极宽度（即畴的宽度）的织构的响应时间。

附着一个反向偏振片，并对于依据畴宽度而形成的织构测量织构的响应时间及其量化特性。为了织构的量化分析，将织构分为动态的和静态的。动态织构定义为施加电压后，随时间流失而动态变化的织构的量，其等于图 8 中所示虚线之上的面积。静态织构定义为稳定的织构的量，其等于图 8 中所示虚线之下的面积。动态织构和静态织构由下式表示：

动态织构=织构透射率的变化量 × 用于织构稳定化的时间 × 0.5；

静态织构=动态织构透射率的最小透射率 × 织构响应波的宽度；

总织构=动态织构 + 静态织构； 以及

用于织构稳定化的时间=最大织构透射率的时间 - 最小织构透射率的时间。

表 2 通过利用上述关系计算图 8 所示的织构响应时间来获得。

电极宽度	21	23	25	27
------	----	----	----	----

最大织构透射率	0.0450	0.0500	0.0600	0.0700
最小织构透射率	0.0360	0.0370	0.0410	0.0450
织构透射率的变化量	0.0090	0.0130	0.0190	0.0250
最大织构的时间	0.0160	0.0010	0.000	0.000
最小织构的时间	0.1620	0.2130	0.2360	0.2860
用于织构稳定化的时间(sec)	0.1460	0.2120	0.2360	0.2860
动态织构	0.0007	0.0014	0.0023	0.0036
静态织构	0.0184	0.0195	0.0221	0.0239
总织构	0.0198	0.0214	0.0250	0.0282

参见表 2，随着电极距离变窄，织构的产生变少。织构透射率显示出与电极距离成正比。随着电极距离变大，施加 ON 电压之后用于使织构稳定的时间变长。即，窄的电极距离产生强的电场效应，从而导致畴的快速稳定，因而响应时间变短。对于 PVA 模式 LCD，用于实现响应时间等于或小于 20ms 的总织构等于或小于 0.013。参见表 2，畴的宽度等于或小于约 17 μm ，以便获得等于或小于 0.013 的总织构。此外，用于实现总织构等于或小于 0.03 的畴的宽度优选等于或小于 28 μm ，并且用于实现总织构等于或小于 0.02 的畴的宽度优选等于或小于 22 μm 。

现在，详细描述透射效率。

首先描述 LCD 的透射效率。与其它 LCD 不同，多畴 VA 模式 LCD，如 PVA 模式 LCD，具有较差的透射特性，原因在于液晶的不稳定排列产生的所谓的电刷(brush)或织构。PVA 模式 LCD 的透射率由各种因素决定，如开口率(aperture ratio)以及切口的形状。

PVA 模式 LCD 的光损失的因素分为三类，如表 3 所示。

表 3

光损失的因素	具体的成因	说明
第一因素	开口率 滤色片 吸收 偏振片	它由机械的原因造成，如由金属布线如黑矩阵或存储电极布线导致的吸收、由高折射材料如 ITO 和 SiNx 导致的反射、以及由偏振片和滤色片导致的吸收。但是，前偏振片的吸收和 ITO 的切口的区域不包含在第一因素之内。因为前偏振片的吸收涉及液晶的

		$\Delta n d$ 等，难以认为是第一因素。另外，因为 ITO 的切口的区域也透光，所以它成为开口区域的一部分。
第二因素	Δn 单元间隙 驱动电压	它涉及电光效应，尤其涉及光经历的有效 $\Delta n d$ 。 $\Delta n d$ 和驱动电压包含在相同因素中，因为根据施加的电压，光经历 $\Delta n d$ 。特别是，因为驱动电压在切口区域上产生作用，所以第二因素正比于包括切口区域的总的平均驱动电压。因此，较宽的切口区域降低平均驱动电压，使得由于第二因素导致的透射率的下降增大，并且第二效率减小。
第三因素	织构	它意味着由不稳定的液晶排列所致的织构或电刷降低了光的亮度。其涉及 PVA 模式 LCD 的畴稳定性。

为了量化分析上述涉及透射率的各种因素，如下定义透射效率：

第一透射效率 = (只有后偏振片的透射亮度) / (光源的亮度)

第二透射效率 = (具有正常偏振片的透射亮度 + 具有反向偏振片的透射亮度) / (只有后偏振片的透射亮度)；

5 第三透射效率 = (具有正常偏振片的透射亮度) / (具有正常偏振片的透射亮度 + 具有反向偏振片的透射亮度)；以及

总透射率 = 第一透射效率 × 第二透射效率 × 第三透射效率。

10 此处，术语“具有正常偏振片”意味着偏振片的透射轴与液晶分子的动作方向成 45°或 135°角，术语“具有反向偏振片”意味着偏振片的透射轴平行于或垂直于液晶分子的动作方向排列。当如同本发明的实施例中那样畴倾斜延伸时，正常偏振片的透射轴平行或垂直于栅极线排列，而反向偏振片的透射轴与栅极线成 45°或 135°角。

图 9 示出依赖于电极距离（即畴的宽度）的第二透射效率，图 10 示出依赖于电极距离（即畴的宽度）的第三透射效率。

15 基于上述对畴的宽度的定义对 21、23、25 和 27 μm 获得的第一至第三效率示于表 4。

表 4

畴的宽度 (μm)	开口率 (%)	第一效率 (%)	第二效率 (%)	第三效率 (%)	总透射率 (%)	相对透射率 (%)
21	38.7	7.25	58.76	90.37	3.85	99.50
23	39.4	7.24	59.61	89.78	3.88	100.30
25	40.0	7.26	59.63	89.21	3.86	99.70
27	40.6	7.23	60.44	88.48	3.87	100.00

表 4 通过只改变畴的宽度而保持切口的宽度获得。显示的开口率与畴的宽度成正比。与畴的宽度的变化无关，第一效率几乎不变，因为金属布线如黑矩阵或存储电极布线、滤色片树脂和后偏振片的吸收、高折射材料如 ITO 和 SiNx 的反射、以及 ITO 切口的面积都近乎相等。第二效率与电光效应有关，尤其与光经历的有效 $\Delta n d$ 有关。因为切口占据的面积随着畴的宽度变小而变大，所以单位面积的平均驱动电压减小，从而增大由第二因素所致的光吸收，由此减小第二效率。相反，因为第三效率意味着由不稳定的液晶排列所致的织构或电刷降低了光的亮度，所以随着畴的宽度变小，织构变小以增大第三效率。结果，与畴的宽度的减小无关，总透射率几乎不改变，因为第二效率减小而第三效率增大。

表 4 中所述的第二和第三效率示于图 9 和 10。参见图 9 和 10，当畴的宽度为 $17\mu\text{m}$ 时，开口率、第一效率、第二效率、第三效率和总效率分别为 37.5%、7.2%、57.8%、91.6% 和 3.84%。因此，响应时间减小到等于或小于 20ms 的值，但不减小亮度。

虽然如上所述地检测了依据畴宽度的响应时间和透射率，但在 PVA 模式 LCD 的情况下，它们还依赖于切口的形状。下面描述依赖于切口形状的响应时间和透射率。

图 11 是曲线图，示出 PVA 模式 LCD 中，作为公共电极切口宽度的函数的响应特性。

表 5 通过测量配置有各公共电极的液晶单元的响应特征而获得，其中公共电极具有宽度（图 3 中的 W2）为 9、11、13 和 $15\mu\text{m}$ 的切口。

表 5

图案宽度 (μm)	9	11	13	15
ON	13.20	14.20	14.50	14.60

OFF	7.80	7.60	7.90	8.00
ON +OFF	21.00	21.80	22.40	22.60

参见图 5，随着切口的宽度变窄，响应时间变短。这是因为，切口的减小的宽度增大了电极的面积，从而增强了施加到液晶分子上的电场。更具体地，虽然在 OFF 时间上没有改进，但随着切口的宽度变窄，ON 时间变短。图 11 表示了表 5 的结果。参见图 11，当切口的宽度等于或小于 5 μm 时，获得等于或小于 20ms 的响应时间。

同时，用于产生边缘电场的切口宽度满足下列关系：

$$(\text{切口的宽度}) / (\text{液晶层的单元间隙}) \geq 1.0$$

接下来描述依据切口宽度的透射率。

图 12 是曲线图，示出 PVA 模式 LCD 中，作为公共电极的切口宽度的函数的透射率。

表 6 通过测量配置有各公共电极的液晶单元的响应特性而获得，其中公共电极具有宽度（图 3 中的 W2）为 9、11、13 和 15 μm 的切口。

表 6

畴的宽度 (μm)	开口率 (%)	透射率 (%)	相对透射率 (%)
9	41.9	3.83	108.81
11	39.4	3.80	107.95
13	37.3	3.65	103.69
15	35.6	3.52	100.00

参见表 6，开口率和透射率随着畴的宽度变窄而增大。图 11 表示表 6 的结果。参见图 12，当畴的宽度等于 5 μm 时透射率增大约 16%。

虽然上述实例中的测量通过改变公共电极切口的宽度而进行，但当改变像素电极的切口宽度时可以获得类似的结果。

此外，当用电介质突起代替作为畴分割件的切口时，可以获得类似的结果。

如上所述，通过调节畴的宽度改进了响应时间，并且通过调节切口的宽度改善了响应时间和透射率。

下面，详细描述制造根据本发明一实施例的具有上述结构和优点的 TFT 阵列板的方法。

首先，参考图 13 至 17 描述利用五道光掩模的制造方法。

首先, 参见图 13 至 17, 将描述利用五道光掩模的方法。

如图 13 所示, 在基底 110 上沉积优选由具有良好的物理和化学特性的 Cr 或 Mo 合金制成的第一栅极布线层 211、231 和 251、以及优选由具有低电阻率的 Al 或 Ag 合金制成的第二栅极布线层 212、232 和 252, 并对其构图以形成包括多条栅极线 121、多个栅电极 123 和多个栅极垫 125 并基本上在横向方向上延伸的栅极布线。此时, 虽然未示出, 但还形成存储电极布线 (第一掩模)。

对于 Mo 合金的第一栅极布线层 211、231 和 251、以及 Ag 合金的第二栅极布线层 212、232 和 252, 用对于 Al 合金的蚀刻剂蚀刻这两层, 该蚀刻剂例如为磷酸、硝酸、醋酸和去离子水的混合物。由此, 通过利用单次蚀刻过程完成包含双层的栅极布线 121、123 和 125 的形成。因为磷酸、硝酸、醋酸和去离子水混合物对于 Ag 合金的蚀刻速率高于对于 Mo 合金的蚀刻速率, 所以可以获得栅极布线所需的 30° 的斜角。

接下来, 如图 14 所示, 顺序沉积三层, 即优选由 SiN_x 制成的栅极绝缘层 140、非晶硅层和掺杂的非晶硅层, 并一起光刻-蚀刻(photo-etch)该非晶硅层和掺杂的非晶硅层, 从而与栅电极 123 相对地在栅极绝缘层 140 上形成半导体层 151 和欧姆接触层 160 (第二掩模)。

随后, 如图 15 所示, 沉积优选由 Cr 或 Mo 合金制成的第一数据布线层 711、731、751 和 791 和优选由 Al 或 Ag 合金制成的第二数据布线层 712、732、752 和 792, 并对其进行光刻-蚀刻, 从而形成数据布线。数据布线包括多条与栅极线 121 交叉的数据线 171、多个连接数据线 171 并延伸到栅电极 121 上的多个源电极 173、多个连接到数据线 171 的一端的数据垫 179、以及多个与源电极 173 隔开并关于栅电极 121 与源电极 173 相对的漏电极 175 (第三掩模)。

之后, 蚀刻掺杂非晶硅层图案 160 的未被数据布线 171、173、175 和 179 覆盖的部分, 从而把掺杂非晶硅层图案 160 分成彼此关于栅电极 123 相对的两部分 163 和 165, 暴露半导体图案 151 的在掺杂非晶硅层两部分 163 和 165 之间的部分。优选进行氧等离子体处理, 以稳定半导体层 151 的暴露表面。

接下来, 如图 16 所示, 通过以化学气相沉积 (“CVD”) 生长 a-Si:C:O 膜或 a-Si:O:F 膜、通过沉积无机绝缘膜如 SiN_x 、或通过涂覆有机绝缘膜如丙

烯基材料形成钝化层 180。a-Si:C:O 膜的沉积通过利用气态的 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 等作为基础源、并流动如 N_2O 和 O_2 的氧化剂与 Ar 或 He 的气体混合物来进行。a-Si:O:F 膜的沉积在 O_2 和 SiH_4 、 SiF_4 等的气体混合物的流动中进行。可以加入 CF_4 作为辅助氟源(第二掩模)。

- 5 钝化层 180 和栅极绝缘层 140 一起用光刻蚀刻工艺构图,从而形成暴露栅极垫 125、漏电极 175 和数据垫 179 的多个接触孔 181、182 和 183。此处,接触孔 181、182 和 183 的平面形状为多边形或圆形。优选的是,暴露垫 125 和 179 的每个接触孔 181 和 183 的面积等于或大于 $0.5\text{mm} \times 15\mu\text{m}$ 并等于或小于 $2\text{mm} \times 60\mu\text{m}$ 。虽然未示出,但在此步骤中还形成多个用于将存储桥与存储电极线和存储电极接触的接触孔。
- 10

- 最后,如图 17 所示,沉积 ITO 层或 IZO 层,并对其进行光刻-蚀刻,从而形成多个像素电极 190、多个辅助栅极垫 95 和多个辅助数据垫 97。每个像素电极 190 经第一接触孔 181 连接到漏电极 175,每个辅助栅极垫 95 和辅助数据垫 97 经第二和第三接触孔 182 和 183 连接到栅极垫 95 和数据垫 97。
- 15 优选在沉积 ITO 或 IZO 之前进行利用氮气的预热过程。这是防止在金属层的经接触孔 181、182 和 183 暴露的部分上形成金属氧化物所需的。虽然图中未示出,但在此步骤中还形成多个存储桥,并且设计光掩模,使得像素电极 190 的切口关于数据线 171 具有反对称性(第五掩模)。

- 下面将描述根据本发明一实施例的利用四道光掩模制造 TFT 阵列板的方法。
- 20

图 18A 和 18B 至图 26A 和 26B 是 LCD 的 TFT 阵列板的剖视图,依次示出采用四道掩模的其制造方法的步骤。

- 首先,如图 18A 和 18B 所示,与第一实施例类似,在基底 110 上沉积第一栅极布线层 211、231 和 251、以及第二栅极布线层 212、232 和 252,并对其进行构图,以形成包括多个栅极线 121、多个栅电极 123 和多个栅极垫 125 的栅极布线、以及存储电极布线,其中第一栅极布线层优选由具有良好的物理和化学特性的 Cr 或 Mo 合金制成,第二栅极布线层优选由具有低电阻率的 Al 或 Ag 合金制成(第一掩模)。
- 25

- 接下来,如图 19A 和 19B 所示,通过 CVD 法依次沉积 SiN_x 栅极绝缘层 140、半导体层 150 和接触层 160,以至于层 30、40 和 50 的厚度分别为 1500-5000 埃、500-2000 埃和 300-600 埃。通过溅射沉积优选由 Cr 或 Mo 合
- 30

金制成的第一导电膜 701 和优选由 Al 或 Ag 合金制成的第二导电膜 702, 以形成导电层 170。之后, 在其上涂覆厚度为 1-2 微米的光致抗蚀剂膜 PR。

随后, 光致抗蚀剂膜 PR 通过掩模曝光, 并被显影, 以形成光致抗蚀剂图案 PR2 和 PR1, 如图 20A 和 20B 所示。建立光致抗蚀剂图案 PR2 和 PR1 的第二部分 PR2, 该部分位于源电极和漏电极 173 和 175 之间的 TFT 的沟道区 C 上, 其厚度小于形成数据布线的数据区 A 上的第一部分 PR1 的。去除光致抗蚀剂膜的在剩余区 B 上的部分。在以下将要说明的蚀刻步骤中, 根据蚀刻条件调节沟道区 C 上第二部分 PR2 与数据区 A 上第一部分 PR1 的厚度比。优选的是, 第二部分 PR2 的厚度等于或小于第一部分 PR1 厚度的一半, 特别是等于或小于 4000 埃。

通过几种技术获得光致抗蚀剂膜的与位置有关的厚度。为了调节区 C 中的曝光量, 在掩模上设置狭缝图案、栅格图案或半透膜。

当利用狭缝图案时, 优选的是, 狭缝间的部分的宽度或所述部分之间的距离 - 即狭缝的宽度 - 小于用于光刻的曝光机的分辨率。在利用半透膜的情况下, 可以用具有不同透射率或不同厚度的薄膜来调节掩模的透射率。

当用光束经这样的掩模照射光致抗蚀剂膜时, 直接曝光部分的聚合物几乎完全分解, 面对狭缝图案或半透膜的部分的聚合物由于较小的曝光量而不完全分解。被遮光膜遮挡的部分的聚合物几乎不分解。光致抗蚀剂膜的显影使得具有未分解的聚合物的部分留下, 并使得暴露于较少光辐射下的部分薄于未经过曝光的部分。此处不需要使曝光时间长到足以分解所有的分子。

利用具有完全透光的透射区和完全阻光的遮光区的普通掩模, 通过在曝光和显影光致抗蚀剂膜之后执行使可回流的光致抗蚀剂膜流入没有光致抗蚀剂膜的区域中的回流过程, 光致抗蚀剂图案的较薄部分 PR2 可以获得。

之后, 蚀刻光致抗蚀剂图案 PR2 和下面的层, 即导电层 170、接触层 150 和半导体层 150, 使得数据布线和下面的层留在数据区 A 上, 在沟道区 C 上只剩下半导体层, 并且从剩余区 B 去除所有的三层 170、160 和 150 以暴露栅极绝缘层 140。

如图 21A 和 21B 所示, 去除区域 B 上导电层 170 的暴露部分以暴露接触层 150 的在其下的部分。在此步骤中, 干蚀刻和湿蚀刻被选择性地采用, 并优选在选择性地蚀刻导电层 170 而几乎不蚀刻光致抗蚀剂图案 PR1 和 PR2 的条件下进行。但是, 能够蚀刻光致抗蚀剂图案 PR1 和 PR2 以及导电层 170

的蚀刻条件将适于干蚀刻，因为很难找到只选择蚀刻导电层 170 而不蚀刻光致抗蚀剂图案 PR1 和 PR2 的条件。在此情况下，第二部分 PR2 应该比湿蚀刻时更厚，以防止其下面的导电层 170 经该蚀刻而暴露。

因此，如图 21A 和 21B 所示，导电层的在沟道区 C 和数据区 A 上的部分 171、173、175 和 179、以及存储电容电极 177 留下，而导电层 170 的在剩余区 B 上的部分被除去，从而暴露接触层 150 的在其下面的部分。剩余导电图案 171、173、175 和 179 基本上具有与数据布线 171、173、175 和 179 相同的形状，除了源电极和漏电极 173 和 175 仍连在一起未分离外。当利用干蚀刻时，光致抗蚀剂图案 PR1 和 PR2 也被蚀刻到预定厚度。

接下来，如图 21A 和 21B 所示，接触层 150 的在区域 B 上的暴露部分以及半导体 150 的在其下面的部分通过干蚀刻而与第二光致抗蚀剂部分 PR2 一起被同时去除。蚀刻优选在光致抗蚀剂图案 PR1 和 PR2、接触层 150 和半导体层 150 同时被蚀刻而栅极绝缘层 140 不被蚀刻的条件下进行。（注意，半导体层和中间层没有蚀刻选择性。）特别是，优选光致抗蚀剂图案 PR1 和 PR2 与半导体层 150 的蚀刻率彼此相等。例如，利用 SF_6 和 HCl 的混合气体或 SF_6 和 O_2 的混合气体蚀刻所述膜和层至基本上相同的厚度。对于光致抗蚀剂图案 PR1 和 PR2 与半导体层 150 的相同蚀刻率，优选第二部分 PR2 的厚度等于或小于半导体层 150 的厚度与接触层 150 的厚度之和。

通过这种方式，如图 22A 和 22B 所示，去除沟道区 C 上的第二部分 PR2 以暴露源/漏导体图案 173 和 175，并除去接触层 150 和半导体层 150 的在区域 B 上的部分以暴露栅极绝缘层 140 的在其下面的部分。同时，还蚀刻数据区 A 上的第一部分 PR1 以具有减小的厚度。在此步骤中，完成半导体图案 151、153 和 157 的形成。在半导体图案 151、153 和 157 上形成接触层 161、163 和 165 以及 169。

然后通过灰化去除留在沟道区 C 上源/漏导体图案 173 和 175 的表面的剩余光致抗蚀剂。

随后，如图 23A 和 23B 所示，蚀刻去除沟道区 C 上源/漏导体图案 173 和 175 的暴露部分、以及源/漏接触层图案 163 和 165 的在下面的部分。可以对源/漏导体图案 173 和 175、以及源/漏接触层图案 163 和 165 实施干蚀刻。或者，对源/漏导体图案 173 和 175 实施湿蚀刻，而对源/漏接触层图案 163 和 165 实施干蚀刻。在前者情况下，优选的是，在大蚀刻选择性下蚀刻导体

图案 173 和 175、以及接触层图案 163 和 165，因为如果不大，则不容易找到蚀刻的终点，进而不容易调节留在沟道区 C 上的半导体图案 151 的厚度。在交替进行干蚀刻和湿蚀刻的后者情况下，受到湿蚀刻的源/漏导体图案 173 和 175 的侧面被蚀刻，而受到干蚀刻的接触层图案 163 和 165 的侧面几乎不被蚀刻，由此获得阶梯状侧面。用于蚀刻导体图案 173 和 175、以及接触层 163 和 165 的蚀刻气体的例子有 CF_4 和 HCl 的混合气体、以及 CF_4 和 O_2 的混合气体。 CF_4 和 O_2 的混合气体给半导体图案 151 留下均匀的厚度。此时，如图 23B 所示，可以去除半导体图案 151 的顶部以使厚度减小，并且蚀刻光致抗蚀剂图案的第一部分 PR1 至预定厚度。在几乎不蚀刻栅极绝缘层 140 的条件下进行蚀刻，并且优选的是，光致抗蚀剂膜较厚，以防止第一部分 PR1 被蚀刻从而暴露下面的数据布线 171、173、175 和 179 以及下面的存储电容电极 177。

这样，源电极和漏电极 173 和 175 彼此分离，同时完成数据布线 171、173、175 和 179、以及下面的接触层图案 161、163 和 165 的形成。

最后，去除数据区 A 上剩余的第一部分 PR1。但是，可以在去除源/漏导体图案 173 和 175 的在沟道区 C 上的部分与去除接触层图案 163 和 165 的在下面的部分之间进行第一部分 PR1 的去除。

如上所述，交替进行干蚀刻和湿蚀刻，或只采用干蚀刻。虽然只使用一种蚀刻的后一方法较简单，但难以找到适当的蚀刻条件。相反，前一方法使得能够找到适当的蚀刻条件，但其相当复杂。

接下来，如图 24A 和 24B 所示，通过以化学气相沉积（“CVD”）生长 a-Si:C:O 膜或 a-Si:O:F 膜、通过沉积无机绝缘膜如 SiN_x 、或通过涂覆有机绝缘膜如丙烯酸材料形成钝化层 180。a-Si:C:O 膜的沉积通过利用气态的 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 等作为基础源、并流动如 N_2O 和 O_2 的氧化剂与 Ar 或 He 的气体混合物来进行。a-Si:O:F 膜的沉积在 O_2 和 SiH_4 、 SiF_4 等的气体混合物的流动中进行。可以加入 CF_4 作为辅助氟源（第二掩模）。

随后，如图 25A 和 25B 所示，钝化层 180 与栅极绝缘层 140 一起被光刻-蚀刻以形成暴露漏电极 175、栅极垫 125 和数据垫 179 以及存储电容电极 177 的多个接触孔 181、182、183 和 184。优选的是，暴露垫 125 和 179 的每个接触孔 181 和 183 的面积等于或大于 $0.5\text{mm} \times 15\mu\text{m}$ 且等于或小于 2mm

× 60μm。虽然未示出，但在此步骤中还形成用于使存储桥与存储电极线和存储电极接触的多个接触孔。(第三掩模)

最后，如图 26A 和 26B 所示，沉积 ITO 层或 IZO 层，并将其光刻-蚀刻成多个像素电极 190、多个辅助栅极垫 95 和多个辅助数据垫 97。每个像素
5 电极 190 连接到漏电极 175 和存储电容电极 177，并且每个辅助栅极垫 95 和辅助数据垫 97 连接到栅极垫 95 和数据垫 97。虽然未示出，但在此步骤中还形成多个存储桥，并且设计光掩模，使得像素电极 190 的切口具有关于数据线 171 的反对称性(第四掩模)。

因为由 IZO 制成的像素电极 190、辅助栅极垫 95 和辅助数据垫 97 通过
10 利用 Cr 蚀刻剂形成，所以可以防止在形成像素电极 190、辅助栅极垫 95 和辅助数据垫 97 的光刻-蚀刻步骤中腐蚀数据布线或栅极布线的经接触孔暴露的部分。此蚀刻剂的例子为 $\text{HNO}_3/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 。优选在室温与约 200℃之间的温度范围内沉积 IZO，以使接触点处的接触电阻最小。优选的是，用于形成 IZO 膜的靶包括 In_2O_3 和 ZnO ，并且其中包含的 ZnO 的量处于
15 15-29at%的范围内。

优选在沉积 ITO 或 IZO 之前进行利用氮气的预热过程。这是防止在金属层的经接触孔 181、182、183 和 184 暴露的部分上形成金属氧化物所需要的。

虽然以上已经详细描述了本发明的优选实施例，但应该清楚地了解，对
20 本领域技术人员而言显然的对此处所教导的基本发明概念的诸多改变和/或变形仍将落入所附权利要求所限定的本发明的主旨和范围内。尤其是，可以对设置在像素电极和参考电极处的切口的布置做多种改型。

上述结构提高了 LCD 的开口率，并减少了图像信号的畸变。

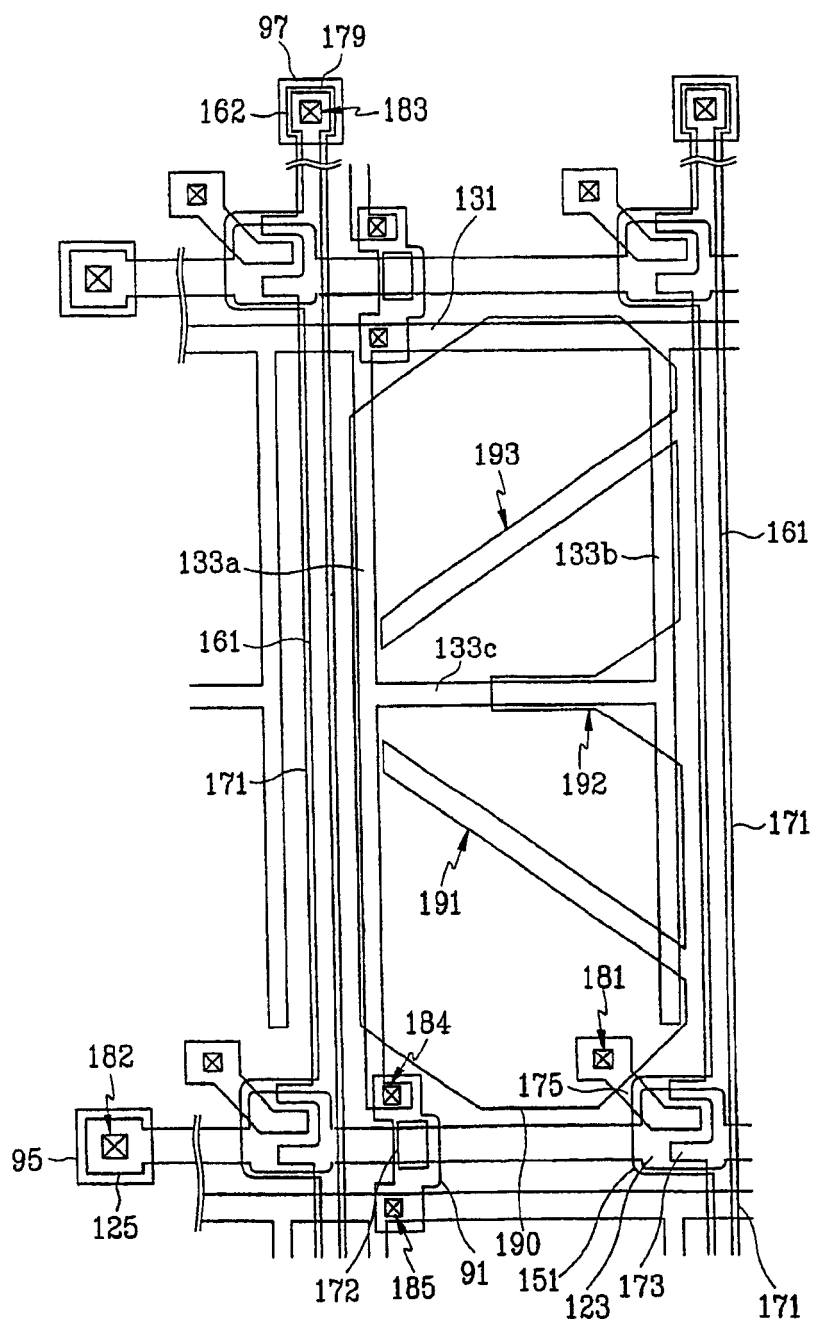


图 1

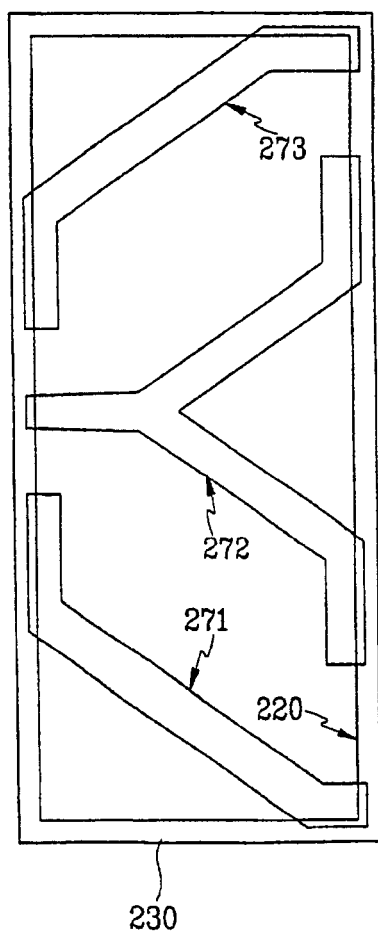


图 2

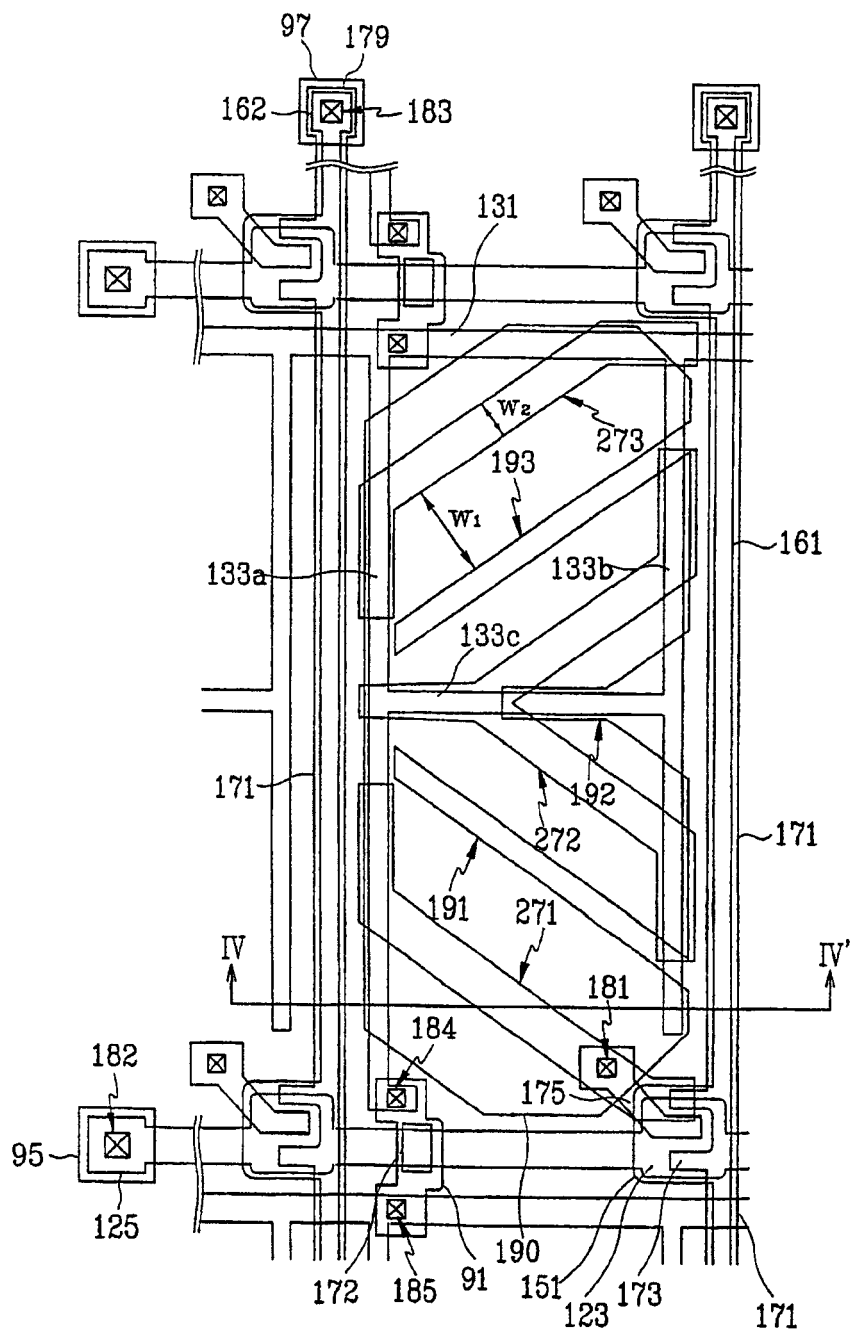


图 3

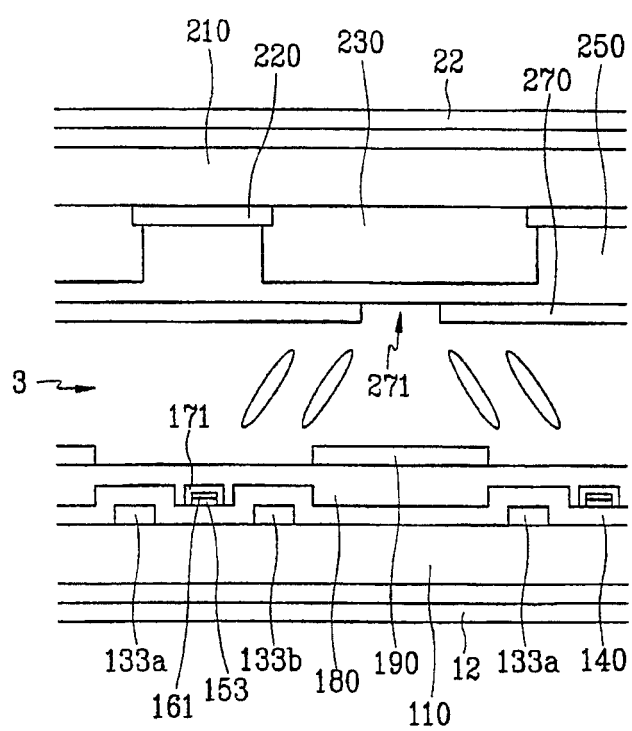


图 4

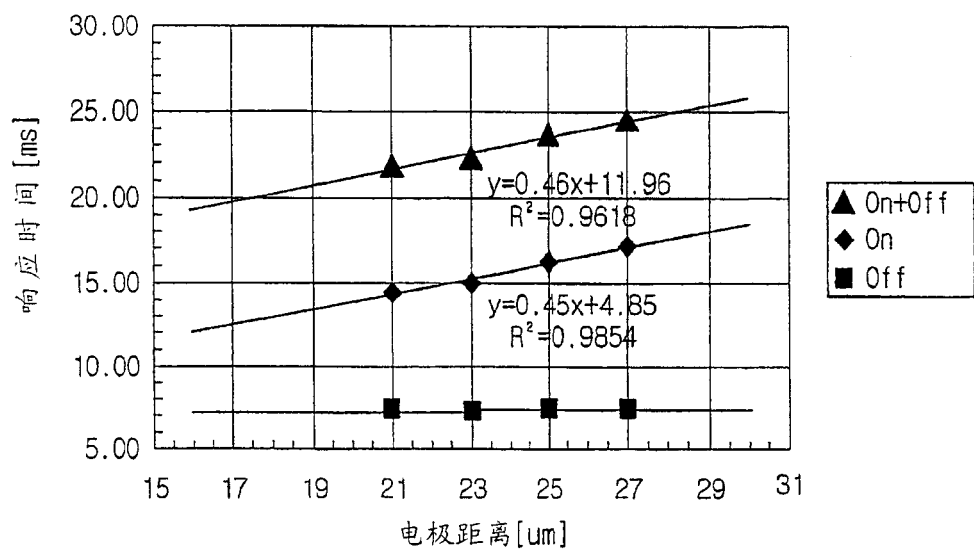


图 5

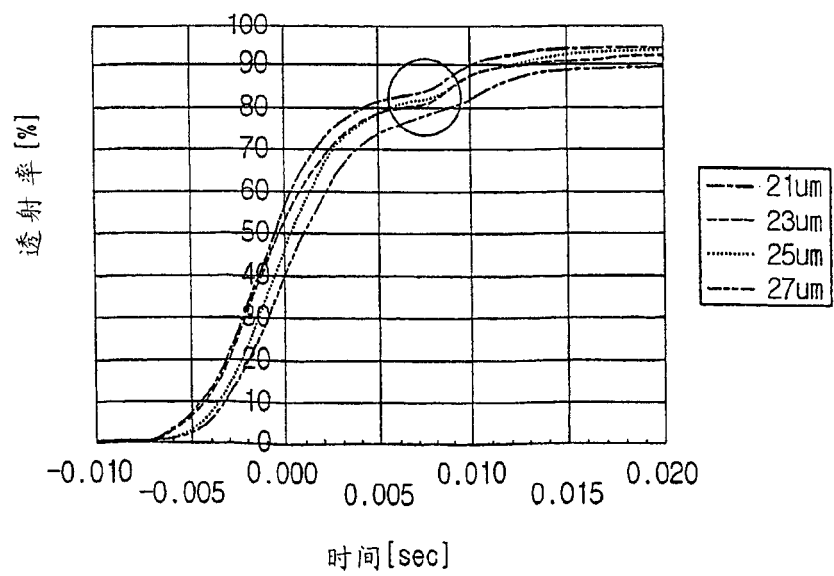


图 6

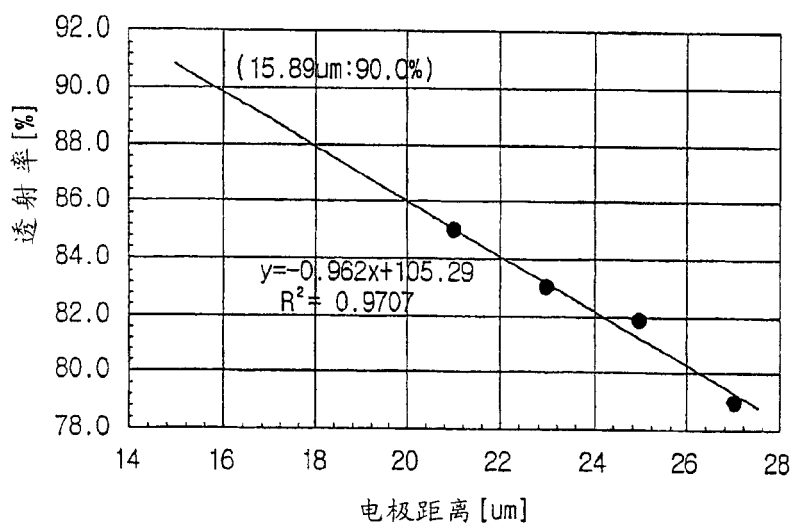


图 7

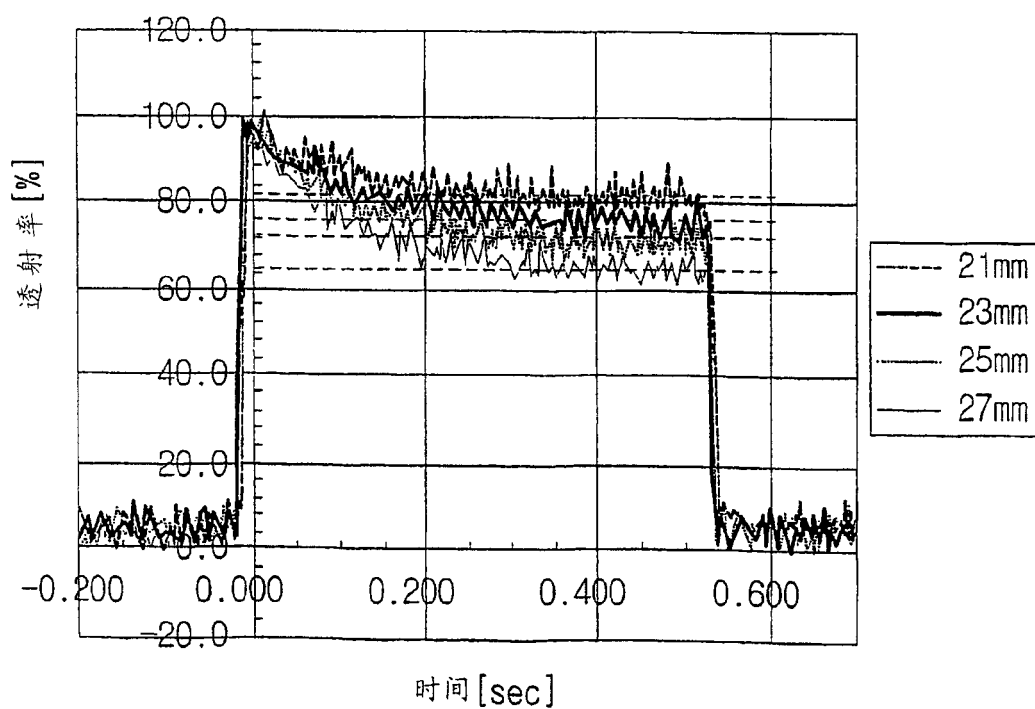


图 8

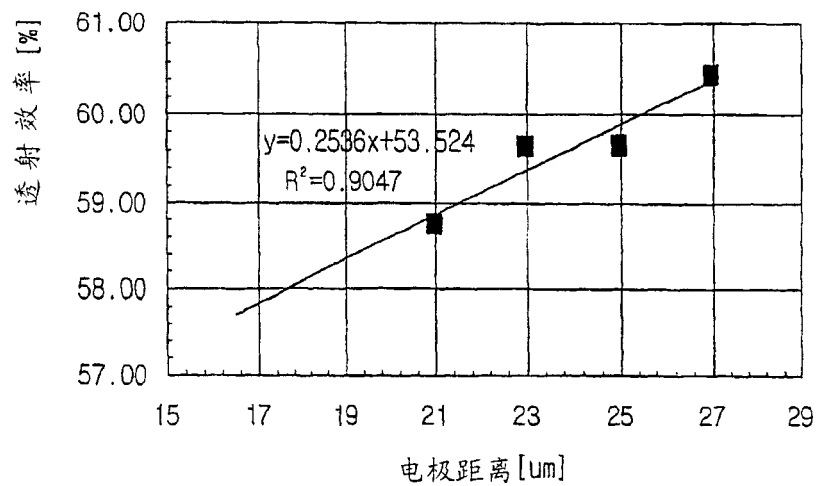


图 9

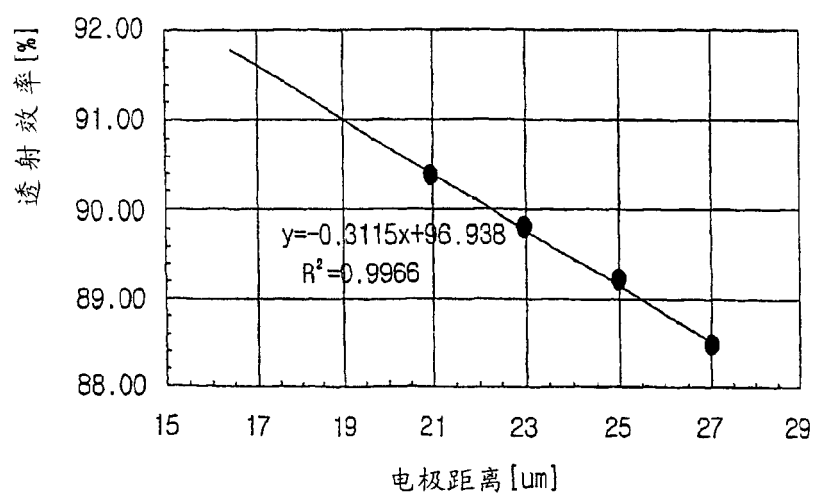


图 10

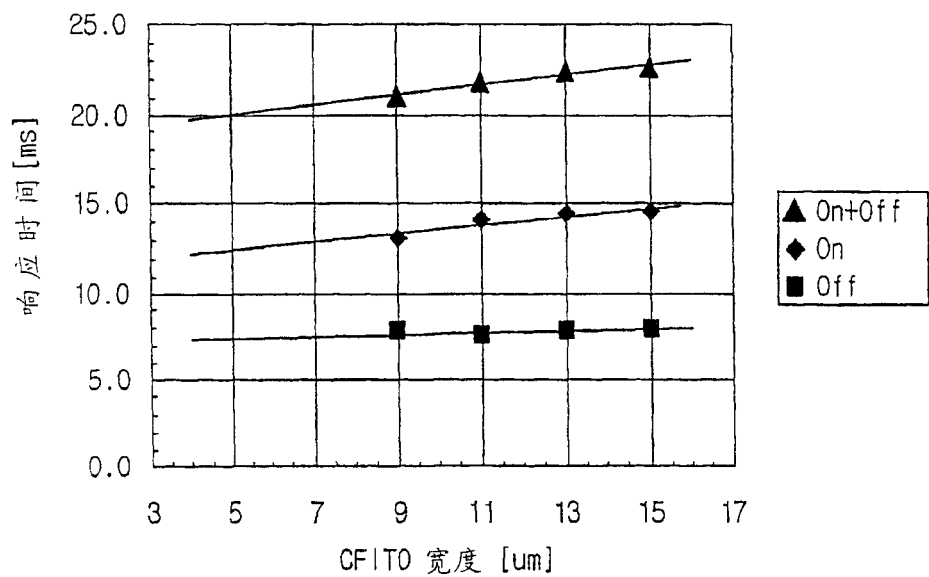


图 11

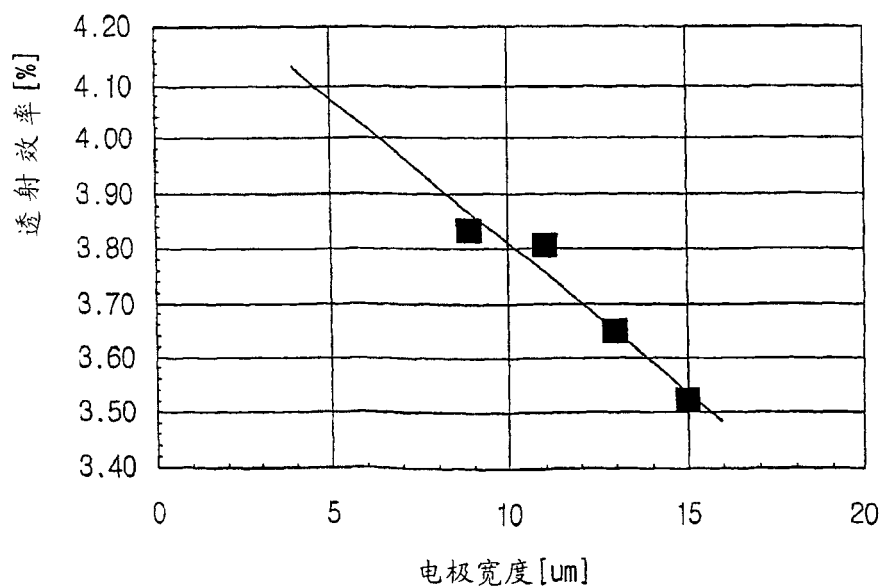


图 12

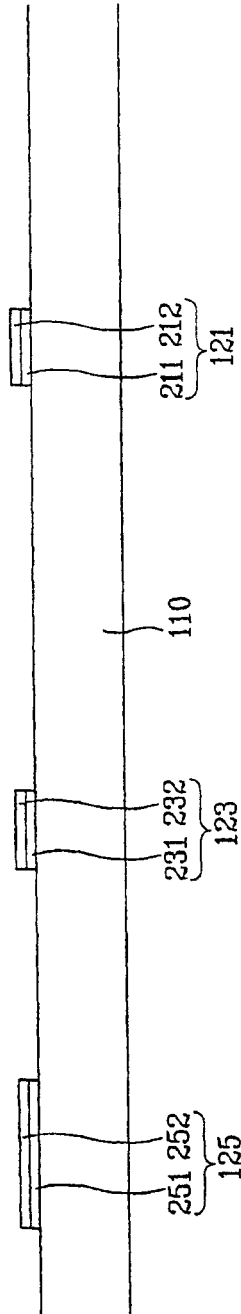


图 13

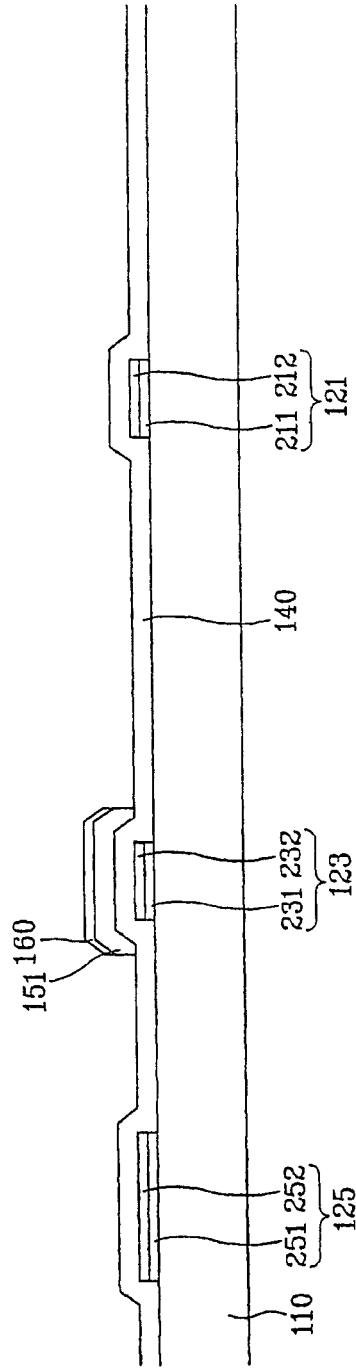


图 14

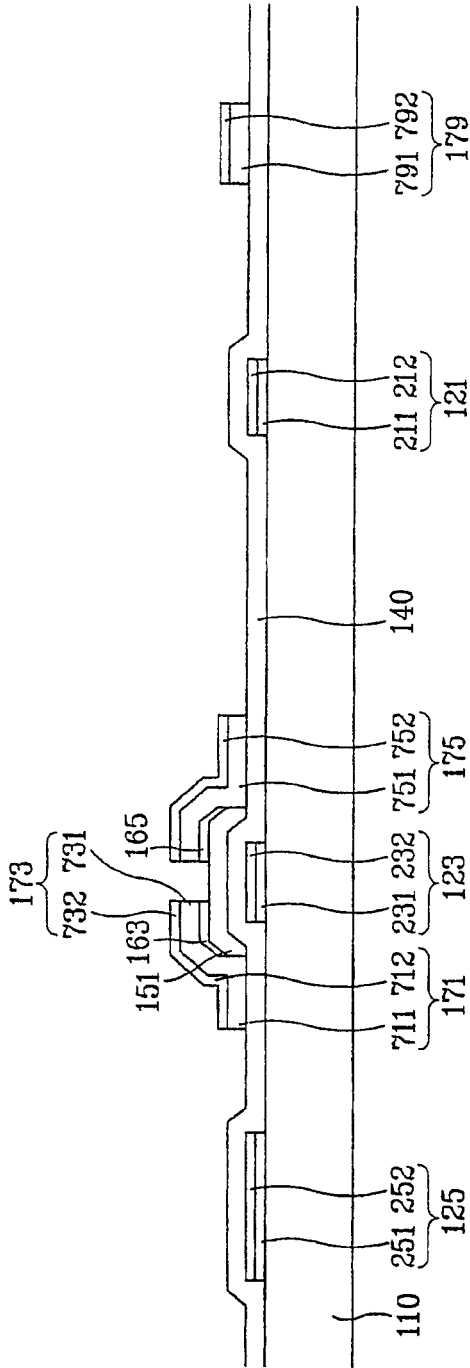


图 15

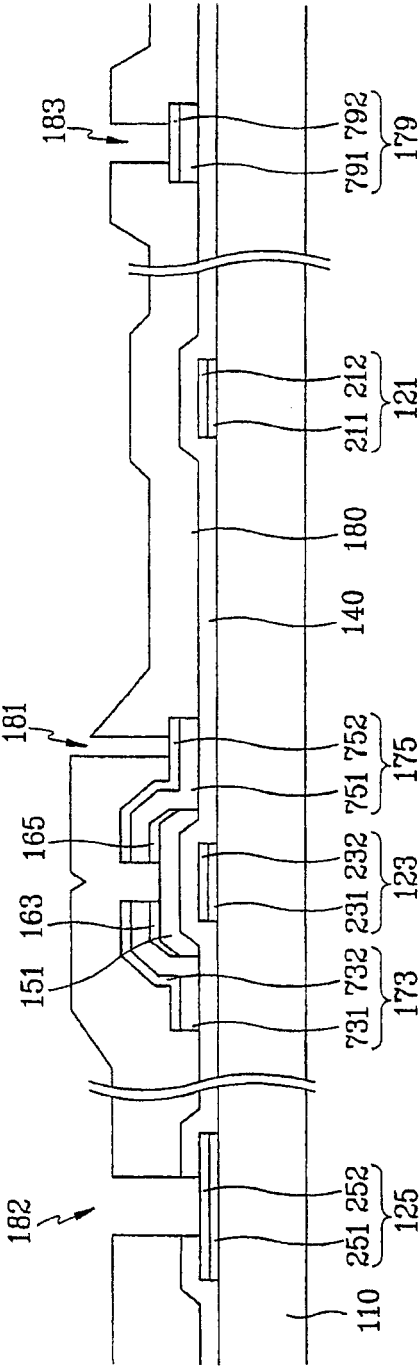


图 16

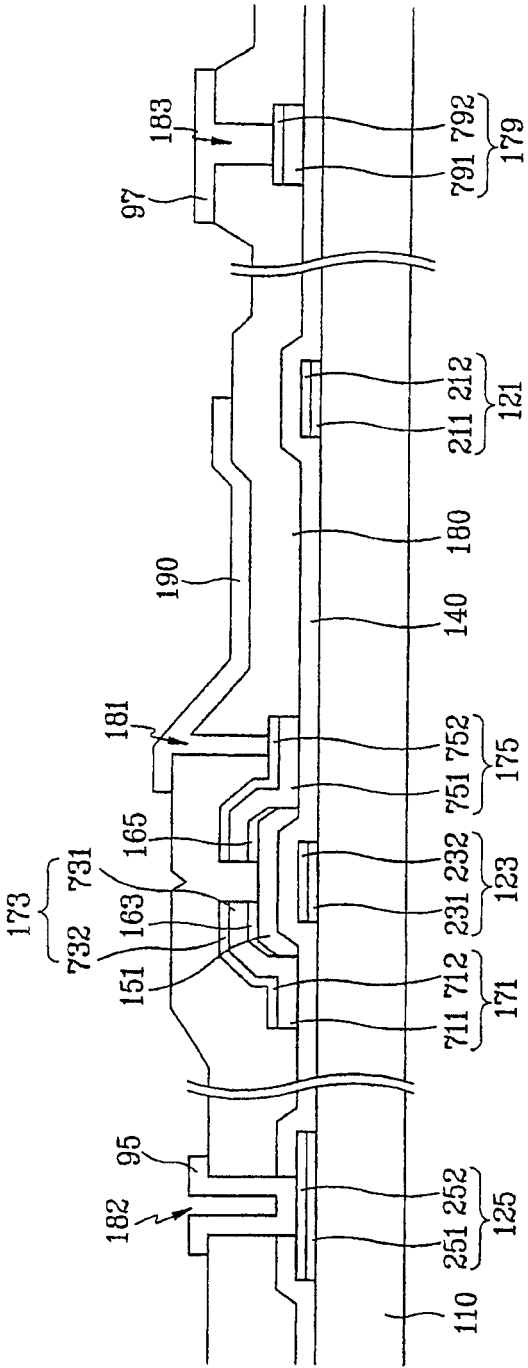


图 17

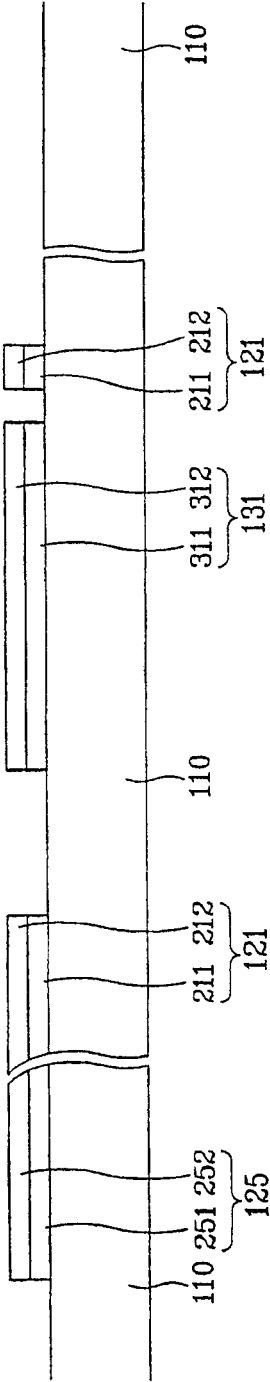


图 18A

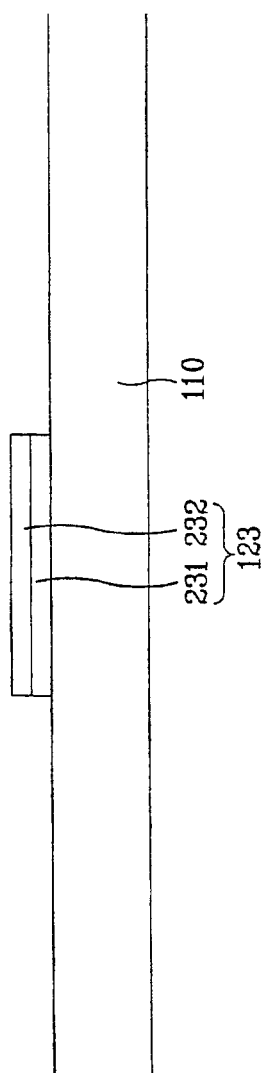


图 18B

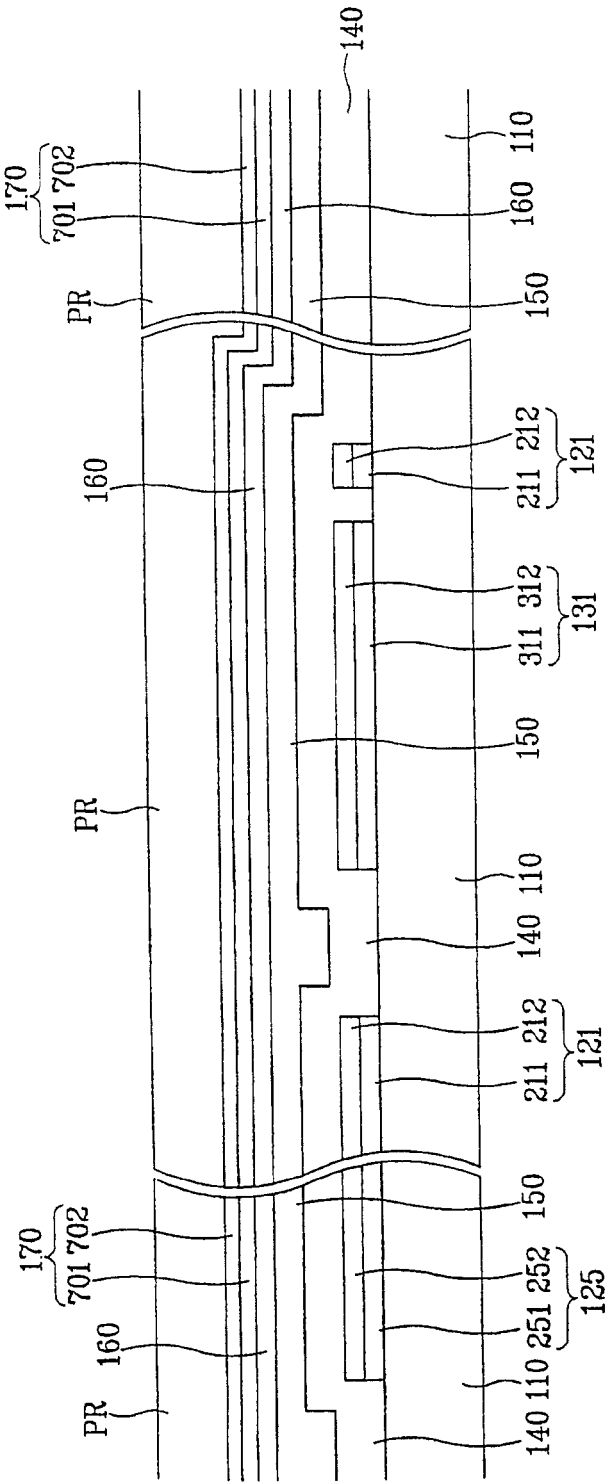


图 19A

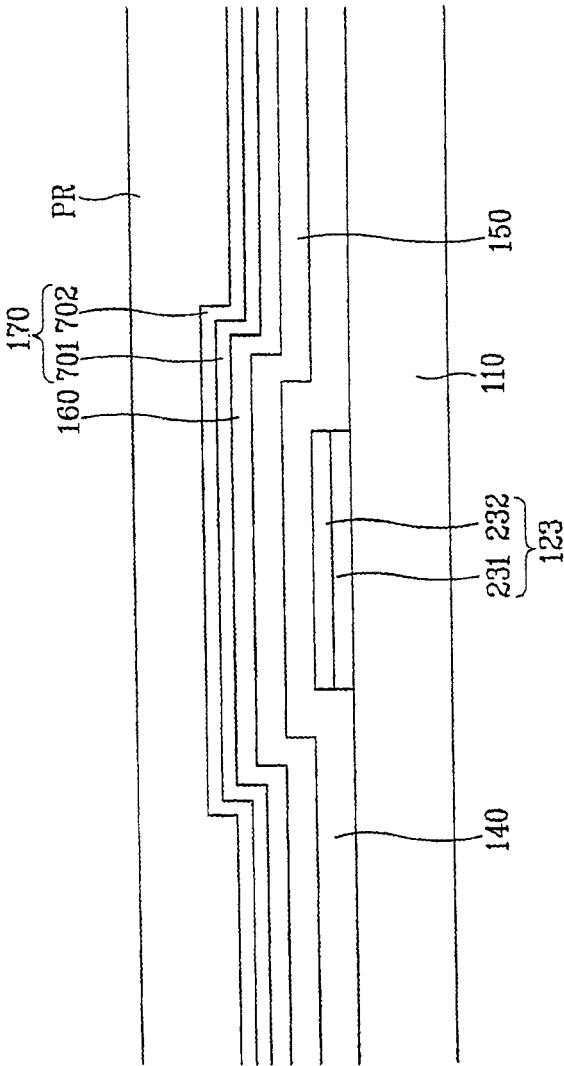


图 19B

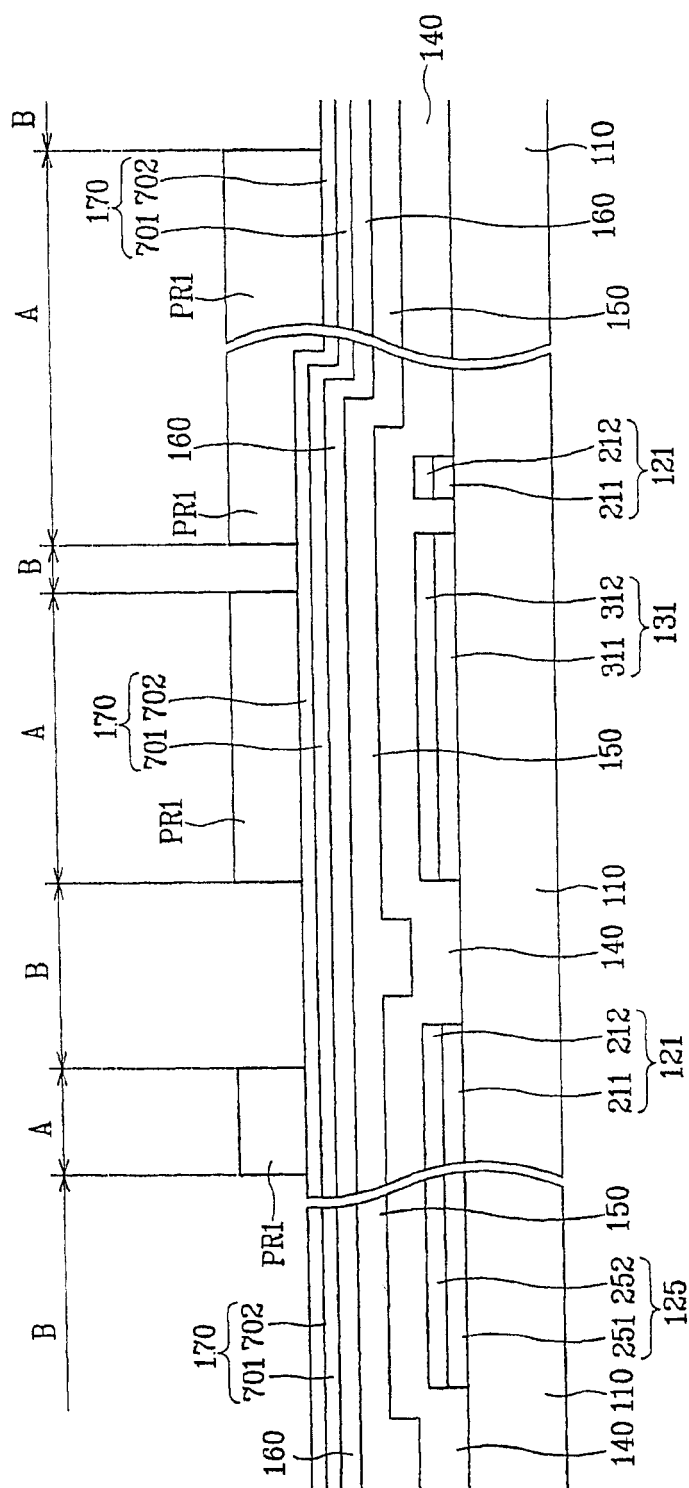


图 20A

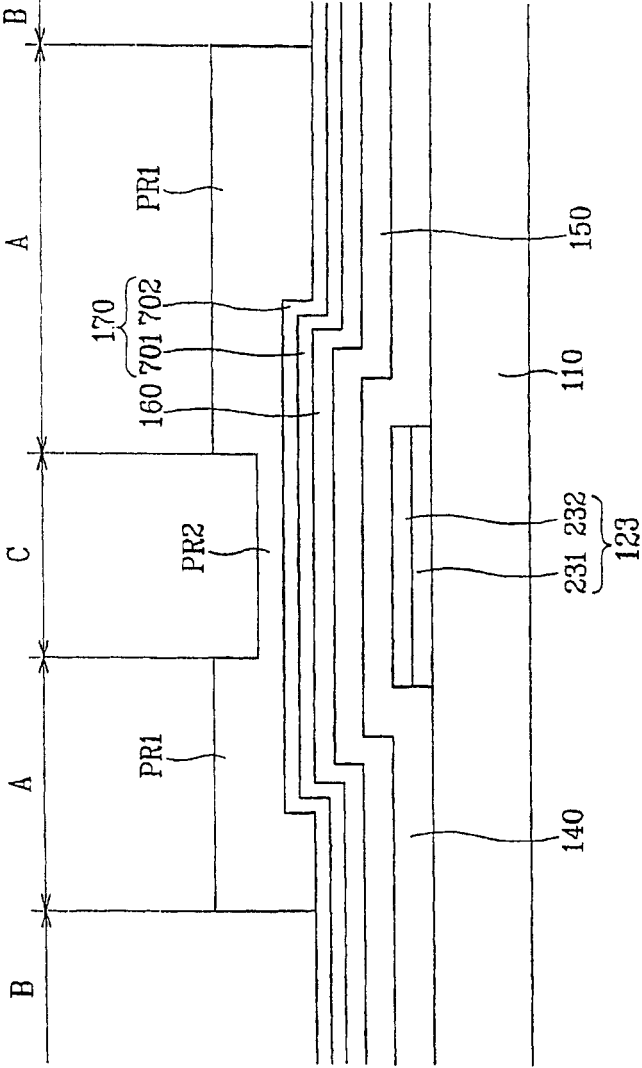
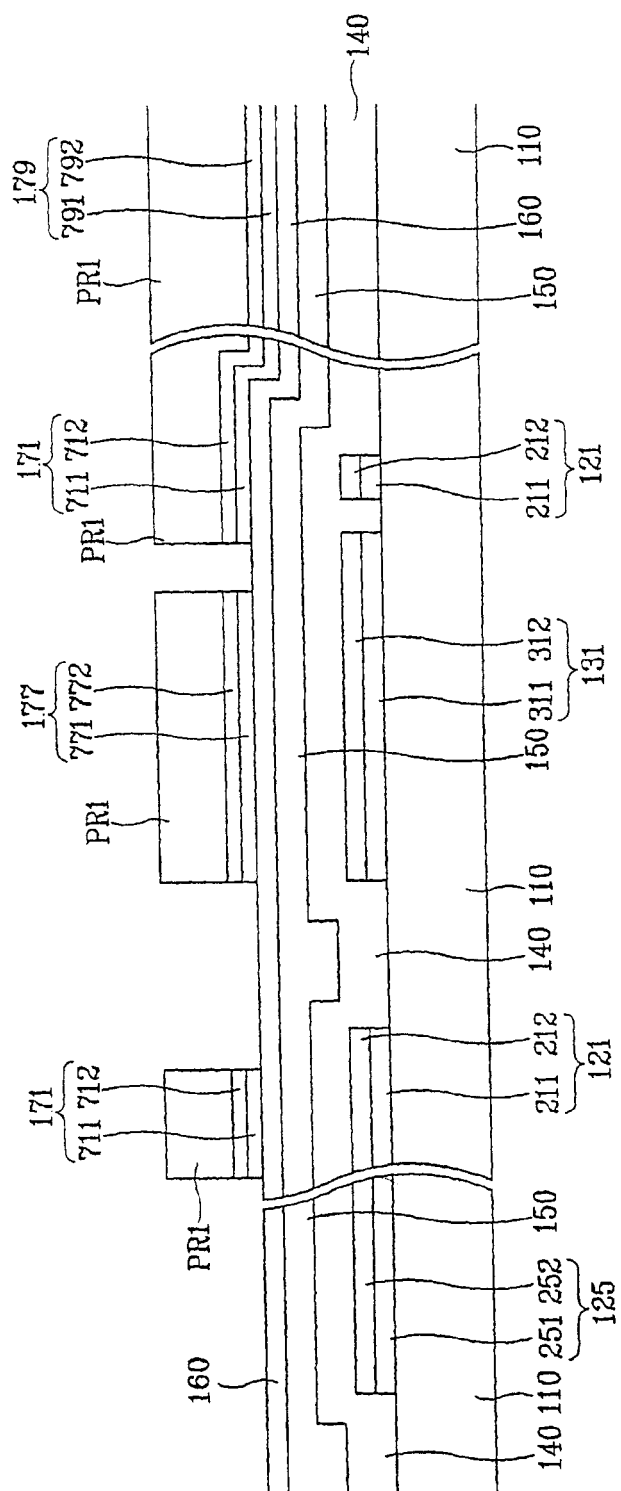


图 20B



21A

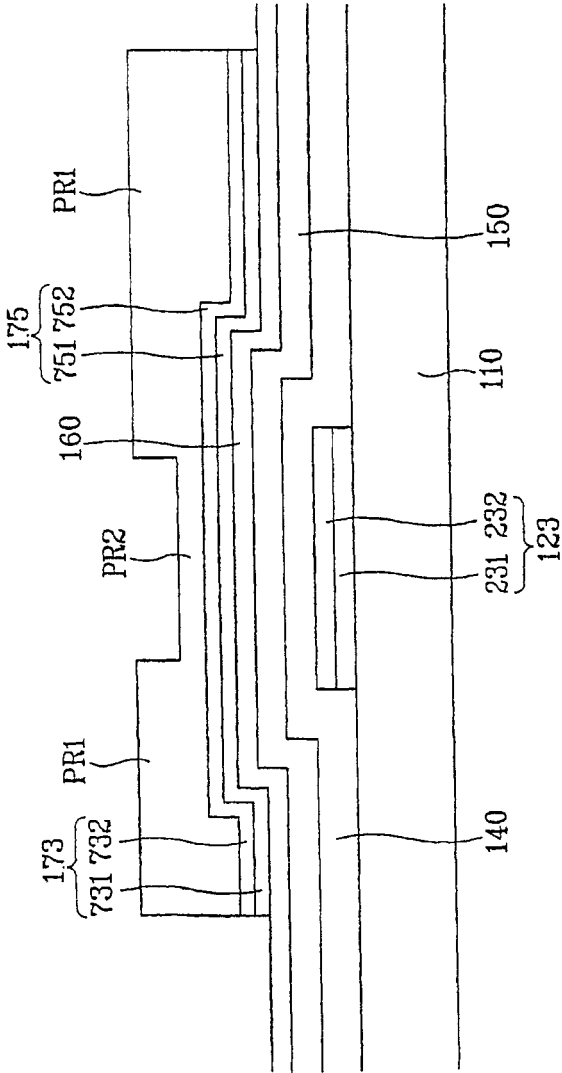


图 21B

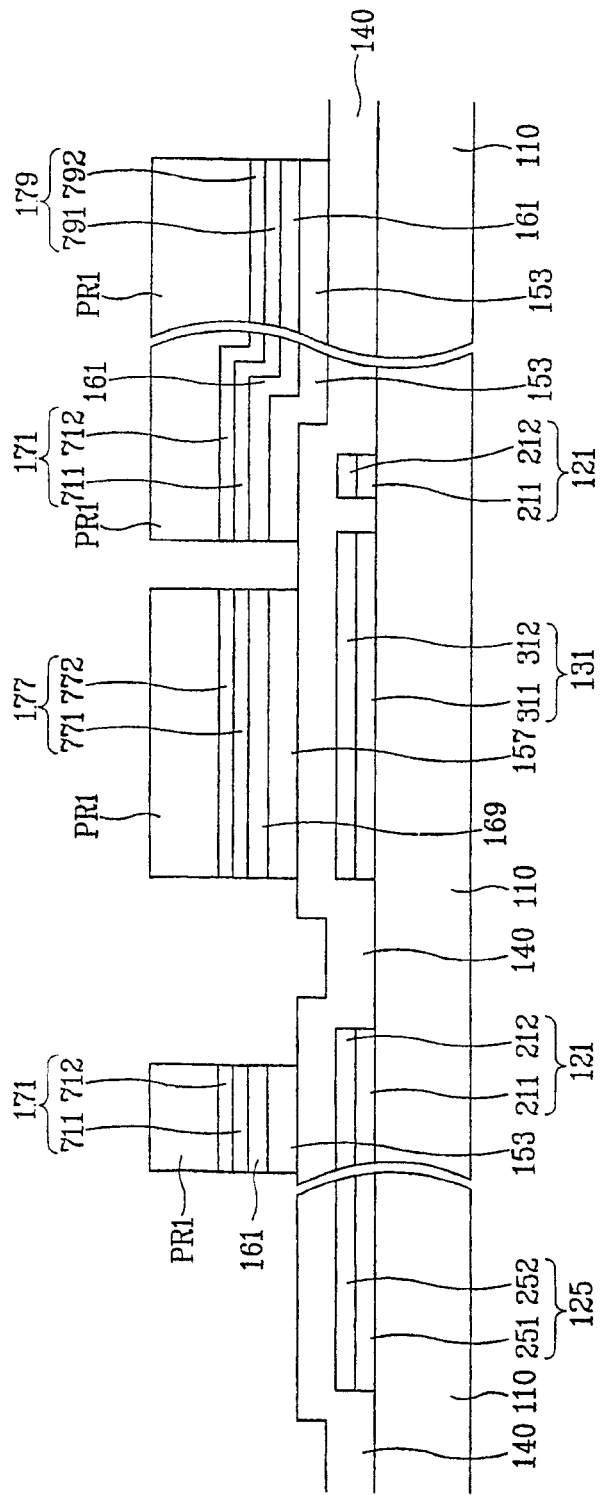


图 22A

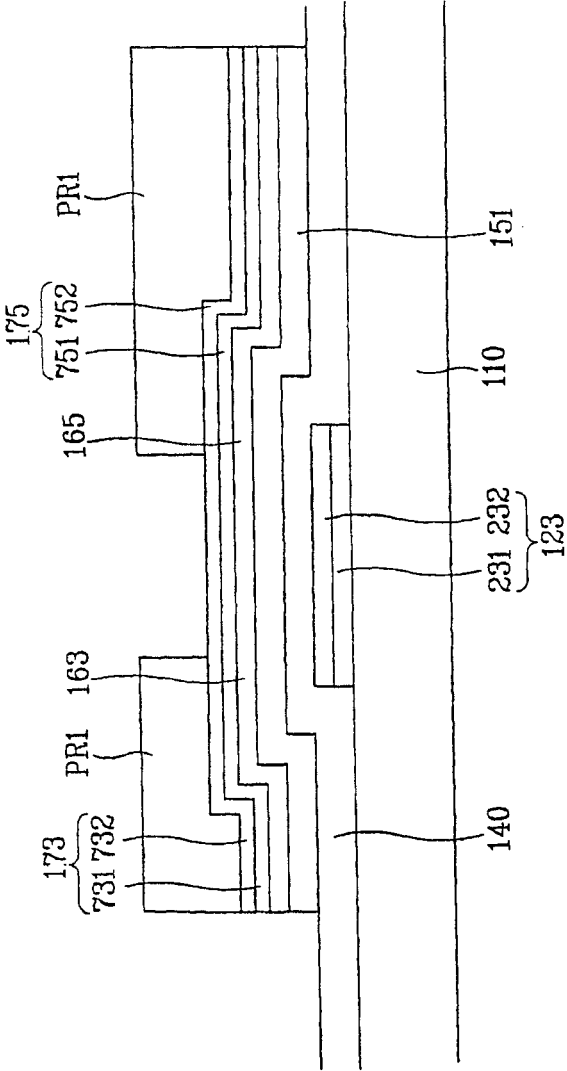


图 22B

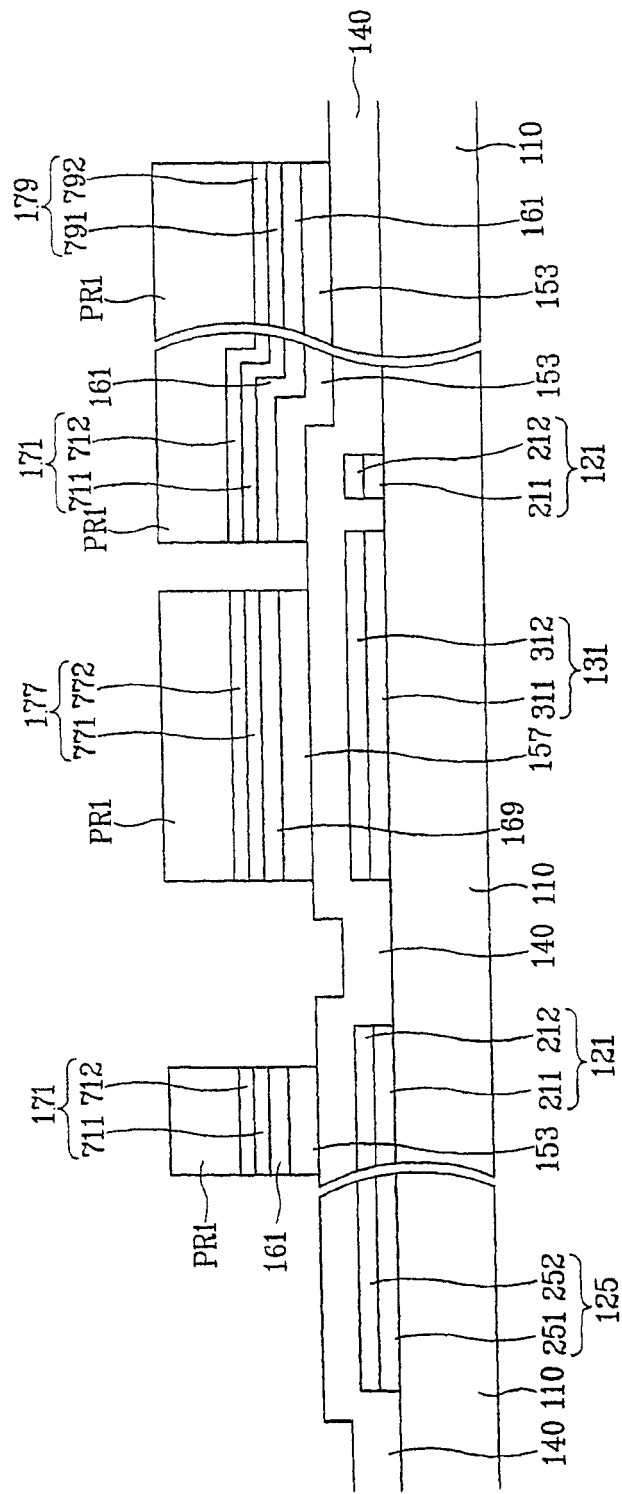


图 23A

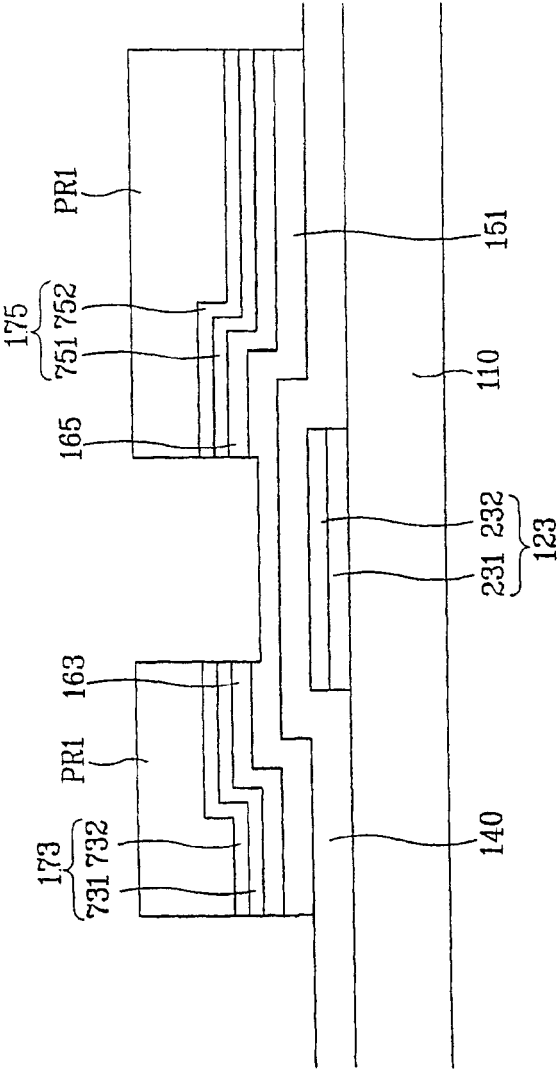


图 23B

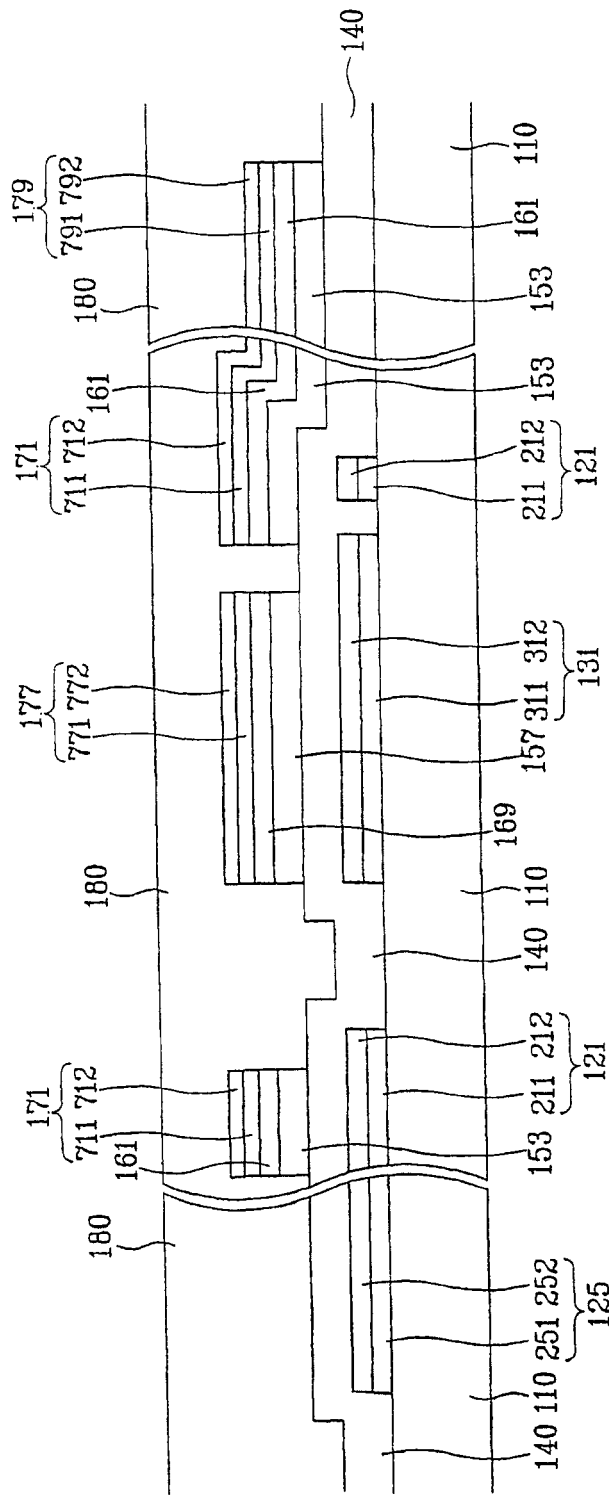


图 24A

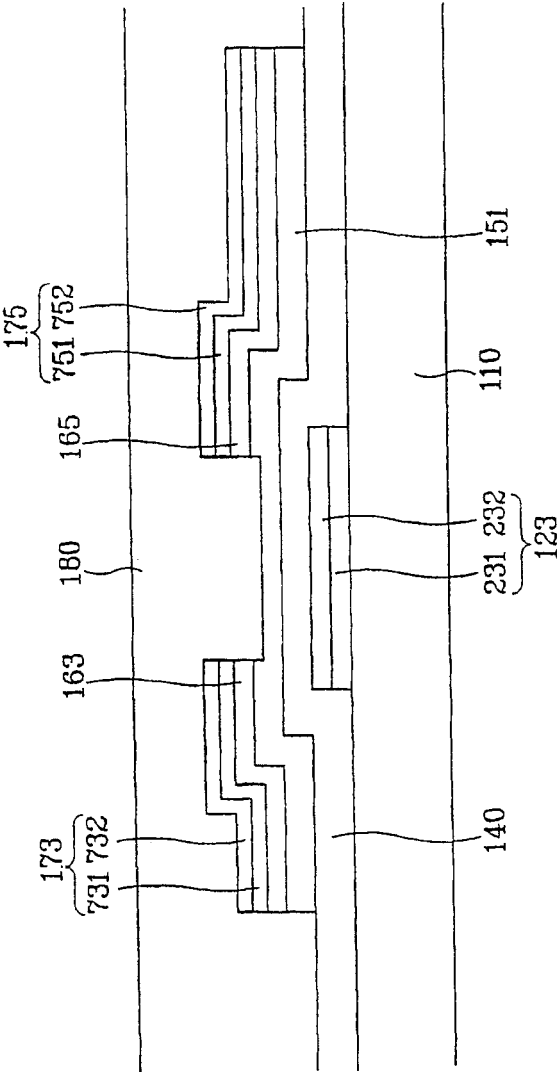


图 24B

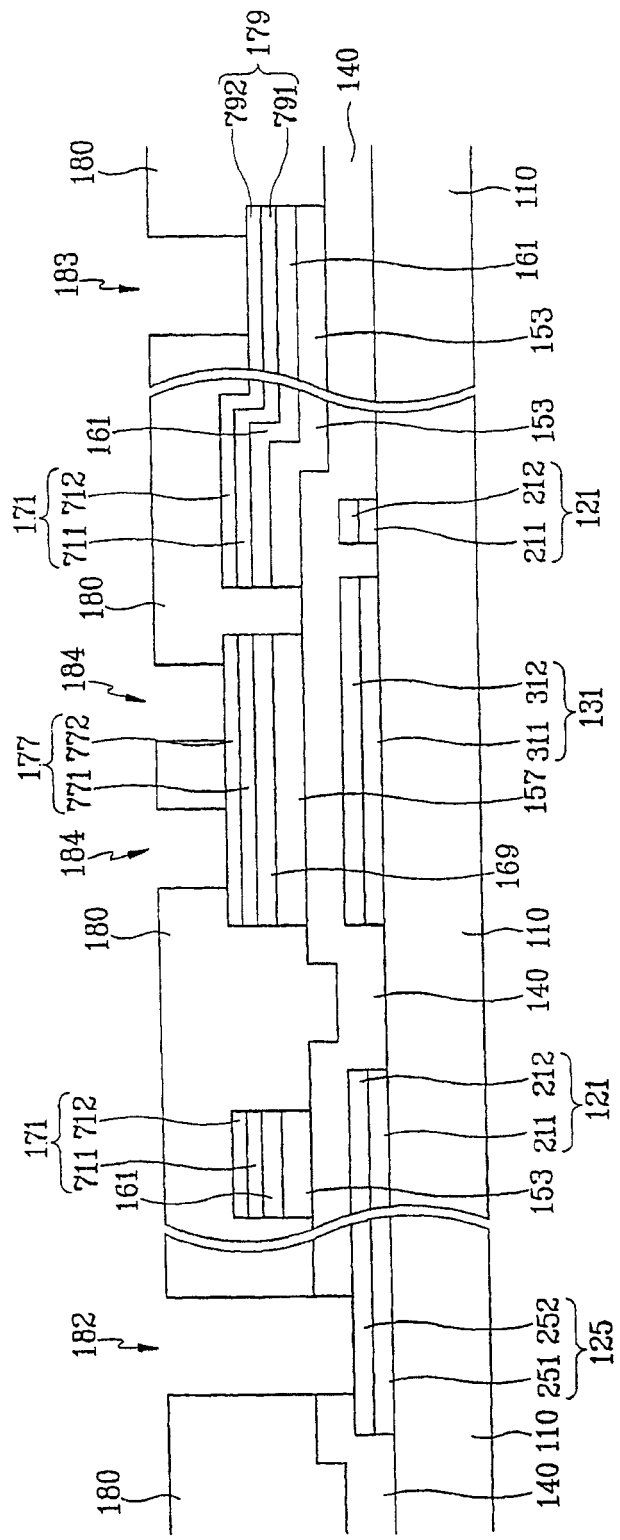


图 25A

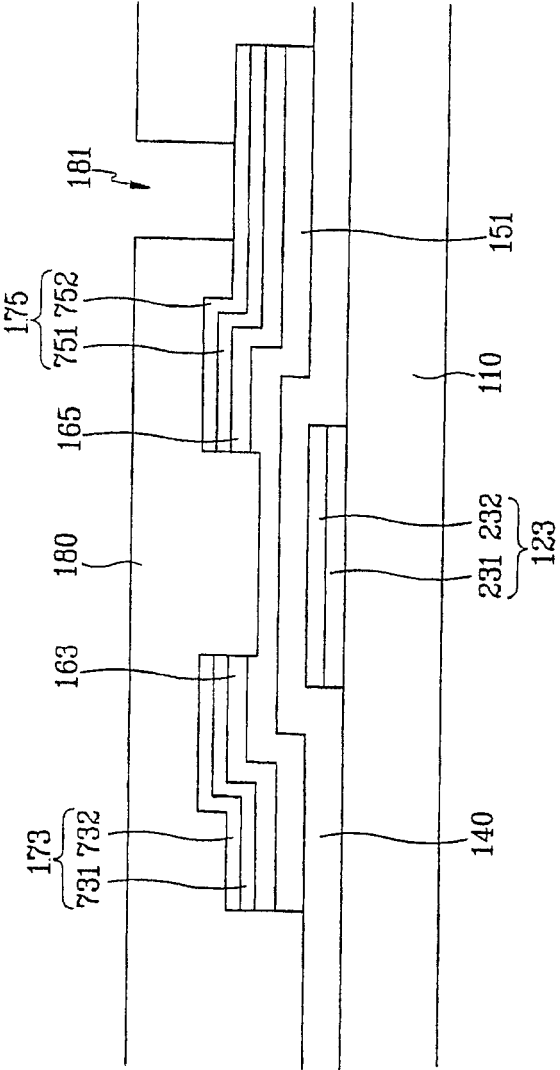


图 25B

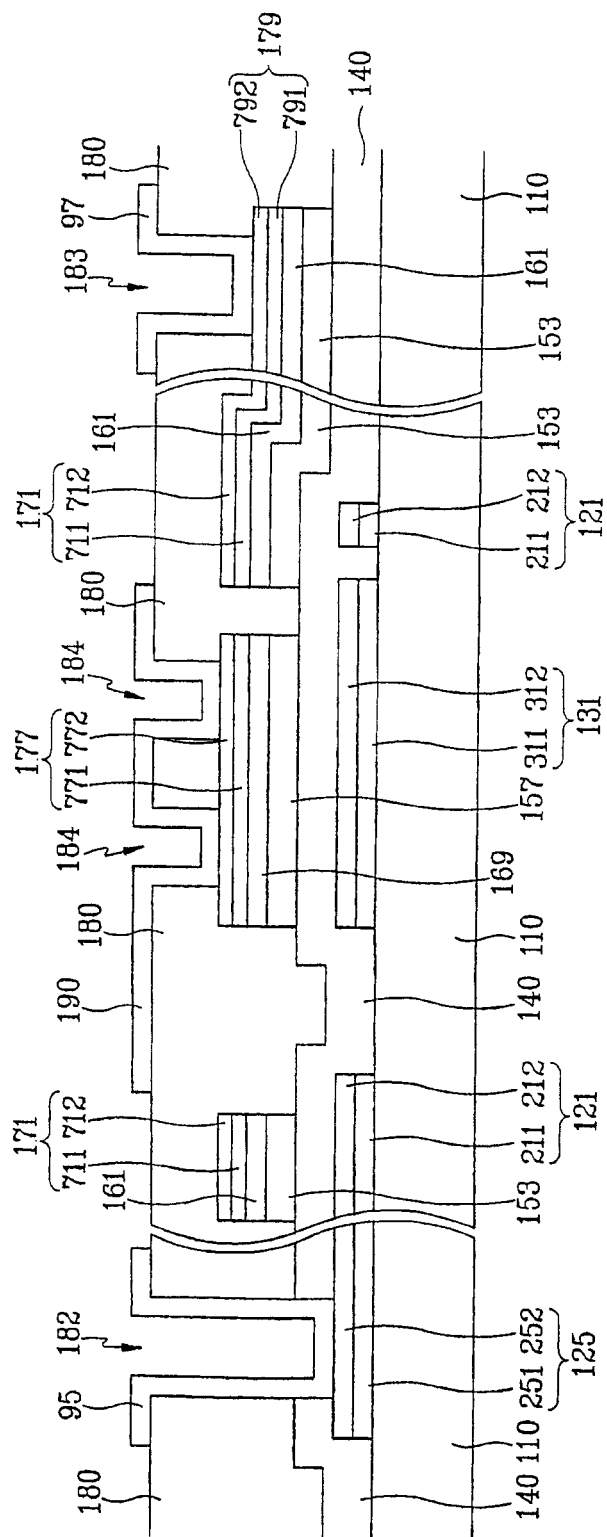


图 26A

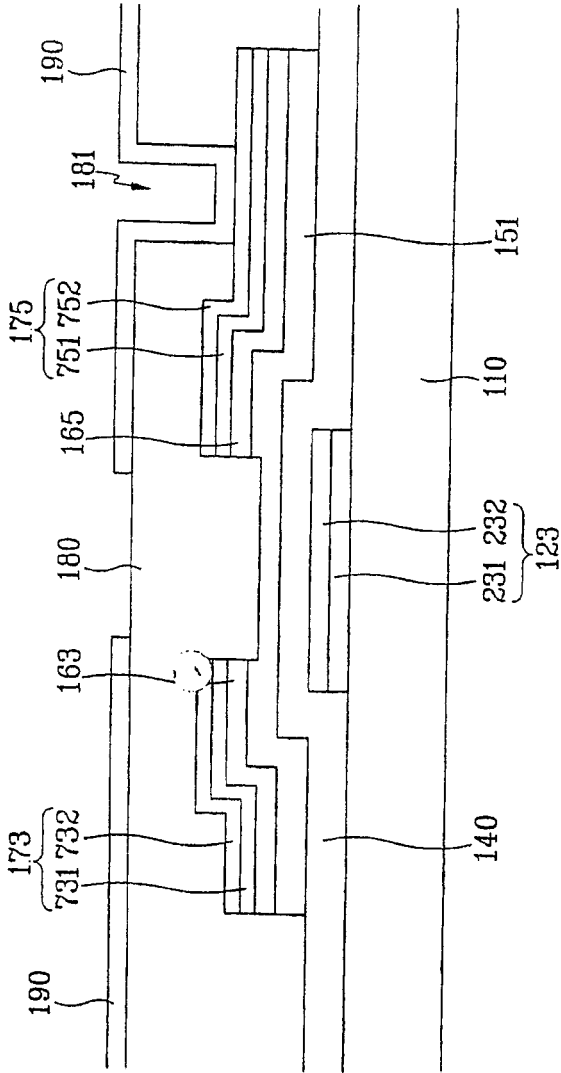


图 26B

专利名称(译)	垂直排列模式液晶显示器		
公开(公告)号	CN1668967A	公开(公告)日	2005-09-14
申请号	CN02829615.X	申请日	2002-09-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔永玫 宋长根 金振润		
发明人	崔永玫 宋长根 金振润		
IPC分类号	G02F1/1337 G02F1/1333 G02F1/1335 G02F1/1343 G02F1/1368 G02F1/139		
CPC分类号	G02F1/133707 G02F1/134336 G02F1/133753 G02F1/134309 G02F1/1393		
代理人(译)	李晓舒 魏晓刚		
优先权	1020020042658 2002-07-19 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供一种液晶显示器，其包括：第一绝缘基底；形成在第一绝缘基底上的栅极线；形成在栅极线上的栅极绝缘层；形成在栅极绝缘层上的数据线；形成在数据线上的钝化层；形成在钝化层和第一切口图案上的像素电极；面对第一绝缘基底的第二绝缘基底；和形成在第二绝缘基底上且具有第二切口图案的公共电极，其中，畴的宽度等于或小于 $30\mu\text{m}$ 。

