

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/336

H01L 29/45



[12] 发明专利申请公开说明书

[21] 申请号 01802561.7

[43] 公开日 2003 年 3 月 5 日

[11] 公开号 CN 1401135A

[22] 申请日 2001.6.25 [21] 申请号 01802561.7

[30] 优先权

[32] 2000. 6. 26 [33] JP [31] 190765/2000

[86] 国际申请 PCT/EP01/07189 2001. 6. 25

[87] 国际公布 WO02/01603 英 2002. 1. 3

[85] 进入国家阶段日期 2002. 4. 26

[71] 申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 T·于卡瓦

[74] 专利代理机构 中国专利代理(香港)有限公司

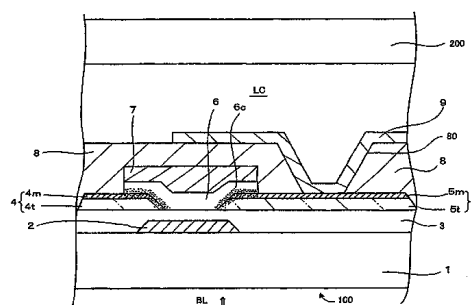
代理人 罗朋 梁永

权利要求书 1 页 说明书 10 页 附图 10 页

[54] 发明名称 底栅型薄膜晶体管,其制造方法和使用该晶体管的液晶显示装置

[57] 摘要

本发明的目的在于提供一种底栅型薄膜晶体管以及一种该晶体管的制造方法,该方法可以减少 TFT 制造工艺的负担并由此要求较少的制造成本。提供一种底栅型薄膜晶体管,其中基底层(1),栅极(2),栅绝缘膜(3),以及源和漏极(4,5)以此顺序设置。该晶体管包括一个半导体沟道层(6),该沟道层在与源和漏极(4,5)相应的相互对立端接触并与栅极结合地形成的同时,与栅绝缘膜露出在源和漏极(4,5)之间的部分接触。该沟道层(6)在源和漏极(4,5)的上平面侧上从相互对立端的一端跨接至另一端。该沟道层(6)与源和漏极(4,5)接触的部分(6c)形成欧姆接触表面层。



ISSN 1008-4274

1. 一种底栅型薄膜晶体管，其中基底层，栅极，栅绝缘膜，以及源和漏极依此顺序设置，

5 该晶体管包括一个半导体沟道层，该沟道层在与源和漏极相应的相互对立端接触并与栅极结合地形成的同时，与栅绝缘膜露出在源和漏极之间的部分接触，

该沟道层在源和漏极的上平面侧上从相互对立端的一端跨接至另一端，

该沟道层与源和漏极接触的部分形成欧姆接触表面层。

10 2. 如权利要求 1 所述的晶体管，其特征在于，形成在该沟道层底部的沟道与源和漏极一起在剖面图上形成直线型电流通路。

3. 如权利要求 1 或 2 所述的晶体管，其特征在于，栅极由截止可能进入该沟道层的光的光屏蔽材料形成。

15 4. 一种透射式液晶显示装置，其像素由按照权利要求 1-3 任何之一的底栅型薄膜晶体管驱动，该显示装置包括位于基底层后侧的光照射系统。

5. 一种制造薄膜晶体管的方法，包括：

在基底层上以该顺序形成栅极，栅绝缘膜，以及源和漏极的预备步骤；

20 用磷等离子掺杂源和漏极的表面层的磷处理步骤；以及

随后借助等离子掺杂工艺制造半导体沟道层的沟道层形成步骤，该半导体沟道层在与源和漏极相应的相互对立端接触并与栅极结合地形成的同时，与栅绝缘膜露出在源和漏极之间的部分接触，该沟道层在源和漏极的上平面侧上从相互对立端的一端跨接至另一端。

25 6. 如权利要求 5 所述的方法，其特征在于，借助同一等离子 CVD 设备进行该磷处理步骤和该沟道层形成步骤。

底栅型薄膜晶体管,其制造方法和
使用该晶体管的液晶显示装置

5 发明背景
发明领域

本发明涉及一种薄膜晶体管(TFT)和一种用于制造这种 TFT 的方法。具体地,本发明涉及一种可很好地应用于有源矩阵型液晶显示装置的底栅型 TFT 并涉及一种制造这种 TFT 的方法。

10 本发明同样涉及一种包括这种底栅型 TFT 的液晶显示装置。

现有技术说明

薄膜晶体管通常用于诸如液晶显示(LCD)装置和图像传感器的电子装置中。具体地,有源矩阵型液晶显示面板将这样的 TFT,其每个
15 TFT 包括源极,漏极和沟道区,作为按照像素信息向像素电极提供适当电压的元件。一些透射式有源矩阵型 LCD 可为每个 TFT 提供一个光屏蔽膜以便截止来自位于 LCD 面板的后侧的背光等的,可能进入 TFT 的,尤其是进入其沟道区的光。

例如,如果在 TFT 受控以便保持其完全“关断”状态时光进入沟
20 道区,源和漏极之间的绝缘程度可能降低,由此可能出现漏泄电流。这可能进一步导致与漏极连接的像素电极电位的不需要的变化,这可使待显示的图像质量进一步恶化。为了防止这种漏泄电流,有一种常规的解决方案,即为了防止沟道区通过光放电,提供一个光屏蔽膜覆盖的位于 LCD 面板的背光侧的沟道区。

25 在日本公开专利申请 No.131021/95 中公开了 TFT 的制造方法,该方法包括下列步骤,在玻璃衬底上淀积将用作光屏蔽膜的掺磷硅膜,并在该硅膜的上表面上形成一氧化硅膜。随后,在该氧化硅膜的上表面上形成非晶硅膜,它将在后面的步骤中形成源极,漏极和沟道区。此后,在非晶硅膜上按此顺序淀积另一氧化硅膜和一铝膜。其后,借
30 助采用刻蚀工艺的抗蚀剂处理(掩模工艺)和图案化工艺形成一个叠层的(stack-layered)部分,它与其它层相比是一个小岛的形状,并且它由铝膜,氧化硅膜和非晶硅膜组成。此后,在位于叠层部分和掺磷

硅膜之外的部分氧化硅膜区域中注入氮离子。于是该方法仅在氧化硅膜和掺磷硅膜的离子注入部分进行退火工艺以便对该部分形成氮化物并使它们光学上透明。

于是，用上述用于参考的，已知的方法在所希望的部分上进行透明
5 化工艺并使叠层部分下面的掺磷硅膜具有光屏蔽膜的功能。随后，在非晶硅膜上形成氧化硅膜作为栅绝缘体，并且图案化的栅极和围绕该栅极的氧化物层进一步形成在栅绝缘体上。在形成栅部分后，将该栅部分用作掩模在非晶膜中注入磷离子以便形成 n 型源和漏区。结果，与栅部分重叠的非晶部分形成沟道形成区，而其它非晶部分形成 n 型
10 源和漏区。因为将从玻璃衬底的外表面侧进入源，漏和沟道区的光可借助光屏蔽膜截止，则有可能防止背光系统的光进入完成的沟道区并由此防止出现上述的这种漏电流。

但是，由于使用离子注入工艺形成最终的源和漏极，这种常规的方法需要一台昂贵的离子注入设备。由于在离子注入工艺之前使用等
15 离子 CVD 设备在衬底上形成用于形成源，漏和沟道区的非晶硅膜，常规方法同样需要将已处理的组件衬底从等离子 CVD 设备输送到离子注入设备；即需要在各工艺室之间进行转移。因此，常规方法的缺点在于其工艺复杂，其工艺环境分散，并且组件衬底必须进行特别仔细的防尘，防损等处理。结果，出现 TFT 制造工艺成为重负并导致昂贵的制
20 造成本的趋势。

此外，在常规的方法中仅公开了所谓的顶栅型 TFT，其中光屏蔽膜排列在沟道区的底侧（在远离液晶介质侧，即在 LCD 面板的后侧或在背光侧），栅极排列在沟道区的上侧。但是，底栅型 TFT（其中栅极排列在沟道区的底侧）可更为有利地应用于透射式液晶显示装置。
25 这是因为排列在底栅型 TFT 中沟道区底侧的栅极同样可起到透射式 LCD 装置中沟道区光屏蔽膜的另一作用。因此，透射式 LCD 装置不需要专用的光屏蔽膜并且不需要该膜的制造步骤，并同样减少了 TFT 制造工艺的负担。因此，底栅型 TFT 结构，性能和制造工艺的改进可对降低价格和改善透射式液晶显示装置的能力作出显著的贡献。

30 发明概述

鉴于上述背景，本发明的一个目的在于提供一种良好的底栅型薄膜晶体管及其制造方法，由此可以降低制造工艺和制造成本的负担。

本发明的另一目的在于提供适于透射式液晶显示装置的一种底栅型薄膜晶体管及其制造方法。

为了实现上述目的，本发明提供一种底栅型薄膜晶体管，其中基底层，栅极，栅绝缘层，以及源和漏极依此顺序设置，该晶体管包括一个半导体沟道层，该沟道层在与源和漏极相应的相互对立（inter-opposite）端接触并与栅极结合地形成的同时，与栅绝缘膜露出在源和漏极之间的部分接触，该沟道层在源和漏极的上平面侧上从相互对立端的一端跨接至另一端，该沟道层与源和漏极接触的部分形成欧姆接触表面层。

借助该结构，在形成所述源和漏极之后，同一等离子 CVD 设备可不仅用于形成沟道层的工艺并可一致性地用于在源和漏极和沟道层之间实现欧姆接触的工艺，以便可获得不需要在各工艺室之间进行转移的简化工艺。此外，在底栅型结构的情况下，可有利地形成所希望的源/漏电流通路。

此外，在该晶体管中，形成在沟道层底部的沟道在与源和漏极一起剖面图上形成直线形电流通路。

此外，栅极可由能够截止可能进入沟道层的光的光屏蔽材料形成。在这种情况下，栅极同样可用作光屏蔽膜，这对于透射式液晶显示装置是非常优选的。

本发明同样对透射式液晶显示装置的提高有贡献，其中光照射系统排列在基底层的后侧并且它们的像素由底栅型薄膜晶体管驱动。

本发明进一步提供一种制造薄膜晶体管的方法。所述方法包括：以这样的顺序在基底层上形成栅极，栅绝缘膜，以及源和漏极的预备步骤（pre-step）；用磷等离子掺杂源和漏极表面层的磷处理步骤；以及随后借助等离子掺杂工艺制造半导体沟道层的沟道层形成步骤，该沟道层在与源和漏极相应的相互对立端接触并与栅极结合地形成的同时，与栅绝缘膜露出在源和漏极之间的部分接触，该沟道层在源和漏极的上平面侧上从相互对立端的一端跨接至另一端。

特别优选，用同一等离子 CVD 设备实现本发明的方法中的磷处理步骤和沟道层形成步骤。

参照在下文说明的实施例明晰并阐明本发明的这些和其它方面。

附图简述

图 1 为部分显示面板衬底组件的横截面图, 示出按照本发明第一实施例的 TFT 的结构。

图 2 为示出图 1 的 TFT 的制造过程的前半部分的第一流程图。

5 图 3 为示出图 1 的 TFT 的制造过程的后半部分的第二流程图。

图 4 为说明图 2 和 3 示出的流程中第一制造阶段工艺中的 TFT 的部分中间结构的横截面图。

图 5 为说明图 2 和 3 示出的流程中第二制造阶段工艺中的 TFT 的部分中间结构的示意性横截面图。

10 图 6 为说明图 2 和 3 示出的流程中第三制造阶段工艺中的 TFT 的部分中间结构的横截面图。

图 7 为示出磷处理工艺的部分 TFT 的横截面放大图。

图 8 为说明图 2 和 3 示出的流程中第四制造阶段工艺中的 TFT 的部分中间结构的横截面图。

15 图 9 为说明图 2 和 3 示出的流程中第五制造阶段工艺中的 TFT 的部分中间结构的横截面图。

图 10 为说明图 2 和 3 示出的流程中第六制造阶段工艺中的 TFT 的部分中间结构的横截面图。

20 图 11 为部分显示面板衬底组件的横截面图, 示出按照本发明第二实施例的 TFT 的结构。

图 12 为按照本发明的第一和第二实施例的部分 TFT 的横截面图, 说明这种 TFT 的源和漏极之间的电流通路。

图 13 为按照与第一和第二实施例不同的一个实例的部分 TFT 的示意性横截面图, 说明这种 TFT 的源和漏极之间的电流通路。

25

优选实施例说明

图 1 说明根据本发明的一个实施例的 TFT (薄膜晶体管) 的示意性横截面结构。

30 图 1 中示出的 TFT 用于有源矩阵型透射式液晶显示装置的显示面板中。用于进行光调制以显示图像的液晶介质 LC 封在分别使用玻璃衬底作为基底层的组件 100, 200 的两个平板之间, 并且该 TFT 形成在一个组件 100 的玻璃衬底 1 上。来自排列在玻璃衬底 1 的后侧的光照射

系统的背光 BL 经玻璃衬底 1 进入液晶介质,形成在衬底和像素电极上平面侧的部分 TFT 受到光调制并经另一组件 200 引到外部显示屏。

同样用作光屏蔽膜的由光屏蔽材料形成的栅极 2 排列在玻璃衬底 1 的上平面侧,即排列在衬底的液晶介质 LC 侧。但是,有可能形成在衬底 1 的整个上表面上的,在衬底 1 和栅 2 之间的一个绝缘层,例如包括氧化硅 SiO_x 的膜,作为基层。此外,在衬底 1 上,形成包括例如 SiN_x 的栅绝缘膜 3 覆盖栅极 2。随后,通过堆叠透明导电膜 4t, 5t 和金属层 4m, 5m (或单金属层) 在栅绝缘膜的 3 上平面上形成源和漏极 4, 5。在使用堆叠层的该实施例中,为了降低该源极和该漏极的电阻形成金属层 4m 和 5m。在该实施例中,基于这样的考虑使用金属层,设计为在 LCD 面板中垂直和水平延伸的源和漏极 4, 5 的电阻在驱动晶体管时不允许被忽略。在小型显示装置的情况下常常消除这种金属层。此外,在源和漏极之间并对应于栅极 2, 用于形成沟道形成区的作为半导体层的非晶硅 a-Si 膜 6 和由氮化硅 SiN_x 组成的绝缘膜 7 按该顺序堆叠为岛形。借助该结构,因为 a-Si 膜在后面的工艺中不被刻蚀而在后沟道刻蚀类型中被刻蚀,有可能将 a-Si 膜实现为比较薄。该特征可对减少当晶体管处于“关断”状态时的漏泄电流有贡献。绝缘层 7 用作保护层以防止 a-Si 膜 6 的顶表面变得粗糙。

特别地,为了减少 a-Si 膜 6 与源极 4 和漏极 5 的接触电阻,形成扩散磷 (P) 的接触 a-Si 部分中的 n 型半导体 $\text{n}^+\text{a-Si}$ 表面层部分 6c。借助该表面层部分 6c,可在源和漏极 4, 5 和 a-Si 膜 6 之间获得所需要的欧姆接触以便源和漏极之间的电阻(晶体管中的“接通”电阻)可被降低。形成该表面层部分的工艺将在后面说明。

此外,由例如氮化硅 SiN_x 组成的绝缘层 8 形成在 a-Si 膜 6 和绝缘膜 7 的上平面侧以便覆盖这些膜。该绝缘层 8 提供一个接触孔 80, 如图 1 所示借助该孔使漏极 5 得以露出。对于露出的部分,形成像素电极 9 以便经接触孔 80 的侧壁部分沿绝缘层 8 的上平面延伸,使得像素电极 9 可与漏极 5 接触。绝缘层 8 对应于栅极端子(未示出)的部分也被去除以便形成用于将接触该栅极端子与栅极 2 接触的接触孔。在透射式显示装置的本实施例中,像素电极 9 例如是一个由 ITO (氧化铟锡) 组成的透明导电膜。

应注意:源极 4 (金属层 4m) 用作在显示面板的有效显示区域内

垂直延伸，但在此未示出的源极总线；栅极 2 用作在显示面板的有效显示区域内水平延伸的栅极总线。同样，像素电极 9 被设计为在图 1 中更多地向右延伸，但未示出。该延伸的区域用于液晶层 LC 的像素区域或施加电压区域。

5 虽然在像素电极 9 的更上层侧提供一个或多个 LC 对准层，为本发明的说明书的清楚起见，在此不对该层进行说明。

现在，将说明制造具有图 1 所说明的结构薄膜晶体管的方法。图 2 和 3 以流程图的形式说明制造方法的过程，而图 4-10 说明在相应的制造阶段进行处理的 TFT 的相应的横截面结构。

10 参照图 2，首先制备玻璃衬底 1（步骤 1），随后借助溅射工艺将用于栅极的包含例如铝，或铝合金的材料均匀地淀积在衬底 1 上（步骤 2）。随后以图 4 所示的图案将淀积膜图案化以形成栅极区 2（步骤 S3）。或者，栅 2 可为由至少一层某些低电阻材料组成的堆叠层结构。步骤 S3 中图案化工艺包括采用光刻胶的掩模工艺，曝光和显影工艺，
15 以及刻蚀和去除工艺。

此外，借助溅射工艺在衬底 1 的整个上表面上均匀地淀积例如 SiN_x 的材料形成栅绝缘膜 3，使得栅 2 如图 5 所示被掩盖（步骤 S4）。

此后，借助例如溅射工艺以该顺序将用于透明导电膜 4t 由例如 ITO 组成的材料以及随后用于金属膜 4m 的由例如钼合金组成的材料均匀
20 地淀积在绝缘膜 3 上（步骤 S5 和 S6）。随后在淀积的透明导电膜和金属膜上进行相同类型的图案化工艺，使得淀积的膜相对于基本上对应于栅 2 的部分被部分地去除（步骤 S7）。于是，如图 6 所示，形成用作源 4 的透明导电膜 4t 和金属膜 4m 以及用作漏区 5 的透明导电膜 5t 和金属膜 5m。源和漏以它们之间的空间定位并使它们相应的端在该空间
25 间内彼此面对。另一方面，栅绝缘膜 3 的表面与栅 2 对应，在该空间露出。

在源和漏上图案化的工艺完成后，进行磷(P)扩散工艺(步骤 S8)。

更具体地，使用基于等离子 CVD（一种化学气相外延（蒸发）的方法）的等离子 CVD 设备，在具有栅 2，栅绝缘膜 3，源 4 和漏 5 的
30 组件衬底 1 在预定的温度，例如 200-300 摄氏度保温的同时，包含磷的稀释混合气，例如用氩气稀释 PH_3 （磷化氢）气体得到的浓度为 5000 ppm 的气体，以 10 cc/分钟的速度施加给组件衬底并且约为 10 mW/cm^2

的高频等离子照射在压力约为 100 托的气氛中连续施加给该衬底几分钟，以便实现磷掺杂。结果，磷以预定的浓度和距透明导电膜 4t, 5t 和金属膜 4m, 5m 的露出的表面（包括栅 2 侧被剥离的表面）预定的深度扩散或结合。

5 应注意，在磷扩散工艺过程中，源 4 和漏 5 之间栅绝缘 3 对应于栅 2 的部分是露出的，但在该露出的部分磷几乎没有扩散。所以，栅绝缘膜 3 可基本上不包含磷。这是因为 P 原子基本上趋于与电学导电物质结合但不与电学绝缘物质结合。因此，扩散的磷可分布在如图 6 的放大图 7 中以点示出的源和漏的表面层部分。

10 现在，回到参照图 3 的工艺流程，用于沟道区 6 的由例如非晶硅 a-Si 组成的半导体材料和用于绝缘膜 7 的由例如 SiN_x 组成的绝缘材料以该顺序均匀地淀积在源 4 和漏 5 的整个上表面上（步骤 S9 和 S10）。使用如上所述的同一等离子 CVD 设备进行该淀积工艺。随后在这些淀积的膜上进行相同类型的图案化工艺，使得包括半导体膜 6 和绝缘膜 7 的岛状沟道形成区，如图 8 所示，大致对应于栅 2 并在栅 2 的上方形成（步骤 S11）。

在此，由于等离子和 CVD 设备中高温气氛的影响，一些已扩散到源 4 和漏 5 的磷从他们的接触表面扩散地移入导体膜 6，使得非常薄的 n 型半导体 n⁺a-Si 膜可在半导体膜 6 与源和漏 4, 5 的接触部分形成。
20 该 n⁺a-Si 薄膜变成上述的欧姆接触层 6c。值得注意地，已存在于源 4 和漏 5 的露出部分的大部分磷可在半导体膜 6 和绝缘膜 7 的图案化（干刻蚀）工艺过程中消失。

在步骤 S11 后，由例如 SiN_x 组成的材料被淀积在整个源 4 和漏 5 上，以便完全覆盖岛状沟道形成区（步骤 S12），并进行相同类型的图案化工艺（步骤 S13）。该图案化导致保护膜 8 如图 9 所示形成，它相对于例如接触孔 80 被去除以仅露出漏金属层 5m 必需的部分（步骤 S13）。

此后，用于形成对应于显示面板的像素的像素电极的由例如 ITO（氧化铟锡）组成的透明导电材料均匀地淀积在接触孔 80 的底部和侧
30 壁上，以及绝缘膜 8 的上表面上（步骤 14）。随后在淀积的 ITO 膜上进行相同类型的图案化工艺以便形成具有其适当形状和位置的像素电极（步骤 S15）。结果，如图 10 所示，形成接触孔 80 的像素电极 9，

该像素电极与漏极 5 接触并以预定的区域在保护膜 8 上延伸。

在上述用于制造薄膜晶体管的方法中,有可能将容易的溅射工艺用于栅 2 穿过源 4 和漏 5 的前置阶段。同样,等离子 CVD 设备可用于形成半导体膜 6。因此,如离子注入系统这样的昂贵工艺设备在形成这些膜的工艺中是不需要的。另外,在形成源和漏之后,等离子 CVD 设备中的同一工艺室可被一致地使用,即不仅用于用于形成半导体膜的工艺,还用于用来实现欧姆接触的磷扩散工艺。因此,不再需要上述常规的室间传输,由此就工艺环境来说实现简单的工艺和连续的工艺。于是,这可对减少 TFT 制造工艺的负担和减少制造成本作出贡献。

此外,由于本实施例在于改善底栅型 TFT 及其制造方法,其中光屏蔽膜的附加功能被给予位于沟道区下侧的栅 2,这同样对减少透射式液晶显示装置的价格和改善其性能具有显著的贡献。

虽然上述说明书涉及意在形成一个像素驱动电路的一种薄膜晶体管,其中的每个均包括一个独立的沟道区的多个薄膜晶体管可形成在矩阵排列中以便与液晶显示装置中的每个像素相对应。

现在,将参照图 11 解释本发明的第二实施例。图 11 中与图 1 所示的第一实施例中的相同的组成部分以相同的参考数字标出。

图 11 与图 1 的不同之处在于,因为漏 5' 本身用作像素电极,它不需要形成一个对应于第一实施例中透明导电膜 9 的层。在这种情况下,漏极 5' 仅包括一个透明导电膜,以便透过朝向液晶侧的背光。其它特征基本上与第一实施例中的特征相同,使得该实施例具有与第一实施例相同的优点。由于没有透明导电膜 9,第二实施例可进一步有利地将图案化工艺的数量减少到 4。

此外,根据本发明的薄膜晶体管的结构除具有上述优点外,还具有一个独特并显著的优点,这将在下面说明。

图 12 说明流经第一和第二实施例中的沟道区的电流的状态。当所涉及的薄膜晶体管处于“接通”状态时,从源极 4 流到漏极 5 的电流“i”流入栅侧表面,因为栅电势,栅侧表面的电阻值最终变为构成沟道区的半导体膜 6 中的最低值。在这种情况下,如图 12 所示,源和漏极 4, 5 在半导体膜 6 的底部的两端直接与半导体膜 6 的底部接触,并且该接触部分以欧姆接触为条件。其结果,当半导体膜 6 处于“接通”状态时,电流通路(沟道)可以直线的形式并以最段的距离形成在源

极 4 和漏极 5 之间。

与此相反，在如图 13 所示的薄膜晶体管的常规结构中，用于形成沟道区的半导体膜 26 在栅 22 上的栅绝缘膜 23 上延伸，并且源极 24 和漏极 25 与栅 22 结合地形成在的半导体膜 26 上。

- 5 藉此常规结构，从源极 24 流到漏极 25 的电流“i”可采用下述路线（沟道）。它从源极 24 经半导体 26 的内部流向半导体膜 26 的栅侧表面，并随后沿半导体膜 26 的底部流向漏极侧，并最终再次经半导体 26 的内部向上流向漏极 25（在图中向上）。

- 10 按照如图 13 所示的电流通路，由于半导体膜 26 在源极 24 和漏极 25 任一侧上的厚度，导致串联电阻 R。因此，源和漏之间的电阻和薄膜晶体管的“接通”电阻可变得较高。相对于减少功耗和/或对高温的测量，电阻 R 高的这种情况是不利的。

- 15 回到参考图 12，在本发明的实施例中，从源极 4 到漏极 5 的电流不沿半导体膜 6 的厚度方向流入其内部而是沿半导体膜 6 的栅侧表面线性流动。于是，源和漏之间的电阻和薄膜晶体管的“接通”电阻可以成为低的。由此，本发明可对改善驱动像素电极的效率，减少功耗和抑制薄膜晶体管的热量作出贡献。

- 20 虽然在上述说明书中涉及到透射式液晶显示装置，本发明并不意在限制在这种类型。本发明也可基本上应用于反射型液晶显示装置。在这种情况下，衬底 1 可不需要是透明的，像素电极 9 和/或漏极 5' 可由一些光学反射材料形成，并甚至可使用一些专用的反射层，而不是这种电极。

此外，虽然上述说明书涉及一种结构，其中具有 TFT 的衬底位于显示面板的后侧，该衬底也可排列在显示面板的前侧。

- 25 因此在此说明的优选实施例是说明性的而不是限定性的，由所附权利要求指出的本发明的范围和在权利要求意义内得出的所有变型意在被包含其中。

附图和元件的翻译

- 30 图 2

S1: 准备玻璃衬底

S2: 层叠金属膜

- S3: 形成栅极图案
- S4: 层叠绝缘膜
- S5: 层叠透明导电膜
- S6: 层叠金属膜
- 5 S7: 形成源和漏图案
- S8: P 扩散

图 3

- S9: 层叠 Si 膜
- 10 S10: 层叠绝缘膜
- S11: 形成沟道形成部分的图案
- S12: 层叠保护膜
- S13: 形成保护膜图案
- S14: 层叠像素电极
- 15 S15: 形成像素电极图案

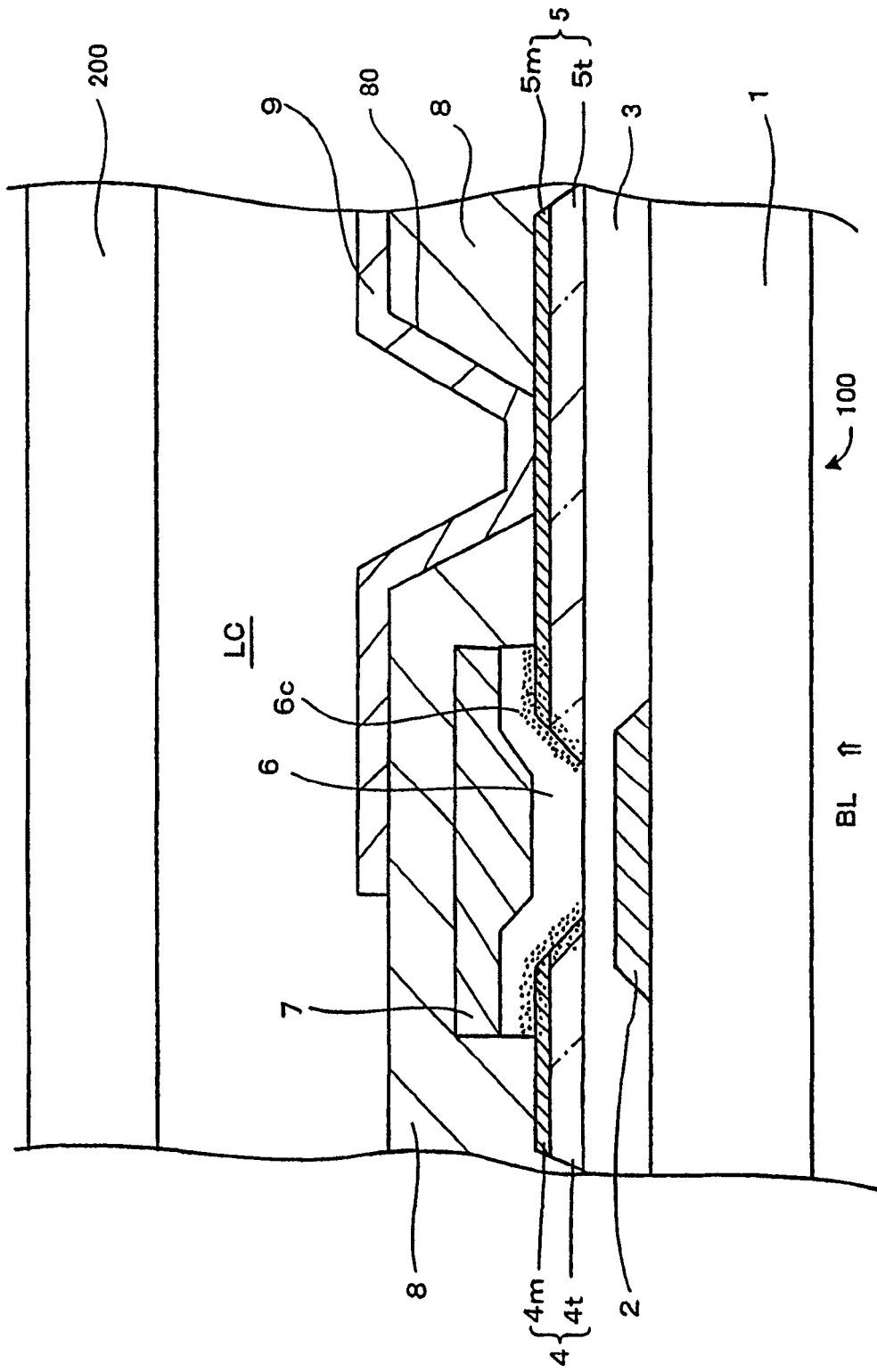


图 1

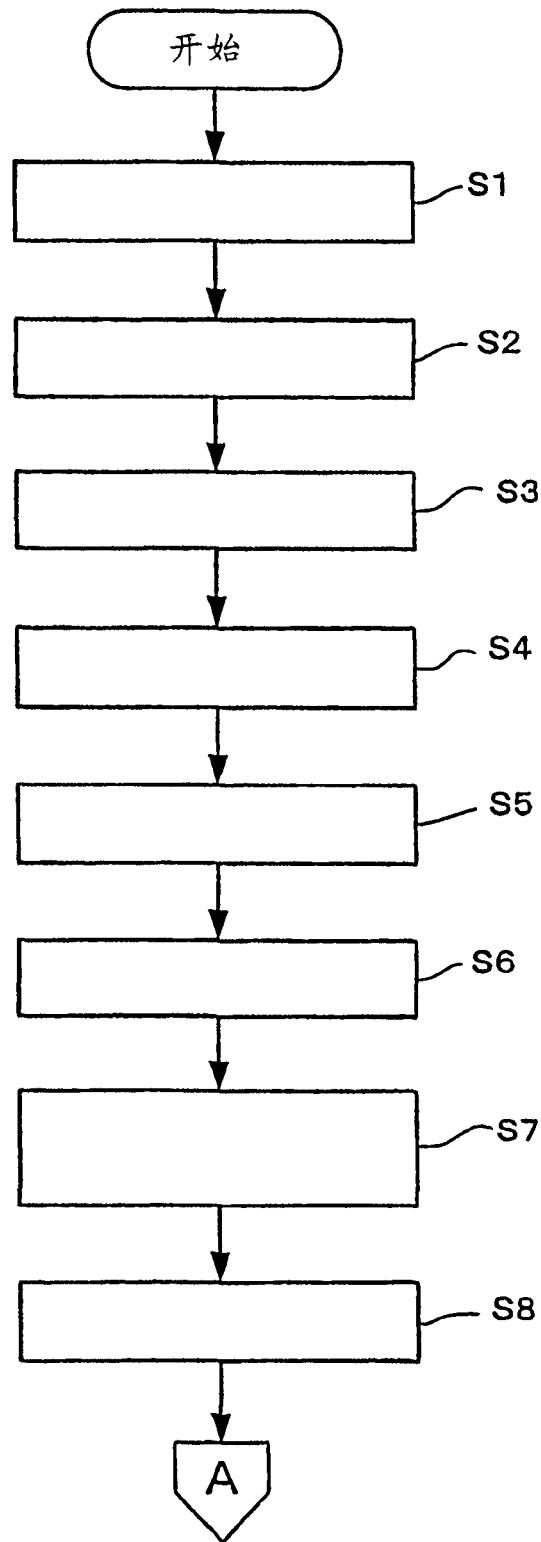


图 2

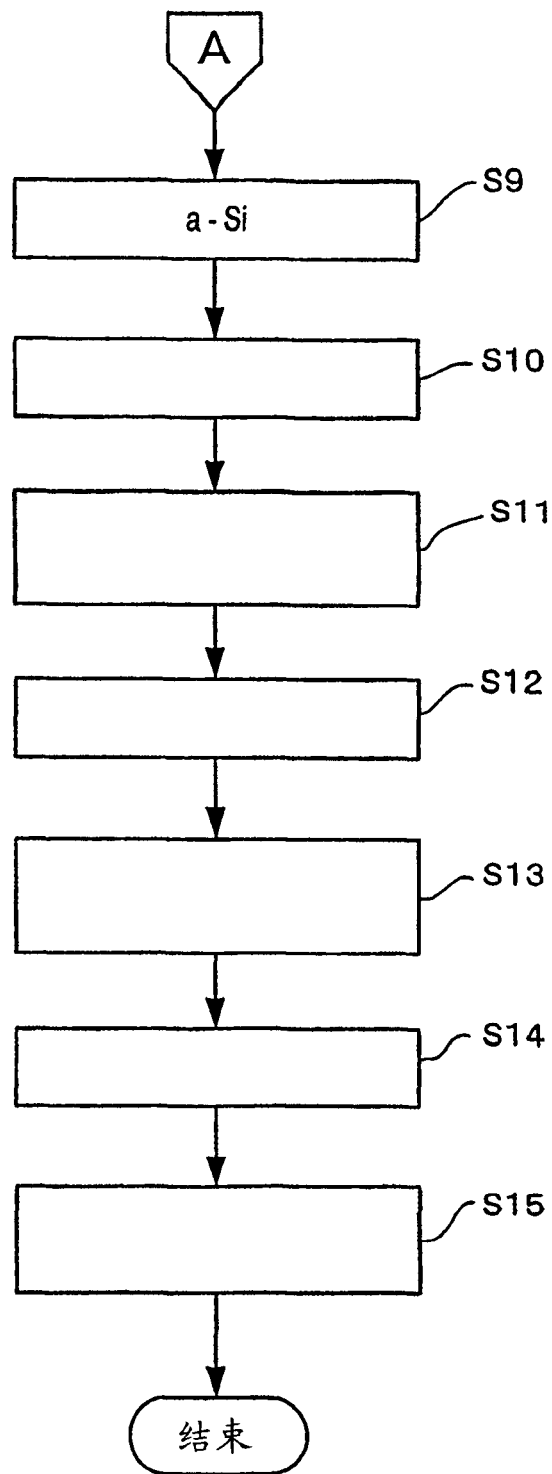


图 3

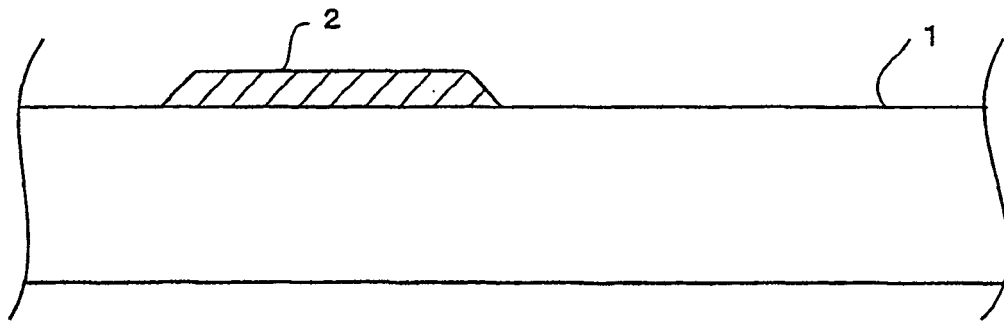


图 4

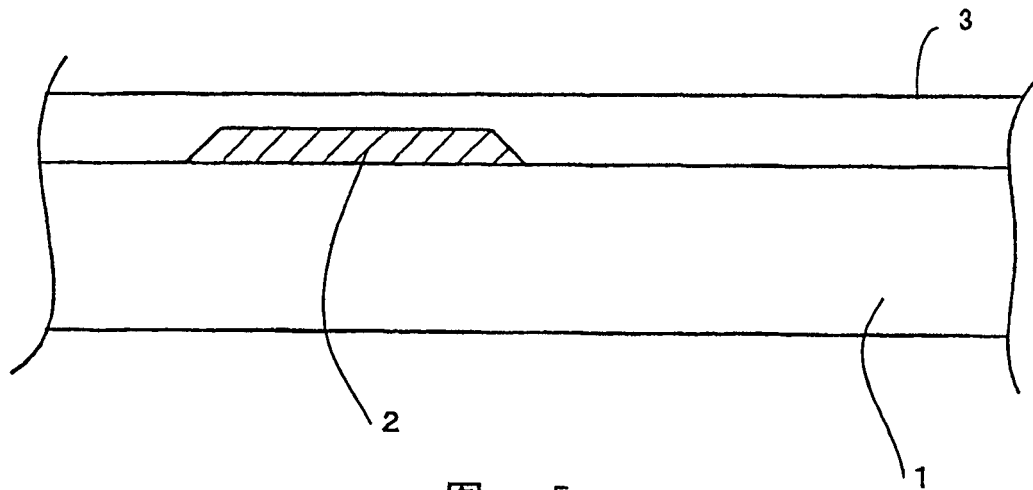


图 5

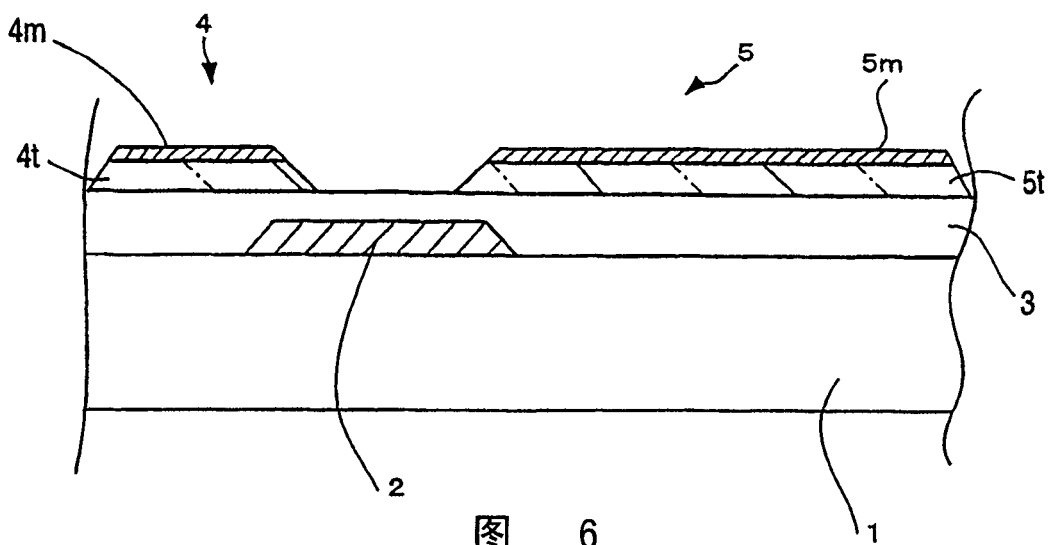


图 6

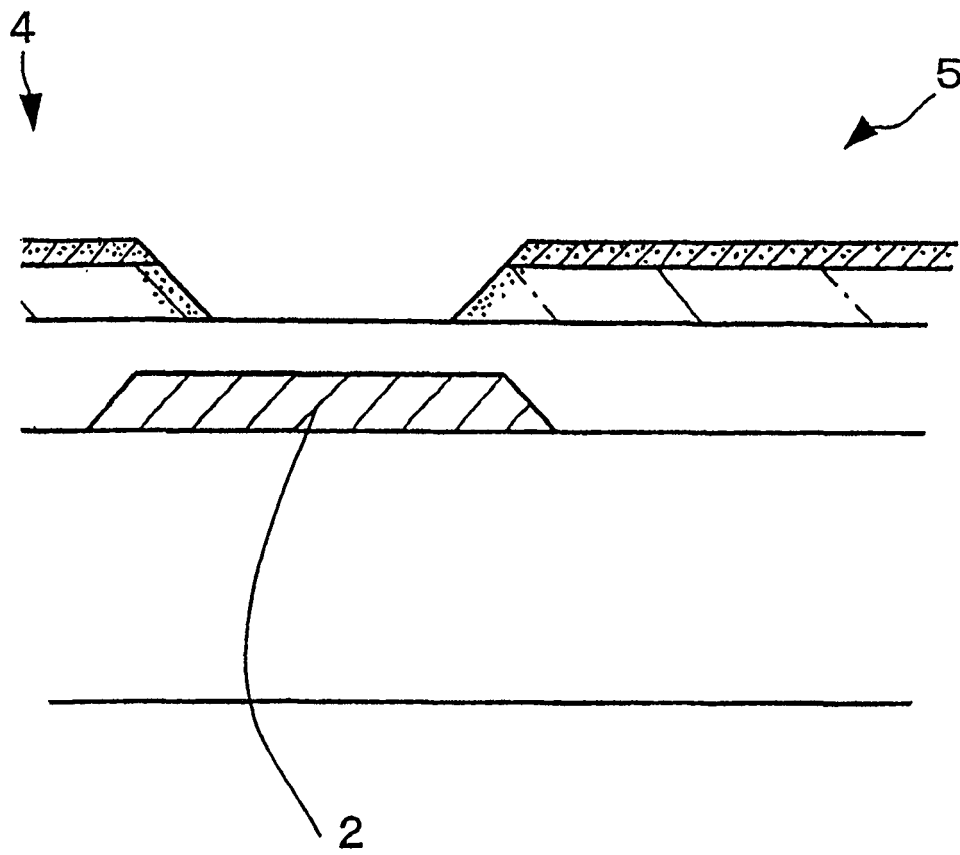


图 7

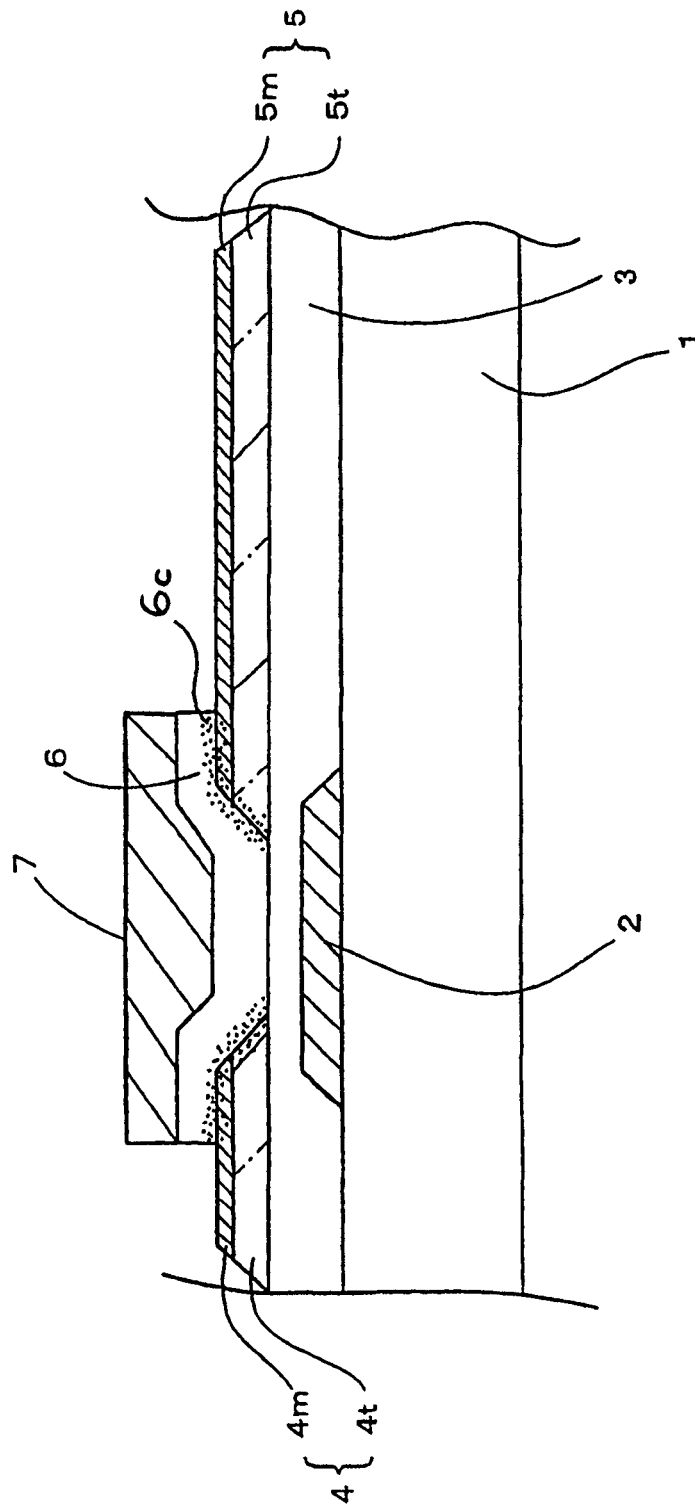


图 8

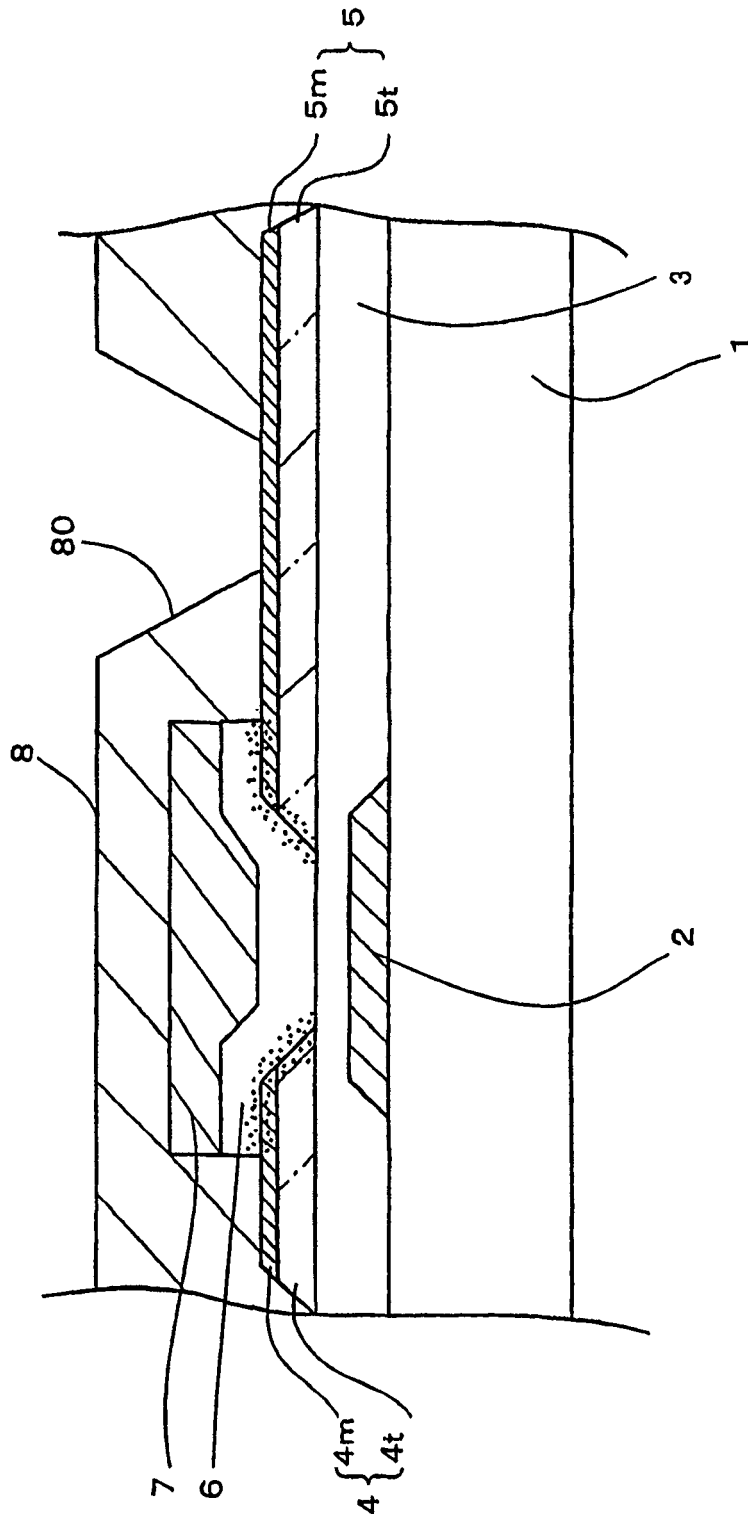


图 9

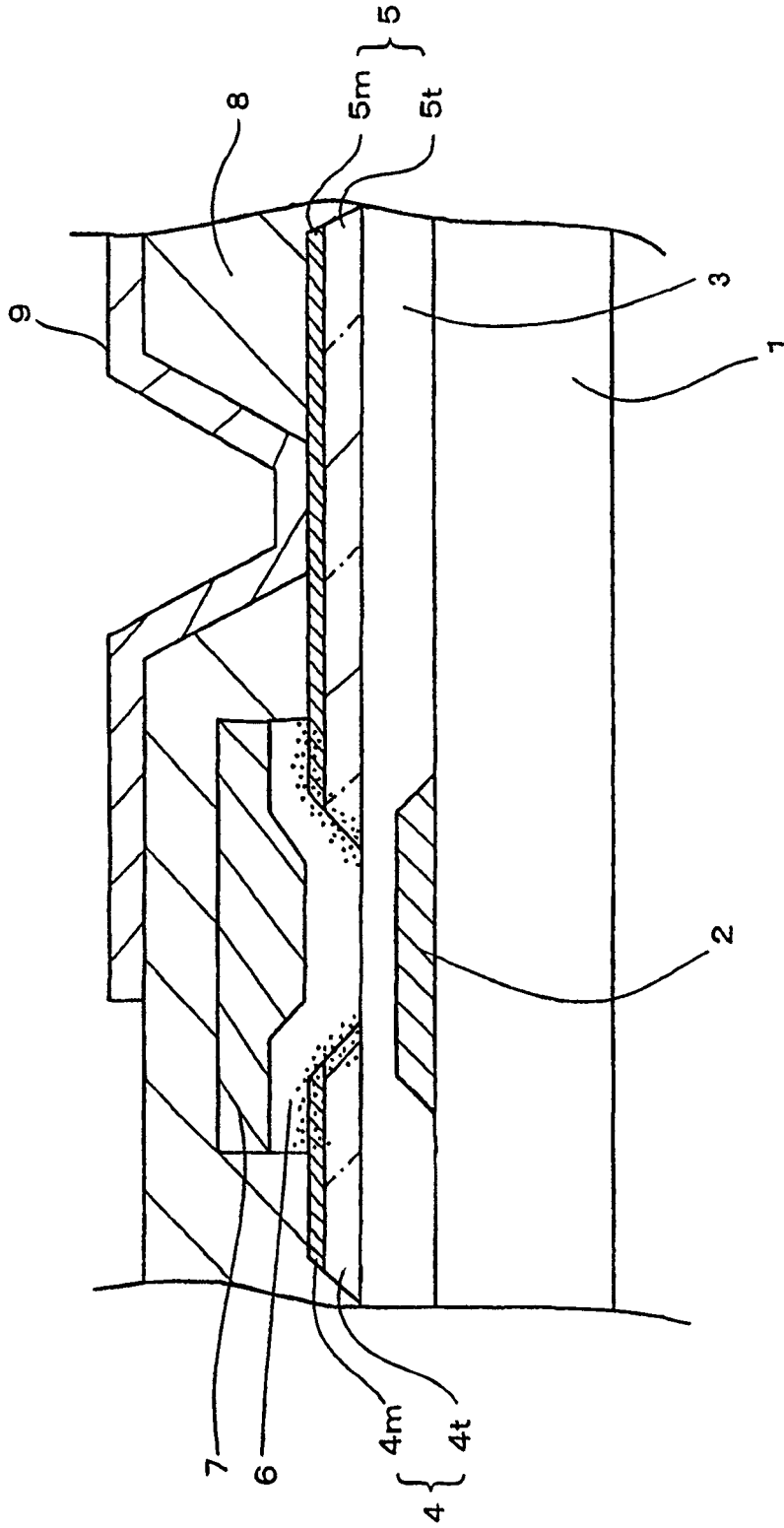


图 10

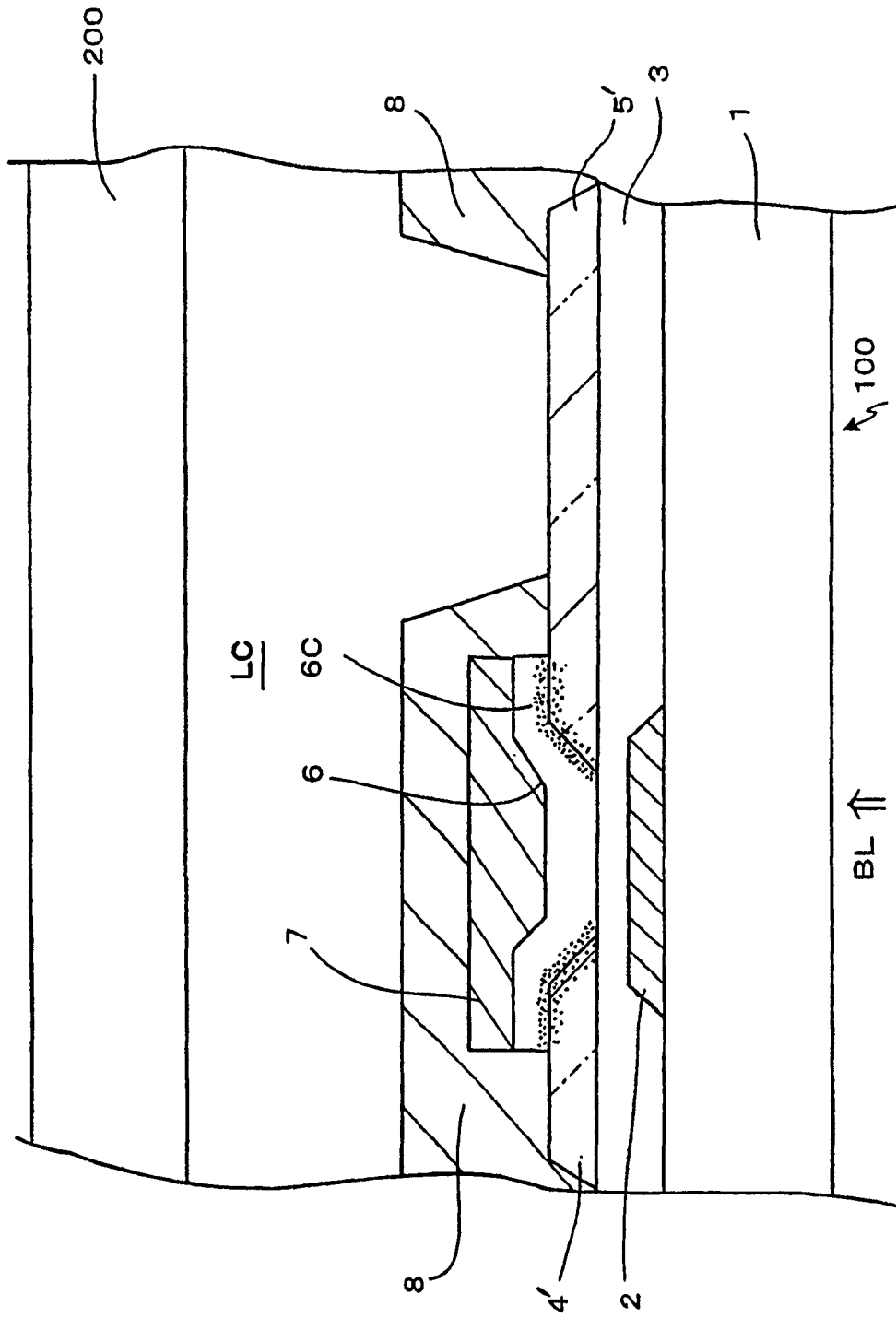


图 11

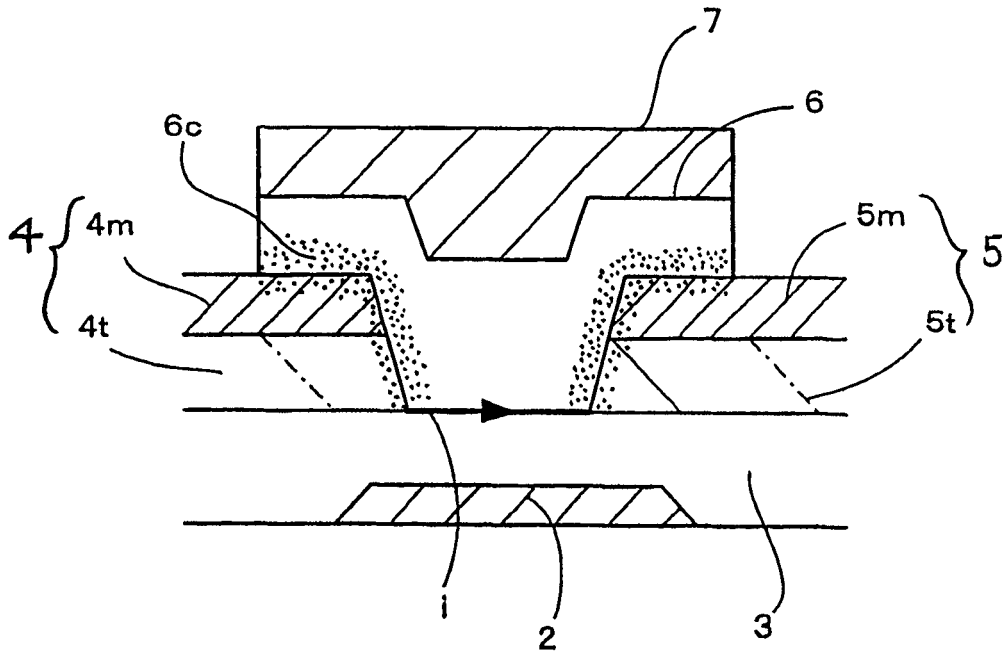


图 12

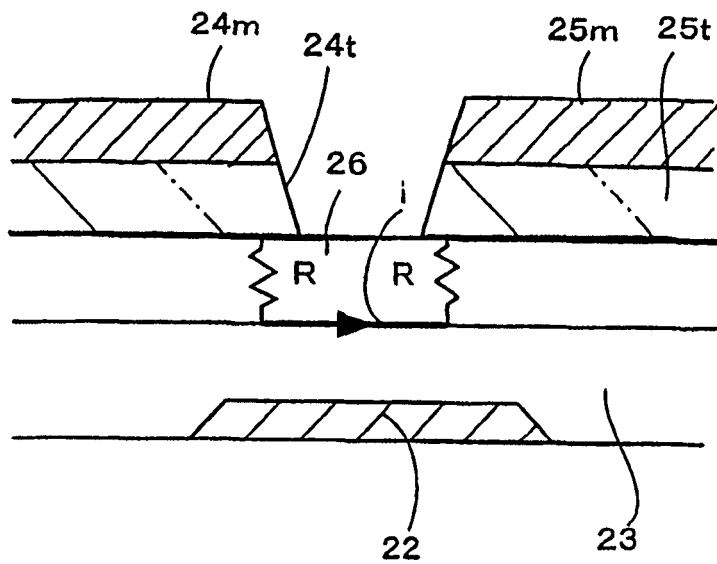


图 13

专利名称(译)	底栅型薄膜晶体管,其制造方法和使用该晶体管的液晶显示装置		
公开(公告)号	CN1401135A	公开(公告)日	2003-03-05
申请号	CN01802561.7	申请日	2001-06-25
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子有限公司		
当前申请(专利权)人(译)	皇家飞利浦电子有限公司		
[标]发明人	T于卡瓦		
发明人	T·于卡瓦		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L21/336 H01L29/786 H01L29/45		
CPC分类号	H01L29/66765 H01L29/78633 H01L29/78669		
代理人(译)	罗朋 梁永		
优先权	2000190765 2000-06-26 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明的目的在于提供一种底栅型薄膜晶体管以及一种该晶体管的制造方法,该方法可以减少TFT制造工艺的负担并由此要求较少的制造成本。提供一种底栅型薄膜晶体管,其中基底层(1),栅极(2),栅绝缘膜(3),以及源和漏极(4,5)以此顺序设置。该晶体管包括一个半导体沟道层(6),该沟道层在与源和漏极(4,5)相应的相互对立端接触并与栅极结合地形成的同时,与栅绝缘膜露出在源和漏极(4,5)之间的部分接触。该沟道层(6)在源和漏极(4,5)的上平面侧上从相互对立端的一端跨接至另一端。该沟道层(6)与源和漏极(4,5)接触的部分(6c)形成欧姆接触表面层。

