

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

G09G 3/36
G02F 1/133

[12] 发明专利申请公开说明书

[21] 申请号 02123132. X

[43] 公开日 2002 年 12 月 4 日

[11] 公开号 CN 1383127A

[22] 申请日 2002. 3. 5 [21] 申请号 02123132. X

[30] 优先权

[32] 2001. 3. 5 [33] JP [31] 059394/2001

[71] 申请人 株式会社日立制作所

地址 日本东京

共同申请人 日立器件工程株式会社

[72] 发明人 勇广宣 竹本一八男 宫泽敏夫

松本克己

[74] 专利代理机构 中国国际贸易促进委员会专利商标事
务所

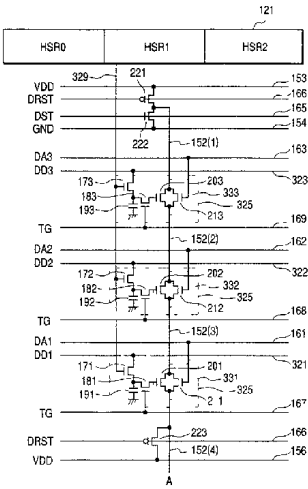
代理人 王永刚

权利要求书 8 页 说明书 34 页 附图 25 页

[54] 发明名称 具有灰度电压选择器电路的液晶显示装
置

[57] 摘要

一种液晶显示装置, 具有一个用于根据来自周期性变化的外部提供的灰度电压的显示数据选择电压电平的电路。该电路包括处理电路的多个串联组合。每一个串联组合与耦合到像素的视频信号线关联, 多个串联组合的各个串联组合的每一个处理电路与用于提显示数据的 N 个显示数据线的各个显示数据线和用于提供与灰度电压同步变化的时间控制信号的多个时间控制信号线的各个时间控制信号线相关联。每一个处理电路被配置在 N 个显示数据线的相邻的两个显示数据线之间。时间控制信号唯一地确定与时间控制信号结合的灰度电压的一个电平。



1. 液晶显示装置, 包括:
 - 第一衬底,
 - 5 第二衬底,
 - 夹在所述第一衬底和所述第二衬底之间的液晶合成物,
 - 配置在所述第一衬底上的多个像素,
 - 用于向多个所述像素提供视频信号电压的多个视频信号线,
 - 一个适合被提供以周期性变化的灰度电压、用于向所述多个视频信号线输出
 - 10 所述视频信号电压的驱动电路,
 - 用于向所述驱动电路提供显示数据的N个显示数据线, 和
 - 用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的N个时间控制信号线,
 - 其中
 - 15 所述驱动电路设有一个电压选择器电路, 用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到所述多个视频信号线;
 - 所述电压选择器电路包括处理电路的多个串联组合,
 - 所述多个串联组合中的每一个与所述多个视频信号线中的一个相关联,
 - 所述多个串联组合中的各串联组合的每一个所述处理电路与所述N个显示
 - 20 数据线的各显示数据线以及所述N个时间控制信号线的各时间控制信号线相关联, 并被配置在所述N个显示数据线的两个相邻的显示数据线之间,
 - 每一个所述处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合,
 - 通过从0到N个所述显示数据相关开关元件中选择一定数量的显示数据相关
 - 25 开关元件, 指定所述选择数量的所述显示数据相关开关元件为 OFF, 并把所述多个串联组合的每一个串联组合中其余的所述显示数据相关开关元件切换到 ON, 所述显示数据产生 2^N 个不同的组合
 - 所述 2^N 个不同组合的每一个组合是唯一地与所述灰度电压的一个电平同步,
 - 通过把与所述切换到 OFF 的显示数据相关开关元件一起构成所述并联组合
 - 30 的一个时间控制信号相关开关元件切换到 ON, 所述时间控制信号唯一地确定所

述灰度电压的一个电平。

2. 根据权利要求1的液晶显示装置,其中所述显示数据相关开关元件和所述时间控制信号相关开关元件由相同传导类型的晶体管构成。

3. 根据权利要求1的液晶显示装置,其中所述第一衬底由硅制成。

5 4. 根据权利要求1的液晶显示装置,其中所述灰度电压以阶梯方式变化。

5. 根据权利要求1的液晶显示装置,其中所述N个显示数据线中的每一个显示数据线被提供以在二进制系统中代表所述显示数据的N比特的相应的一个比特。

6. 液晶显示装置,包括:

10 第一衬底;

第二衬底;

夹在所述第一衬底和所述第二衬底之间的液晶组合件;

配置在所述第一衬底上以矩阵排列的多个像素;

15 用于向所述多个像素提供视频信号电压的沿所述矩阵的列方向延伸和沿行方向排列的多个视频信号线;

适合被提供以周期性变化的灰度电压的、用于向所述多个视频信号线输出所述视频信号电压的驱动电路;

用于向所述驱动电路提供显示数据的、沿所述行方向延伸和沿所述列方向排列的N个显示数据线;和

20 用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的、沿所述行方向延伸和沿所述列方向排列的N个时间控制信号线;

其中

所述驱动电路包括:一个用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到所述多个视频信号线的电压选择器电路,一个用于向所述电压选择器电路提供计时信号的移位寄存器,和多个用于从所述移位寄存器向所述电压选择器电路提供所述计时信号的计时信号线;

所述电压选择器电路包括:处理电路的多个串联组合,和用于以与所述计时信号同步的方式接受所述显示数据的多个数据接受元件,所述多个数据接受元件中的每一个数据接受元件对应于各个所述处理电路并且与各个所述处理电路一起配置在所述N个显示数据线中两个相邻的显示数据线之间,

所述多个计时信号线从所述移位寄存器沿所述列方向延伸,连接到对应的一个所述数据接受元件,并由与形成所述数据接受元件的控制电极的导电薄膜相同高度的导电薄膜制成,

所述多个串联组合的每一个与所述多个视频信号线中的一个相关联,

- 5 所述多个串联组合中的各串联组合的每一个所述处理电路与所述N个显示数据线的各显示数据线以及所述N个时间控制信号线的各时间控制信号线相关联,

每一个所述处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合,

- 10 通过从0到N个所述显示数据相关开关元件中选择一定的数量,指定所述选择数量的所述显示数据相关开关元件为OFF,并把所述多个串联组合的每一个串联组合中其余的所述显示数据相关开关元件切换到ON,所述显示数据产生 2^N 个不同的组合,

所述 2^N 个不同组合的每一个组合是唯一地与灰度电压的一个电平同步,

- 15 通过把与所述切换到OFF的显示数据相关开关元件一起构成所述并联组合的时间控制信号相关开关元件切换到ON,所述时间控制信号唯一地确定所述灰度电压的一个电平。

7. 根据权利要求6的液晶显示装置,其中所述显示数据相关开关元件和所述时间控制信号相关开关元件由相同传导类型的晶体管构成。

- 20 8. 根据权利要求6的液晶显示装置,其中所述第一衬底由硅制成。

9. 根据权利要求6的液晶显示装置,其中所述灰度电压以阶梯方式变化。

10. 根据权利要求6的液晶显示装置,其中所述N个显示数据线中的每一个显示数据线被提供以在二进制系统中代表所述显示数据的N个比特中的相应的一个比特。

- 25 11. 液晶显示装置,包括:

一个第一衬底;

一个第二衬底;

一个夹在所述第一衬底和所述第二衬底之间的液晶组合件;

配置在所述第一衬底上的多个像素;

- 30 用于向所述多个像素提供视频信号电压的多个视频信号线;

一个适合被提供以周期性变化的灰度电压的、用于向所述多个视频信号线输出所述视频信号电压的驱动电路；

用于向所述驱动电路提供显示数据的N个显示数据线；和

用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的N个

5 时间控制信号线；

其中

所述驱动电路设有：一个用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到多个视频信号线的电压选择器电路；

所述电压选择器电路包括：处理电路的多个串联组合，和用于根据所述多个
10 所述串联组合的一个输出把所述电压电平输出到所述多个视频信号线的多个输出电路，所述多个输出电路的每一个与所述多个串联组合中相应的一个串联连接，

所述多个串联组合的每一个与所述多个视频信号线中的一个关联，

所述多个串联组合中的各串联组合的每一个所述处理电路与所述N个显示
15 数据线的各个显示数据线以及所述N个时间控制信号线的各个时间控制信号线相关联，并被配置在所述N个显示数据线的两个相邻的显示数据线之间，

每一个所述处理电路包括耦连在一起形成OR电路的一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，

通过从0到N个所述显示数据相关开关元件中选择一定的数量，指定所述选
20 择数量的所述显示数据相关开关元件为OFF，并把所述多个串联组合的每一个串联组合中其余的所述显示数据相关开关元件切换到ON，所述显示数据产生 2^N 个不同的组合，

所述 2^N 个不同组合的每一个组合是唯一地与灰度电压的一个电平同步，和

当所述多个串联组合中相应的一个串联组合的所有所述处理电路都被切换
25 到ON时，所述多个输出电路的每一个被提供以控制信号用于唯一地确定对应于所述显示数据的所述灰度电压的一个电平。

12. 根据权利要求11的液晶显示装置，其中所述显示数据相关开关元件和所述时间控制信号相关开关元件由相同传导类型的晶体管构成。

13. 根据权利要求11的液晶显示装置，其中所述第一衬底由硅制成。

30 14. 根据权利要求11的液晶显示装置，其中所述灰度电压以阶梯方式变

化。

15. 根据权利要求11的液晶显示装置,其中所述N个显示数据线中的每一个显示数据线被提供以在二进制系统中代表所述显示数据的N个比特中的相应的一个比特。

5 16. 根据权利要求1的液晶显示装置,其中每一个所述处理电路被配置在所述多个视频信号线的两个相邻的视频信号线之间。

17. 根据权利要求6的液晶显示装置,其中每一个所述处理电路被配置在所述多个视频信号线的两个相邻的视频信号线之间。

18. 根据权利要求11的液晶显示装置,其中每一个所述处理电路被配置在
10 所述多个视频信号线的两个相邻的视频信号线之间。

19. 液晶显示装置,包括:

一个第一衬底;

一个第二衬底;

一个夹在所述第一衬底和所述第二衬底之间的液晶组合件;

15 配置在所述第一衬底上的多个像素;

用于向所述多个像素提供视频信号电压的多个视频信号线;

一个适合被提供以周期性变化的灰度电压的、用于向所述多个视频信号线输出所述视频信号电压的驱动电路;

用于向所述驱动电路提供显示数据的N个显示数据线;和

20 用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的N个时间控制信号线;

其中

所述驱动电路设有:一个用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到所述多个视频信号线的电压选择器电路;

25 所述电压选择器电路包括处理电路的多个串联组合,

所述多个串联组合的每一个与所述多个视频信号线中的一个相关联,

所述多个串联组合中的各串联组合的每一个所述处理电路与所述N个显示数据线的各个显示数据线以及所述N个时间控制信号线的各个时间控制信号线相关联,并被配置在所述N个显示数据线的两个相邻的显示数据线之间,

30 每一个所述处理电路包括一个显示数据相关开关元件和一个时间控制信号

相关开关元件的并联组合，

通过从0到N个所述时间控制信号相关开关元件中选择一定的数量，指定所述选择数量的所述时间控制信号相关开关元件为OFF，并把所述多个串联组合的每一个串联组合中其余的所述时间控制信号相关开关元件切换到ON，所述时间控制信号产生 2^N 个不同的组合，

所述 2^N 个不同组合的每一个组合是唯一地与灰度电压的一个电平同步，

通过把与所述切换到OFF的时间控制信号相关开关元件一起构成所述并联组合的一个显示数据相关开关元件切换到ON，所述显示数据唯一地确定一个所述灰度电压电平。

10 20. 液晶显示装置，包括：

一个第一衬底；

一个第二衬底；

一个夹在所述第一衬底和所述第二衬底之间的液晶组合件；

以矩阵方式配置在所述第一衬底上的多个像素；

15 用于向所述多个像素提供视频信号电压的沿所述矩阵的列方向延伸和沿行方向排列的多个视频信号线；

一个适合被提供以周期性变化的灰度电压的、用于向所述多个视频信号线输出所述视频信号电压的驱动电路；

20 用于向所述驱动电路提供显示数据的、沿所述行方向延伸和沿所述列方向排列的N个显示数据线；

用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的、沿所述行方向延伸和沿所述列方向排列的N个时间控制信号线；

其中

25 所述驱动电路包括：一个用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到所述多个视频信号线的电压选择器电路，一个用于向所述电压选择器电路提供计时信号的移位寄存器，和多个用于从所述移位寄存器向所述电压选择器电路提供所述计时信号的计时信号线；

30 所述电压选择器电路包括：处理电路的多个串联组合，和用于以与所述计时信号同步的方式接受所述视频信号的多个数据接受元件，所述多个数据接受元件中的每一个数据接受元件对应于各个所述处理电路并且与所述各个处理电路

一起配置在所述N个显示数据线中两个相邻的显示数据线之间，

所述多个计时信号线从所述移位寄存器沿列方向延伸，连接到对应的一个所述数据接受元件，并由与形成所述数据接受元件的控制电极的导电薄膜相同高度的导电薄膜制成，

5 所述多个串联组合的每一个与所述多个视频信号线中的一个相关联，

所述多个串联组合中的各串联组合的每一个所述处理电路与所述N个显示数据线的各显示数据线以及所述N个时间控制信号线的各时间控制信号线相关联，

10 每一个所述处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，

通过从0到N个所述时间控制信号相关开关元件中选择一定的数量，指定所述选择数量的所述时间控制信号相关开关元件为OFF，并把所述多个串联组合的每一个串联组合中其余的所述时间控制信号相关开关元件切换到ON，所述时间控制信号产生 2^N 个不同的组合，

15 所述 2^N 个不同组合的每一个组合是唯一地与灰度电压的一个电平同步，

通过把与所述切换到OFF的时间控制信号相关开关元件一起构成并联组合的显示数据相关开关元件切换到ON，所述显示数据唯一地确定所述灰度电压的一个电平。

21. 液晶显示装置，包括：

20 一个第一衬底；

一个第二衬底；

一个夹在所述第一衬底和所述第二衬底之间的液晶组合件；

配置在所述第一衬底上的多个像素；

用于向所述多个像素提供视频信号电压的多个视频信号线；

25 一个适合被提供以周期性变化的灰度电压、用于向所述多个视频信号线输出所述视频信号电压的驱动电路；

用于向所述驱动电路提供显示数据的N个显示数据线；

和用于向所述驱动电路提供与所述灰度电压同步变化的时间控制信号的N个时间控制信号线；

30 其中

所述驱动电路设有：一个电压选择器电路，用于根据所述显示数据从所述灰度电压中选择电压电平并把所述电压电平输出到所述多个视频信号线；

所述电压选择器电路包括：处理电路的多个串联组合，和用于根据所述多个串联组合的一个输出把所述电压电平输出到所述多个视频信号线的多个输出电路，所述多个输出电路的每一个与所述多个串联组合中相应的一个串联连接，
5 所述多个串联组合的每一个串联组合与所述多个视频信号线中的一个相关联，

所述多个串联组合的各个串联组合的每一个所述处理电路与所述N个显示数据线的各个数据线以及所述N个时间控制信号线的各个信号线相关联，并被
10 配置在所述N个显示数据线的两个相邻的显示数据线之间，

每一个所述处理电路包括耦连在一起形成OR电路的一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，

通过从0到N个所述时间控制信号相关开关元件中选择一定的数量，指定所述选择数量的时间控制信号相关开关元件为OFF，并把所述多个串联组合的每一个
15 个串联组合中其余的所述时间控制信号相关开关元件切换到ON，所述时间控制信号产生 2^N 个不同的组合，

所述 2^N 个不同组合的每一个组合是唯一地与灰度电压的一个电平同步，

当所述多个串联组合中相应的一个串联组合的所有所述处理电路都被切换到ON时，所述多个输出电路的每一个被提供以控制信号用于唯一地确定对应于
20 所述显示数据的一个所述灰度电压电平。

具有灰度电压选择器 电路的液晶显示装置

5

技术领域

本发明涉及液晶显示装置,更具体地说涉及用于为每一个像素提供视频信号电压的电路的技术。

背景技术

10 针对每一像素具有一个有源元件(例如薄膜晶体管)并开关该有源元件的一个有源矩阵型液晶显示装置已经被广泛地用作笔记本个人计算机等的显示装置。

在有源矩阵型液晶显示装置中,TFT(薄膜晶体管)型液晶显示模块已经被公知。在TFT型液晶显示模块中,由于通过薄膜晶体管(TFT)向像素电极施加一个视频信号电压(灰度电压),TFT型液晶显示模块不再受像素间串扰的影响,从而TFT型液晶显示模块能够提供多灰度显示而无须通过特殊驱动方法来防止串扰,这不同于简单的矩阵型液晶显示装置。

然而,当选择了一个对应于数字形式的显示数据的灰度电压的D/A转换被用于向像素电极提供灰度电压时,出现的问题是,随着灰度数量的增加,代表显示数据的比特数增加,因而,电路的规模变大,并且电路的工作速度变得不足。此外,尤其是在具有驱动电路和装配在相同衬底上的显示部分的驱动电路集成型液晶显示装置中,由于增大了驱动电路部分的面积而不是有用显示区域,上述问题更加严重。

来自视频设备的输出信号的发展趋势是以数字信号提供而不是以模拟信号提供,因此有通过把数字信号输入到液晶显示装置中并使用装配在液晶显示板上的驱动电路把数字信号转换成多灰度视频信号电压的驱动方法的需求,在驱动电路集成型液晶显示装置中也是如此。

对于把多灰度视频信号电压施加到每一个像素从而能够在有源矩阵型液晶显示装置中通过使用数字信号产生一个多灰度显示的驱动方法,有一种驱动方法是公知的,该方法公开在日本专利申请公开号5-35200(相应的美国专利号

5337070) 中。

在日本专利申请公开 5-35200 中公开了该方法, 使用 2^m 电压总线, 从 2^n 电压总线提供的每一个灰度电压以阶梯的方式变化, 该阶梯在对应于一个水平扫描线的一个水平扫描周期内具有 2^k 个台阶。

- 5 根据一个 n -比特显示数据的高阶 m 比特选择一个上述 2^m 电压总线, 从以阶梯方式在选择的电压总线上变化的灰度电压中, 根据一个 n -比特显示数据的低阶 k ($k=n-m$) 比特选择一个电压电平, 并且把选择的电压电平施加到一个像素的像素电极。

- 例如, 假定一种显示数据为 3 比特 ($n=3$), $m=1$, $k=2$ 的情况。使用两个电
10 压总线, 每一个电压总线被提供有以阶梯方式变化的灰度电压, 该阶梯方式为在一个水平扫描周期内有四个台阶。根据 3-比特显示数据的高阶 1 比特选择两电压总线中的一个电压总线上的灰度扫描电压, 根据 3-比特显示数据的低阶 2 比特, 从以具有四个台阶的阶梯方式在所选择的电压总线上变化的灰度扫描电压中选择一个电压, 并且把该选择的电压电平施加到一个像素的像素电极。

- 15 根据上述日本专利公开 5-35200 中描述的驱动方法, 能够减小用于在每一个像素上施加视频信号电压的电路的工作速度, 通过 D/A 转换在整个显示区域上减小视频信号电压的变化, 并且能够减小电压总线的数量。

- 但是, 当灰度级的数量增加以提高显示质量时, 用于选择一个以阶梯形式变化的电压电平的选择器电路的规模变大, 在把选择器电路结合到液晶显示板中
20 时该选择器电路占用的区域如此大, 从而出现问题, 液晶显示板变成大尺寸的显示板。作为解决上述问题的液晶显示装置, 用于减小选择器电路宽度的技术被公知, 该技术公开在日本专利申请公开 2000-194330 中。

发明内容

- 近来, 在液晶显示装置中, 灰度级电压的数量进一步增加到 64 或 256。在
25 日本专利申请公开 2000-194330 中没有考虑用于实现 64 或更多灰度级的驱动电路长度增加的问题。

此外, 在液晶显示装置中, 显示分辨率已经增加, 但是没有考虑到装配驱动电路的区域即驱动电路占用的区域的减小的问题, 或元件的最小要求数量。

- 本发明用于解决现有技术中的上述问题, 并提供用于减小驱动电路规模的技术
30 术, 从而能够减小该电路在液晶显示装置中占用的区域。

通过下面结合附图的详细描述，本发明的上述目标和新颖性特征将变得明显。

下面简要地说明本发明的各代表性方面。

根据本发明的一个实施例，提供一个液晶显示装置，该液晶显示装置包括：

- 5 一个第一衬底；一个第二衬底；一个夹在第一衬底和第二衬底之间的液晶组合件；配置在第一衬底上多个像素；用于向多个像素提供视频信号电压的多个视频信号线；一个适合被提供以周期性变化的灰度电压、用于向多个视频信号线输出视频信号电压的驱动电路；用于向驱动电路提供显示数据的N个显示数据线；和用于向驱动电路提供与灰度电压同步变化的时间控制信号的N个时间控制信号线，N个时间控制信号线中的每一个与代表二进制系统中的时间控制信号的N个比特中的一个相关联；其中，驱动电路设有一个电压选择器电路，用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个视频信号线；该电压选择器电路包括处理电路的多个串联组合，多个串联组合中的每一个与多个视频信号线中的一个相关联，多个串联组合中的各串联组合的每一个
- 10 处理电路与N个显示数据线的各显示数据线以及N个时间控制信号线的各时间控制信号线相关联，并被配置在N个显示数据线的两个相邻的显示数据线之间，每一个处理电路包括一个与显示数据相关的开关元件（或称为显示数据相关开关元件）和一个与时间控制信号相关的开关元件（或称为时间控制信号相关开关元件）的并联组合，通过从0到N个显示数据相关开关元件中选择一定的数量，指定选择数量的显示数据相关开关元件为OFF，并把多个串联组合的每一个
- 15 串联组合中其余的显示数据相关开关元件切换到ON，显示数据产生 2^N 个不同的组合， 2^N 个不同组合的每一个组合是唯一的（与灰度电压的一个电平同步地），通过把与切换到OFF的显示数据相关开关元件一起构成并联组合的时间控制信号相关开关元件切换到ON，时间控制信号唯一地确定一个灰度电压的电平。

- 25 根据本发明另一个实施例，提供一个液晶显示装置，该液晶显示装置包括：一个第一衬底；一个第二衬底；一个夹在第一衬底和第二衬底之间的液晶组合件；配置在第一衬底上以矩阵排列的多个像素；用于向多个像素提供视频信号电压的沿矩阵的列方向延伸和沿行方向排列的多个视频信号线；一个适合被提供以周期性变化的灰度电压的、用于向多个视频信号线输出视频信号电压的驱动电路；用于向驱动电路提供显示数据的、沿行方向延伸和沿列方向排列的N
- 30

个显示数据线；和用于向驱动电路提供与灰度电压同步变化的时间控制信号的、沿行方向延伸和沿列方向排列的N个时间控制信号线；其中，驱动电路包括：一个用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个视频信号线的电压选择器电路，一个用于向电压选择器电路提供计时信号的移位寄存器，和多个用于从移位寄存器向电压选择器电路提供计时信号的计时信号线；电压选择器电路包括：处理电路的多个串联组合，和用于以与计时信号同步的方式接受显示数据的多个数据接受元件，多个数据接受元件中的每一个数据接受元件对应于各个处理电路并且与各个处理电路一起配置在N个显示数据线中两个相邻的显示数据线之间，多个计时信号线从移位寄存器沿列方向延伸，连接到对应的一个数据接受元件，并由与形成数据接受元件的控制电极的导电薄膜等级相同的导电薄膜制成，多个串联组合的每一个与多个视频信号线中的一个相关联，多个串联组合中的各串联组合的每一个处理电路与N个显示数据线的各显示数据线以及N个时间控制信号线的各时间控制信号线相关联，每一个处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，通过从0到N个显示数据相关开关元件中选择一定的数量，指定选择数量的显示数据相关开关元件为OFF，并把多个串联组合的每一个串联组合中其余的显示数据相关开关元件切换到ON，显示数据产生 2^N 个不同的组合， 2^N 个不同组合的每一个组合是唯一的（与灰度电压的一个电平同步地），通过把与切换到OFF的显示数据相关开关元件一起构成并联组合的时间控制信号相关开关元件切换到ON，时间控制信号唯一地确定灰度电压的一个电平。

根据本发明的另一个实施例，提供一个液晶显示装置，该液晶显示装置包括：一个第一衬底；一个第二衬底；一个夹在第一衬底和第二衬底之间的液晶组合件；配置在第一衬底上的多个像素；用于向多个像素提供视频信号电压的多个视频信号线；一个适合被提供以周期性变化的灰度电压的、用于向多个视频信号线输出视频信号电压的驱动电路；用于向驱动电路提供显示数据的N个显示数据线；和用于向驱动电路提供与灰度电压同步变化的时间控制信号的N个时间控制信号线；其中，驱动电路设有：一个用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个视频信号线的电压选择器电路；该电压选择器电路包括：处理电路的多个串联组合，和用于根据多个串联组合的一个输出把该电压电平输出到视频信号线的多个输出电路，该多个输出电路的每一

个与多个串联组合中相应的一个串联连接，多个串联组合中的各串联组合的每一个处理电路与N个显示数据线的各个显示数据线以及N个时间控制信号线的各个时间控制信号线相关联，并被配置在N个显示数据线的两个相邻的显示数据线之间，每一个处理电路包括耦连在一起形成OR电路的一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，通过从0到N个显示数据相关开关元件中选择一定的数量，指定选择数量的显示数据相关开关元件为OFF，并把多个串联组合的每一个串联组合中其余的显示数据相关开关元件切换到ON，显示数据产生 2^N 个不同的组合， 2^N 个不同组合的每一个组合是唯一的（与灰度电压的一个电平同步地），当多个串联组合中相应的一个串联组合的所有处理电路都被切换到ON时，多个输出电路的每一个被提供以控制信号用于唯一地确定对应于显示数据的一个灰度电压电平。

根据本发明另一个实施例，提供一个液晶显示装置，该液晶显示装置包括：一个第一衬底；一个第二衬底；一个夹在第一衬底和第二衬底之间的液晶组合件；配置在第一衬底上的多个像素；用于向多个像素提供视频信号电压的多个视频信号线；一个适合被提供以周期性变化的灰度电压的、用于向多个视频信号线输出视频信号电压的驱动电路；用于向驱动电路提供显示数据的N个显示数据线；和用于向驱动电路提供与灰度电压同步变化的时间控制信号的N个时间控制信号线；其中，该驱动电路设有：一个用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个视频信号线的电压选择器电路；该电压选择器电路包括：处理电路的多个串联组合，多个串联组合的每一个与多个视频信号线中的一个相关联，多个串联组合中的各串联组合的每一个处理电路与N个显示数据线的各个显示数据线以及N个时间控制信号线的各个时间控制信号线相关联，并被配置在N个显示数据线的两个相邻的显示数据线之间，每一个处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，通过从0到N个时间控制信号相关开关元件中选择一定的数量，指定选择数量的时间控制信号相关开关元件为OFF，并把多个串联组合的每一个串联组合中其余的时间控制信号相关开关元件切换到ON，时间控制信号产生 2^N 个不同的组合， 2^N 个不同组合的每一个组合是唯一的（与灰度电压的一个电平同步地），通过把与切换到OFF的时间控制信号相关开关元件一起构成并联组合的一个显示数据相关开关元件切换到ON，显示数据唯一地确定一个灰度电压

电平。

根据本发明的另一个实施例,提供一个液晶显示装置,该液晶显示装置包括:
一个第一衬底;一个第二衬底;一个夹在第一衬底和第二衬底之间的液晶组合
件;以矩阵方式排列在第一衬底上多个像素;用于向多个像素提供视频信号电
5 压的沿矩阵的列方向延伸和沿行方向排列的多个视频信号线;一个适合被提供
以周期性变化的灰度电压的、用于向多个视频信号线输出视频信号电压的驱动
电路;用于向驱动电路提供显示数据的、沿行方向延伸和沿列方向排列的N个
显示数据线;和用于向驱动电路提供与灰度电压同步变化的时间控制信号的、
沿行方向延伸和沿列方向排列的N个时间控制信号线;其中,驱动电路包括:
10 一个用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个
视频信号线的电压选择器电路,一个用于向电压选择器电路提供计时信号的移
位寄存器,和多个用于从移位寄存器向电压选择器电路提供计时信号的计时信
号线;电压选择器电路包括:处理电路的多个串联组合,和用于以与计时信号
同步的方式接受视频信号的多个数据接受元件,多个数据接受元件中的每一个
15 数据接受元件对应于各个处理电路并且与各个处理电路一起配置在N个显示数
据线中两个相邻的显示数据线之间,多个计时信号线从移位寄存器沿列方向延
伸,连接到对应的一个数据接受元件,并由与形成数据接受元件的控制电极的
导电薄膜等级相同的导电薄膜制成,多个串联组合的每一个与多个视频信号线
中的一个相关联,多个串联组合中的各串联组合的每一个处理电路与N个显示
20 数据线的各显示数据线以及N个时间控制信号线的各时间控制信号线相关联,
每一个处理电路包括一个显示数据相关开关元件和一个时间控制信号相关开关
元件的并联组合,通过从0到N个时间控制信号相关开关元件中选择一定的数
量,指定选择数量的时间控制信号相关开关元件为OFF,并把多个串联组合的每
一个串联组合中其余的时间控制信号相关开关元件切换到ON,时间控制信号产
25 生 2^N 个不同的组合, 2^N 个不同组合的每一个组合是唯一的(与灰度电压的一个
电平同步地),通过把与切换到OFF的时间控制信号相关开关元件一起构成并
联组合的显示数据相关开关元件切换到ON,显示数据唯一地确定灰度电压的一
个电平。

根据本发明的另一个实施例,提供一个液晶显示装置,该液晶显示装置包括:
30 一个第一衬底;一个第二衬底;一个夹在第一衬底和第二衬底之间的液晶组合

件；配置在第一衬底上多个像素；用于向多个像素提供视频信号电压的多个视频信号线；一个适合被提供以周期性变化的灰度电压、用于向多个视频信号线输出视频信号电压的驱动电路；用于向驱动电路提供显示数据的N个显示数据线；和用于向驱动电路提供与灰度电压同步变化的时间控制信号的N个时间控制信号线；其中，驱动电路设有：一个电压选择器电路，用于根据显示数据从灰度电压中选择电压电平并把该电压电平输出到多个视频信号线；该电压选择器电路包括：处理电路的多个串联组合，和用于根据多个串联组合的一个输出把该电压电平输出到视频信号线的多个输出电路，该多个输出电路的每一个与多个串联组合中相应的一个串联连接，多个串联组合的每一个串联组合与多个视频信号线中的一个相关联，多个串联组合的各个串联组合的每一个处理电路与N个显示数据线的各个数据线以及N个时间控制信号线的各个信号线相关联，并被配置在N个显示数据线的两个相邻的显示数据线之间，每一个处理电路包括耦连在一起形成OR电路的一个显示数据相关开关元件和一个时间控制信号相关开关元件的并联组合，通过从0到N个时间控制信号相关开关元件中选择一定的数量，指定选择数量的时间控制信号相关开关元件为OFF，并把多个串联组合的每一个串联组合中其余的时间控制信号相关开关元件切换到ON，时间控制信号产生 2^N 个不同的组合， 2^N 个不同组合的每一个组合是唯一的（与灰度电压的一个电平同步地），当多个串联组合中相应的一个串联组合的所有处理电路都被切换到ON时，多个输出电路的每一个被提供以控制信号用于唯一地确定对应于显示数据的一个灰度电压电平。

附图说明

在附图中，所有附图中相同标号表示类似的元件，其中：

图1是一个方框图，示出了根据本发明液晶显示装置的一个实施例的示意性整体结构；

图2是根据本发明一个实施例的液晶显示装置的液晶显示板的等效电路图。

图3是方框图，用于说明根据本发明一个实施例的液晶显示装置的水平驱动电路和显示部分的大致结构；

图4是方框图，用于说明根据本发明一个实施例的液晶显示装置的水平驱动电路的大致结构；

图5是电路图，用于说明根据本发明一个实施例的液晶显示装置的电压选择

器电路的大致结构；

图6 电路图，用于说明根据本发明一个实施例的液晶显示装置的电压选择器电路的大致结构；

图7A 和 7B 是两个不同常规结构的示意性截面图，在该结构中两个晶体管并
5 排配置；

图8A-8C 分别是两个晶体管的三种不同排列以及这些晶体管所占用的区域的示意性平面图；

图9A 是示意性平面图，示出了根据本发明一个实施例的液晶显示装置中使用的两个元件的布置，图 9B 是沿图 9A 的 IXB-IXB 线的示意性截面图；

10 图 10 是示意性平面图，示出了根据本发明一个实施例的液晶显示装置中使用的处理电路的布置；

图 11 所示为显示数据和定时信号的波形，用于说明根据本发明一个实施例的液晶显示装置的操作；

图 12 所示为灰度电压、时间控制信号和定时信号的波形，用于说明根据本
15 发明一个实施例的液晶显示装置的操作；

图 13 所示为在根据本发明一个实施例的液晶显示装置中使用的移位寄存器的示意性电路图；

图 14A-14D 所示分别为在根据本发明一个实施例的液晶显示装置中使用的四个时钟控制的反相器的示意性电路图；

20 图 15A 为示意性平面图，用于说明形成根据本发明一个实施例的液晶显示装置中使用的水平驱动电路的晶体管的布置，图 15B 是沿 XVB-XVB 线的图 15A 的示意性截面图；

图 16 是方框图，用于说明在根据本发明一个实施例的液晶显示装置中使用的两系统水平驱动电路的大致结构；

25 图 17 所示为在根据本发明一个实施例的液晶显示装置中使用的水平驱动电路的示意性电路结构；

图 18 所示为在根据本发明一个实施例的液晶显示装置中的像素部分的示意性截面图；

图 19A 和 19B 分别示出了应用到根据本发明一个实施例的液晶显示装置的单
30 偏振器扭转排列的向列相 (single-Polarizer twisted Nematic) (SPTN) 模

式的 field-off 和 field-off 状态；

图 20 是示意性平面图，示出了配置在根据本发明一个实施例的液晶显示装置的驱动电路衬底上的反射电极和垫片的排列；

图 21 所示为沿图 21 的 XXI-XXI 线的根据本发明一个实施例的液晶显示装置
5 中的有源元件及其附近的示意性截面图；

图 22 所示为在根据本发明一个实施例的液晶显示装置中的有源元件及其附近的示意性平面图；

图 23 所示为在根据本发明一个实施例的液晶显示装置中与一个透明衬底叠加的驱动电路衬底的示意性立体图；

10 图 24 所示在根据本发明一个实施例的液晶显示装置中一个液晶显示板的示意性平面图，该液晶显示板具有一个耦连到那里的柔性印刷电路板；

图 25 所示为根据本发明一个实施例的液晶显示装置主要部件的示意性分解立体图；

图 26 所示为根据本发明一个实施例的液晶显示装置的示意性平面图。

15 具体实施方式

下面参考附图详细描述本发明的实施例。在用于解释实施例的所有附图中，相同的标号表示功能类似的部件，并且不再重复解释它们。

图 1 是一个方框图，示出了根据本发明一个实施例的液晶显示装置的示意性整体结构。本实施例的液晶显示模块包括一个液晶显示板（液晶显示元件）100，
20 一个显示控制装置 111，一个电压产生电路 112。

液晶显示板 100 包括一个显示部分 110，一个水平驱动电路（视频信号线驱动电路）120，一个垂直驱动电路（扫描信号线驱动电路）130。显示部分 110、水平驱动电路 120、和垂直驱动电路 130 被配置在相同的衬底上。所示显示控制装置 111 和电压产生电路 112 与液晶显示板 100 分离，但是它们也可以配置在
25 配置有液晶显示板 100 的相同衬底上。

显示控制装置 111 根据外部传送的控制信号如时钟信号、显示定时信号、水平同步信号、垂直同步信号，控制水平驱动电路 120 和垂直驱动电路 130。显示控制装置 111 向水平驱动电路 120 提供显示数据，这些数据是要在液晶显示板 100 上显示的图象数据。电压产生电路 112 产生液晶显示板 100 进行显示所需要的电压。水平驱动电路 120 根据显示数据选择电压产生电路 112 提供的灰度电
30

压并将选择的电压输出到显示部分 110, 显示部分 110 与垂直驱动电路 130 输出的扫描信号同步地把灰度电压输入到像素 (未图示)。

多个视频信号线 (也被称为漏极信号线或垂直信号线) 103 沿垂直方向 (图 1 中的 Y 方向) 从水平驱动电路 120 延伸到显示部分 110 中, 并且它们在水平方向 (图 1 中的 X 方向) 上被排列。灰度电压通过视频信号线 103 提供到显示部分 110。多个扫描信号线 (也被称为栅极信号线或水平信号线) 102 沿水平方向 (图 1 中的 X 方向) 从垂直驱动电路 130 延伸到显示部分 110 中, 并且它们在垂直方向 (图 1 中的 Y 方向) 上被排列。扫描信号通过扫描信号线 102 提供到显示部分 110。

水平驱动电路 120 包括一个水平移位寄存器 121 和一个电压选择器电路 123。来自显示控制装置 111 的定时控制信号线 131 被连接到水平移位寄存器 121 和垂直驱动电路 130, 来自显示控制装置 111 的显示数据线 132 和时间控制信号线 134 被连接到电压选择器电路 123。来自电压产生电路 112 的灰度电压线 133 被连接到电压选择器电路 123 以向其提供灰度电压。为了简便起见, 图 1 中省略了连接到各电路的电压馈送线, 但是可以理解, 设有连接到各电路电压馈送线。

在对应于第一显示线的一个垂直同步信号之后, 显示控制装置 111 立即确认第一显示定时信号, 并通过定时控制信号线 131 向垂直驱动电路 130 输出一个开始脉冲, 该开始脉冲是一个定时控制信号。根据水平同步脉冲, 显示控制装置 111 通过一个水平扫描周期向垂直驱动电路 130 输出一个移位时钟, 从而扫描信号线 102 被顺序地选择。垂直驱动电路 130 根据移位时钟选择扫描信号线 102 并向扫描信号线 102 提供扫描信号。

此外, 当显示控制装置 111 接受显示定时信号时, 显示控制装置 111 确认与显示开始对应的显示定时信号, 并向水平驱动电路 120 输出显示数据。显示数据被顺序地从显示控制装置 111 输出, 根据移位时钟, 水平移位寄存器 121 把用于选择要被提供到各视频信号线 103 的显示数据的定时信号输出到电压选择器电路 123, 该移位时钟是一个从显示控制装置 111 传输来的定时控制信号。

电压选择器电路 123 根据定时信号接受显示数据, 选择由电压产生电路 112 提供的一个灰度电压对应于每一个显示数据, 并把选择的电压输出到视频信号线 103。下面将解释电压选择器电路 123。

图2示出了根据本发明一个实施例的液晶显示板100的等效电路。图2所示电路图还代表其电路部件的实际几何排列。显示部分110具有以矩阵方式排列的像素部分101。为了简便起见，图2中只示出了一个像素部分。每个像素101具有一个开关部件104和一个像素电极109，并被配置在被两个相邻扫描信号线102和两个相邻视频信号线103围绕的区域内。

如上所述，垂直驱动电路130通过一个水平扫描周期向扫描信号线102顺序地输出扫描信号，并且该扫描信号被用于开关部件104的开-或-关控制。

视频信号线103被提供以灰度电压，并且当开关部件104接通时，该灰度电压被从视频信号线103提供到像素电极109。面对像素电极109配置一个反电极（公用电极）107，并且一个液晶显示层（未图示）夹在像素电极109和反电极107之间。在图2所示电路图中，由于液晶显示层，一个等效液晶电容108被示为连接在一个像素电极109和反电极107之间。

通过在像素电极109和反电极107之间施加电压从而改变液晶显示层的光学特性，产生显示。形成显示在液晶显示板上的图象的各像素的灰度级取决于提供到像素电极109的电压。因此，当在液晶显示板上显示的灰度级的量增加时，被提供到像素电极109的灰度电压电平量随之增加。

在显示部分110中，显示部分110的亮度由像素电极109所占区域与整个显示部分110区域比例来决定，因此把像素部分101的像素电极109制作得尽可能大。换句话说，在液晶显示板中，将除像素电极109之外的部分所占用的区域设计得尽可能小。

如上所述，从电压选择器电路123输出提供到像素电极109的灰度电压。当在液晶显示板100上显示灰度级的量，电压选择器电路123必须在大量的灰度电压电平中选择需要输出到视频信号线103的灰度电压，并且通过连接在显示控制装置111和电压选择器电路123之间的显示数据线132传输的数据量增加。因此，当在液晶显示板100上显示灰度级的量，产生的问题是显示数据线132的量增加，并且结果是，电压选择器电路123的比例变大。在本发明中，电压选择器电路123由制作得尽可能小的电路结构形成，并被有效排列在液晶显示板100内。

此外，尤其是在具有制作在相同衬底上的驱动电路和显示部分的所谓驱动-电路-集成型的液晶显示装置中，本发明通过灰度级的量增加而尺寸小的液晶显

示装置解决问题。

下面通过参考图 3 解释电压选择器电路 123。图 3 是一个方框图，用于解释电压选择器电路 123 的内电路的一个宽度和隔开两个相邻视频信号线 103 的中心距之间的关系。电压选择器电路 123 包括显示数据处理电路 325 和灰度电压输出电路 326。每一个显示数据处理电路 325 和灰度电压输出电路 326 被排列在相应的一个视频信号线 103 的延长线上。

来自显示控制装置 111(未示出)的显示数据线 321-323 被连接到水平驱动电路 120。当结合图 1 和 2 解释的显示数据为数字表示时，每一个显示数据线 321-323 对应于数字形式的显示数据的一个比特。显示数据线 321-323 代表对应于一个比特的图 1 和 2 中所示的各个显示数据线 132。来自显示控制装置 111 的时间控制信号线 134 被连接到电压选择器电路 123，但在图 3 中被省略。

显示数据被顺序地输出到显示数据线 321-323，水平移位寄存器 121 输出定时信号，通过该定时信号显示数据被同步接受。来自水平移位寄存器 121 的定时信号线 329 被连接到电压选择器电路 123，并且它们把定时信号传输到电压选择器电路 123。标号 HSR1 到 HSRn 表示双向移位寄存器。水平移位寄存器 121 包括双向移位寄存器 HSR1 到 HSRn。双向移位寄存器 HSR1 到 HSRn 根据定时控制信号线 131 输出的信号（移位时钟）输出定时信号。

计划供视频信号线 103 使用的显示数据被输出到显示数据线 321-323，显示数据处理电路 325 与对应的一个定时信号同步地接受显示数据。双向移位寄存器 HSR0 和 HSRn+1 是虚拟的。

在图 3 中，电压产生电路 112 被放置在其中一个形成液晶显示板 100 的衬底上，来自电压产生电路 112 的灰度电压线 133 被连接到灰度电压输出电路 326。 n 个视频信号线 103 以近似相等的间隔排列在显示部分 110 内。相邻两个视频信号线 103 之间的间隔近似等于放置在显示部分 110 内的像素电极 109 的宽度。设置在显示部分 110 的给定区域内的像素数量由有关标准确定。因此，显示部分 110 的区域和像素数量确定形成一个像素的区域大小。根据形成一个像素的区域大小选择两个相邻视频信号线 103 之间的间隔。例如，假定在图 3 中的显示部分 110 内的水平方向（沿 X 方向）上排列 n 个像素，显示部分 110 的宽度为 W 。那么像素排列间距为 W/n ，视频信号线 103 之间的中心距近似等于像素间距 W/n 。安装在视频信号线 103 延长线上的显示数据处理电路 325 和灰度电压输

出电路 326 的宽度近似等于像素节距 W/n 。

在每一个视频信号线 103 的延长线上设置有显示数据处理电路 325 和灰度电压输出电路 326，用于把灰度电压输出到相应的一个视频信号线 103。显示数据处理电路 325 和灰度电压输出电路 326 的结合同样也配置在与任意一个视频信号线 103 延长线相邻的两个延长线上。因此如果显示数据处理电路 325 和灰度电压输出电路 326 的宽度不限制在水平像素间距之内，出现的问题是显示数据处理电路 325 或灰度电压输出电路 326 覆盖相邻的一个显示数据处理电路 325 和灰度电压输出电路 326。因此，在显示部分区域减小的情况或像素数量增加的情况下，出现的问题是必须考虑电路宽度，从而能够在像素间距内形成驱动电路。

在本实施例中，为了在水平像素间距内有效排列显示数据处理电路 325 和灰度电压输出电路 326，提供多个显示数据处理电路 325，每一个显示数据处理电路 325 对应于相应的一个显示数据线 321-323，它们的排列与显示数据线 321-323 的排列一致，并且它们被放置在相应一个视频信号线 103 的延长线上。

如图 3 所示，显示数据线 321-323 从显示控制装置 111 延伸并被连接到显示数据处理电路 325。该实施例解释了这样一种情况，在这种情况下，使用代表 8 个灰度级的 3-比特显示数据，并且显示数据线 321-323 的数量为 3。在本实施例中，为了简单起见，将描述的情况是，显示数据线的数量为 3，但是能够根据显示数据选择任意数量的显示数据线。

所设置的每一个显示数据处理电路 325 与相应的一个显示数据线 321-323 相关联，通过显示信号的相应比特执行数字处理，然后把处理结果传输到灰度电压输出电路 326。灰度电压输出电路 326 根据来自显示数据处理电路 325 的处理结果输出对应于显示数据的一个灰度电压。

如上所述，视频信号线 103 受配置在显示部分 110 内的像素电极 109 大小的限制。另一方面，能够选择两个相邻显示数据线 321-323 之间的间隔，使其足够宽从而在其间放置每一个显示数据处理电路 325。如图 3 所示，与一个视频信号线 103 相关联的三个显示数据处理电路 325 在其中一个视频信号线 103 的延长线上排列成一直线（在图 3 中的 Y 方向上），三个显示数据处理电路 325 中的每一个还在相应一个显示数据线 321-323 附近排列。因此，显示数据处理电路 325 能够被放置在相邻的两个视频信号线 103 之间。

但是, 本发明者发现, 不能使显示数据线之间的间隔自由大, 但是需要使间隔尽可能地小。下面将描述显示数据处理电路 325 的长度以及宽度的减小。

现在参考图 4 详细描述电压选择器电路 123。图 4 是一个粗略的方框图, 示出了电压选择器电路 123 的电路结构。在图 4 中, 仅示出了与视频信号线 103 有关的电压选择器电路 123 的结构, 以避免图的复杂。

如上所述, 电压选择器电路 123 设有显示数据处理电路 325, 每一个显示数据处理电路 325 与相应的一个显示数据线 321-323 相关联。每一个显示数据处理电路 325 被连接到相应的一个时间控制信号线 161-163。

时间控制信号线 161-163 包括在图 1 和 2 中所示的时间控制信号线 134 中, 并连接到显示控制装置 111 (在图 4 中未示出)。

在图 4 中, 标号 122 表示显示数据保留电路, 它与水平移位寄存器 121 通过定时信号线 329 提供的信号同步地存储分别来自显示数据线 321-323 的显示数据。标号 331、332、333 表示处理结果传输电路, 通过使用显示数据保留电路 122 的输出和来自相应一个时间控制信号线 161-163 的信号, 每个处理结果传输电路执行数字处理, 并将其处理结果输出到处理结果信号线 152。处理结果传输电路 331-333 通过处理结果信号线 152 串联连接。灰度电压输出电路 326 也通过处理结果信号线 152 与处理结果传输电路 331-333 串联连接。灰度电压输出电路 326 根据处理结果传输电路 331-333 传输的处理结果选择电压总线 151 上其中一个灰度电压, 并把选择的灰度电压输出到视频信号线 103。电压总线 151 是图 1 到 3 中所示的在该灰度线上承载时间-变化电压的情况下的灰度线 133。在图 4 中, 只有一个电压总线, 但是也可以使用多个电压总线。

在本实施例中, 处理结果传输电路 331-333 和灰度电压输出电路 326 通过比显示数据线数量少的处理结果信号线 152 连接, 从而能够减少导线需要的区域。更具体地说, 三个显示数据线 321-323 传输的数据被三个处理结果传输电路 331-333 处理, 然后它们的处理结果通过单个处理结果信号线 152 在垂直方向上传送, 从而减少导线的数量。此外, 三个处理结果传输电路 331-333 在垂直方向上排列, 结果能够减小用于向视频信号线 103 输出灰度电压的电路结构的宽度。

下面解释选择一个灰度电压并通过灰度电压输出电路 326 输出到视频信号线 103 的方法。灰度电压输出电路 326 具有与其连接的电压总线 151。电压总线

151 上的电压随时间周期性地变化。当电压总线 151 上的电压变成一个所需值时，灰度电压输出电路 326 把电压总线 151 电连接到视频信号线 103，但是当电压总线 151 上的电压不等于所需电压值时，灰度电压输出电路 326 把电压总线 151 从视频信号线 103 断开，从而所需电压能够作为灰度电压输出到视频信号线 103。

下面简要解释电压选择器电路 123 的操作。显示数据最初与水平移位寄存器 121 输出的定时信号同步地被存储在显示数据保留电路 122 中。然后存储在显示数据保留电路 122 中的数据被传输到处理结果传输电路 331-333。时间控制信号线 161-163 上的时间控制信号随时间变化，处理结果传输电路 331-333 通过使用来自显示数据保留电路 122 的值和时间控制信号线 161-163 上的时间控制信号的值执行数字处理。处理结果传输电路 331-333 获得的处理结果被传输到灰度电压输出电路 326。当电压总线 151 上电压变成等于显示数据所代表的电压时，处理结果传输电路 331-333 获得的结果被输出，并且从而灰度电压输出电路 326 把来自电压总线 151 的灰度电压输出到视频信号线 103。

再次参考图 4，下面解释的方法中，处理结果传输电路 331-333 有开关电路构成，来自固定电压线 153 的电压被输出到处理结果信号线 152，然后被传输到灰度电压输出电路 326，从而灰度电压输出电路 326 能够输出一个理想的(所需的)灰度电压。

由于三个处理结果传输电路 331-333 通过处理结果信号线 152 串联连接，处理结果传输电路 331-333 所代表的状态仅是下面两种状态：

(i) 所有的处理结果传输电路 331-333 接通，并将作为结果的固定电压线 153 上的固定电压传输到灰度电压输出电路 326。

(ii) 至少一个处理结果传输电路 331-333 被断开，结果，不把固定电压线 153 上的固定电压传输到灰度电压输出电路 326。

如果传输到灰度电压输出电路 326 的状态数量只有两个，对于灰度电压输出电路 326 来说难以输出多个灰度电压。

为了解决这个问题，在本实施例中，显示数据处理电路 325 这样构成：从数量 m (本实施例中为 3) 个处理结果传输电路 (331-333) 中选择特定数量的处理结果传输电路作为开关电路。通过这种结构，即使它们通过处理结果信号线 152 串联连接，数量 m 个处理结果传输电路 (331-333) 能够代表数量 2^m 个状态。

表 1 示出了三个处理结果传输电路 331、332 和 333 作为开关电路的分配。

表 1

处理结果传 输电路	例 1	例 2	例 3	例 4	例 5	例 6	例 7	例 8
333	—	—	—	—	SW	SW	SW	SW
332	—	—	SW	SW	—	—	SW	SW
331	—	SW	—	SW	—	SW	—	SW

在表 1 中，“—”表示处理结果传输电路一直接通（导电），“SW”表示处
理结果传输电路作为开关电路。虽然三个处理结果传输电路 331、332、333 被
5 构成开关电路，如果处理结果传输电路被设为一直接通，可以认为该开关电路
不存在且导通。

如上所述，在开关电路串联连接的情况下，只有两个状态能够被选择，一个
是所有开关电路都接通，另一个是至少一个开关电路断开。但是，如表 1 所示，
如果 m（表 1 中为 3）个开关电路（处理结果传输电路 331-333）被如此构成，
10 在每一种情况下，只有特定数量的开关电路能够被从 m 个开关电路中选择用于
开关操作，则能够选择 2^m 个不同的状态。

当一个重复周期被分成 2^m 个间隔时，通过在 2^m 个间隔中各个间隔来自多个
时间控制信号线（161-163）的周期，构成不同的数据时间-变化的组合，从而
代表 2^m 个不同状态，可以使所有处理结果传输电路（331-333）导通，从而，根
15 据来自时间控制信号线（161-163）的数据和显示数据，在对应于显示数据的 2^m
个间隔的其中一个间隔期间，固定电压线 153 上电压能够被传输到灰度电压输
出电路 326。

图 5 和 6 是电路图，分别示出了在本实施例中电压选择器电路 123 的第一和
第二部分电路结构，图 5 中 A 表示的线端连接到图 6 中 A 表示的线端。为了简
20 便起见，图 5 和 6 中还示出了显示数据由 3 个比特构成的情况。在图 5 中，一
些信号线具有额外的表示传输到那里的信号的左侧端标号和分配到右侧端的参
考标号。

如图 5 所示，图 4 中的每一个处理结果传输电路 331-333 包含两个 n 型晶体
管，相应地，其中一个用做显示数据处理元件 201-203，另一个用做时间数据处
25 理元件 211-213。

除显示数据处理元件 201-203 和时间数据处理元件 211-213 之外,图 4 的每一个显示数据处理电路 325 还包括数据接收元件 171-173、存储器电容 191-193、和显示数据传输元件 181-183。显示数据处理电路 325 分别被连接到显示数据线 321-323 以提供显示数据 DD1-DD3、连接到时间控制信号线 161-163 以提供时间控制信号 DA1-DA3、以及连接到传输信号线 167-169 以提供传输信号 TG,用于
5 分别控制显示数据传输元件 181-183。

根据传输信号 TG,存储在存储器电容 191-193 内的显示数据通过显示数据传输元件 181-183 被传输到显示数据处理元件 201-203。标号 153 和 156 表示用于提供电源电压 VDD 的固定电压线。标号 154 表示用于提供电源电压 GND 的固定电压线。标号 166 是处理结果信号线设置信号线,166 是一个处理结果信号线
10 复位信号线。在图 6 中,标号 141 表示电平移动电路,142 是一个门电路,151 是电压总线。

如图 5 所示,当为每一个显示数据线 321-323 提供一个显示数据处理电路 325 时,并且显示数据处理电路 325 仅由相同传导类型的晶体管构成时,在液晶显示装置中,电压选择器电路 123 所占用的区域长度以及宽度能够被减小。
15

首先,在详细解释图 5 的电路之前,将参考图 7A、7B、8A-8C 和 9A-9B 解释用于装配电路元件所需要的区域大小,如显示数据处理电路 325。

图 7A 和 7B 所示为并排装配两个晶体管的结构的示意性截面图。图 7A 和 7B 示出了普通晶体管的通常结构。图 7A 描述了相同传导类型的两个晶体管并排装配情况,两个 n 型晶体管 230 并排装配。图 7B 描述了传导类型相反的两个晶体管并排装配的情况,左侧是一个 n 型晶体管 230,右侧是 p 型晶体管 240。
20

在图 7A 中,标号 232 表示一个 p 型阱 (well),它通过离子注入被装配在半导体基片 231 内,用于源极和漏极区的 n 型半导体层 233 通过离子注入被装配在 p 型阱 232 内。标号 234 表示一个栅极,它被装配在 p 型阱 232 上,在栅极和 p 型阱 232 之间有一栅绝缘膜。两个晶体管 230 被通过硅的局部氧化 LOCOS (Local Oxidation of Silicon) 装配的设备绝缘区 235 绝缘。设备绝缘区 235 用于在大量元件装配在同一基片上的情况使元件彼此电绝缘,每一个 n 型晶体管 230 被装配在通过设备绝缘区 235 彼此绝缘的一个区域内。在图 7A 中,L1 表示设备绝缘区 235 的长度。
25

30 图 7B 示出了传导类型相反的两个晶体管 230、240 并排装配的情况,标号

240 表示一个P型晶体管, 242 是一个N型阱, 243 是一个P型半导体层, 244 是栅电极。在该例中, 与在相同传导类型的晶体管并排装配的情况相比, 相邻元件之间的电势差变大, P型阱 232 和N型阱 242 彼此相邻, 从而易于形成寄生晶体管, 因此, 必须选择设备绝缘区 245 的长度 L_2 大于设备绝缘区 235 的长度 L_1 。

如上所述, 在多个晶体管装配在相同基片上的情况下, 如果两个相反传导类型的晶体管并排装配, 设备绝缘区的面积增加, 结果是出现浪费的面积增加的问题。

下面将参考图 8A-8C 描述晶体管的排列和它们的装配所需要的面积之间的关系。图 8A、8B 和 8C 示出了三种不同的情况, 每一种情况排列两个由一对晶体管构成的电路。

图 8A 示出了两个电路排列在水平方向上的情况, 每一个电路由一对相反传导类型 (一个n型和一个p型) 的晶体管构成, 排列在水平方向上。图 8A 中的 W_1 表示每一个电路所需区域的宽度。如图 8A 所示, 各电路的宽度 W_1 包括设备绝缘区 245 的宽度 L_2 。如果P型阱 232 的区域面积不等于N型阱 242 的区域面积, 出现一个未用的区域 249。

图 8B 示出了结构相同的两个电路排列在水平方向上的情况, 每一个电路由一对相反传导类型 (一个n型和一个p型) 的晶体管构成, 并排列在垂直方向上。每一个电路所占用区域的宽度为 W_2 。宽度 W_2 小于宽度 W_1 , 因此这种结构对于将电路放置在上述像素节距内是有效的。但是, 长度为 L_2 的设备绝缘区 245 被放置在沿垂直方向排列的p型和n型阱之间, 从而, 与在垂直方向上排列两个相同传导类型的晶体管的情况下的结构的长度相比, 图 8B 的结构的长度较长。

图 8C 示出了结构相同的两个电路排列在水平方向上的情况, 每一个电路由一对在垂直方向上排列的相同传导类型的晶体管构成。设备绝缘区 235 的长度为 L_1 , L_1 小于图 8B 的长度 L_2 。虽然长度 L_1 和 L_2 之间的差值最多是几个 μm 的量级, 如果多个电路中每一个电路都由一对晶体管构成, 被连续排列在垂直方向上, 这些差值被累积, 即, 它们相加, 从而它们不能被忽略。当这种电路被用在图 3 的显示数据处理电路 325 中时, 例如, 一个显示数据由三个比特表示, 从而累积差值为长度 L_1 和 L_2 之间差值的三倍。当显示在液晶显示板上的灰度级数量增加时, 因而当用于代表显示数据的比特数增加到 8 或 16 时, 可以

通过改进晶体管的排列有效减小无用区域的面积。

在本实施例中，如图 5 所示，数据接收元件 171-173、显示数据传输元件 181-183、显示数据处理元件 201-203、和时间数据处理元件 211-213 由相同传导类型的晶体管形成，因此，并排安装晶体管所需要设备绝缘区的面积被进一步减小。在图 5 中，使用 n 型晶体管，但是无须说，通过相同传导类型的晶体管的并排排列，使用 p 型晶体管替代 n 型晶体管，也可以实现本实施例。

图 9A 和 9B 示出了显示数据处理元件 203 和时间数据处理元件 213 的布置，图 9A 是示意性平面图，图 9B 是沿图 9A 的 IXB-IXB 线的示意性截面图。在图 9A 中，通过 LOCOS 处理装配设备绝缘区 235，并覆盖用做场效氧化膜的半导体基片 231。标号 236 表示放置在设备绝缘区（场效氧化膜）235 内的有源区。在有源区 236 内是晶体管形成的显示数据处理元件 203 和晶体管形成的时间数据处理元件 213。标号 234 表示栅电极。为了简化图 9A 和 9B，省略了图 9A 内的布线，图 9B 内的电连接由直线表示。

如图 5 所示，显示数据处理元件 203 和时间数据处理元件 213 连接到处理结果信号线 152，由于显示数据处理元件 201-203 和时间数据处理元件 211-213 能够装配在相同衬底上并且它们能够共用源极或漏极区，它们的源极或漏极区耦连在一起从而电势相同。如图 9B 所示，源极或漏极区 233A 被显示数据处理元件 203 和时间数据处理元件 213 共用，从而在两个元件 203 和 213 之间多层布线。因为每一对显示数据处理元件 201-203 和时间数据处理元件 211-213 共用源极或漏极区 233A，无须在显示数据处理元件 201-203 和时间数据处理元件 211-213 之间装配设备绝缘区 235。

如图 9A 和 9B 所示，处理结果传输电路 331-333 由两个晶体管构成，一个用于显示数据处理元件 203，一个用于时间数据处理元件 213，通过使用两个相同传导类型的晶体管，可以消除对设备绝缘区 235 和布线区域的需要，结果，这两个晶体管所占用的区域变得比并排排列的两个传导类型相反的晶体管所占区域小。因此，显示数据处理电路 325 能够形成成为一种紧致结构。省略了显示数据处理元件 201-203 和时间数据处理元件 211-213 之间的多层布线，从而减小了布线造成的电容并能够进行高速操作。

如图 5、9A、9B 所示，在处理结果传输电路 331-333 中，每一个显示数据处理元件 201-203 由一个晶体管形成，每一个时间数据处理元件 211-213 也由一

个晶体管形成。由于处理结果传输电路 331-333 通过使用显示数据和时间数据执行数字处理，它们需要一个用于显示数据的元件和一个用于时间控制信号的元件，从而每一个处理结果传输电路 331-333 需要至少两个元件。因此，图 5 中的每一个处理结果传输电路 331-333 由最小数量的元件形成。如上所述，能够
5 使每一个处理结果传输电路 331-333 所占用的区域小于通过使用最小数量的两个常规晶体管来装配的处理结果传输电路所占用的区域。

图 10 示出了显示数据处理电路 325 的布置。为了简化图 10，省略了布线导体而不省略定时信号线 329，它们由直线表示。结合图 9A 和 9B 进行解释，显示
10 数据处理元件 203 和时间数据处理元件 213 是形成处理结果传输电路 333 的晶体管。数据接收元件 173 和显示数据传输元件 183 共用电势与形成存储器电容 193 的两个电极中一个电极相等的源极和漏极区。因此，数据接收元件 173 和显示数据传输元件 183 能够装配在相同衬底上，省略了它们之间的设备绝缘区和布线区。

如图 10 所示，定时信号线 329 由与数据接收元件 173 的栅电极相同的导电
15 层形成。定时信号线 329 与处理结果传输电路 333 和存储器电容 193 相邻，一部分定时信号线 329 用做数据接收元件 173 的栅电极。

形成用于数据接收元件 173 和显示数据传输元件 183 的有源区 271 的图案，使其被元件 173 和 183 的栅电极交迭的部分为不等边四边形。这些形状引起优选的方向，在这些方向上出现在栅电极下的电荷移动容易。当随着施加在栅电
20 极上的电压该晶体管进入 ON 状态时，在栅电极下的有源区内产生电荷，然后当该晶体管变为进入到 OFF 状态时，电荷流入其源极和漏极中的一个。当如图 10 所示，在与有源区 271 交迭的一个栅电极的一部分的两个相对长侧边之间出现长度差时，电荷容易流向两个长侧边中较长的一个侧边。

在数据接收元件 173 的情况下，当一个正极性信号试图被存储器电容 193
25 接收时，从存储器电容 193 流入显示数据信号线 323 的负电荷的量非常小。因此，当晶体管（数据接收元件 173）断开时，如果其栅电极下面的电荷已经流入存储器电容 193，不能向存储器电容 193 写入一个充足信号。为了解决这个问题，有源区 271 形状如图 10 所示，从而电荷能够容易地流入显示数据信号线 323。显示数据传输元件 183 还产生相同的优越性，该信号能够容易地被传输到随后
30 的电路。

下面参考图 11 和 12 所示定时图解释图 5 和 6 所示电路的操作。

图 11 示出了分别输出到显示数据线 321-323 的显示数据 DD1-DD3，从水平移位寄存器 121 输出的定时信号 HSR1-HSR3。在图 5 中，显示数据 DD1-DD3 被分别输出到显示数据线 321-323，水平移位寄存器 121 顺序输出定时信号

- 5 HSR1-HSR3。在图 11 中，只示出了三个定时信号 HSR1-HSR3，但是可以理解，根据视频信号线的数量，从水平移位寄存器输出所须数量的定时信号。

显示数据 DD1-DD3 代表三个比特的数据，DD1 被分配到最低一级比特。在输出定时信号 HSR1 期间，显示数据 DD1 为高电平，显示数据 DD2 为低电平，显示数据 DD3 为高电平。在本实施例的显示数据 DD1-DD3 中，“1”和“0”分别代表高和低电平，因此在输出定时信号 HSR1 期间上述显示数据被表示为从最低级比特开始的次序 (1, 0, 1)。

10

在图 11 中，在显示数据 DD1-DD3 为 (1, 0, 1) 的状态下，当定时信号 HSR1 被输出到定时信号线 329 时，数据接收元件 171-173 接通，从而显示数据 DD1-DD3 分别进入存储器电容 191-193。当显示数据 DD1-DD3 为 (1, 0, 1) 时，存储器电容 191 接收高电平电压，存储器电容 192 接收低电平电压，存储器电容 193 接收高电平电压。

15

下面将参考图 12 解释显示数据进入存储器电容 191-193 之后的操作。在图 12 中，标号 RMP 表示被从电压产生电路 112（未图示）提供到图 6 所示电压总线 151 的灰度电压。灰度电压 RMP 随时间以阶梯方式变化，如图 12 所示，当显示数据为 (1, 1, 1) 时进行分配，灰度电压 V0 被写入一个像素电极，当显示数据为 (0, 0, 0) 时，灰度电压 V7 被写入一个像素电极。

20

在图 12 中，首先，当传输信号 TG 变化到高电平时，显示数据传输元件 181-183 接通，从而保持在存储器电容 191-193 内的显示数据被传输到显示数据处理元件 201-203。虽然，对应于显示数据的电势被分别传输到显示数据处理元件 201-203 的栅电极，因为水平扫描周期早期出现的电荷被存储在显示数据处理元件 201-203 的栅电极内，由基于存储器电容 191-193 和各栅电极的电容及其连线的分压确定栅电极的电势，存储在各存储器电容 191-193 内的电势和在一个早期水平扫描周期出现在各栅电极内的电势。当显示数据 DD1-DD3 为 (1, 0, 1) 时如图 11 所示，显示数据处理元件 201 和 203 被接通，显示数据处理元件 202 被关断。

25

30

接着，在时间控制脉冲 DA1-DA3 为高电平的状态下，处理结果信号线设置信号 DST 被设置到低电平，从而处理结果信号线设置元件 222 断开。然后处理结果信号线复位信号 DRST 被设置到低电平，从而两个处理结果信号线设置元件 221 和 223 断开，结果，处理结果信号线 152 (1) 和 152 (4) 被分别连接到固定电压线 153 和 156，并变化到高电平。

当处理结果信号线 152 为高电平时，灰度电压输出电路 326 的电平移动电路 141 向门电路 142 提供门电压，从而门电路 142 把电压总线 151 电连接到视频信号线 103。这意味着，在处理结果信号线 152 为高电平期间，视频信号线 103 被提供以来自电压总线 151 的灰度电压 RMP。如上所述，在图 12 中的灰度电压 RMP 随时间以阶梯方式变化。在处理结果信号线 152 为高电平期间，图 12 中的灰度电压 RMP 被输出到视频信号线 103。

接着，时间控制脉冲 DA1-DA3 开始被分别输出到时间控制信号线 161-163。然后处理结果信号线复位信号 DRST 被设置到高电平，然后处理结果信号线设置信号 DST 被设置到高电平。当处理结果信号线设置信号 DST 变化到高电平时，处理结果信号线设置元件 222 接通，处理结果信号线 152 (1) 被连接到 GND 电平线 154，并改变到低电平。

在图 12 中，在时间 t_0 ，所有的时间控制脉冲 DA1-DA3 为低电平，从而所有的时间数据处理元件 211-213 接通。结果，除非所有的显示数据处理元件 201-203 接通，即，除非显示数据处理元件 201-203 为 (1, 1, 1)，处理结果信号线 152 (4) 的电势保持在电压 VDD，从而门电路 142 保持在接通状态。

在图 5、6、11 和 12 中，例如，假设当定时信号 HSR1 被输出时显示数据为 (1, 0, 1)。

在时间 t_0 ，显示数据处理元件 202 关断，处理结果信号线 152 (4) 保持在 VDD。

之后，在时间 t_2 ，时间控制脉冲 DA1-DA3 变成 (0, 1, 0)，从而时间数据处理元件 212 接通。另一方面，由于显示数据为 (1, 0, 1)，显示数据处理元件 201 和 203 处于接通状态。因此，所有的处理结果信号线 152 (1) 到 152 (4) 都连接到 GND 线 154，处理结果信号线 152 (4) 改变到低电平，从而门电路 142 使电压总线 151 与视频信号线 103 断开。因此，视频信号线 103 被保持在电压 V2，电压 V2 为在视频信号线 103 从电压总线 151 断开时出现在电压总线 151 上

的电压。之后，视频信号线 103 没有与电压总线 151 电连接，直到处理结果信号线复位信号 DRST 改变到低电平，从而处理结果信号线 152 被设置到高电平。

下面将参考图 13 解释水平移位寄存器 121 的电路结构。标号 HSR 表示双向移位寄存器，它能够左右移动一个信号。双向移位寄存器 HSR 由时钟控制反相器 61、62、65 和 66 构成。

标号 25 是一个用于水平扫描复位信号的输入端，26 是用于水平扫描开始信号的输入端。时钟控制反相器 61 向水平移位寄存器 121 提供开始信号用于在图 13 中所示左-右方向上扫描，时钟控制反相器 62 向水平移位寄存器 121 提供开始信号用于在图 13 中所示右-左方向上扫描。标号 27 表示一个信号的输出端，该信号用于完成水平扫描。

下面将参考图 14A 和 14B 解释在双向移位寄存器 HSR 中使用的时钟控制反相器 61 和 62。标号 RL1 和 RL2 分别表示第一和第二水平方向设置线。第一水平方向设置线 RL1 提供用于在图 13 中左-右方向上扫描的 H 电平，第二水平方向设置线 RL2 提供用于在图 13 中右-左方向上扫描的 H 电平。为了清楚起见，图 13 省略了连线，但是第一和第二水平方向设置线 RL1 和 RL2 连接到构成双向移位寄存器 HSR 的时钟控制反相器 61 和 62。

时钟控制反相器 61 由 p 型晶体管 71、72 和 n 型晶体管 73、74 构成，如图 14A 所示。P 型晶体管 72 连接到第二水平方向设置线 RL2，N 型晶体管 73 连接到第一水平方向设置线 RL1。当第一水平方向设置线 RL1 为 H 电平、第二水平方向设置线 RL2 为 L 电平时，时钟控制反相器 61 用做一个反相器，但是当第一水平方向设置线 RL1 为 L 电平、第二水平方向设置线 RL2 为 H 电平时，时钟控制反相器 61 用做一个高阻抗。

另一方面，在时钟控制反相器 62 中，P 型晶体管 72 连接到第一水平方向设置线 RL1，N 型晶体管 73 连接到第二水平方向设置线 RL2。当第二水平方向设置线 RL2 为 H 电平，时钟控制反相器 62 用做一个反相器，当第一水平方向设置线 RL1 为 H 电平，时钟控制反相器 62 用做一个高阻抗。

图 14C 示出了时钟控制反相器 65 的电路结构。当时钟信号线 CLK1 为 H 电平、时钟线信号 CLK2 为 L 电平时，时钟控制反相器 65 输出一个反相输入，当时钟信号线 CLK1 为 L 电平、并且时钟信号线 CLK2 为 H 电平时，时钟控制反相器 65 用做一个高阻抗。

图 14D 示出了时钟控制反相器 66 的电路结构。当时钟信号线 CLK1 为 L 电平、时钟信号线 CLK2 为 H 电平时，时钟控制反相器 66 输出一个反相输入，当时钟信号线 CLK1 为 H 电平、时钟信号线 CLK2 为 L 电平时，时钟控制反相器 66 用做高阻抗。为了清楚起见，在图 13 中省略了时钟信号线 CLK1、CLK2 的连接，但是时钟信号线 CLK1 和 CLK2 连接到时钟控制反相器 65 和 66。

图 15A 和 15B 示出了构成水平驱动电路 120 的晶体管的布置。图 15A 是水平驱动电路 120 的示意性平面图，为了清楚起见，在图 15A 和 15B 中示出了仅对应于四个视频信号线 103（未图示）的水平驱动电路 120。对应于各个视频信号线 103 的每一个水平驱动电路 120 的宽度 AW 通过上述像素间距确定。图 15B 是沿图 15A 的 XVB-XVB 线的水平驱动电路 120 的示意性平面图。

标号 121 表示水平移位寄存器，它由并排排列的 n 型晶体管和 p 型晶体管构成，如图 14A-14D 所示。标号 246 和 236 分别表示 p 型晶体和 n 型晶体管的有源区。例如，在有源区 246 (1)，在宽度 AW 内并排布置图 13，14A 和 14B 的时钟控制反相器 61 和 62 的 p 型晶体管。同样，在有源区 236 (1)，装配了时钟控制反相器 61 和 62 的 n 型晶体管，在有源区 246 (2) 中装配了时钟控制反相器 65 和 66 的 p 型晶体管。在有源区 236 (2) 中装配了时钟控制反相器 65 和 66 的 n 型晶体管。在图 15B 中，标号 242 表示 n 型阱，232 表示 P 型阱，245 表示设置在 n 型阱和 p 型阱之间的设备绝缘区。标号 AL2 表示形成水平移位寄存器 121 的区域的长度。标号 325 表示显示数据处理电路 325。在图 15A 和 15B 中，在垂直方向上排列 6 个显示数据处理电路 325 (1)-325 (6)。设置每一个显示数据处理电路 325 (1)-325 (6) 使之对应于各个视频信号线 103，从而当显示数据的比特数增加时，形成显示数据处理电路的区域在垂直方向上必须被加长。为了解决这个问题，显示数据处理电路 325 由 n 型晶体管构成，如图 5 所示。

图 15A 和 15B 中的标号 236 表示图 5 的显示数据处理元件（图 5 中指定的 201-203）和时间数据处理元件（图 5 中的 211-213）的有源区。显示数据处理元件 203 和时间数据处理元件 213 横向地排列在图 9A 和 9B 所示的有源区 236 内。在图 15B，标号 232 表示 n 型阱，235 是设置在两个 n 型阱之间的设备绝缘区。标号 AL1 表示形成每一个显示数据处理电路 325 (1)-325 (6) 的区域的长度。在图 15A 和 15B 中，标号 261 表示形成图 5 的存储器电容 191-193 的区域，

261 是形成图 5 的数据接收元件 (图 5 中的 171-173) 和图 5 的显示数据传输元件 (图 5 的 181-183) 的有源区。数据接收元件和显示数据传输元件横向地排列在有源区 271 内, 就象显示数据处理元件和时间数据处理元件。

图 15A 中的标号 329 表示从水平移位寄存器 121 延伸并连接到各个数据接收元件 (在图 15A 和 15B 中省略了到数据接收元件的连线) 的定时信号线 (例如由多晶硅制成)。每一个定时信号线 329 沿显示数据处理电路 325 (1) -325 (6) 布置, 从而能够向所有的显示数据处理电路 325 (1) -325 (6) 提供定时信号。因此, 随着显示数据的比特量的增加, 定时信号线 329 沿垂直方向延长, 因此显示数据处理电路 325 (1)、325 (2)、……是数量是增加的。

10 随着定时信号线 329 延长, 连线阻抗增加。由于定时信号是高频脉冲, 连线阻抗的增加导致定时信号的波形失真。定时信号中的失真在进入数据接收元件 171-173 的显示数据的接收定时中产生误差。例如, 出现的问题是, 当显示数据处理电路 325 (1) 已在给定的时刻接收显示数据, 而显示数据处理电路 325 (6) 没有接收显示数据, 显示质量下降。

15 当考虑到定时信号线 329 的连线阻抗和电容时, 希望使显示数据处理电路 325 的长度 AL1 尽可能短。当水平移位寄存器 121 的长度 AL2 比每一个显示数据处理电路 325 (1)、325 (2)、325 (3)、……的长度 AL1 长时, 显示数据处理电路 325 (1)、325 (2)、325 (3)、……的总长度是长度 AL1 和显示数据比特数的乘积, 因此, 如果显示数据比特数增加, 可以有效减小整个电路和定时信号线 329 的长度, 以缩短每一个显示数据处理电路 325 (1)、325 (2)、325 (3)、……的长度 AL1。从上述来看, 通过使用 n 型晶体管来形成电路 325 (1)、325 (2)、325 (3)、……, 能够减小显示数据处理电路 325 (1)、325 (2)、325 (3)、……的长度 AL1, 从而减小设备绝缘区 235 的长度。

25 在图 15A 中, 标号 326 表示灰度电压输出电路, 272 和 273 分别是电平移动电路 141 的 p 型晶体管和 n 型晶体管的有源区。有源区 273 大于其他有源区, 以增加晶体管的 ON 和 OFF 速度。

如上所述, 在构成水平驱动电路 120 的晶体管的布置设计中, 通过使用相同传导类型的晶体管和把电路定位在节距内来形成驱动电路, 能够缩短驱动电路的长度。即使液晶显示板的显示部分的面积减小, 但是, 灰度电平和节距的数量增加, 能够实现具有比显示部分面积小的驱动电路。即使当灰度电压电平数,

通过缩短驱动的长度，用于接收显示数据的定时信号线的连线阻抗能够被保持在一个低值，从而能够减小接收显示数据中的误差。

图 16 示出了使用水平驱动电路 120 的两个系统的结构。在图 16 中，示出了水平驱动电路 120 的两个系统被配置在显示部分 110 的顶部和底部侧，但是两个系统都能够被配置在显示部分 110 的顶部和底部侧的其中之一上。图 17 示出了电压选择器电路 123 的电路结构，好电压选择器电路 123 适用于使用水平驱动电路 120 的两个系统的情况。在图 16 所示水平驱动电路 120 中，在其中一个系统中的电压选择器电路 123 接收数据期间，另一个系统中的电压选择器电路 123 能够选择灰度电压，结果是能够省略显示数据传输元件，如图 17 所示。

下面参考图 18 解释根据本发明的液晶显示装置中的像素部分。图 18 是根据本发明一个实施例的示意性截面图。

在图 18 中，标号 100 表示液晶显示板，1 是用做驱动电路衬底的第一衬底，2 是用做透明衬底的第二衬底，3 是液晶合成物，4 是垫片。垫片 4 在将液晶合成物 3 夹在中间的驱动电路衬底 1 和透明衬底 2 之间建立一个固定的单元间隙 d。标号 5 表示形成在驱动电路衬底 1 上的反射电极，6 是用于与反射电极 5 一起施加一个穿过液晶合成物 3 的电压的反电极，7 和 8 是用于把液晶合成物 3 的液晶分子定向在特定方向的定向膜，30 是用于向反射电极 5 施加电压的有源元件。

标号 34 表示漏极区，35 是源极区，36 是栅电极，38 是绝缘膜，39 是用于使晶体管彼此绝缘的场效氧化膜，40 是用于与驱动电路衬底 1 一起形成电容的存储电容形成电极，绝缘膜 38 夹在它们之间，41 是第一夹层绝缘膜，42 是第一导电膜，43 是第二夹层绝缘膜，44 是第一光阻膜，45 是第三夹层绝缘膜，46 是第二光阻膜，47 是第四夹层绝缘膜，48 是形成反射电极 5 的第二导电膜。

第一实施例中的液晶显示板是反射型的。投射到液晶显示板 100 的光从透明衬底 2（图 18 的顶部）进入，然后穿过液晶合成物 3，然后被反射电极 5 反射回来，然后再次穿过液晶合成物 3 和透明衬底 2，然后离开液晶显示板 100。

在反射型的液晶显示板中，当反射电极 5 被放置在其液晶合成物 3 侧的驱动电路衬底 1 表面上时，一个不透明的衬底如硅衬底能够被用做驱动电路衬底 1。这种结构的优越性在于有源元件 30 和连线能够放置在反射电极 5 下，从而形成像素的反射电极 5 的区域能够增加，因此，能够实现更高的图象宽高比。并且

这种结构优越性在于辐射从驱动电路衬底1后表面投射到液晶显示板100的光所产生的热。

接下来,将解释使用电控双折射模式的液晶显示板的操作。通过偏振器被线性偏振的光进入液晶显示板100。当在反射电极5和反电极6之间施加一个电压时,由于介电各向异性,液晶合成物3的液晶分子的定向被改变,结果改变了液晶合成物3的层的双折射。通过把双折射的变化变换成光传输的变化,电控双折射模式产生图象。

接着,将参考图19A和19B描述单偏振器扭转向列(SPTN)模式,它是电控双折射模式的一种类型。

10 标号9表示一个偏振光束分光器,它把来自光源(未图示)的入射光L1分成两个偏振光,并发射两个偏振光中的一个线性偏振光。

在图19A和19B中,已经穿过偏振光束分光器9的一束P偏振的光进入液晶显示板100,但是替代为,被偏振光束分光器9反射的一束S偏振光能够进入液晶显示板100。

15 液晶合成物3是具有正介电各向异性的向列液晶材料。液晶分子的纵轴的定向大致与驱动电路衬底1和透明衬底2的主表面平行,液晶分子被定向膜7和8扭转大约 90° 穿过液晶层。

图19A示出了跨过液晶合成物3的层没有施加电压的情况。进入液晶显示板100的光束L2被液晶合成物3的双折射转换成椭圆偏振光,然后在反射电极5上变成原形偏振光。反射电极5反射的光再次穿过液晶合成物3,从而变成再次变成椭圆偏振光,然后当离开液晶显示板100时再次返回到线性偏振光。出射的线性偏振光L3是S偏振光,其偏振方向相对于入射光L2旋转一个 90° 角,再次进入偏振光束分光器9,然后被偏振光束分光器9的内界面反射,变成出射光L4,又被投射在屏幕或类似物上以产生显示。这种结构是所谓的正常白(通常打开)型,在没有施加跨过液晶合成物3的层的电压时发出光。

图19B示出了跨过液晶合成物层3施加一个电压的情况。当跨过液晶合成物层3施加一个电场时,液晶分子再次处于电场的方向上,因此,不出现液晶分子的双折射。结果,进入液晶显示板100的线性偏振光L2被反射电极5反射而不经变化,然后从液晶显示板100出射的光束L5具有与入射光L2相同的偏振方向。出射光L5穿过偏振光束分光器9,返回到光源,从而没有光被投射到

屏幕上，在屏幕上出现黑屏显示。

在单偏振器扭转向列模式下，液晶分子的定向方向与衬底的主平面平行，从而能够使用定向液晶分子的普通方法，并且其制造过程稳定。正常白模式操作防止了产生在低压电平的缺陷显示。原因在于，在正常白模式下，当在跨过液晶层施加一个高电压时，提供一个黑电平（黑屏显示），在这种状态下，几乎所有的液晶分子都沿垂直于衬底主平面的电场方向定向，因此，黑电平显示不是十分取决于被施加了一个低电场的液晶分子的初始状况。

人眼根据亮度比感觉到亮度不均匀，接近于对亮度对数的响应，因此，对黑电平的变化敏感。

10 因为上述原因，正常白模式在防止液晶分子初始定向状况造成的亮度不均匀方面有优越性。

电控双折射模式要求液晶显示板的衬底之间的单元间隙精度高。电控双折射模式利用穿过液晶层时造成的普通光线和异常光线之间的相位差，因而，通过液晶层传输的光强度取决于普通和异常光线之间的延迟 $\Delta n \cdot d$ ，这里 Δn 是双折射， d 是透明衬底 2 和驱动电路衬底 1 之间的垫片 4 产生的单元间隙。

在该实施例中，从显示不均匀方面来看，单元间隙被控制在 $\pm 0.05 \mu\text{m}$ 的精度。反射型液晶显示板中，进入液晶显示板的光被反射电极反射，然后再次穿过液晶层，因而，如果反射型液晶显示板使用具有与透射型液晶显示板所使用的液晶合成物相同双折射 Δn 的液晶合成物，反射型液晶显示板的单元间隙 d 为透射型液晶显示板的一半。通常，透射型液晶显示板的单元间隙 d 在从约 5 微米到约 6 微米的范围内，但是在该实施例中，单元间隙被选择在约 2 微米。

在该实施例中，为了保证单元间隙的精度比普通液晶显示板的高，在驱动电路衬底 1 上制造柱状垫片来代替使用离散垫片（bead-dispersing）方法。

图 20 是液晶显示板的示意性平面图，用于解释安装在驱动电路衬底 1 上的反射电极 5 和垫片 4 的排列。在整个驱动电路衬底 1 的区域以矩阵方式上排列大量的垫片 4，用于在透明衬底 2 和驱动电路衬底 1 之间建立均匀的间隔。每一个反射电极 5 确定一个用做液晶显示板形成的最小图象元素的像素。为了简单起见，图 20 示出五列乘四行象素，在最外列和行中的像素由标号 5B 表示，在最外列和行里面的像素由 5A 表示。

30 在图 20 中，像素的 5 列 4 行的排列形成一个显示区，液晶显示板在该显示

区中形成一个显示。虚拟像素 10 位于显示区周围，与垫片 4 相同的材料所形成的外围框 11 位于虚拟像素 10 周围，密封部件 12 被涂覆在驱动电路衬底 1 上的外围框 11 周围。标号 13 表示用于外部连接的端子，用于向液晶显示板 100 提供外部信号。

5 垫片 4 和外围框 11 由树脂材料形成。对于树脂材料，例如可以使用 JSR 公司（日本，东京）制造的化学增强型负性光刻胶“BPR-113”（商标名）。通过旋涂方法在驱动电路衬底 1 上涂覆光刻胶材料，驱动电路衬底 1 上形成有反射电极 5，然后通过具有垫片 4 和外围框 11 的图案形状的掩模进行暴光，然后通过脱模剂加工形成垫片 4 和外围框 11。

10 通过使用光刻胶或与之类似的材料制造垫片 4 和外围框 11 时，可以通过材料的涂层厚度来控制垫片 4 和外围框 11 的高度，从而能够高精密度地制造垫片 4 和外围框 11。能够通过掩模图案确定垫片 4 的位置，因此，能够精确地使垫片 4 位于理想位置。

15 在使用在液晶投影机中的液晶显示板中，如果在像素上有一个垫片 4，产生问题是，在其投射放大的图象中能够看到垫片 4 的阴影。通过掩模图案暴光和后续的加工来制造垫片 4，能够在不破坏显示图象质量的位置上设置垫片 4。

20 由于垫片 4 和外围框 11 已被同时制造，通过最初在驱动电路衬底 1 滴少量液晶合成物 3，液晶合成物 3 能够被密封在驱动电路衬底 1 和透明衬底 2 之间，然后在驱动电路衬底 1 上交迭透明衬底 2，将液晶层夹在中间，然后把透明衬底 2 粘结到驱动电路衬底 1。

 当在把液晶合成物 3 插入到驱动电路衬底 1 和透明衬底 2 之间后液晶显示板 100 已被装配时，液晶合成物 3 被保持在外围框 11 所包围的范围内。

 密封部件 12 覆盖在外围框 11 外侧周围，并把液晶合成物 3 限制在液晶显示板 100 内。

25 如上所述，通过使用图案掩模制造外围框 11，从而以高精度定位将其装配在驱动电路衬底 1 上，因此，能够高精度地确定液晶合成物 3 的边缘。此外，外围框 11 能够高精度地确定密封部件 12 的边缘。

30 密封部件 12 用于将驱动电路衬底 1 和透明衬底 2 固定在一起，还用于防止材料穿透损害液晶合成物 3。当使用流体密封部件 12 时，外围框 11 用于阻挡密封部件 12。通过使外围框 11 用做密封部件 12 的阻挡部件，能够高精度地建立

液晶合成物 3 和密封部件 12 的边缘, 因此, 能够减小液晶显示板 100 的显示区和外围侧边之间的范围, 造成显示区域周围外围边缘的减小。

虚拟像素 10 位于外围框 11 和显示区域之间, 用于使最外侧像素 5B 产生的显示质量等于位于最外侧像素 5B 内侧的内侧像素 5A 所产生的显示质量。由于
5 内侧像素 5A 具有相邻像素, 在内侧像素 5A 和其相邻像素之间产生有害电场, 因此, 内侧像素 5A 产生的显示质量与没有其相邻像素情况下产生的显示质量相比变坏。

另一方面, 假定没有提供虚拟像素 10 的一种情况, 在最外侧像素 5B 周围不产生降低显示质量的有害电场, 结果最外侧像素 5B 的显示质量比内侧像素 5A
10 的显示质量好。如果在一些像素之间存在显示质量的差别, 就会产生不均匀显示。为了消除这个问题, 设置虚拟像素 10 并提供以类似像素 5A 和 5B 的信号电压, 从而最外侧像素 5B 的显示质量与内侧像素 5A 的显示质量相同。

此外, 由于外围框 11 包围显示区域, 产生的问题是, 在执行用于把液晶合成物 3 的液晶分子定向在特定方向上的在驱动电路衬底 1 表面上的摩擦处理中,
15 外围框 11 阻碍了在外围框 11 附近表面的摩擦处理。在该实施例中, 在驱动电路衬底 1 上装配了垫片 4 和外围框 11 之后, 液晶分子定向膜 7 (见图 18) 覆盖在驱动电路衬底 1 上, 然后通过用织物或类似物摩擦液晶分子定向膜 7 执行摩擦处理, 从而摩擦的定向膜 7 使液晶合成物 3 的液晶分子沿特定方向定向。

在摩擦处理中, 因为外围框 11 高出驱动电路衬底 1 的表面, 由于外围框 11
20 形成阶梯, 外围框 11 附近的定向膜 7 没有被充分摩擦, 因此, 易于在外围框 11 附近产生液晶分子的不均匀定向。为了使液晶合成物 3 的液晶分子的不完全定向导致的显示不均匀变得不明显, 制造一些直接插入外围框 11 的像素作为不对显示产生作用的虚拟像素 10。

但是, 如果虚拟像素 10 象像素 5A 和 5B 一样被提供信号, 由于在虚拟像素
25 10 和透明衬底 2 之间有液晶合成物 3, 产生的问题是观众也可以看到虚拟像素 10 产生的显示。在正常白型的液晶显示板中, 当没有施加跨过液晶合成物 3 的层的电压时, 虚拟像素 10 出现白色, 因此, 显示区域的边缘变得不清楚, 显示质量下降。遮蔽虚拟像素 10 是可以理解的, 但是由于像素之间间隔几个微米, 难以在显示区域边缘精确地装配光阻框, 因而向虚拟像素 10 提供使其显示黑图
30 象的电压, 该黑图象是作为一个环绕显示区域的黑外围框出现。

下面参考图 21 和 22 解释有源元件 30 的结构及其安装在驱动电路衬底 1 上的邻近区域。与图 18 中使用的相同标号表示图 21 和 22 中对应部分。图 22 是有源元件 30 的示意性平面图及其附近区域，图 21 是沿线 XXI-XXI 的图 22 的截面图。为了清楚起见，图 21 中部件之间的距离不等于图 22 中的相应距离，图 22 试图说明扫描信号线 51、栅电极 36、视频信号线 52、漏极区 35、源极区 34、存储电容形成电极 40、第一导电膜 42、和接触孔 35CH、34CH、40CH 和 41CH 与其他被省略的部件之间的位置关系。在图 21 中，标号 31 表示用做驱动电路衬底的硅衬底，32 表示通过离子注入装配在驱动电路衬底 31 中的半导体区（一个 n 型阱），33 是沟道截断环，34 是装配在 N 型阱 32 内的源极区，通过离子注入被制成是导电的，35 是装配在 n 型阱 32 内的漏极区，通过离子注入被制成是导电的。顺便说，源极和漏极的指定取决于他们之间偏压的极性，但是在液晶显示板工作期间该电压极性周期性反转，因而工作期间漏极和源极交换。在该说明书中，为了方便起见，两个区中的一个被指定为漏极区，而另一个指定为源极区，而不考虑偏压的极性。

在图 21 中，标号 36 表示栅电极，37 是用于缓和栅电极 36 边缘的电场的偏移区，38 是绝缘膜，39 是用于使晶体管彼此电绝缘的场效氧化膜，40 是用于与硅衬底 31 一起形成电容的存储电容形成电极，绝缘膜 38 夹在他们中间。栅电极 36 和存储电容形成电极 40 由一双层膜形成，该双层膜由用于降低有源元件 30 的阈值电压的导电膜和配置在绝缘膜 38 上导电膜形成。该双层膜可以由两个多晶硅和钨化硅膜制成，例如。标号 41 是第一绝缘夹层膜，42 是第一导电膜。第一导电膜 42 是由用于防止不完全接触的阻挡层金属膜和低阻抗导电膜制成的多层膜。例如，由钛化钨 (TiW) 和铝制成的喷射多层金属膜可以被用做第一导电膜。

在图 22 中，标号 51 表示扫描信号线。扫描信号线 51 在图 22 中的 X 方向上延伸，被排列在 Y 方向上，并被提供以扫描信号用于接通或断开有源元件 30。扫描信号线 51 由与栅电极 36 相同的双层膜构成。例如，该双层膜由层压的多晶硅和钨化硅膜制成，可以被用做扫描信号线 51。在 Y 方向上延伸的视频信号线 52 排列在 X 方向上，并被提供以将写入反射电极 5 的视频信号。视频信号线 52 由与第一导电膜 42 相同的多层金属膜形成。例如，该多层金属膜由钛化钨 (TiW) 和铝制成，可以被用做视频信号线 52。

通过贯穿绝缘膜38和第一夹层绝缘膜41内的接触孔35CH的第一导电膜42, 视频信号被提供到漏极区35。当扫描信号被提供到扫描信号线51时, 有源元件30接通, 视频信号从半导体区(N型阱)32传输到源极区34, 然后通过接触孔34CH被传输到第一导电膜42。之后, 视频信号通过接触孔40CH从第一导电膜42传输到存储电容形成电极40, 然后通过图21所示接触孔42CH传输到反射电极5。接触孔42CH被定位在场效氧化膜39上。由于场效氧化膜39的厚度大, 场效氧化膜39的顶表面被设置在比其他元件高的平面上。通过将接触孔42CH放置在场效氧化膜39上, 接触孔42CH能够被定位在上导电层附近, 从而能够缩短在接触孔42CH的电连接长度。

10 第二夹层绝缘膜43将第二导电膜44与第一导电膜42绝缘。第二夹层绝缘膜43由两个层形成, 包括用于填充凹痕并降低底层元件造成的不平整的平整化膜43A和一个覆盖平整化膜43A的绝缘膜43B。通过应用SOG(旋装玻璃)制造平整化膜43A, 绝缘膜43B是利用TEOS(四乙基原硅酸盐)作为活性气体通过CVD处理制造的SiO₂膜。应用在硅衬底31上之后, 利用CMP(化学机械抛
15 光)处理抛光第二夹层绝缘膜43, 第二夹层绝缘膜43被平整化。第一光阻膜44配置在平整化的第二绝缘膜上。第一光阻膜44由与第一导电膜42相同的多层金属膜形成, 该多层金属膜由钛化钨(TiW)和铝制成。

第一光阻膜44覆盖驱动电路衬底1的大约整个区域, 并且仅在图21所示接触孔42CH制作开口。利用TEOS(四乙基原硅酸盐)作为活性气体, 通过CVD
20 处理, 第三夹层绝缘膜45被配置在第一光阻膜44上。此外, 第二光阻膜46形成在第三夹层绝缘膜45上, 并由与第一导电膜42相同的多层金属膜形成, 该多层金属膜由钛化钨(TiW)和铝制成。第二光阻膜46通过接触孔42CH连接到第一导电膜42。在接触孔42CH中, 形成第一光阻膜44的金属膜和形成第二光阻膜46的金属膜层压, 以产生电连接。

25 当第一光阻膜44和第二光阻膜46由金属膜制成时, 绝缘(电介质)膜制成的第三夹层绝缘膜45被插入他们之间, 并向第一光阻膜44施加一个电压, 能够在第一光阻膜44第二光阻膜46之间形成一个存储电容。从第三夹层绝缘膜45对于驱动电压的耐压方面以及通过减小第三夹层绝缘膜45的厚度来增加电容方面来看, 希望第三夹层绝缘膜45的厚度在150nm到450nm的范围内, 优选
30 在约300nm。

图 23 是与透明衬底 2 重叠的驱动电路衬底 1 的立体图。形成在驱动电路衬底 1 周缘的是外围框 11，液晶合成物 3 被限制由外围框 11、驱动电路衬底 1 和透明衬底 2 包围的空间内。密封部件 12 覆盖在重叠的驱动电路衬底 1 和透明衬底 2 之间的外围框 11 外侧周围。驱动电路衬底 1 和透明衬底 2 通过密封部件 12 固定在一起，形成液晶显示板 100。

接着，如图 24 所示，用于向液晶显示板 100 提供外部信号的柔性印刷电路板 80 连接到用于外部连接的端子 13。柔性印刷电路板 80 一端的相对侧上的最外端子比其余端子长，并连接到形成在透明衬底 2 上的反电极 5，从而用做反电极端子 81。以此方式，柔性印刷电路板 80 连接到驱动电路衬底 1 和透明衬底 2。

通常，柔性印刷电路板只连接到配置在驱动电路衬底 1 上用于外部连接的端子，从而通过驱动电路衬底 1 进行从柔性印刷电路板到反电极 5 的连线。

本发明该实施例中的透明衬底 2 设有被连接到柔性印刷电路板 80 的连接部分，从而柔性印刷电路板 80 直接连接到反电极 5。通过在驱动电路衬底 1 上重叠透明衬底 2 形成液晶显示板。透明衬底 2 被重叠在驱动电路衬底 1 上，从而透明衬底 2 的周缘延伸超出驱动电路衬底 1 的外侧边缘，并提供连接部分 82，柔性印刷电路板 80 在连接部分 82 连接到反电极 5。

图 25 和 26 示出了液晶显示装置 200 的结构。图 25 是液晶显示装置 200 的主要部件的透视分解图，图 26 是液晶显示装置 200 的平面图。

如图 25 所示，具有连接到那里的柔性印刷电路板 80 的液晶显示板 100 被装配在散热板 462 上，一个缓冲部件 461 插入在它们之间。高导热的缓冲部件 461 填充了散热板 462 和液晶显示板 100 之间的间隙，用于从液晶显示板 100 把热容易地传导到散热板 462。标号 463 表示一个模型，通过胶粘剂固定到散热板 462。

如图 26 所示，柔性印刷电路板 80 在模型 463 和散热板 462 之间通过，然后从模型 463 出来。标号 465 表示防止光源进入液晶显示装置 200 的计划外部分的光阻板，466 是限定液晶显示装置 200 的显示区域的光阻框。

已经基于本发明的实施例具体地解释了本发明人的该发明，但是本发明不局限与上述实施例，在不脱离本发明的技术教导和范围的前提下可以进行各种变化和改型。

通过本说明书中公开的具有代表性的一个发明所获得的优越性可以总结如

下：

本发明能够减小装入液晶显示板的水平驱动电路所占用的空间，并且能够使液晶显示板小型化。

5

图 1

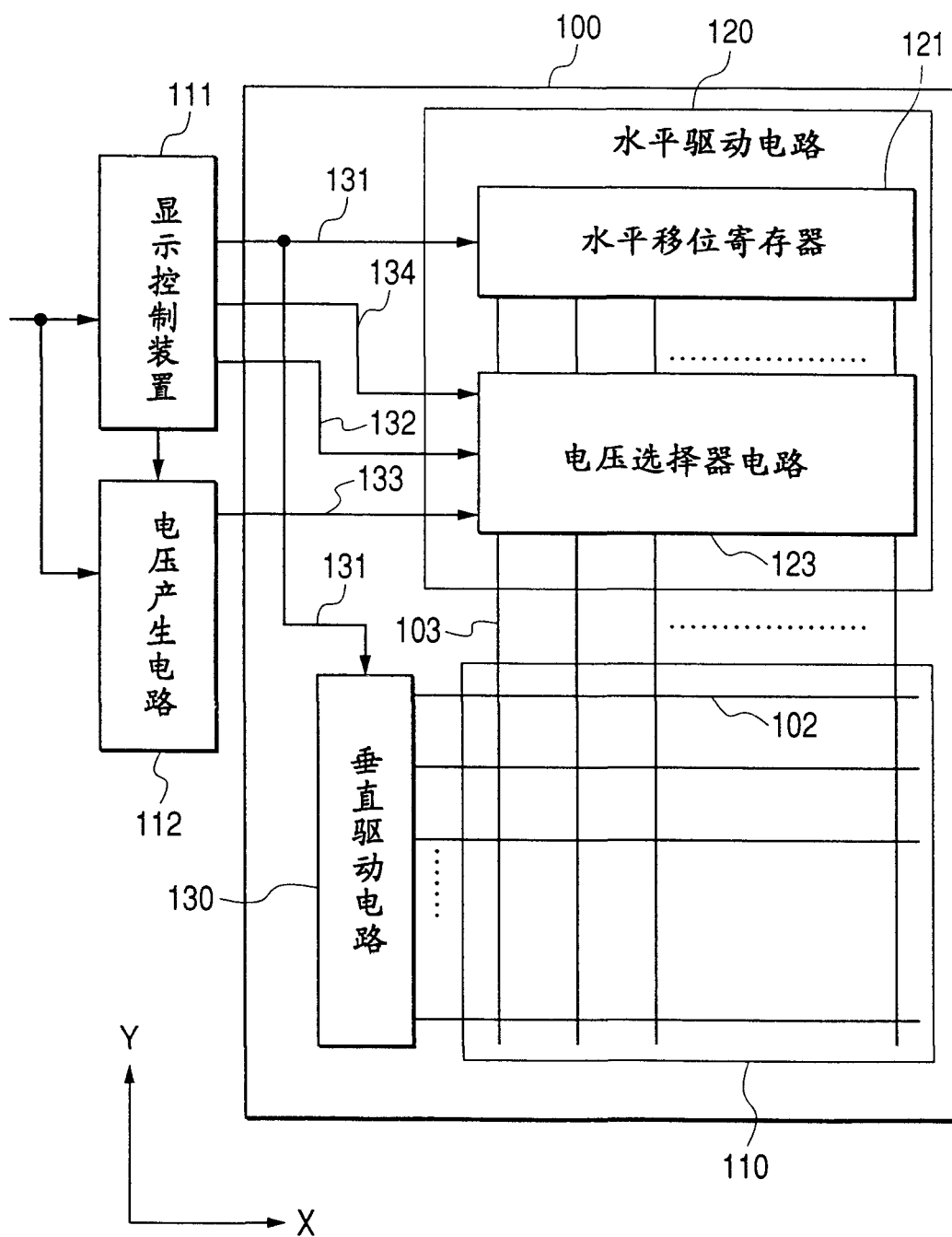


图 2

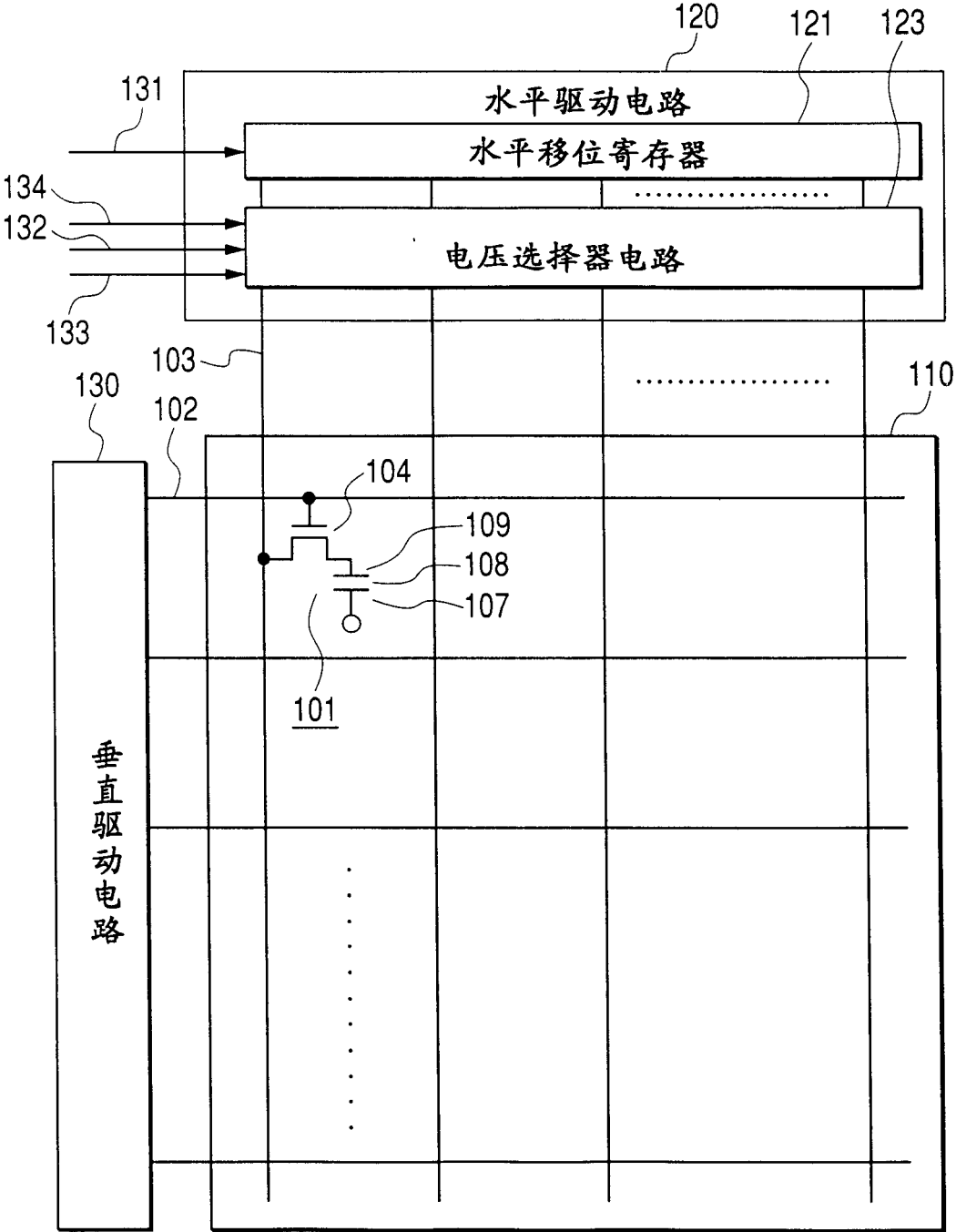


图3

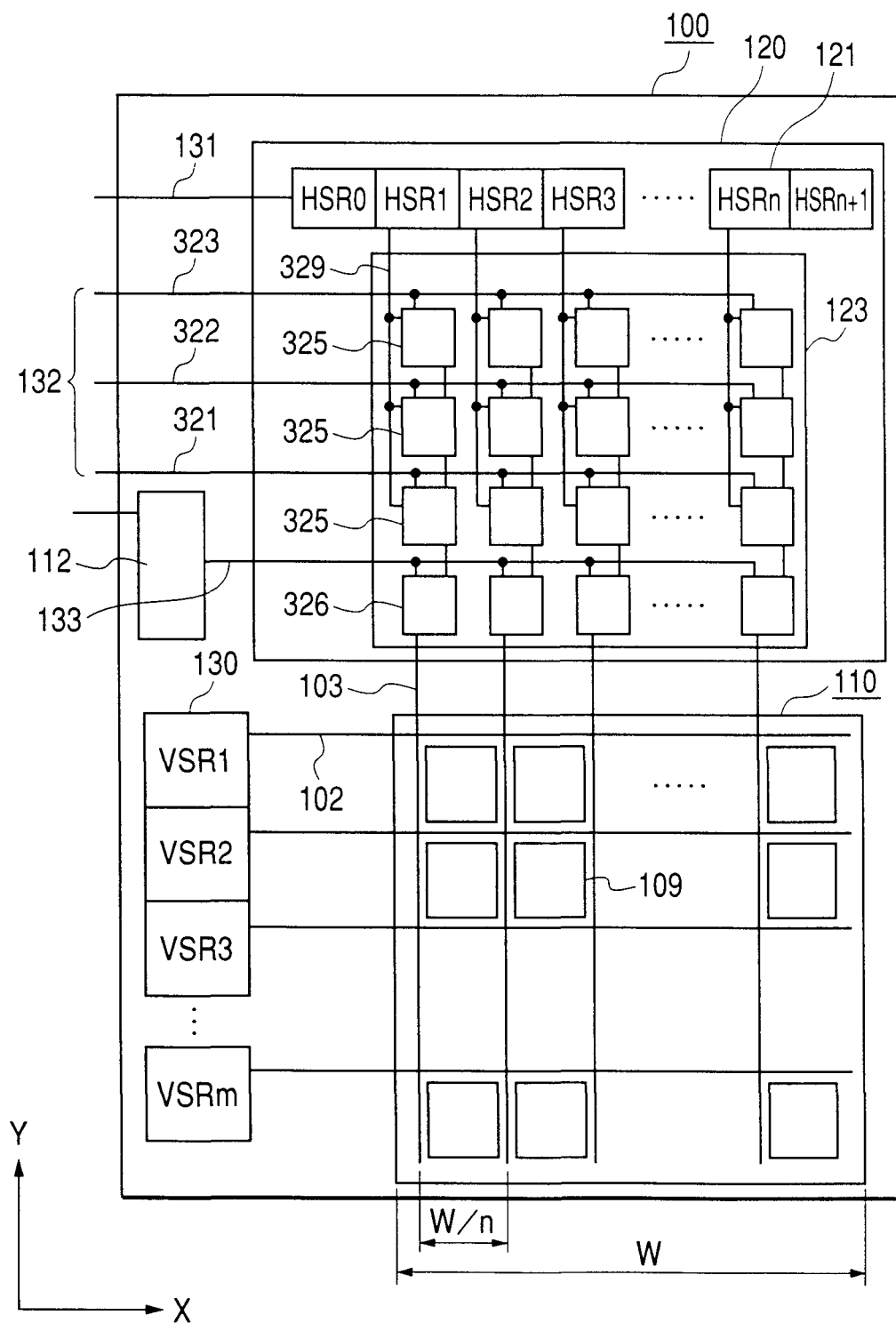


图 4

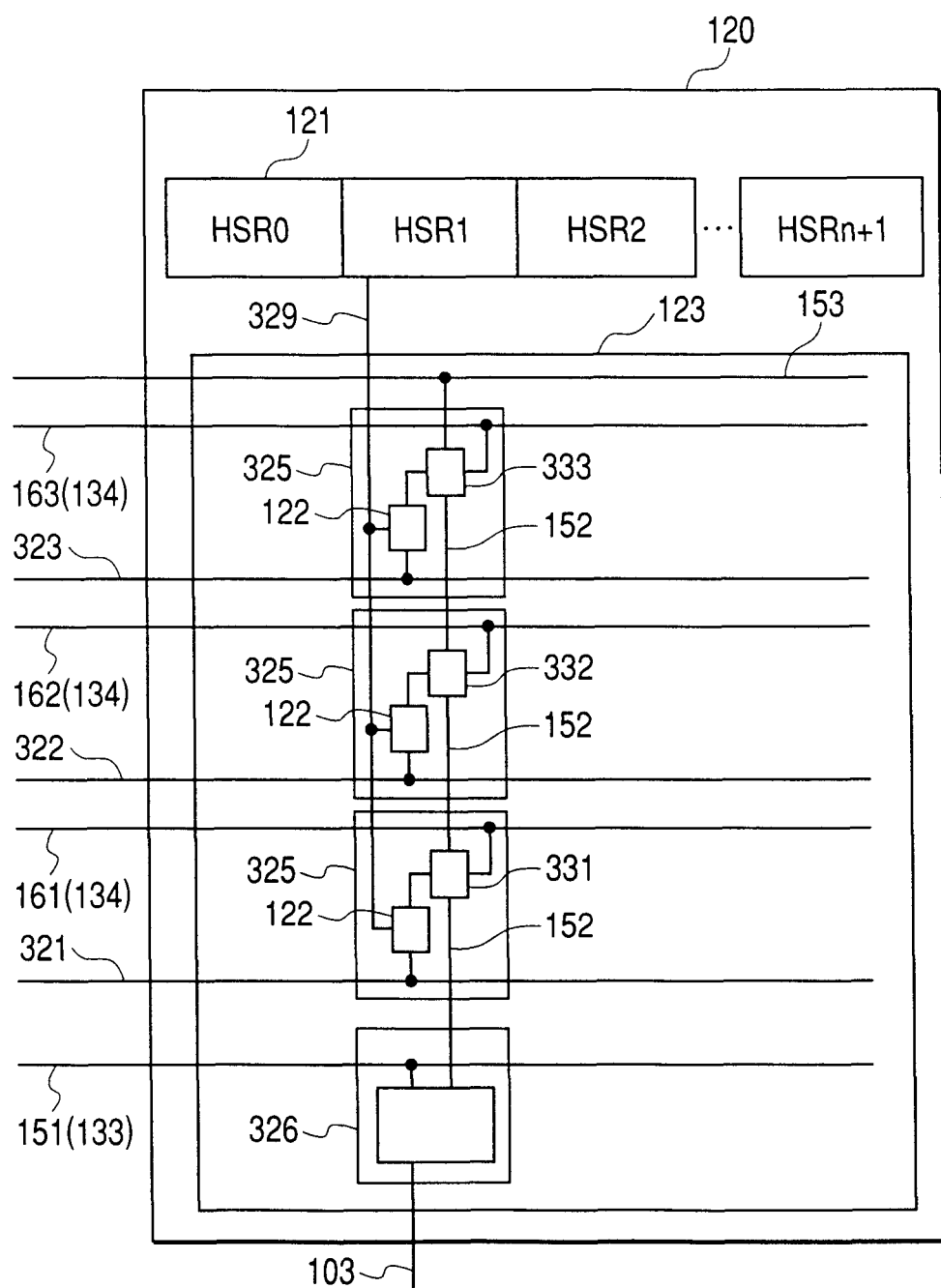


图 5

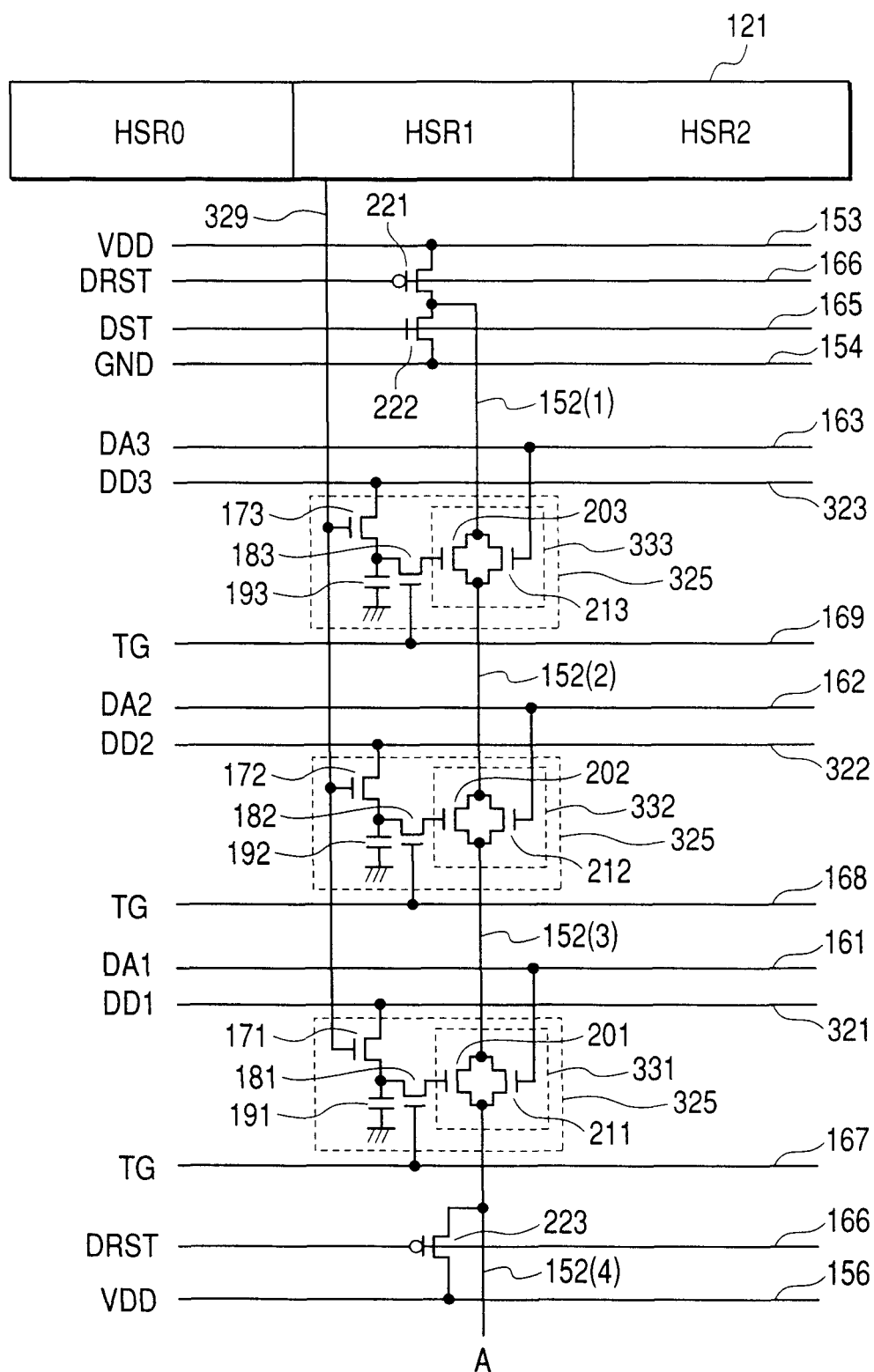


图 6

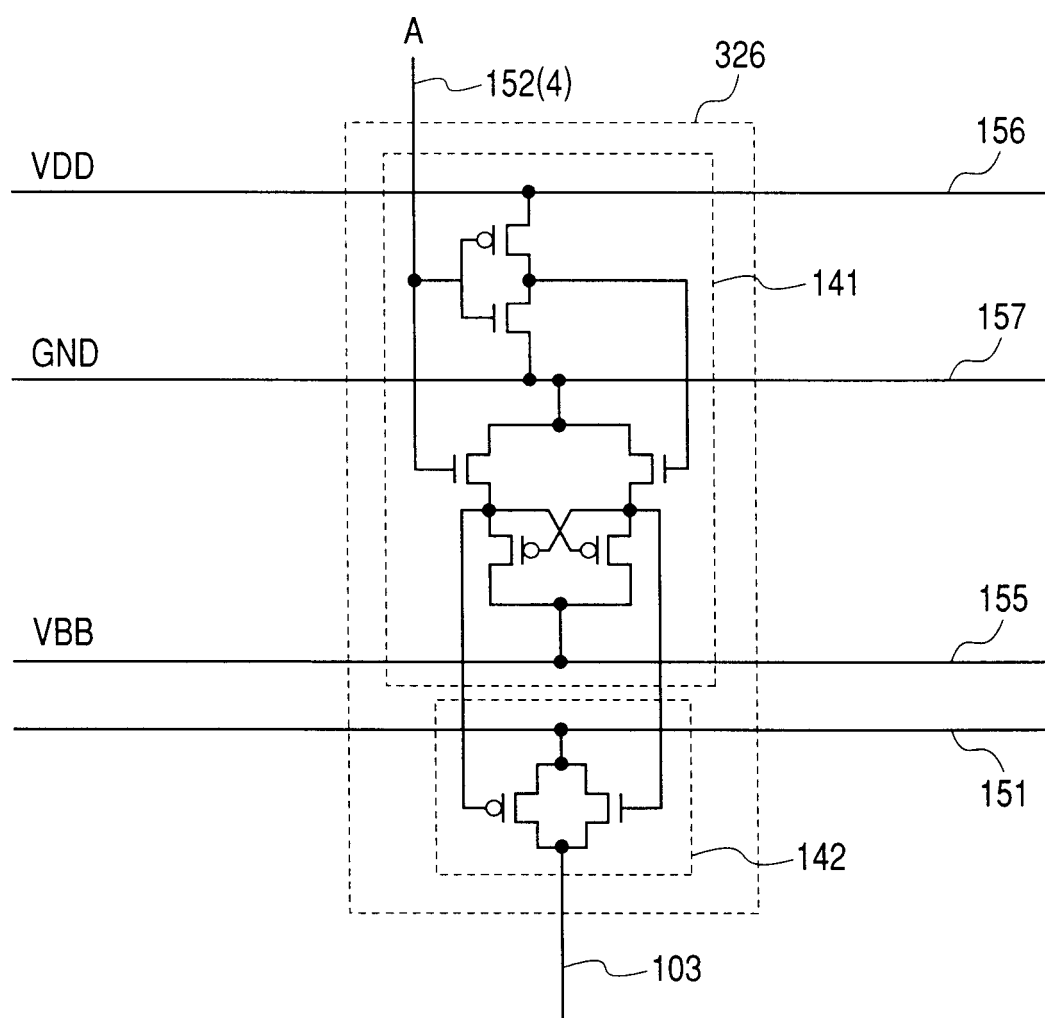


图7A
(现有技术)

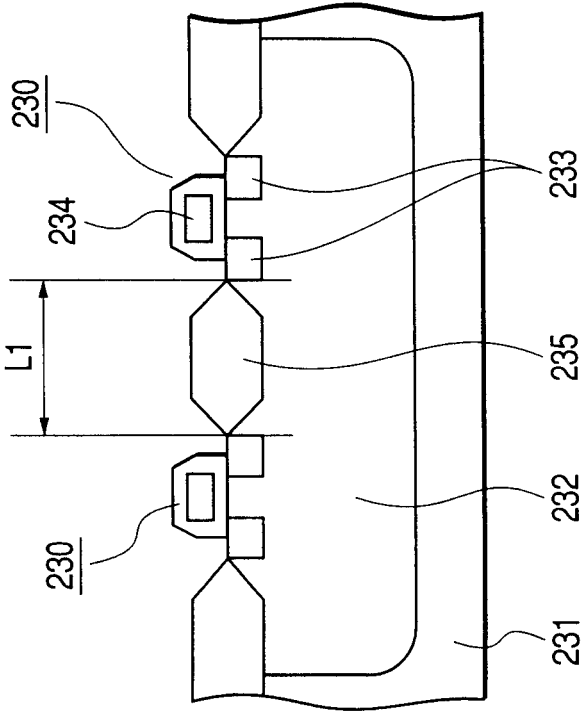


图7B
(现有技术)

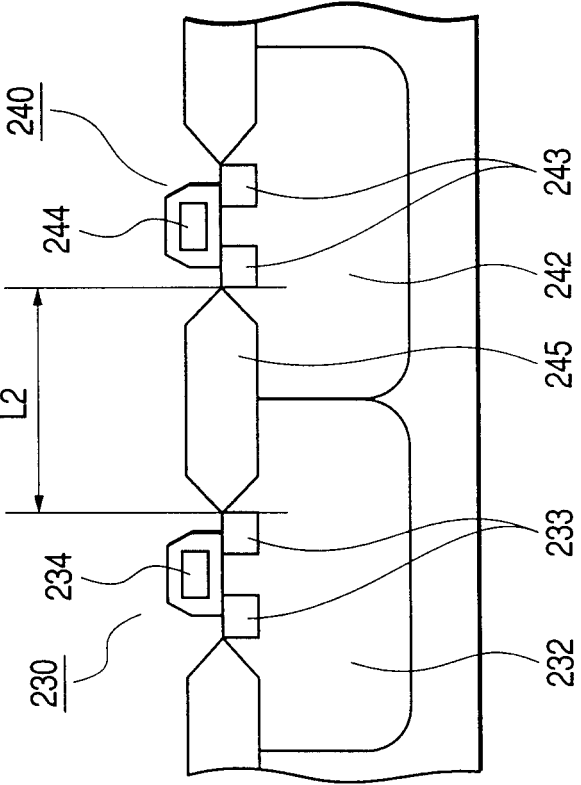


图 8A

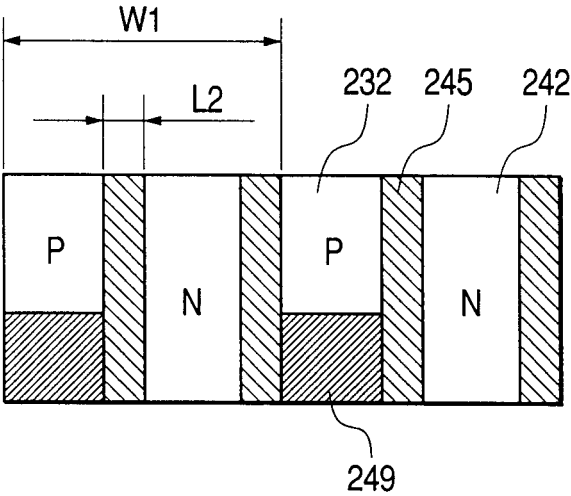


图 8B

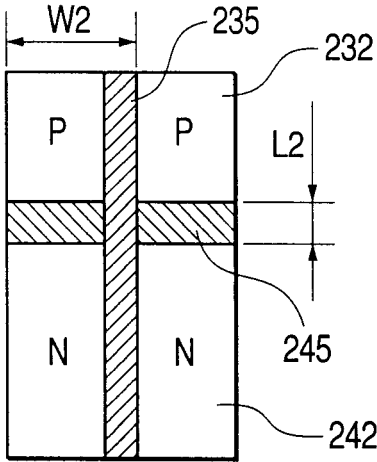


图 8C

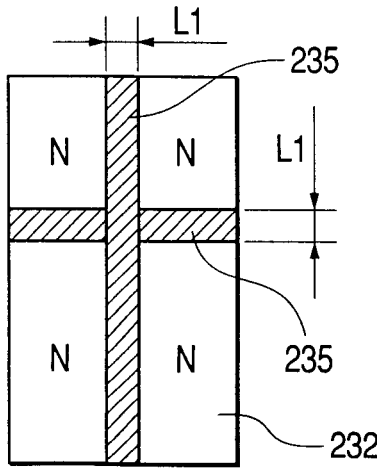


图9A

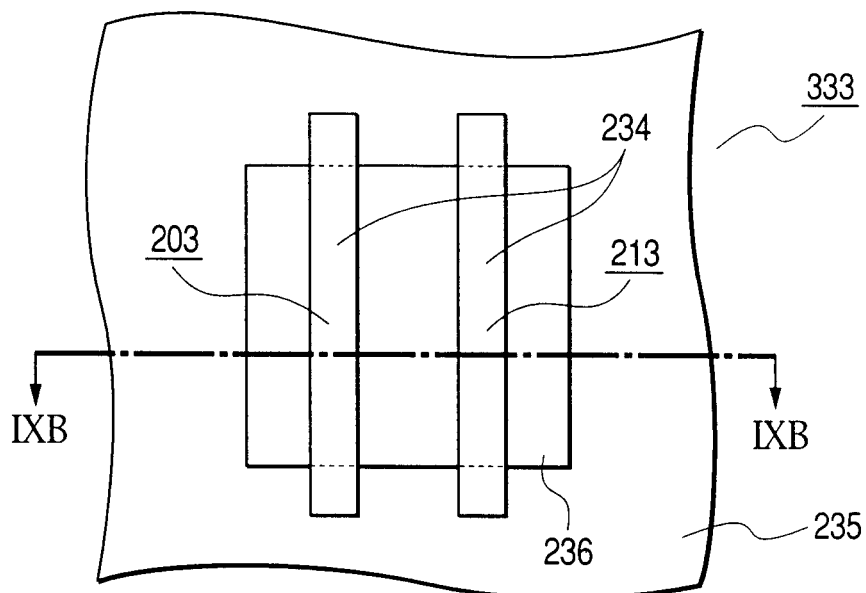


图9B

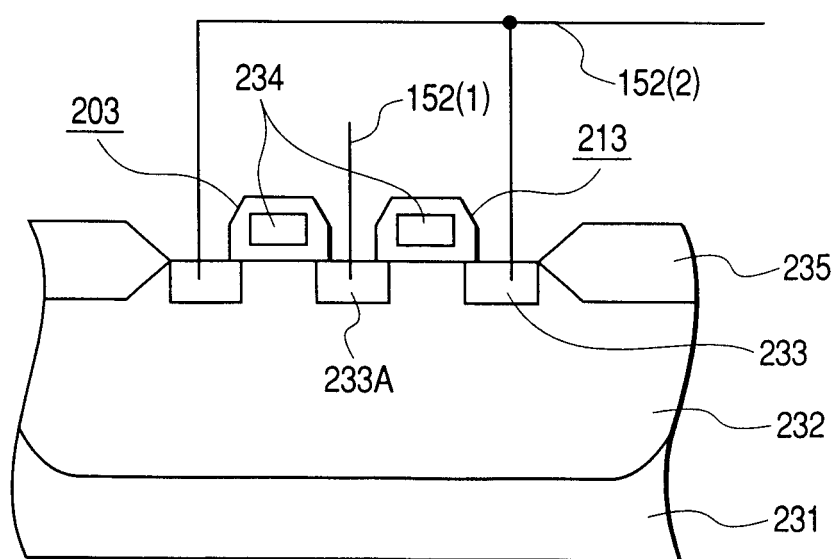


图10

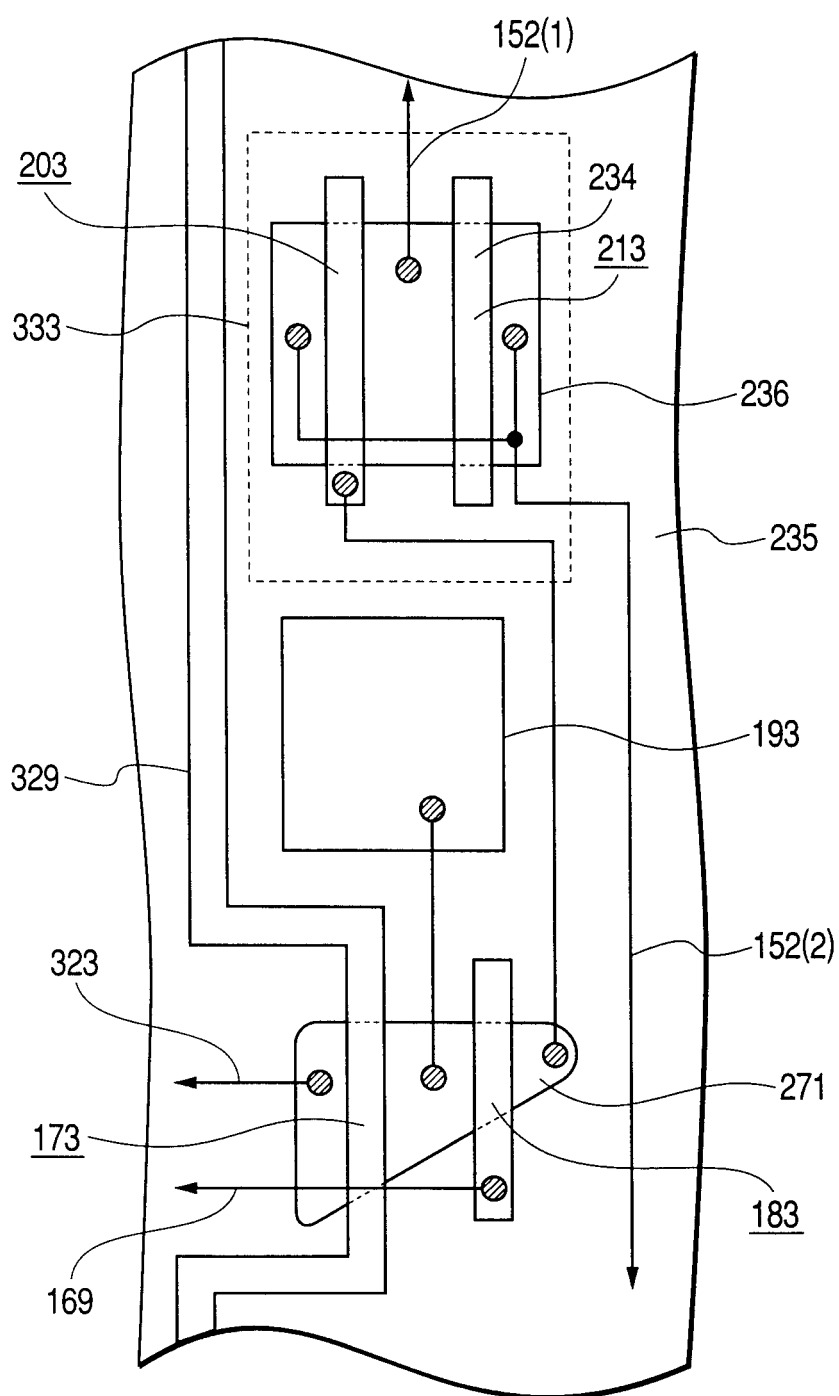


图11

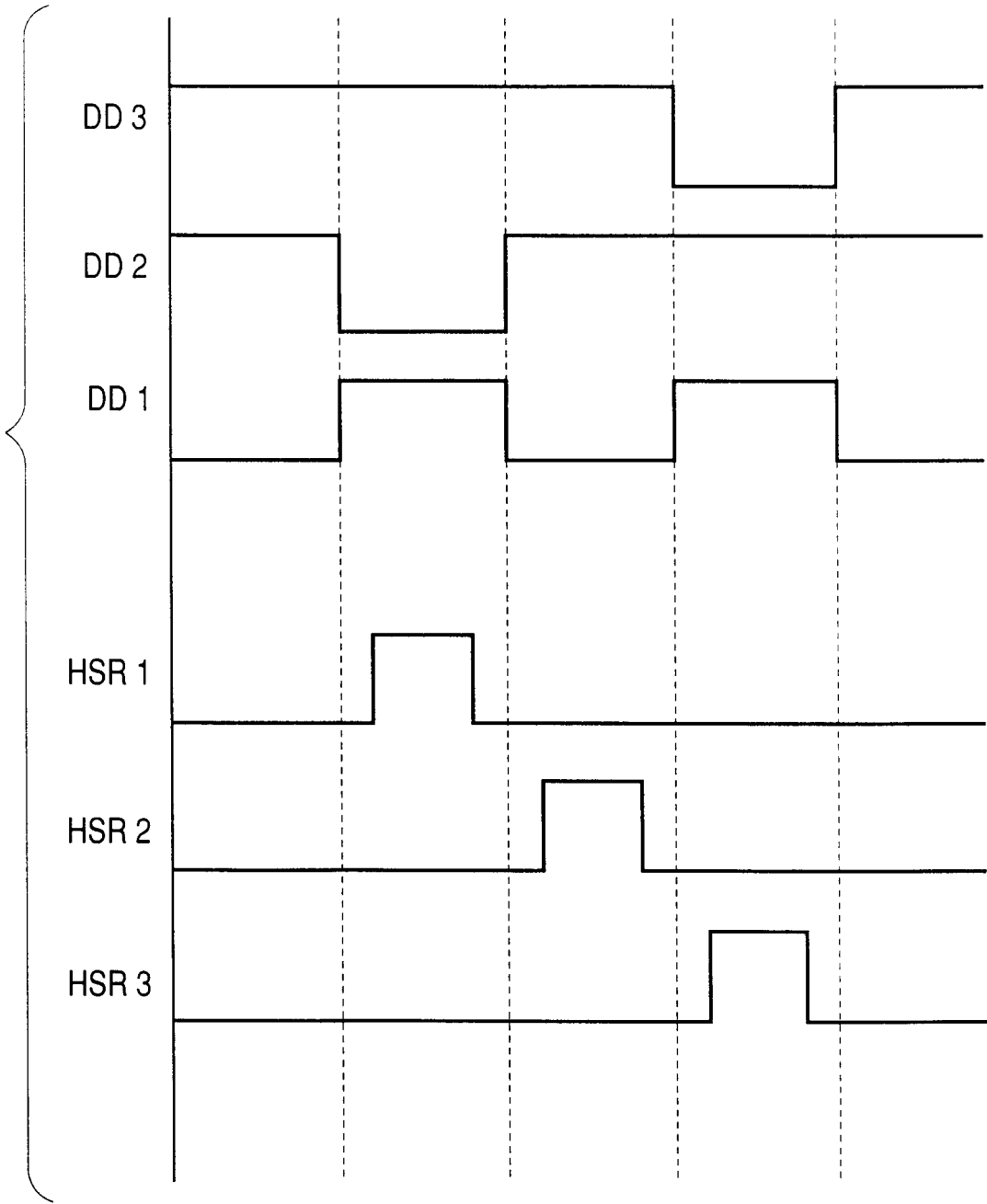


图12

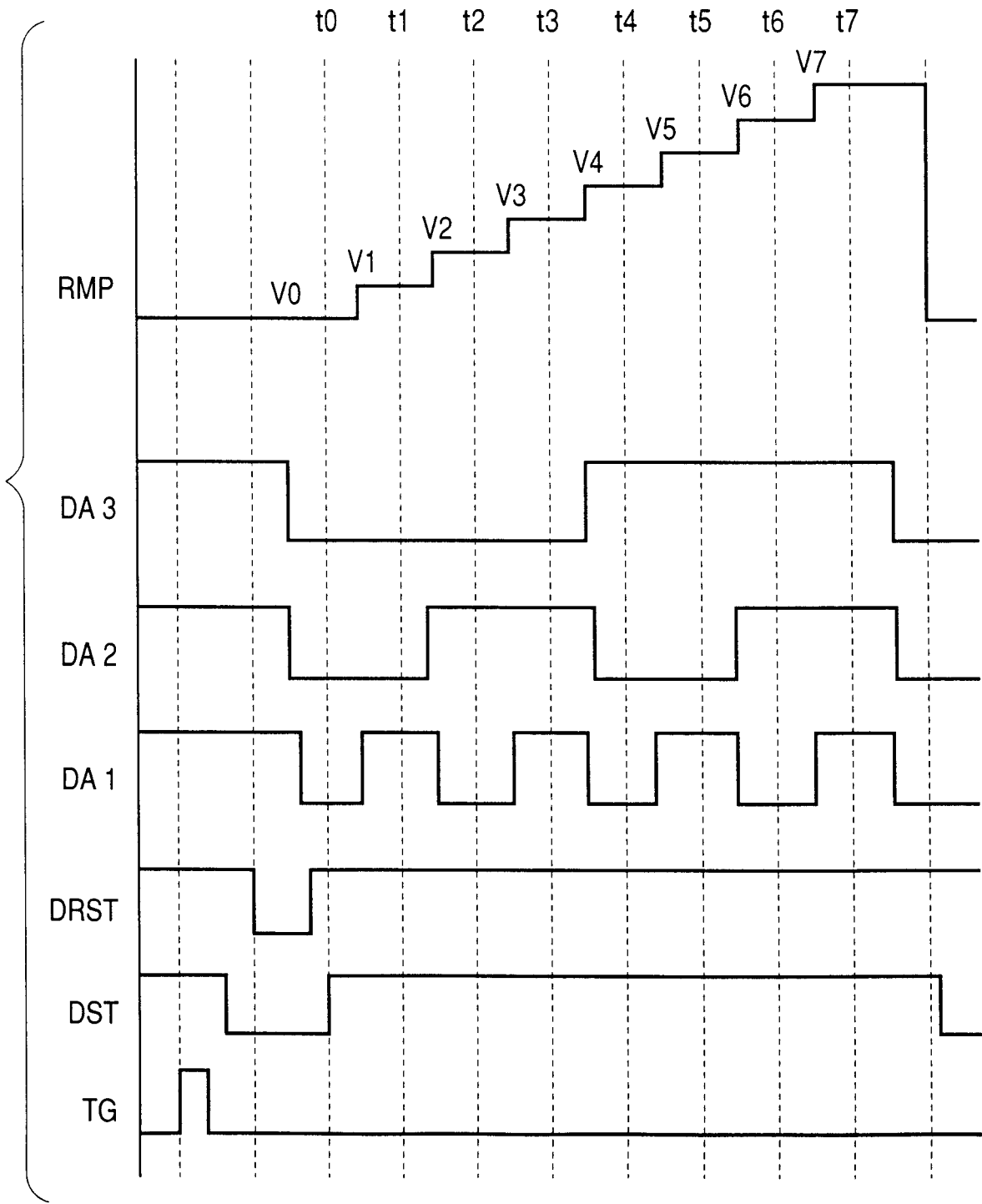


图14A

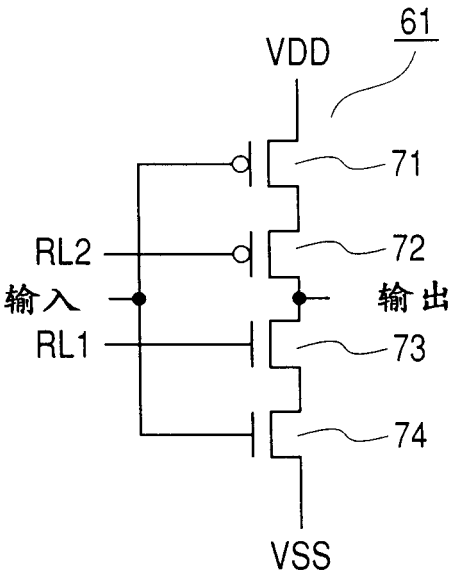


图14B

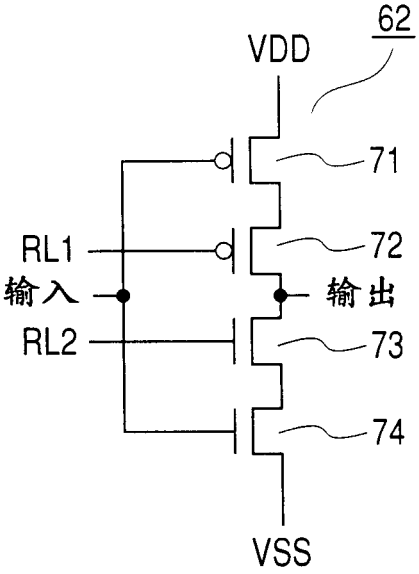


图14C

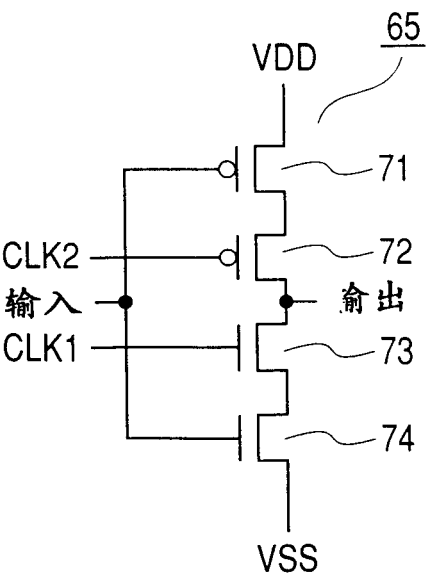


图14D

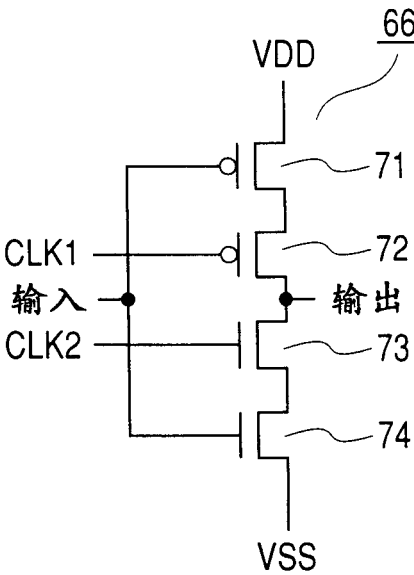


图 15A

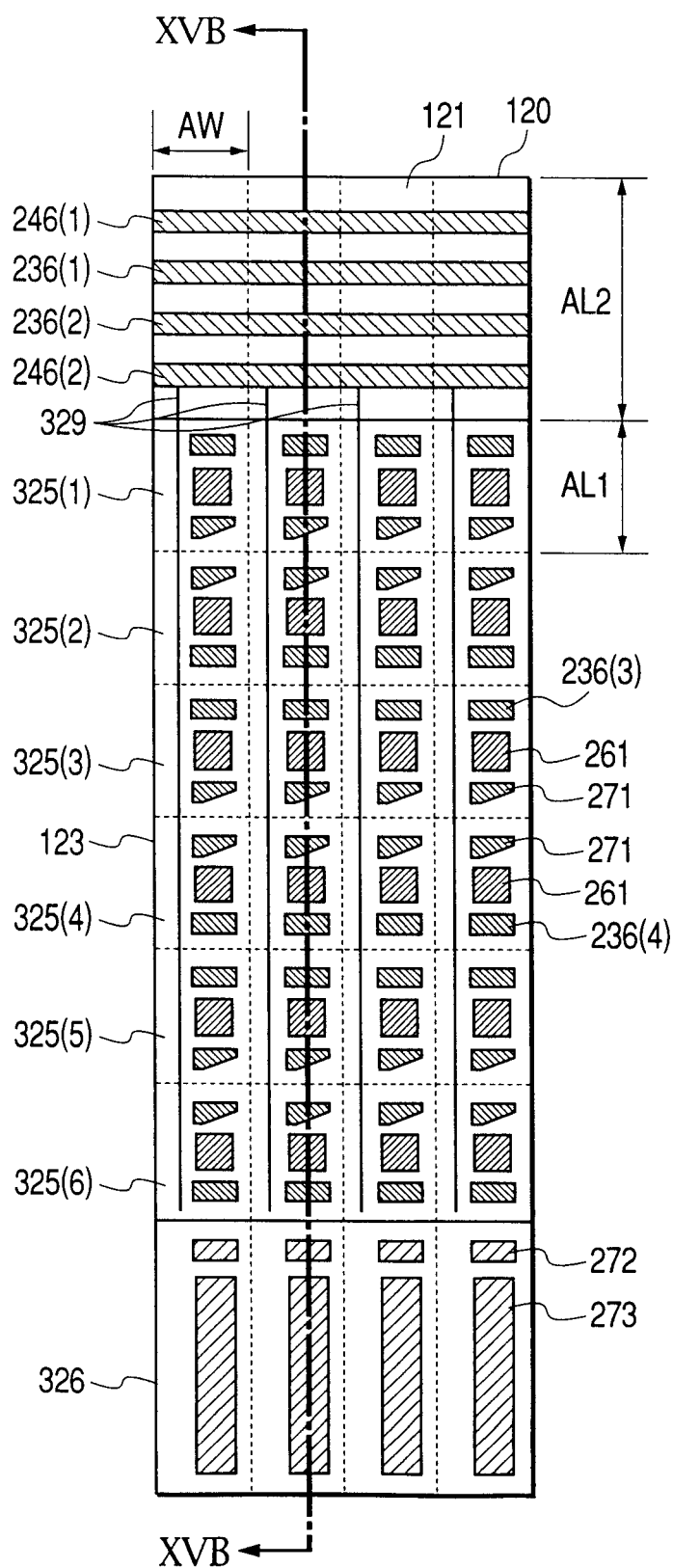


图 15B

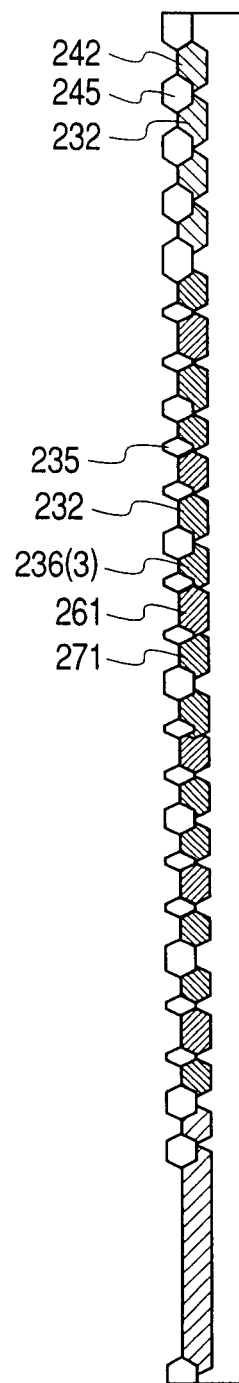


图16

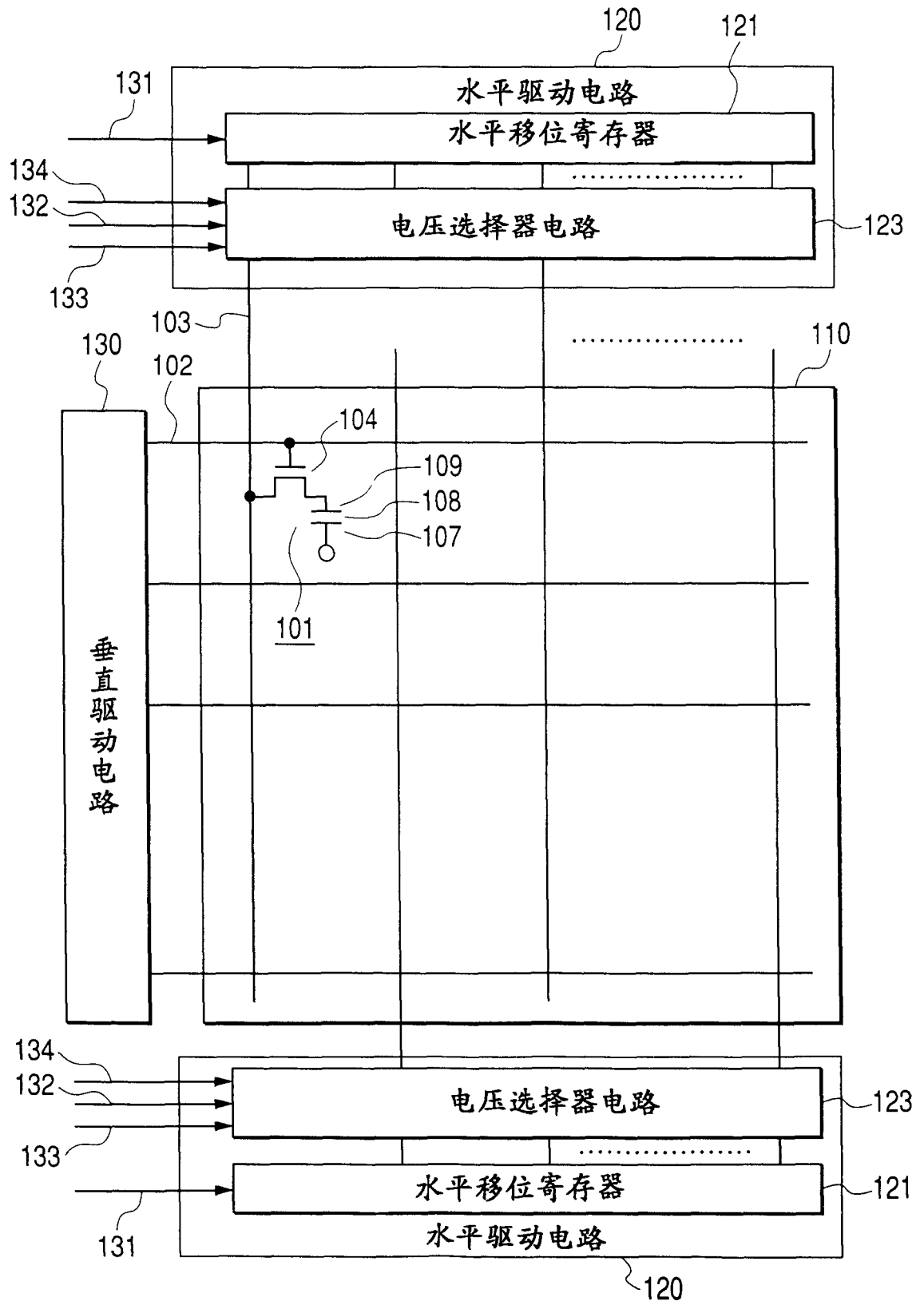


图 17

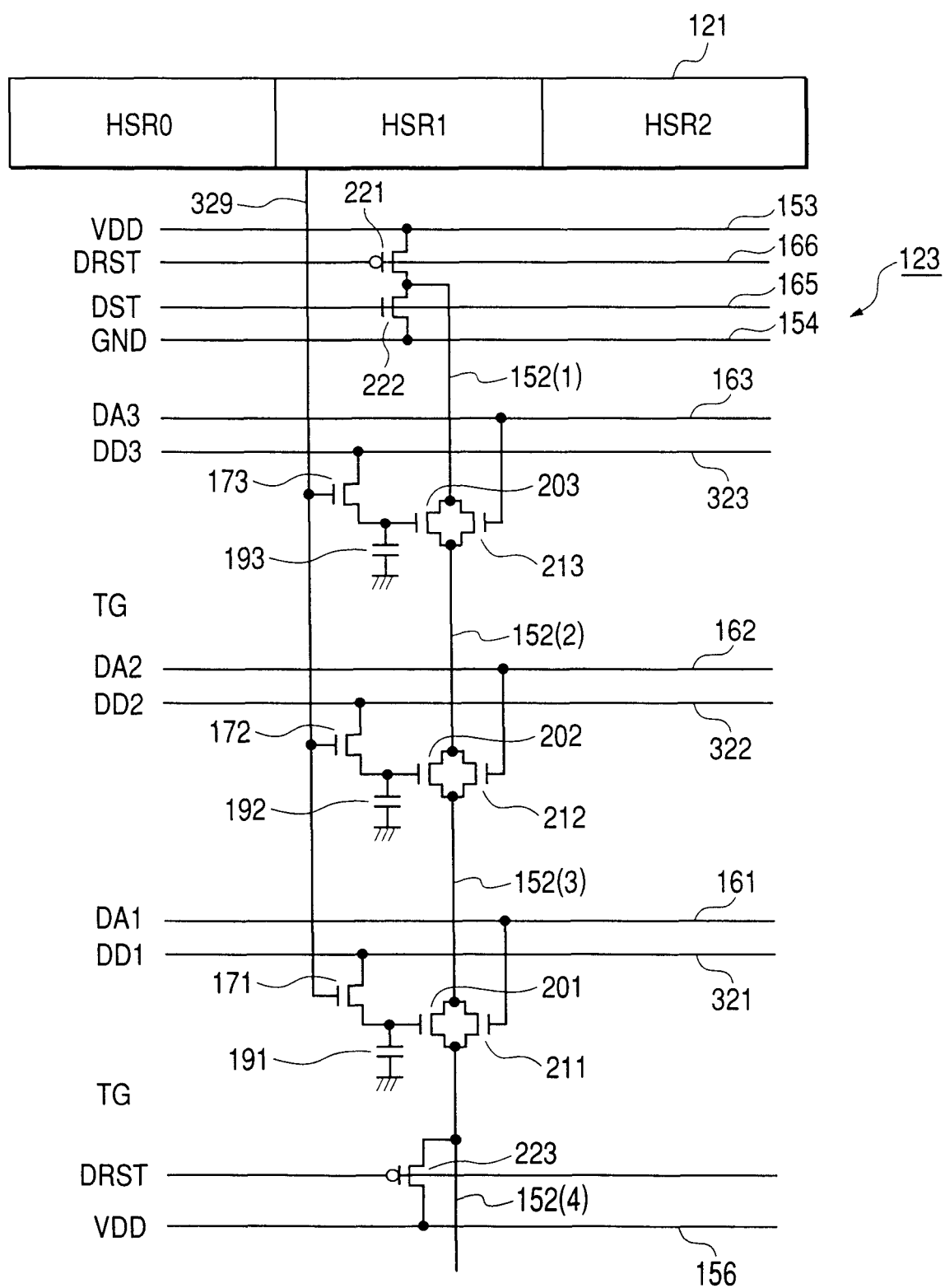


图18

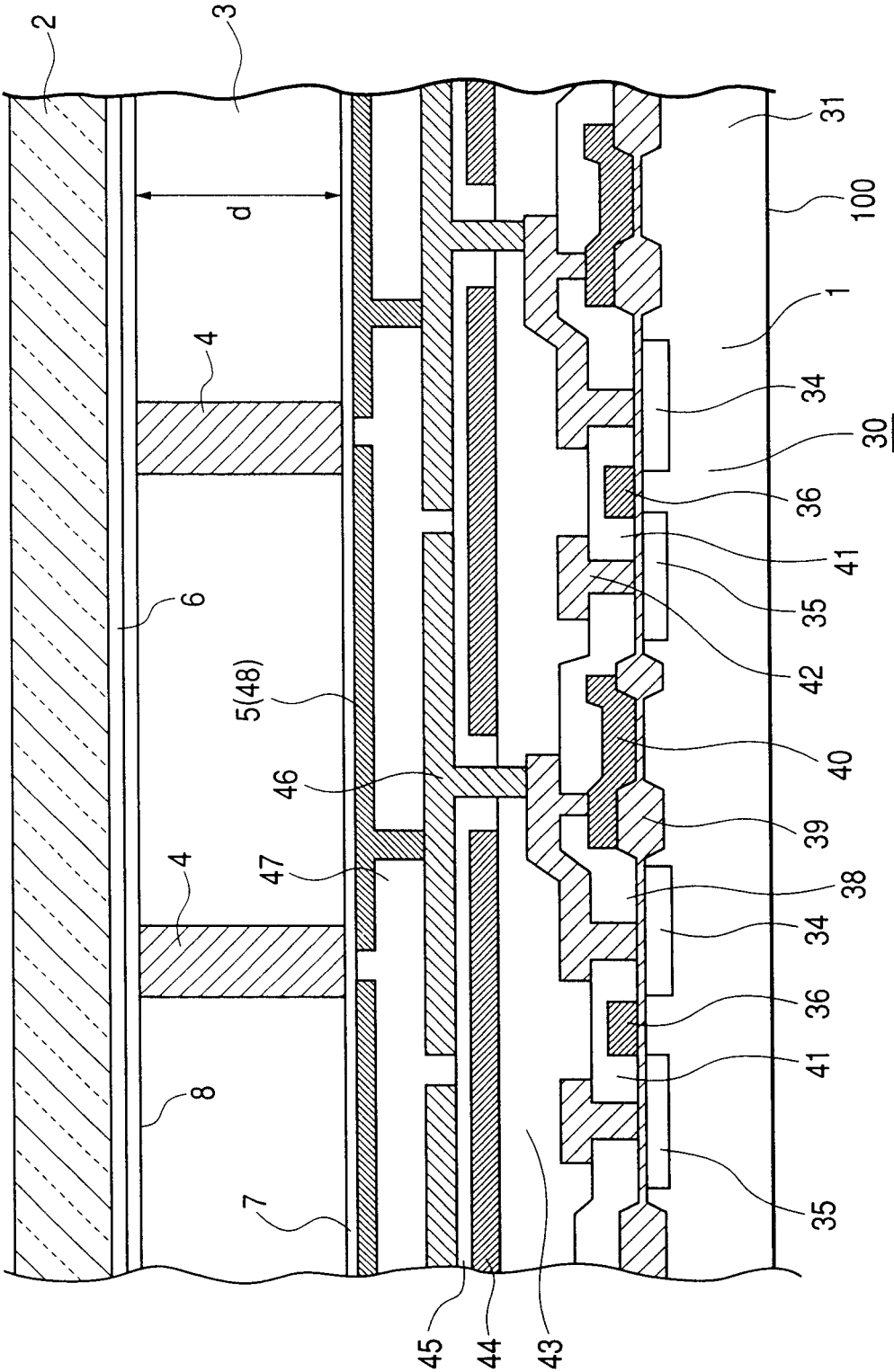


图 19A

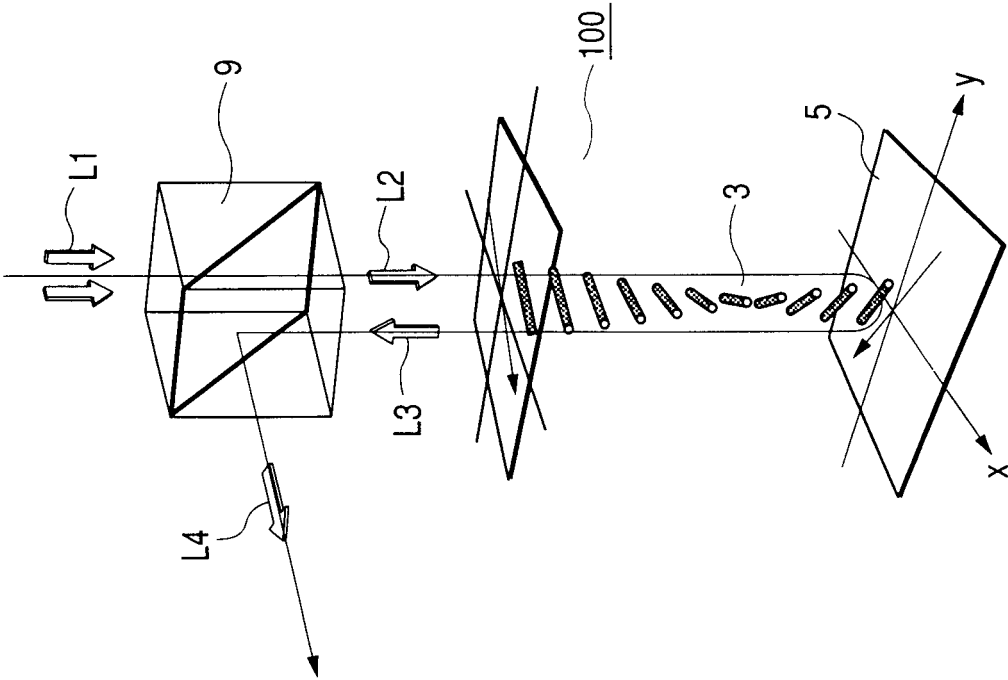


图 19B

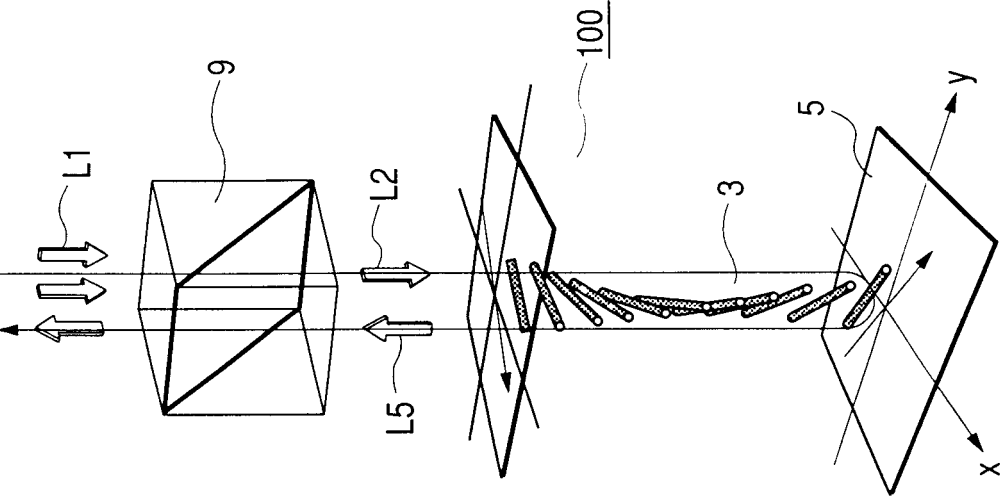


图20

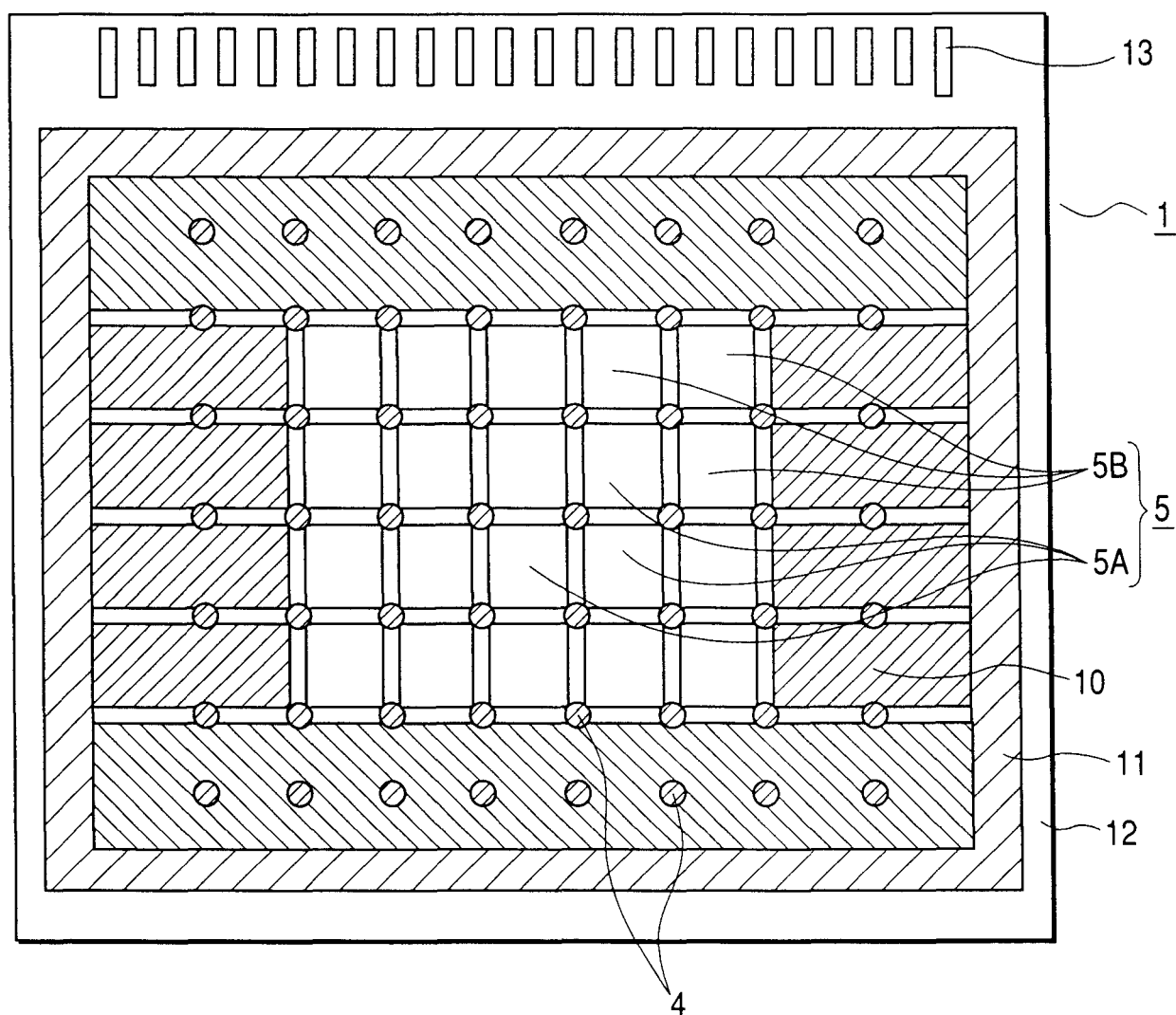


图 21

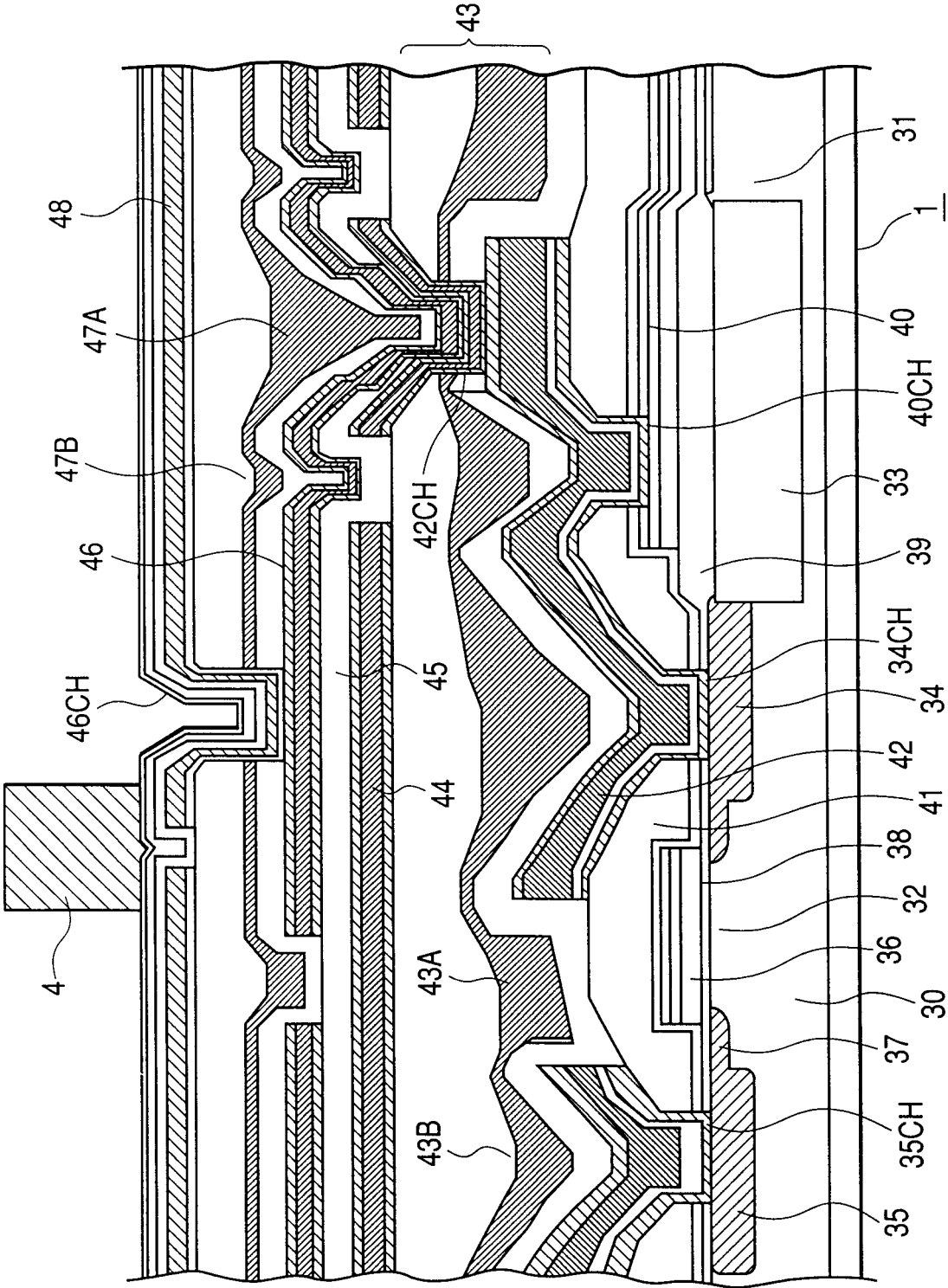


图22

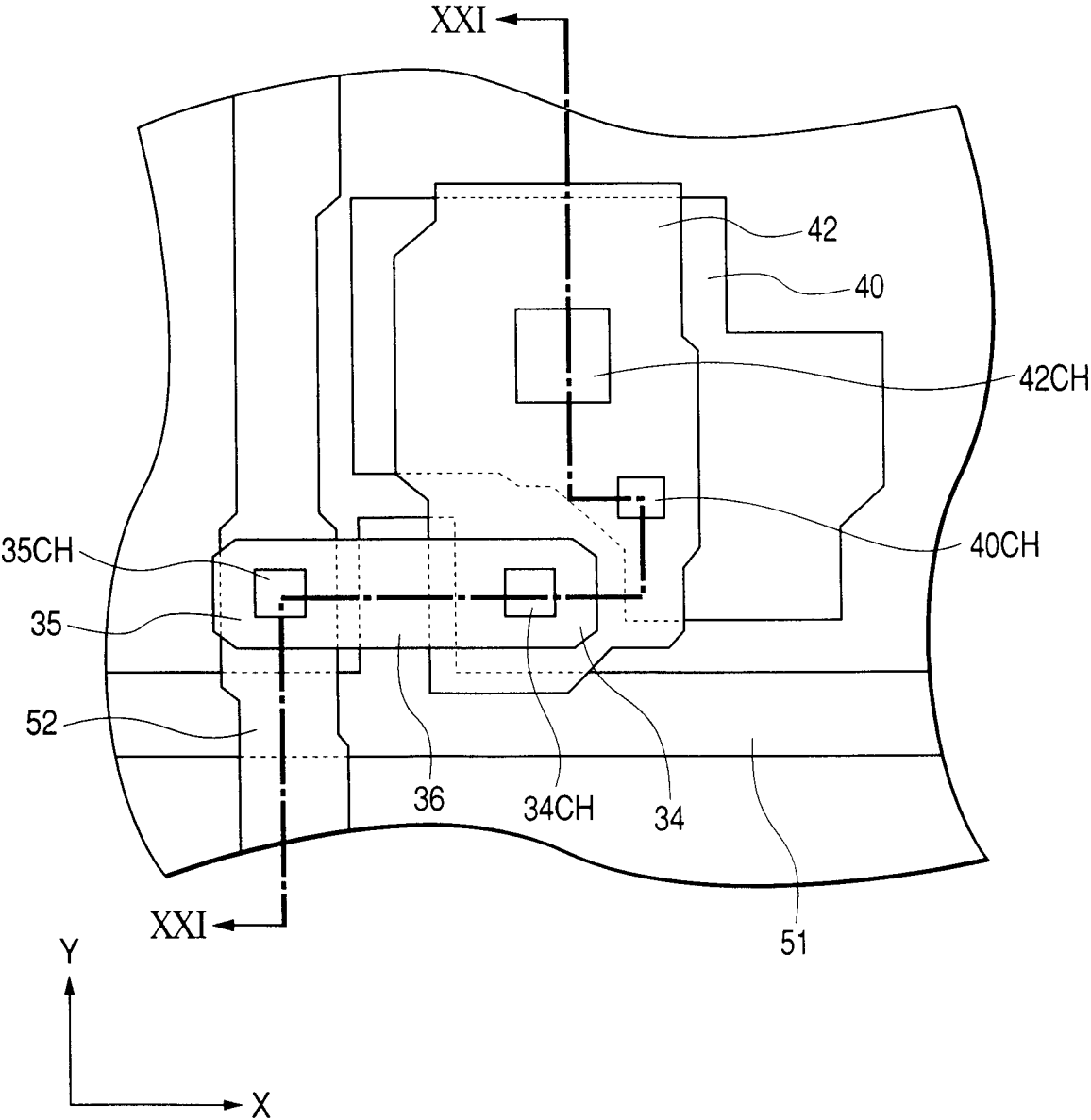


图23

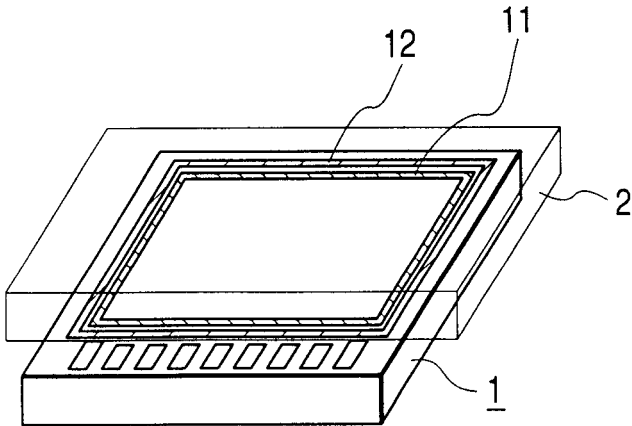


图24

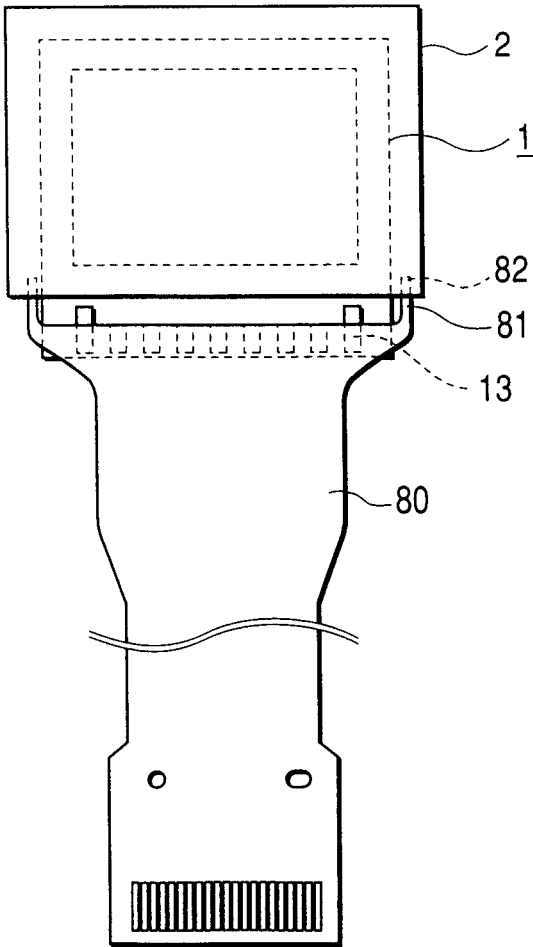


图25

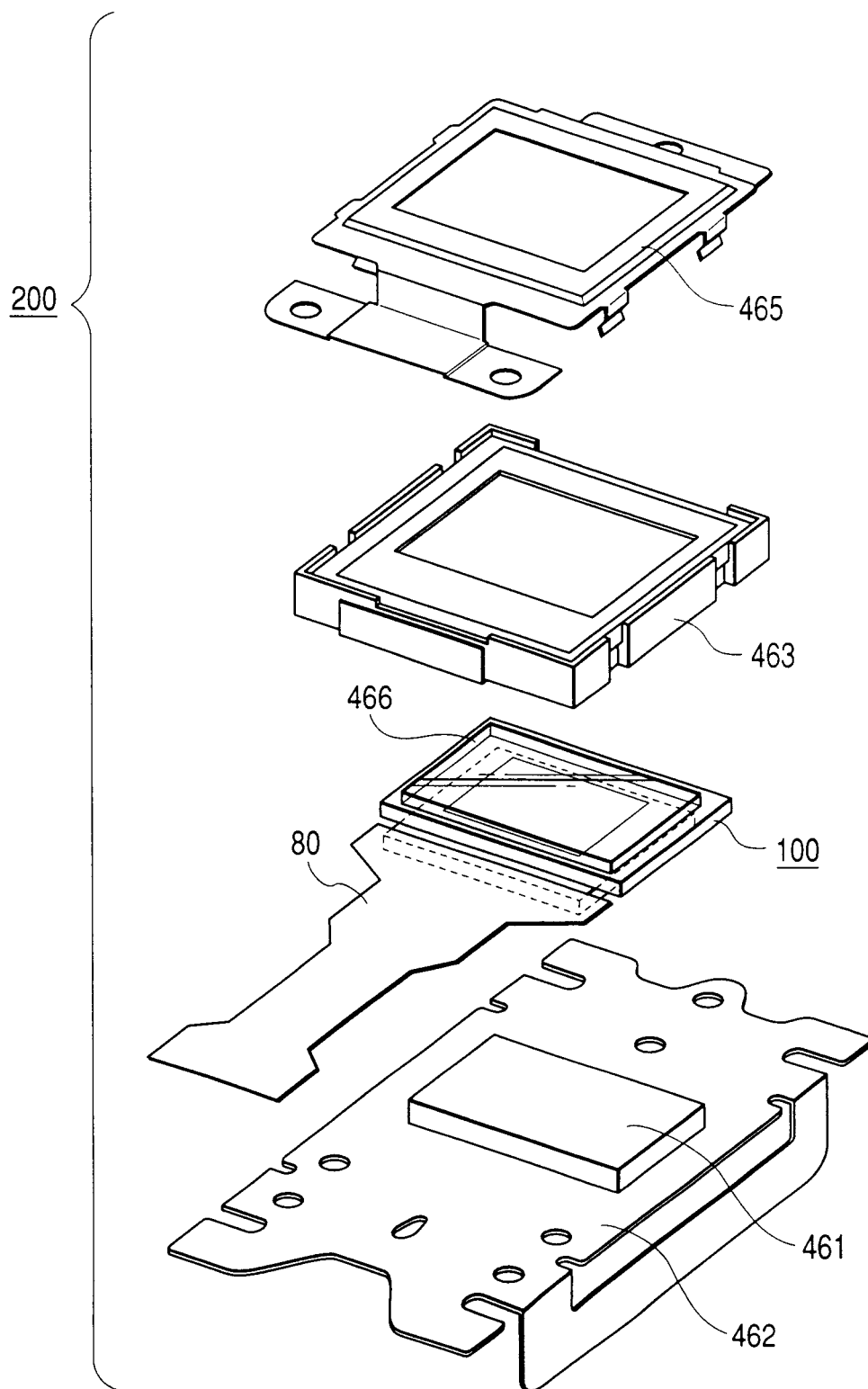
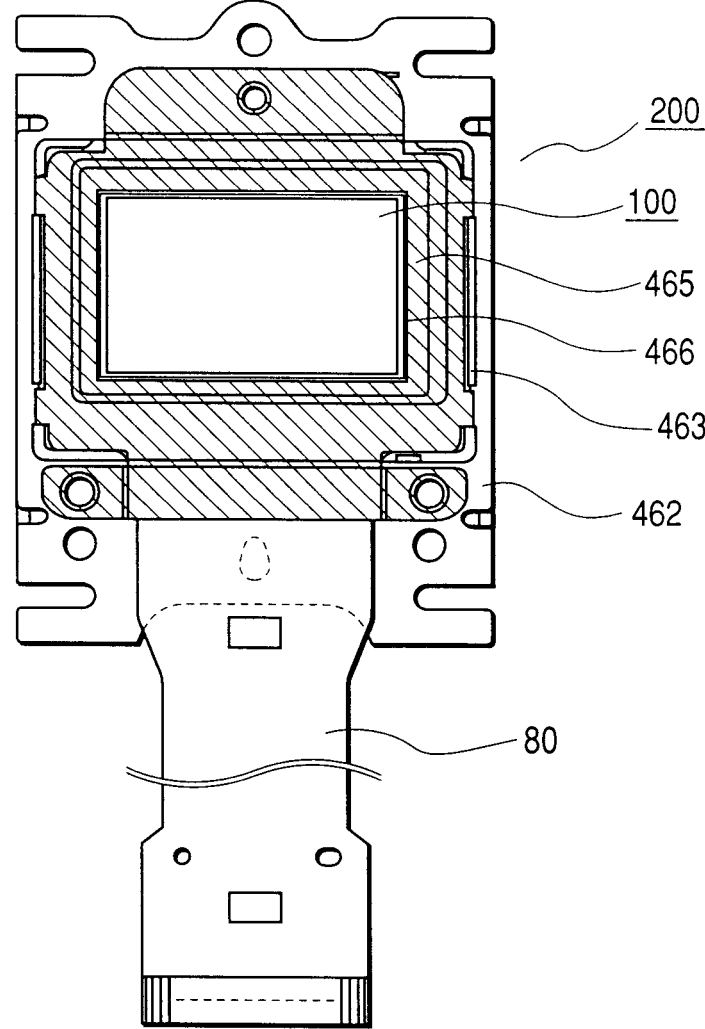


图26



专利名称(译)	具有灰度电压选择器电路的液晶显示装置		
公开(公告)号	CN1383127A	公开(公告)日	2002-12-04
申请号	CN02123132.X	申请日	2002-03-05
[标]申请(专利权)人(译)	株式会社日立制作所 株式会社日立显示器		
申请(专利权)人(译)	株式会社日立制作所 日立器件工程株式会社		
当前申请(专利权)人(译)	株式会社日本显示器		
[标]发明人	勇广宣 竹本一八男 宫泽敏夫 松本克巳		
发明人	勇广宣 竹本一八男 宫泽敏夫 松本克巳		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G02F11/33		
CPC分类号	G09G3/2011 G09G3/3611 G09G3/3688 G09G2300/0408 G09G2300/0426 G09G2310/0232 G09G2310/0259 G09G2310/027 G09G2310/0283 G09G2320/0233		
代理人(译)	王永刚		
优先权	2001059394 2001-03-05 JP		
其他公开文献	CN1238830C		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示装置,具有一个用于根据来自周期性变化的外部提供的灰度电压的显示数据选择电压电平的电路。该电路包括处理电路的多个串联组合。每一个串联组合与耦合到像素的视频信号线关联,多个串联组合的各个串联组合的每一个处理电路与用于提显示数据的N个显示数据线的各个显示数据线和用于提供与灰度电压同步变化的时间控制信号的多个时间控制信号线的各个时间控制信号线相关联。每一个处理电路被配置在N个显示数据线的相邻的两个显示数据线之间。时间控制信号唯一地确定与时间控制信号结合的灰度电压的一个电平。

