



(12) 发明专利

(10) 授权公告号 CN 101944345 B

(45) 授权公告日 2012. 12. 26

(21) 申请号 201010282756. 1

(22) 申请日 2006. 05. 30

(30) 优先权数据

2005-157390 2005. 05. 30 JP

(62) 分案原申请数据

200610087747. 0 2006. 05. 30

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 川濑靖 石田进 秋叶武定

永田宁 宫本直树 志波和佳

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 王以平

(51) Int. Cl.

G09G 3/36 (2006. 01)

H01L 27/02 (2006. 01)

H01L 27/16 (2006. 01)

H01L 29/423 (2006. 01)

H01L 29/788 (2006. 01)

(56) 对比文件

US 2003/0169222 A1, 2003. 09. 11, 说明书第 19 — 31 段, 图 1、2、4.

CN 1444194 A, 2003. 09. 24, 全文.

CN 1574358 A, 2005. 02. 02, 全文.

审查员 晏静文

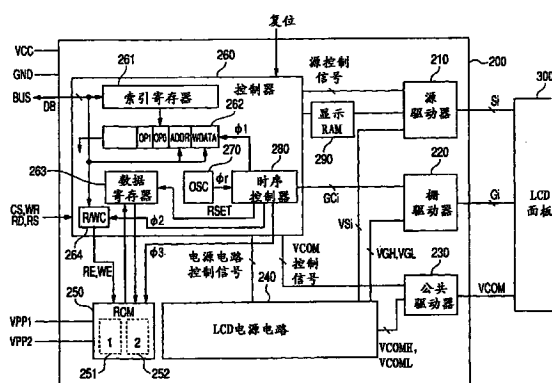
权利要求书 3 页 说明书 13 页 附图 16 页

(54) 发明名称

用于驱动液晶显示器的半导体集成电路

(57) 摘要

本发明实现了易于根据所使用的液晶显示器的规格来设定用于驱动液晶(液晶控制驱动器 IC)的驱动条件的半导体集成电路器件。在用于驱动液晶显示器的半导体集成电路器件内配置有电可编程的非易失性存储器电路(EPROM)或电可擦除可编程的非易失性存储器电路(EEPROM),设定信息被存储在存储器电路中。存储器电路可以用与形成其他电路器件的半导体制造工艺相同的工艺所形成的常规器件来构成。



1. 一种液晶显示系统,包括:

液晶显示面板,和

用于驱动液晶显示面板的半导体集成电路器件,形成于单独的半导体芯片上,

其中,所述半导体集成电路器件生成并输出被施加在液晶显示面板的扫描线上的驱动信号和被施加在液晶显示面板的信号线上的驱动信号,

其中,所述半导体集成电路器件包括:

电可编程的非易失性存储器电路或电可擦除可编程的非易失性存储器电路,

其中,所述非易失性存储器电路包括利用在半导体芯片上形成其他电路的元件的半导体制造工艺而形成的元件,并且

其中,所述非易失性存储器电路被分为多个组;用任何一个组中的非易失性存储器电路写入用于对在半导体集成电路器件中的电路的特性偏差进行校正的设定信息;用剩余的组中的非易失性存储器电路写入适用于由所述半导体集成电路器件驱动的液晶显示面板的特性的设定信息。

2. 根据权利要求1所述的液晶显示系统,其中,

所述非易失性存储器电路是数据仅可以被电写入一次的非易失性存储器电路;将所述任何一个组中的非易失性存储器电路设为一个单组;剩余的组又进一步被分为多个亚组,并且在写入时每次选择不同的亚组来写入数据,从而表面上看可以执行多次重写。

3. 根据权利要求1所述的液晶显示系统,其中,

所述非易失性存储器电路是数据仅可以被电写入一次的非易失性存储器电路;为所述任何一个组中的非易失性存储器电路和剩余的组中的非易失性存储器电路的每一个设置了用于施加用于写入的高电压的电源电压端子。

4. 根据权利要求1所述的液晶显示系统,其中,

所述非易失性存储器电路和所述其他电路中的每一个采用包括p沟道型场效应晶体管和n沟道型场效应晶体管的CMOS电路的形式。

5. 根据权利要求1所述的液晶显示系统,其中,

所述半导体芯片为矩形形状,沿着所述半导体芯片的长边方向的一边,配置有用于输出施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子;沿着所述半导体芯片的长边方向的另一边,配置有电源电压端子和施加用于写入所述非易失性存储器电路的高电压的输入端子;所述非易失性存储器电路配置在所述电源电压端子附近。

6. 根据权利要求1所述的液晶显示系统,其中,

所述半导体芯片为矩形形状;沿着所述半导体芯片长边方向的一边,配置有输出施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子;大致在所述半导体芯片的长边方向的另一边的中心部分,配置有施加写入所述非易失性存储器电路的高电压的电源电压端子;大致在所述半导体芯片的中心,配置有用于向/从所述非易失性存储器电路中写入/读出数据的控制电路;所述非易失性存储器电路配置在所述控制电路和所述电源电压端子附近。

7. 根据权利要求1所述的液晶显示系统,

其中,所述半导体芯片为矩形形状,沿着所述半导体芯片的长边方向的一边,配置有用于输出施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子;沿着所述半导体

芯片的长边方向的另一边,配置有施加用于写入所述非易失性存储器电路的高电压的第一电源电压端子和施加用于写入所述非易失性存储器电路的高电压的第二电源电压端子、以及施加用于写入所述非易失性存储器电路的高电压的第三电源电压端子;所述非易失性存储器电路配置在所述第一至第三电源电压端子附近。

8. 根据权利要求 1 所述的液晶显示系统,

其中,所述半导体芯片为矩形形状;沿着所述半导体芯片长边方向的一边,配置有输出施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子;大致在所述半导体芯片的长边方向的另一边的中心部分,配置有施加用于写入所述非易失性存储器电路的高电压的第一电源电压端子、施加用于写入所述非易失性存储器电路的高电压的第二电源电压端子和施加用于写入所述非易失性存储器电路的高电压的第三电源电压端子;大致在所述半导体芯片的中心,配置有用于向/从所述非易失性存储器电路中写入/读出数据的控制电路;所述非易失性存储器电路配置在所述控制电路附近。

9. 一种用于驱动液晶显示面板的半导体集成电路器件,该半导体集成电路器件用于生成并输出被施加在液晶显示面板的扫描线上的驱动信号和被施加在液晶显示面板的信号线上的驱动信号,且形成于单独的半导体芯片上,所述半导体集成电路器件包括:

电可擦除可编程的非易失性存储器电路,

其中,所述非易失性存储器电路包括利用在半导体芯片上形成其他电路的元件的半导体制造工艺而形成的元件,

所述非易失性存储器电路被分为多个组;任何一个组中的非易失性存储器电路被用于写入用于校正所述半导体集成电路器件中的电路的特性偏差的设定信息;剩余的组中的非易失性存储器电路被用于写入适用于由所述半导体集成电路器件驱动的液晶显示面板的特性的设定信息,

其中,所述半导体芯片为矩形形状,沿着所述半导体芯片的长边方向的一边,配置有用于输出施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子;沿着所述半导体芯片的长边方向的另一边,配置有施加用于写入所述非易失性存储器电路的高电压的第一电源电压端子和施加用于写入所述非易失性存储器电路的高电压的第二电源电压端子、以及施加用于写入所述非易失性存储器电路的高电压的第三电源电压端子;所述非易失性存储器电路配置在所述第一至第三电源电压端子附近。

10. 一种用于驱动液晶显示面板的半导体集成电路器件,该半导体集成电路器件用于生成并输出被施加在液晶显示面板的扫描线上的驱动信号和被施加在液晶显示面板的信号线上的驱动信号,且形成于单独的半导体芯片上,所述半导体集成电路器件包括:

电可擦除可编程的非易失性存储器电路,

其中,所述非易失性存储器电路包括利用在半导体芯片上形成其他电路的元件的半导体制造工艺而形成的元件,

所述非易失性存储器电路被分为多个组;任何一个组中的非易失性存储器电路被用于写入用于校正所述半导体集成电路器件中的电路的特性偏差的设定信息;剩余的组中的非易失性存储器电路被用于写入适用于由所述半导体集成电路器件驱动的液晶显示面板的特性的设定信息,

其中,所述半导体芯片为矩形形状;沿着所述半导体芯片长边方向的一边,配置有输出

施加在扫描线上的驱动信号和施加在信号线上的驱动信号的端子 ;大致在所述半导体芯片的长边方向的另一边的中心部分,配置有施加用于写入所述非易失性存储器电路的高电压的第一电源电压端子、施加用于写入所述非易失性存储器电路的高电压的第二电源电压端子和施加用于写入所述非易失性存储器电路的高电压的第三电源电压端子 ;大致在所述半导体芯片的中心,配置有用于向 / 从所述非易失性存储器电路中写入 / 读出数据的控制电路 ;所述非易失性存储器电路配置在所述控制电路附近。

用于驱动液晶显示器的半导体集成电路

[0001] 本申请是申请日为 2006 年 5 月 30 日、申请号为 200610087747.0、发明名称为“用于驱动液晶显示器的半导体集成电路”的中国发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种驱动液晶显示面板的液晶驱动用半导体集成电路（一种液晶控制驱动器 IC）；具体地说，涉及一种适用于具有以非易失性方式来设定液晶显示面板的特性和规格的装置的液晶控制驱动 IC 的技术。

背景技术

[0003] 近年来，作为诸如移动电话和 PDA（个人数字助手）等便携式电子设备的显示器，通常使用将多个显示像素排列成二维矩阵的点阵型液晶面板。在器件中配置了显示控制器（液晶控制器 IC），它形成在半导体集成电路内，用于控制液晶面板的显示；和用于驱动液晶面板的驱动电路；或含有这样的驱动电路的液晶显示驱动器（液晶控制驱动器 IC）。

[0004] 液晶显示器的规格，诸如伽玛特性、驱动电压、操作时钟频率等，随所使用的液晶种类和驱动方式而不同；而且由于制造的偏差其特性也不同。提供液晶显示驱动器的制造商制造液晶显示驱动器，使其适用于不同规格的液晶显示器和具有制造偏差的液晶显示器。该制造方法是增加驱动器的通用性及减少生产成本的设计方法。

[0005] 迄今为止，作为为了使不同规格的液晶显示器能被驱动的措施，实用的方法是在液晶显示驱动器中配置寄存器。同时，在外部配置如 EPROM 等的非易失性存储器。对于上电时的初始化设定，将驱动条件等设定信息从非易失性存储器传送给内部的寄存器。还有其他的方法。在液晶显示驱动器中设置了具有熔丝等的设定电路。在确定了所用的液晶显示器时，通过依照液晶显示器的规格断开熔丝来进行设定。通过使用熔丝来调整液晶显示器的工作特性的发明公布于例如日本未审查专利公开第 2000-148064 号中。

[0006] 作为一种现有的设定驱动条件的方法，使用从外部 ROM 对寄存器设定信息的方法在每次电源上电时都必须进行设定，因此存在 CPU 负载过重和系统启动慢的缺点。在使用熔丝的方法中，一旦进行了设定，该设定就不能变更。该方法在设定之后不能改变使用的液晶显示器或显示器的规格；且用户不能进行设定。因此，该方法存在可用性低的缺点。

[0007] 另外，当电路的特性由于制造偏差而偏离期待值时，通常可以通过设定电阻的电阻值或电容的电容值来调整该偏差。在液晶显示器和液晶驱动器中，使用保护用二极管、升压电容等作为外部器件。这些外部器件与液晶驱动器 IC 一起被配置在柔性板或类似的设备上。因此，存在如下缺点，即：外设部分的数量较大以至于很难使设备小型化；以及因外部器件而使液晶驱动 IC 的外部端子的数量增加，芯片尺寸也相应增加。

发明内容

[0008] 本发明的目的是提供一种易于根据所使用的液晶显示器的规格来设定驱动条件等的、用于驱动液晶的易用的半导体集成电路器件。

[0009] 本发明的另一个目的是提供一种用于驱动液晶的半导体集成电路器件,它能够调整由于制造偏差而偏离期待值的液晶显示器或用于驱动液晶的半导体集成电路器件的特性,并且可以减少外部器件的数量以及实现芯片的小型化。

[0010] 本发明的上述和其他的目的和新颖的特性将通过本说明书和附图进行说明。

[0011] 下面说明本申请公开的发明的典型例的概要。

[0012] 电可编程非易失性存储器电路 (EPROM) 或电可擦除可编程非易失性存储器电路 (EEPROM) 被设置在用于驱动液晶显示器的半导体集成电路器件中;设定信息被存储在存储器电路中。存储器电路可以用与形成其他电路器件的半导体制造工艺相同的工艺所形成的常规的器件来构成。

[0013] 通过在用于驱动液晶半导体集成电路器件中设置内置的非易失性存储器电路,不需要像使用外部 ROM 和寄存器的方法那样在每次电源接通时读取设定信息。因此,具有减轻 CPU 的负载并迅速启动系统的优点。特别地,在启动用于移动电话等的液晶显示器时执行复位操作的情况下,当移动电话电源开通以及液晶显示器从待机状态变为活动状态时,液晶显示器会被复位。此时,微处理器需要为各种不同的器件 (RF 模块、供电电路、存储器、控制液晶显示器的半导体器件等) 设定初始值,所以微处理器的工作负载很重。因此,在用于驱动液晶的半导体集成电路器件中,加快在上电时的设定对减少 CPU 的负载和加速系统启动是非常有效的。

[0014] 通过设置内置的非易失性存储器电路,芯片或包括该芯片的液晶显示器的识别信息 (芯片 ID 或模块 ID) 可以被预先写入。因此,对于一个通过使用这样的内置有非易失性存储器电路的半导体集成电路器件构成液晶显示器的用户来说,可以利用 ID 来实现各种管理。ID 可以被存储在其他设定信息被写入后所剩余的区域中。

[0015] 可以通过用于形成包括其他电路的器件的半导体制造工艺而形成的器件是普通器件,该普通器件不是被称作具有浮栅的 FAMOS 那样的非易失性存储器器件。通常,被称为 ERROM 或 EEPROM 的存储器 IC 是通过使用与通常的元件相比具有更复杂结构的非易失性存储器器件来构成的。因此,由于大量的掩膜数目而使制造成本很高。

[0016] 如果将可以仅由通常的器件构成的非易失性存储器电路设置在内部以存储设定信息,则可以低成本地实现易于根据所使用的液晶显示器的规格来设定驱动条件并且即使驱动条件改变也可以轻易地改变设定的存储电路。根据本发明,特性偏差可以通过改变存储在内置的非易失性存储器电路中的设定值来调整,而不用使用外部器件。因此,可以减少外部器件的数量和用于连接外部器件的端子的数量。

[0017] 下面简要说明在本申请中公开的发明中的典型例的效果。

[0018] 根据本发明,可以实现能够根据所使用的液晶显示器的规格轻易地设定驱动条件的易用的半导体集成电路器件。

[0019] 根据本发明,即使特性由于制造偏差而偏离期待值,也可以不使用外部器件地进行调整。因此其效果在于:可以实现外部器件数量少和芯片小型化的用于驱动液晶的半导体集成电路器件。

附图说明

[0020] 图 1 是由具有内置非易失性存储器电路的液晶控制驱动器 IC 和利用该驱动器 IC

驱动的 TFT 液晶面板组成的液晶显示器系统的结构方框图。

[0021] 图 2 是在应用本发明的液晶控制驱动器中的振荡器的一个例子的方框图。

[0022] 图 3 是可以利用外部器件来调整频率的振荡器的一个例子的电路图。

[0023] 图 4 是时序控制器的一个例子的电路图。

[0024] 图 5 是 LCD 供电电路的一个例子的电路图。

[0025] 图 6 是能够利用外部器件来调整 LCD 供电电路的电压的一个例子的电路图。

[0026] 图 7 是在图 1 的实施例的液晶控制驱动器 IC 中的非易失性存储器电路 (ROM) 的写入操作的操作时序的时序图。

[0027] 图 8 是非易失性存储器电路 (ROM) 的读出操作的操作时序的时序图。

[0028] 图 9 是在非易失性存储器电路中适于制造商信息存储区域的存储电路的具体结构例子的电路图。

[0029] 图 10 是构成非易失性存储器电路的存储单元的布图 (layout) 的一个例子的平面视图。

[0030] 图 11 是构成非易失性存储器电路的存储单元结构的剖面图和写入时的施加电压。

[0031] 图 12 是构成非易失性存储器电路的存储单元结构的剖面图和读入时的施加电压。

[0032] 图 13 是构成非易失性存储器电路存储单元的结构剖面图和擦除时的施加电压。

[0033] 图 14 是在非易失性存储器电路中适用于用户信息存储区域的存储器电路的一个例子的电路图。

[0034] 图 15 是适用于用户信息存储区域的存储器电路的另一个例子的电路图。

[0035] 图 16 是适用于用户信息存储区域的存储单元的另一个例子的电路图。

[0036] 图 17 是在构成本实例的液晶控制驱动器 IC 的电路模块的半导体芯片上的布图的一个例子的平面图。

[0037] 图 18 是在构成本实施例液晶控制驱动器 IC 的电路模块的半导体芯片上的布图的另一个例子的平面图。

具体实施方式

[0038] 以下将参照附图对本发明优选实施方式进行说明。

[0039] 首先,参照图 1,对有效应用了本发明的、内置有非易失性存储器电路的、用于驱动液晶的半导体集成电路器件(液晶控制驱动器 IC)200 进行说明。图 1 是由具有内置非易失性存储器电路的液晶控制驱动器 IC 200 和被该驱动器驱动的 TFT 液晶面板 300 组成的液晶显示系统的结构方框图。

[0040] 在图 1 中,200 表示用于驱动液晶面板的液晶控制驱动器 IC,它利用有源矩阵方法执行显示;300 表示由液晶控制驱动器 200 驱动的 TFT 液晶面板 300。在 TFT 液晶面板 300 中,作为被施加图像信号的多根信号线的源线(源电极)和作为在预定的周期内被顺序选择并驱动的多根选择扫描线的栅线(栅电极)被相互正交地配置在两个相对的玻璃基板中的一个上。

[0041] 在源线和栅线的交叉点上,以矩阵状配置着由像素电极和 TFT(薄膜晶体管)组成的像素,该 TFT 作为根据源线上的图像信号来向像素电极施加电压的开关元件。在相对的另一个玻璃衬底上,配置了像素共用的电极。液晶被密封在形成有电极的两个玻璃衬底之间。由于如此结构的 TFT 液晶面板 300 是公知的,因此并未图示。

[0042] 液晶控制驱动器 IC 200 具有:源驱动器 210,它用于根据图像信号驱动液晶面板 300 的源线 SL;和栅驱动器 220,用于顺序扫描该 TFT 液晶面板 300 的栅线 GL;以及公共驱动器 230,用于对 TFT 液晶面板 300 的像素公共电极施加共用的电压 VCOM。驱动器 IC 200 还包括:LCD 电源电路 240,用于产生驱动器 210~230 所需要的驱动电压;非易失性存储器电路 250,用于存储诸如驱动条件等的设定信息;以及控制器 260,用于根据从外部的微处理器(以下也称为 MPU 或 CPU)得到的命令来控制整个芯片的内部。

[0043] 另外,驱动器 IC 200 还包括:振荡器 270,用于产生作为内部基准的时钟 Φ_r ;时序控制器 280,用于基于所生成的基准时钟 Φ_r 来生成为驱动器 210~230 提供操作时序的信号 Φ_1 、 Φ_2 、 Φ_3 ;以及显示 RAM 290,用于存储显示在液晶面板 300 上的图像数据。具有这些电路的驱动器 IC 200 是作为由单晶硅组成的单个半导体芯片上的半导体集成电路而构成的。

[0044] 驱动器 IC 200 具有施加电源电压 VCC 的外部端子和施加接地电位 GND 的外部端子。此外,驱动器 IC 200 具有外部端子;用于施加对非易失性存储器电路 250 写入数据所必须的、比电压 VCC 高的写入电压 VPP1 和 VPP2 的外部端子。

[0045] 本实施例中的控制器 260 包括:索引寄存器 261,用于设定命令编码;控制寄存器 262,用于基于索引寄存器 261 的数据而写入数据;数据寄存器 263,用于寄存从外部提供的数据和从非易失性存储器电路 250 读出的数据;以及读/写控制电路 264,用于执行对非易失性存储器电路 250 的读/写控制。

[0046] 本实施例中的控制器 260 采用指定执行从外部的 MPU 写入索引寄存器 261 中的命令,并生成控制信号的方法。作为控制器 260 的控制方法,也可以使用从外部 MPU 接受命令编码并对该命令编码解码来产生控制信号的方式。为非易失性存储器电路 250 的输出部分配置了数据寄存器 263;控制器 260 也可以配置门电路,用于将保持在数据寄存器 263 中的读入数据分配给所需的电路。

[0047] 在如上构成的控制器 260 的控制下,当基于从外部 MPU 得到的命令和数据在上述 TFT 液晶面板 300 上显示图像时,液晶控制驱动器 IC 200 执行向显示 RAM 290 顺序写入显示数据的绘制(rendering)过程。控制器 260 还执行从显示 RAM 290 顺序读出显示数据的读出过程并将施加在 TFT 液晶面板 300 的源线 SL 上的信号以及将施加在栅线 GL、公共电极 COM 上的信号从驱动器 210、220 和 230 输出,据此进行液晶显示。

[0048] 用于存储如驱动条件等的设定信息的非易失性存储器电路 250 可以用与后述的其他电路相同的元件(在本实施例中是 CMOS 晶体管)来构成。利用这样的结构,形成非易失性存储器电路 250 的制造工序数量不会增加,并且抑制了制造成本的增加。存储在非易失性存储器电路 250 中的设定信息可大概被分为两类设定信息:被存储在制造商(提供者)处的信息和被存储在用户(组件制造商)处的设定信息。在实际使用中,可以设定这两中设定信息中的一个或两个。

[0049] 在本实施例中的液晶控制驱动器 IC 中,非易失性存储器电路 250 具有用于存储可

以由制造商设定的信息的第一区域 251, 用于存储可以由用户设定的信息的第二区域 252。在第一区域 251 中, 数据只能被写入一次。在第二区域 252 中, 数据可以被写入多次。

[0050] 被存储在制造商处的设定信息包括: 用于设定由用于生成作为内部基准的时钟的振荡器 270 所产生的时钟 Φ_r 的频率的信息; 用于设定由基于基准时钟 Φ_r 来生成操作时钟 Φ_1, Φ_2, Φ_3 的时序控制器 280 所产生的时序的信息。用于设定由生成驱动器 210 ~ 230 所必须的驱动电压的 LCD 电源电路 240 所生成的电压电平的信息也包含在存储于制造商处的设定信息中。振荡器 270、时序控制器 280、LCD 电源电路 240 等可以根据从非易失性存储器电路 250 中读出的相应的设定信息来改变其设定。

[0051] 图 2 示出了振荡器 270 的结构例子。本实施例中的振荡器 270 是包括或门 271、串联连接的反相器 INV1 和 INV2、和反馈路径的环形振荡器。开关元件 SW1、SW2、..... SWm 被配置在配置于从最后级的反相器 INV2 延伸到第一级的或门 271 的反馈路径上的多个串联连接的电阻 Rf1、Rf2、..... Rfm 的连接结点与振荡器的输出端子之间。

[0052] 另外, 设置了解码器 DEC1, 用于对从非易失性存储器电路 250 中读出并保持在数据寄存器 263 中的相关设定信息进行解码。根据解码器 DEC1 的输出, 开关元件 SW1、SW2、..... SWm 中的任一个导通。通过该操作, 反馈信号的延迟时间被改变于是作为振荡器输出的基准时钟频率 Φ_r 的频率也被改变。其结果是, 即使当振荡器的频率由于制造偏差而偏离了期望频率时, 频率的偏差也可以被调整。另外, 频率可以被变为适用于液晶显示器规格的频率。

[0053] 信号 COSC 是振荡器激活信号, 它被提供给输入反馈信号的振荡器第一级的或门 271 的另一个输入端子。当信号 COSC 被设定为低电平时, 振荡器发生振荡。当信号 COSC 被设定为高电平时, 振荡器停止振荡。也可以使用另一种结构, 即: 不配置解码器 DEC1, 开关元件 SW1、SW2、..... SWm 根据保持在数据寄存器 263 中的设定信息而被直接控制。

[0054] 当不配置内置的存储器和调整电路时, 为了改变由振荡器 270 产生的基准时钟 Φ_r 的频率, 如图 3 所示, 为反馈路径设置的电阻 Rf 作为外部器件与驱动器 IC 200 相连, 且电阻 Rf 的电阻值必须改变。根据本实施方式, 这样的外部器件是不必要的, 因此, 外部器件的数量可以被减少且系统可以被小型化。另外, 用于连接外部器件的外部端子的数量也可以被减少, 因此芯片本身也能被小型化。

[0055] 图 4 示出了时序控制器 280 的结构例。本实施例中的时序控制器 280 由多个串联的延迟电路 DLY1、DLY2、..... DLYn 组成。开关元件 SW11、SW12、..... SW1m 被配置在延迟电路 DLY1、DLY2、..... DLYn 的连接结点和控制器的输入端子之间。

[0056] 通过利用对应于从非易失性存储器电路 250 中读出并保持在数据寄存器 263 中的设定信息的信号 TC1、TC2、TC3 等使开关元件 SW11、SW12、..... SW1m 中的任何一个导通, 输出信号 TMD 的时序被改变。也可以配置用于对保持在数据寄存器 263 中的设定信息进行解码的解码器, 根据解码器的输出来控制开关元件 SW11、SW12、..... SW1m。

[0057] 一个由时序控制器 280 来调整时序的信号的例子是用于向显示 RAM 290 提供工作时序的信号。由于显示 RAM 290 是在液晶控制驱动器中工作速度最高的电路, 因此, 工作时序的偏差对整个系统的工作都有影响。通过在初始设定时对向显示 RAM 290 提供工作时序的信号进行调整, 可以获得所需的工作特性。

[0058] 图 5 示出了 LCD 电源电路 240 的结构的一个例子。本实施例的 LCD 电源电路 240

具有串联的梯状 (ladder) 电阻 RI1、RI2、.....RI_n 和与梯状电阻并联连接的开关元件 SW21、SW22、.....SW2_n。开关元件 SW21、SW22、.....SW2_n 根据从非易失性存储器电路 250 中读出并保持在数据寄存器 263 中的相关设定信息而导通 / 关断。通过该操作, LCD 电源电路 240 中的参考电压 VCOMR 的电平被确定。

[0059] 在图 5 中, 在 LCD 电源电路 240 中设置的开关 SWa1 和 SWa2 是通过以特定的周期对要施加于公共电极上的公共电位 VCOMH 和 VCOML 进行切换、使极性反转的开关, 用于对液晶面板进行交流驱动以防止液晶的退化。开关 SWm1 和 SWm2 是根据显示模式切换施加在公共电极上的公共电位 VCOMH 和 VCOML 中的公共电位 VCOMH 的电平的开关。开关 SWa1 和 SWa2 (以及开关 SWm1 和 SWm2) 根据从控制器 260 得到的控制信号而互补地动作。具体地说, 当开关 SWa1 和 SWa2 (SWm1 和 SWm2) 中的一个导通时, 另一个被关断。

[0060] 当不配置内置存储器和调整电路时, 为了改变基准电压 VCOMR 的电平, 如图 6 所示, 为驱动器 IC 200 配置外部电阻 Rt1 和 Rt2, 而且其中一个电阻 Rt1 的电阻值被改变。根据本实施例, 这样的外部器件是不必要的; 因此, 外部器件的数量可以被减少且系统可以被小型化。此外, 用于连接外部器件的外部端子数量也可以被减少, 因此芯片本身也可以被小型化。

[0061] 接下来, 参照图 1 和图 7 说明利用控制器 260 对非易失性存储器电路 250 的写入步骤和操作时序。在图 7 中, 信号 CS、RS、WR、RD 是从芯片外部输入到读 / 写控制电路 264 的控制信号。控制信号 CS 是表示芯片被选中的信号; RS 是表示数据 DB 被锁存在索引寄存器或控制寄存器中的信号; WR 是控制写入操作的信号; RD 是控制读出操作的信号。读 / 写控制电路 264 基于控制信号 CS、RS、WR、RD 和来自时序控制器 280 的时钟 $\Phi 2$ 来生成提供给存储器电路 250 的信号。WE 表示由读 / 写控制电路 264 产生并提供给存储器电路 250 的写入使能信号。RE 表示由读 / 写控制电路 264 产生、并提供给存储器电路 250 上的读出使能信号。

[0062] 图 7 是利用控制器 260 对非易失性存储器电路 250 的写入操作时序。

[0063] 写入操作的描述涉及的是当在上电后从 MPU 输入复位信号 RESET 时电平从高电平变到低电平的情况, 虽然并不限于此。图 7 示出将数据写入四个地址 000、001、010、011 的例子。

[0064] 首先, 当输入复位信号 RESET 时, 芯片上的寄存器被复位 (在图 7 中的 t1 时间)。接下来, 在信号 RS 为低电平的期间内, 通过被连接到 MPU 上的控制总线 BUS 将索引数据输入到驱动器 IC 中。此时, 在信号 WR 从低电平变化到高电平的定时, 索引数据被存储在索引寄存器 261 中 (在图 7 中的 t2 定时)。

[0065] 根据存储在索引寄存器 261 中的索引数据, 作为 ROM 类型的控制寄存器 262 被选择。在定时 t2 之后, 控制数据 (以后简称为数据) 在信号 RS 为高的期间内被从控制总线输入到驱动器 IC 中。在信号 WR 从低电平变到高电平的定时, 数据被存储在控制寄存器 262 中 (图 7 中的 t3 定时)。

[0066] 写入期间

[0067] 在 t3 定时, 控制寄存器的数据被确定。该数据包括写入数据 WDATA、写入地址 ADDR、ROM 控制数据 OP0、OP1 等。在写入时, 控制数据 OP0 从 0 (低) 变到 1 (高)。此时, 当 OP0 为 1 (高) 时, 读 / 写控制电路 264 被控制以使写入使能信号 WE 为高电平, 据此执行写

入操作。

[0068] 在完成写入操作之后,通过在控制总线 BUS 的控制信号 RS 为高电平的期间内将控制寄存器的数据 OP0 从 1(高)变为 0(低),读/写控制电路 264 被控制以将写入使能信号 WE 变为无效的低电平状态。据此完成写入操作(图 7 中的 t4 定时)。

[0069] 在改变地址而重新启动写入操作的情况下,在控制信号 RS 为高电平(图 7 中的 t5 定时)的期间内,控制寄存器的数据 OP0 从 0(低)变到 1(高)。由于数据 OP0 为 1(高),因此,读/写控制电路 264 使写入使能信号 WE 为高电平以执行写入操作。此时,数据寄存器的地址被刷新。通过该操作,数据被写入与在定时 t3 和 t4 之间的期间被写入了数据的地址不同的地址区域中。

[0070] 在 t5 定时之后,通过以与从定时 t3 至 t4 期间的设定类似的方式来设定控制寄存器的数据 OP0,来完成写入操作(图 7 中的 t6 定时)。此后,重复上述操作。

[0071] 虽然根据从外部输入的控制信号 CS、RS、WR、RD 执行写入操作的结构已经在本实施例中进行了描述,但也可以使用其他的结构。在芯片内设置了 ROM,其中存储着对应于一个命令编码的多个微命令编码。当在索引寄存器 261 中设定了写入命令时,微命令编码被读入,并生成对读/写控制电路 264 的控制信号,于是写入操作被自动执行。通过使用像本实施方式一样的根据从外部输入的控制信号的控制方法,控制器 260 的规模可以被减少。

[0072] 图 8 示出了由控制器 260 对非易失性存储器电路 250 的读出操作时序。RE 表示由读/写控制电路 264 生成并提供给存储器电路 250 的读出使能信号。

[0073] 在本实施例的液晶控制驱动器中,在上电后,来自 MPU 的复位信号 RESET 被从高电平变化到低电平,将芯片内的寄存器复位。当在索引寄存器中设定了读出命令时,通过索引寄存器 261 将控制寄存器 262 的预定控制位 OP1 设定为“1”,由读/写控制电路 264 使读出使能信号 RE 为高电平,读出操作(定时 t11)开始。此时,控制位 OP0 被设定为“0”。

[0074] 存储于控制寄存器 262 的预定区域内的读出地址 RADDR 被提供给存储器电路 250,并执行数据读出操作。存储在对应于存储器电路 250 所提供的地址的区域内的数据被集总读出。除了在控制寄存器 262 中设置用于读出的控制位 OP1 之外,也可以向适当的延迟电路发送复位信号 RESET,使用延迟电路的输出作为读/写控制电路 264 的开始信号,并输出高电平的读出使能信号 RE。

[0075] 接下来,在经过预定时间后,从时序控制器 280 输出指示锁存定时信号 RSET,从存储器电路 250 读出的数据被数据寄存器 263(定时 t12)锁存。此后,对非易失性存储器电路 250 的读出控制信号 RE 被变为无效的低电平状态,从而完成一个读出操作(定时 t13)。

[0076] 当读出数据被存储在多个地址时,存储在控制寄存器 262 的预定区域的读出地址 RADDR 被刷新而读出使能信号 RE 变为低电平,并且重复上述操作。

[0077] 在本实施例中,当复位信号 RESET 被输入时,控制寄存器 262 的特定控制位 OP1 被索引寄存器 261 设定为“1”,从而产生读出使能信号 RE。另外,读出使能信号 RE 也可以通过将复位信号 RESET 传送给适当的延迟电路来生成。本实施例的液晶控制驱动器 IC 可以以读/写控制电路 264 基于控制信号 CS、RS、WR 和 RD 来从存储器电路 250 读出数据的方式构成。也可以使读出功能在例如测试电路是否能正常工作的测试模式下有效。

[0078] 图 9 示出了在图 1 中的非易失性存储器电路 250 中用于存储由制造商设定的信息的第一区域 251 所适用的存储器电路的例子。本实施例的非易失性存储器电路 250 仅由作

为常用的电路结构元件的 P 沟道型 MOSFET (绝缘栅型场效应晶体管) 和 N 沟道型 MOSFET 构成, 而不使用诸如 FAMOS 和 MNOS 的非易失性存储元件。虽然在图 7 中为了方便制图起见示出了具有一字节存储容量且由八个存储单元组成的存储器电路, 但实际上, 配置了每一个都具有如此结构的多个存储器电路, 并可以通过地址信号来选择工作, 从而构成具有多字节存储容量的存储器电路。

[0079] 在图 9 中, 264 表示读 / 写控制电路, 用于基于控制信号 CS、RS、WR、RD 及从控制寄存器 262 得到的数据 DB0 ~ DB17 来生成用于读 / 写存储器电路的信号。254 表示内部电源控制电路, 用于基于写入操作所需的比通常电源电压 VCC 高的写入电压 VPP1 和 VPP2 来生成电路所需的具有预定电平的电源电压 VPP1M 和 VPP2M。另外, 255 表示非易失性存储单元, 256 表示每一个存储单元的读 / 写电路。在本实施例中, 八对存储单元和读 / 写电路被配置在一个方向上, 因此, 可以一次读 / 写 8 比特数据。写入电压 VPP1 和 VPP2 分别为例如 9V 和 7V。

[0080] 符号 LD0 ~ LD7 表示用于传送从读 / 写控制电路 264 输出的写入数据的写入数据线; PU 表示用于控制读出的读出控制线。CG 表示与通常的存储器阵列中的字线相对应的、用于读 / 写 8-bit 数据的控制栅线。另外, SL 表示用于为存储单元 255 提供写入电压的写入电压电源线; PRGM 表示用于控制写入操作的写入控制线; VER 表示用于控制存储单元的电位的电位控制线。控制栅线 CG 根据用于获得读出控制信号 RE 与写入控制信号 WE 的异或 (exclusive OR) 的 EOR 门 G0 的输出而被驱动。LS1 和 LS2 表示用于移动 EOR 门 G0 的输出信号和写入控制信号 WE 的电平的电平移动器。

[0081] 读 / 写入电路 256 包括: OR 门 G1, 可以接收写入数据线 LD0 ~ LD17 和写入控制线 PRGM 的信号的一个; 和传输门 MOSFET Qt1, 它当信号 CERB 为高电平时, 使 OR 门 G1 的输出信号通过。读 / 写入电路 256 还包括被连接到读出控制线 PU 上的电阻 R0、与电阻 R0 串联连接的传输门 MOSFET Qt2, 以及用于在传输门 MOSFET Qt2 导通时判断电阻 R0 的电位是否下降的检测反相器 G2。虽然在例子中所示的电阻 R0 是一个固定电阻, 但也可以使用执行与固定电阻相位的动作的电路。

[0082] 存储单元 255 包括: 电荷注入 MOSFET Qw1 和 Qw2, 它们以沟道相互并联的状态被连接在传输门 MOSFET Qt1 和写入电压电源线 SL 之间; 和连接为电容元件的 MOS 电容 C1 和 C2, 它们被连接在 MOSFET Qw1 和 Qw2 的栅端子及控制栅线 CG 之间。存储单元 255 还包括与电阻 R0 和传输门 MOSFET Qt2 串联在读出控制线 PU 和电位控制线 VER 之间的读出 MOSFET Qr1 和 Qr2。电荷注入 MOSFET Qw2 的栅端子和读 MOSFET Qr2 的栅端子相互连接。栅端子是浮置的。

[0083] 另外, 传输门 MOSFET Qt1 和 Qt2 的栅端子相互连接。利用反相器将从读 / 写控制电路 264 输出的控制信号 CER 反相而得到的信号 CERB 被提供给公共栅; 传输门 MOSFET Qt1 和 Qt2 由信号 CERB 来控制。用于控制存储单元电位的电位控制线 VER 由电平移动器 LS3 驱动, 该电平移动器 LS3 对利用反相器将控制信号 CERB 再次反相而得到的信号的电平进行移动。

[0084] 在本实施例的存储单元 255 中, 根据由控制栅线经由 MOS 电容 C1、C2 将电荷注入 MOSFET Qw1 和 Qw2 的栅电压设定为高的状态下的写入数据, 写入电压被施加到 MOSFET Qw1 和 Qw2 的源和漏之间; 据此使 Qw1 和 Qw2 导通或截止。通过将由有选择地向 MOSFET Qw1 和

Qw2 提供的漏极电流而产生的热电子注入到 MOSFET Qw1 和 Qw2 的栅电极,使数据被写入。为了防止由于电荷泄漏而造成存储数据的可靠性的恶化,设置了两个电荷注入 MOSFET 和两个读出 MOSFET。

[0085] 在读出数据时,通过使用控制栅线 CG,经由 MOS 电容 C1 和 C2,读出 MOSFET Qr1 和 Qr2 的栅电压被提高。此外,读出控制线 PU 的电位也提高,而电位控制线 VER 的电位下降,据此在 MOSFETQr1 和 Qr2 的源和漏间产生电位差。无论由反相器 G2 来检测 MOSFET Qr1 和 Qr2 中是否有电流流过。

[0086] 具体地说,当电荷注入到电荷注入 MOSFET Qw1 和 Qw2 的栅电极时,读出 MOSFET Qr1 和 Qr2 的栅电压变得较低而变为截止状态,而且漏极电流中断。另一方面,当电荷没有注入到 MOSFET Qw1 和 Qw2 的栅电极时,读出 MOSFET Qr1 和 Qr2 的栅电压变得较高而变为导通状态,有漏极电流流过。这使得在电阻 R0 和 MOSFET Qr1 间的连接结点间的电位改变。通过由反相器 G2 检测电位的变化,可以确定存储单元的状态。

[0087] 在本实施例中,即使当电荷注入 MOSFET Qw1 和 Qw2 中的一个的栅电极电荷在读出操作时泄漏,如果另一个栅电极的电荷没有泄漏的话,则 MOSFET 中的一个将截止且不会流过漏极电流。因此,可以防止由于电荷泄漏而引起的存储数据可靠性的恶化。另外,在由电荷注入 MOSFET Qw1、Qw2 中的一个和读出 MOSFET Qr1、Qr2 中的一个构成存储单元的情况下存储单元也能有效地工作,因此可以省略其中一个的设定。图 1 中的本实施例中的存储电路 250 并不限于具有如图 9 所示的存储器电路的结构,可以是具有相似功能的电路。

[0088] 参照附图 10 ~ 13,对用于本实施例中的液晶控制驱动器的非易失性存储器的具体器件结构和在非易失性存储器中的写入、擦除、读出数据的操作进行说明。图 10 是存储单元区域主要部分的平面视图。图 11 ~ 13 是沿图 10 的线 D-D' 截取的剖面图。

[0089] 在图中,符号 1 表示由例如单晶硅组成的 p 型半导体衬底;符号 2 表示在衬底 1 表面上选择性地形成的场氧化膜;符号 19 和 20 表示覆盖衬底 1 和场氧膜 2 表面而形成的层间绝缘膜。4A 表示其中将形成电容 C1 和 C2 的 p 型阱区;4B 表示其中将形成 MOSFET Qw1、Qw2, Qr1 和 Qr2 的 p 型阱区;3 表示设置在 p 型阱区 4A 和 4B 下方的 n 型半导体隔离区。符号 5 表示作为用于给 n 型半导体隔离区 3 提供电位的电源区的 n 型半导体区。14A 表示作为 n 型半导体区 5 的缓冲层的 n 型半导体区;14B 表示作为 MOSFET Qw1 和 Qr1 (Qw2 和 Qr2) 的源区和漏区的 n 型半导体区。

[0090] 15A 表示作为 MOS 电容的一个端子的 p 型半导体区;15B 表示作为为了给 MOSFET Qw1 和 Qr1 的 p 型阱区 4B 提供电位的电源区的 p 型半导体区。18 表示为了减少与形成在表面上的电极之间的接触电阻的接触层。另外,6 表示 MOS 电容 C1 的电介质层。电介质层 6 用与形成作为 MOSFET Qw1 和 Qr1 的栅绝缘膜相同的工艺形成。7A 表示作为 MOS 电容 C1 的另一个端子的导电层;7B 表示 MOSFETQw1 和 Qr1 的栅电极。导电层 7A 用与形成作为 MOSFET Qw1 和 Qr1 的栅电极相同的工艺形成。

[0091] 在如图 11 所示的写入操作时,例如,通过 n 型半导体区 5 在 n 型半导体绝缘区 3 上施加 9V 电压,通过 p 型半导体区 15B 在形成 MOSFET Qw1 和 Qr1 (Qw2 和 Qr2) 的 p 型阱区 4B 上施加 0V 电压。通过 p 型半导体区 15A 在形成有 MOS 电容 C1 (C2) 的 p 型阱区 4A 上施加了正向 9V 电压。由于 MOSFET Qw1 和 Qr1 (Qw2 和 Qr2) 的栅电极 7B 和作为 MOS 电容 C1 (C2) 的一个端子的电极 7A 相互连接,因此电极 7B 的电位因施加在 p 型阱区 4 上的 9V 电压而提

高。

[0092] 在作为用于写入数据的 MOSFET Qw1(Qw2) 的源和漏的 n 型半导体区 14B 之一上施加 7V 电压;在另一个 n 型半导体区 14B 上施加 0V 电压。另外,在作为数据读出 MOSFET Qr1(Qr2) 的源和漏的 n 型半导体区 14B 上,施加 0V 电压。按照此操作,电流在数据写入 MOSFET Qw1(Qw2) 的沟道中流过,在那时所产生的热电子(e-)被注入到栅电极 7B,数据被写入。在 n 型半导体绝缘区 3 上施加 9V 电压,以防止当在 p 型阱区 4A 上施加 9V 电压时 PN 结被正向偏置。

[0093] 在读出数据时,如图 12 所示,例如通过 n 型半导体区 5 在 n 型半导体隔离区 3 上施加 3V 电压;通过 p 型半导体区 15B 在形成 MOSFET Qw1 和 Qr1(Qw2 和 Qr2) 的 p 型阱区 4B 上施加 0V 电压。通过 p 型半导体区 15A 在其上将形成 MOS 电容 C1 和 C2 的 p 型阱区 4A 上施加 3V 电压。通过对 p 型阱区 4A 施加 3V 电压,电极 7A 和 7B 的电位被提高。根据在电极 7B 上是否积累有电荷,数据读取 MOSFET Qr1 和 Qr2 被导通或截止。

[0094] 作为数据写入 MOSFET Qw1(Qw2) 的源和漏的 n 型半导体区 14B 被设定为 0V,0V 电压被施加在作为数据读 MOSFET Qr1(Qr2) 的源极和漏极的 n 型半导体区 14B 之一上;连接例如图 9 中所示的电阻 R0 之一的电压被施加在另一个 n 型半导体区 14B 上。此时,电流根据数据读出 MOSFET Qr1 和 Qr2 的导通 / 截止状态而流过或不流过。电流流过的状态由反相器 G2 检测。在 n 型半导体隔离区 3 上施加 3V 电压,这是基于通过在 p 型阱区 4A 上施加 3V 电压以防止 PN 结被正向偏置的理由。

[0095] 图 14 示出了一个适用于图 1 中的非易失性存储电路 250 中用于存储由用户设定信息的第二区域 252 的存储器电路的例子。本实施例中的非易失性存储器电路 250 按照与图 9 中所示的实施例的非易失性存储器电路相同的方式构成,不使用如 FAMOS 和 MNOS 的非易失性存储器元件。本实施例中的非易失性存储器电路 250 具有存储数据可擦除的结构。通过给控制寄存器 262 的每一个控制位 OP0 和 OP1 设定“1”,非易失性存储器电路 250 进入擦除模式,数据可被擦除。

[0096] 由于本实施例中的非易失性存储器电路 250 具有与图 9 中示出的非易失性存储器电路 250 大致相同的结构,因此相同结构部分不再复述,而仅对不同点进行说明。与图 9 中的实施例中的非易失性存储器电路 250 的第一不同点是:如图 14 中的实施例所示,电源电路 254 可以基于从外部输入的第 3 电压 VPP3 而产生内部电压 VPP3M。第二不同点是:内部电压 VPP3M 作为低电平一侧的电源电压提供给用于驱动控制栅线 CG 的电平移动器 LSI。

[0097] 内部电压 VPP3M 在读出 / 写入数据时设定为如 0V 的接地电位,而且在擦除数据时设定为如 -9V 的电位。内部电压 VPP3M 通过控制栅线 CG 被施加在与浮栅连接的 MOS 电容 C1 和 C2 上。作为构成非易失性存储单元 255 的 MOSFET Qw1、Qw2、Qr1、Qr2,可以使用具有如图 10 和 11 所示的布图和结构的元件。

[0098] 在由具有这样的结构的元件构成的存储器电路中,为了擦除数据,如在图 13 中所示,例如通过 n 型半导体区 5 在 n 型半导体区 3 上施加 9V 电压;通过 p 型半导体区 15B 在其中形成有 MOSFET Qw1 和 Qr1(Qw2 和 Qr2) 的 p 型阱区 4B 上施加 9V 电压。通过 p 型半导体区 15A,在其中形成有 MOS 电容 C1(C2) 的 p 型阱区 4A 上施加反方向的 -9V 电压。另外,将作为数据写入 MOSFET Qw1(Qw2) 和数据读出 MOSFET Qr1(Qr2) 的源区的 n 型半导体区 14BW1 和 14BR1 设定为开路电位;在作为 MOSFET Qw1(Qw2) 和 Qr1(Qr2) 的漏区的 n 型半导

体区 14BW2 和 14BR2 上施加 9V 电压。

[0099] MOS 电容 C1 和 C2 的电容电极（栅电极 7A）的面积比为了产生 MOSFET Qw1 和 Qw2 的栅电容的电容电极（栅电极 7B）的面积大（参照图 10），因此，MOS 电容 C1 和 C2 的电容比 MOSFET Qw1 和 Qw2 的栅电容大。因此，施加到 MOSFET Qw1 和 Qw2 的栅电容上的电压比被施加到 MOS 电容 C1 和 C2 上的电压高。其结果是，在数据写入 MOSFET Qw1 和 Qw2 以及数据读出 MOSFET Qr1 和 Qr2 的公共栅电极 7B 上所积累的电子（e⁻）因隧道现象被释放到 p 型阱区 4B。

[0100] 在其中形成有 MOS 电容 C1 和 C2 的 p 型阱区 4A 上施加负电压（在反方向上）；在其中形成有 MOSFET Qw1、Qw2、Qr1、Qr2 的 p 型阱区 4B 上施加正电压（在正方向上）。按照这样的方式，可以用不会导致栅破坏的电压（9V 或更少）来确保为了擦除数据操作所必须的电位差（18V）。在 n 型半导体绝缘区 3 上施加 9V 电压，其原因是通过在 p 型阱区 4B 上施加 9V 电压，防止了 PN 结被正向偏置。通过使用具有这样结构的存储器电路，数据可以被多次写入。

[0101] 图 15 示出了适用于图 1 中的非易失性存储电路 250 中用于存储用户设定信息的第二区域 252 的存储器电路的另一个例子。本例中的非易失性存储器电路 250 仅由作为通常电路结构元件的 p 沟道 MOSFET 和 n 沟道 MOSFET 构成，而不使用如 FAMOS 和 MNOS 之类的非易失性存储元件。本例中的非易失性存储器电路 250 是在未假定擦除所存储的数据的情况下的电路。

[0102] 在本例中，为了使数据可以多次写入，提供具有相同存储容量的两个存储区（bank）BNK1 和 BNK2。每一个存储区包括与图 9 中示出的存储单元 255 相同结构的存储单元；通过从读/写控制电路 264 输出的存储区指令信号 B0 和 B1 来选择存储区 BNK1 和 BNK2 中的一个。

[0103] 更具体的说，设置有 NAND 门 G10 ~ G17 和 NAND 门 G20 ~ G27，用于接收用于传输从读/写控制电路 264 输出的写入数据的写入数据线 LD0 ~ LD7 上的信号和存储区指令信号 B0、B1 中的一个信号。设置有 NAND 门 G30、G31、G32、G33，用来接收的存储区指令信号 B0 和控制线 PU、CG、PRGM、SL 上的信号；以及设置有 NAND 门 G40、G41、G42、G43，用来接收存储区指令信号 B1 和控制线 PU、CG、PRGM、SL 上的信号。

[0104] 通过根据存储区指令信号 B1 和 B1 来使 NAND 门 G10 ~ G17 和 G30 ~ G33、或 NAND 门 G20 ~ G27 和 G40 ~ G43 有效，存储区的一组被选中。因此，从表面上看，存储器电路能够实现重写入数据。也可以在芯片中设置这样的机制，即在数据写入一组存储区之后，在下次写入操作时，另一个存储区的设定被自动选择。用这个机制，可以防止由于用户的误操作而导致的数据重写。虽然在本实施例中的存储区数量是两个，但也可以设置三个或多个存储区。此时，存储器电路可以重写两次或多次。因此，从表面上看，实现了可以两次或多次重写入数据的存储器电路。

[0105] 图 16 表示适用于图 1 中的非易失性存储器电路 250 中由用户设定的第二区域 252 的另一个例子。

[0106] 在本例中，为了使数据可以被写入多次，设置了两个具有相同存储容量的存储区 BNK1 和 BNK2。每一个存储区都包括具有与图 7 中示出的存储单元 255 相同结构的存储单元；作为连接存储单元的控制栅线 CG，设置了公共栅线 CG 和用于各个存储区 BNK1 和 BNK2

的栅线 CG1 和 CG2。另外,电源电路 254 中配置了用于向存储区 BNK1 提供写入电压 VPP1-1 和向存储区 BNK2 提供写入电压 VPP2-2 的电源端子 P1 和 P2。

[0107] 基于电源端子上施加的电压而生成的内部写入电压 VPP1-1M 和 VPP1-2M 被分别提供给用于驱动存储区 BNK1 和 BNK2 的栅线 CG1 和 CG2 的电平移动器 LS1-1 和 LS1-2。依照此结构,当在电源端子 P1 上施加写入电压 VPP1-1 时,可以对存储区 BNK1 写入数据。当在电源端子 P2 上施加写入电压 VPP1-2 时,可以对存储区 BNK2 写入数据。

[0108] 通过对施加写入电压的端子进行切换,被写入数据的存储区可以被切换。因此,从表面上看,实现了可以重写入数据的存储器电路。也可以为每一个存储区提供写入电压 VPP2。此外,存储区的数量和施加写入电压的端子的数量可以设定为三个或更多。

[0109] 图 17 表示构成本实施例中的液晶控制驱动器 IC 的半导体芯片的电路模块的布图的一个例子。在图 17 中,相同的符号表示与图 1 相同的电路。符号 G0 ~ Gi 和 Gi+1 ~ Gn 表示输出由栅驱动器 220 产生的栅驱动信号的端子(输出焊盘);符号 S0 ~ Sm 表示输出由源驱动器 210 产生的源线驱动信号的端子(输出焊盘)。

[0110] VPP1 ~ VPP3 和 GND 表示电源端子(电源焊盘),用于施加从外部提供的、用于写入 ROM 的电源电压;DB0 ~ DB17 表示用于通过总线输入从 CPU 提供信号的端子(输入焊盘)。虽然没有特别的限制,但,对于在右侧和左侧具有栅驱动信号输入端子的液晶面板,输出栅驱动信号的端子(输出焊盘)被分为两组:G0 ~ Gi 和 Gi+1 ~ Gn;并配置在两侧以夹住输出源线驱动信号的端子(输出焊盘)S0 ~ Sm。

[0111] 从图 17 中可以知道,在本实施例中的液晶控制驱动器 IC 中,输出焊盘 G0 ~ Gi 和 Gi+1 ~ Gn,以及 S0 ~ Sm 是沿着半导体芯片的长度方向的一边而配置的;而输入焊盘 DB0 ~ DB17 是沿着相对一侧的一边配置的。对应于输出焊盘 G0 ~ Gi、Gi+1 ~ Gn、S0 ~ Sm,栅驱动器 220A、源驱动器 210、栅驱动器 220B 被配置在芯片的一侧。大致在芯片的中部,配置了作为控制器 260 的部件的例如时序控制器 280 的电路;在该电路的两侧,配置了用于存储显示数据的 RAM 290A 和 290B。

[0112] 另外,ROM#250 被配置在电源焊盘 VPP1 ~ VPP3 附近;用于生成 LCD 电源的电源电路 240 被配置在输入焊盘 DB0 ~ DB17 附近。由于 ROM 250 被配置在施加写入 ROM 的电源电压的电源焊盘 VPP1 ~ VPP3 附近,因此从焊盘到电路的电源线被缩短,从而抑制了功率损耗。此外,用于施加写入 ROM 所需的较高的电源的电源端子 VPP1 ~ VPP3 被设置在芯片的角部。因此,在电源焊盘 VPP1 ~ VPP3 和其他的焊盘间产生的静电耐压可以被增大。在本实施例中,为了进一步增加静电耐压,将电源焊盘 VPP1 ~ VPP3 和接地焊盘 GND 之间的间隔比每一个电源焊盘 VPP1 ~ VPP3 之间的间隔宽。

[0113] 图 18 示出了构成本实施例的液晶控制驱动器的半导体芯片的电路模块的布图另一个例子。在图 18 中,对与图 17 所示相同的电路和端子分配相同的符号,并不再重复对它们的说明。在图 18 的例子中,在大致配置在芯片中部的控制器 260 附近配置 ROM 250。

[0114] 在液晶控制驱动器 IC 中,为了传送写入数据和读出数据,连接到控制器 260 和 ROM 250 上的线的数量是相当大的。因此,当控制器 260 和 ROM 250 彼此分离的时候,由线所占据的面积也是很大的,由此导致了芯片尺寸的增大。因此,利用使用如本实施例所示的布图,其优点是减少了由线所占据的面积,并可以减小芯片的面积。本实施例在 ROM 250 的存储容量很大时是非常有效的。

[0115] 虽然已经基于本实施例对本发明者得到的本发明进行了详细的说明,但本发明并不限于上述的实施例,而可以是在不偏离其主旨的情况下的各种变更。例如,为了防止由于电荷泄漏而使存储数据的可靠性恶化,可以在存储单元配置两个电荷注入 MOSFET 和两个读出 MOSFET。相应的,存储单元也可以配置一个电荷注入 MOSFET 和一个读出 MOSFET。

[0116] 虽然在前述的实施例中对只有用于存储由用户设定的信息的第二区域 252 是可重写的情况进行了说明,但也可以将在用于存储由制造商设定的信息的第一区域 251 中的存储电路的存储区数目设定为两个,而从表面上看,在该区域中仅可重写入数据一次。

[0117] 以上主要以由本发明者所获得的本发明的应用范围为背景,对通过作为三端开关元件的薄膜晶体管将电荷注入到像素电极中的、用于驱动 TFT 液晶面板的液晶控制驱动器进行了说明。本发明并不限于液晶控制驱动器,也可以被应用到利用两端开关元件将电荷注入到像素电极中的、用于驱动 MIM 液晶面板的液晶控制驱动器中。

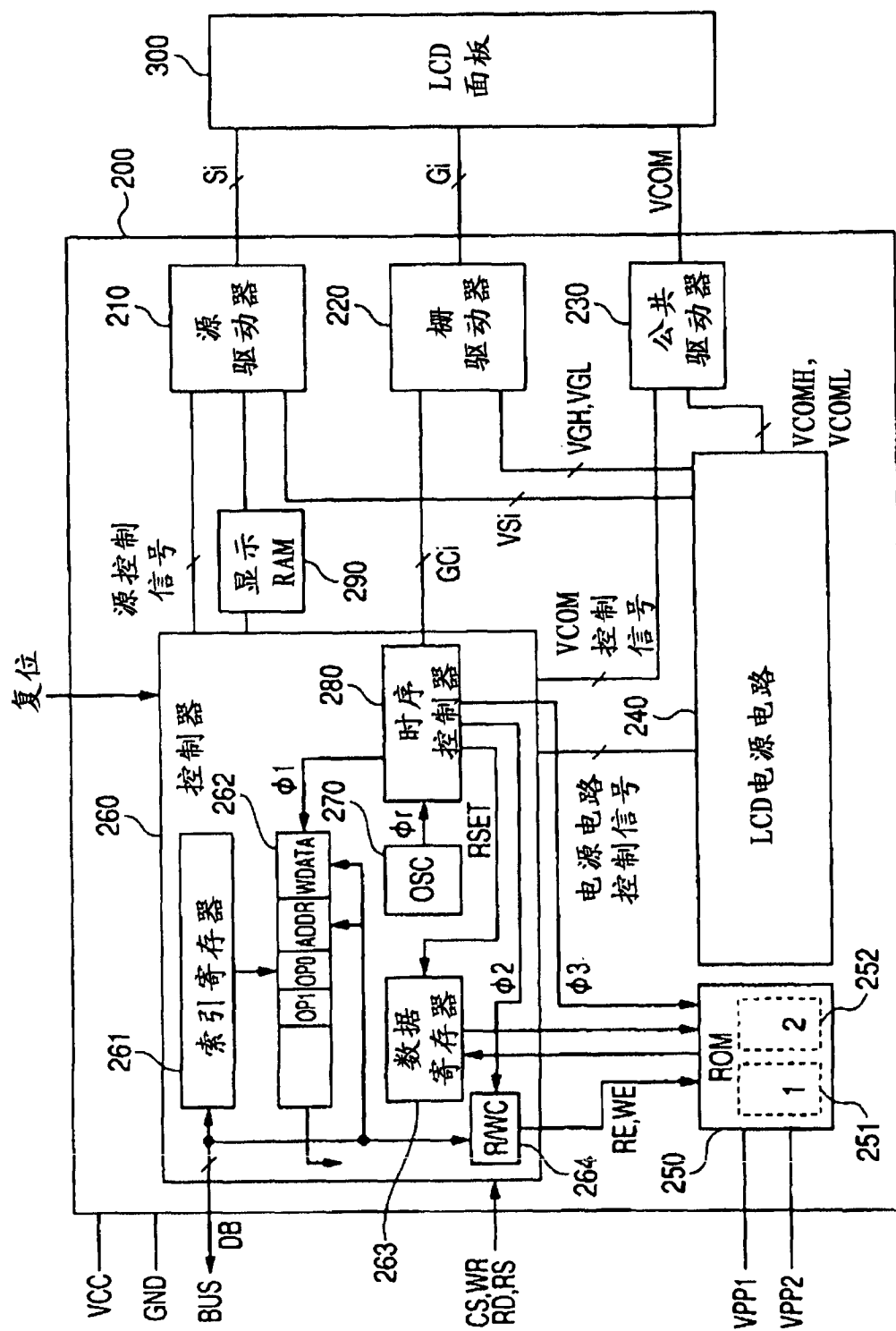


图 1

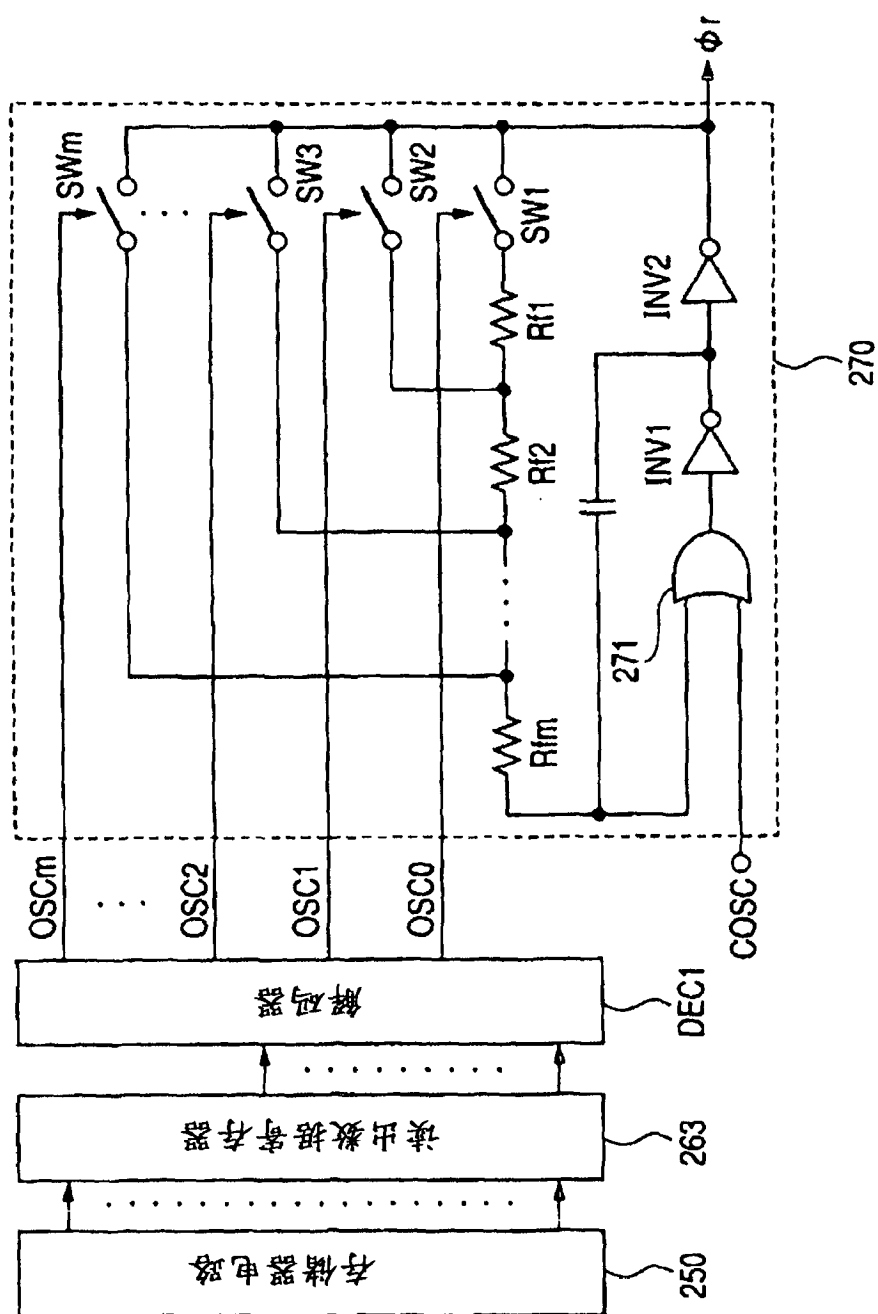


图 2

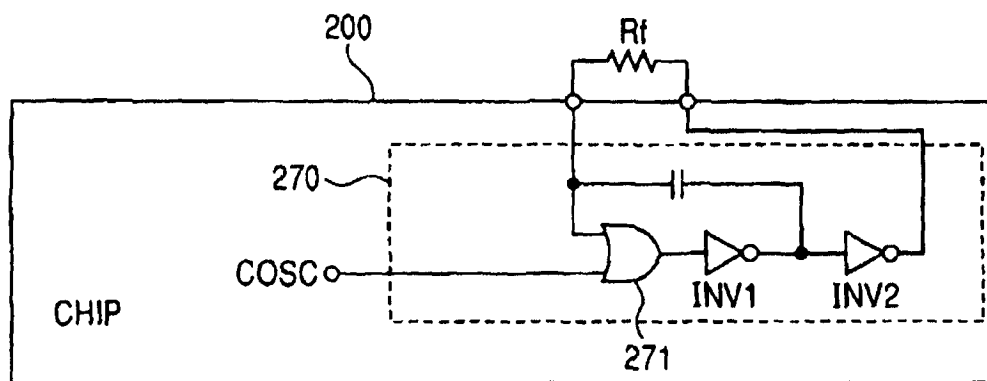


图 3

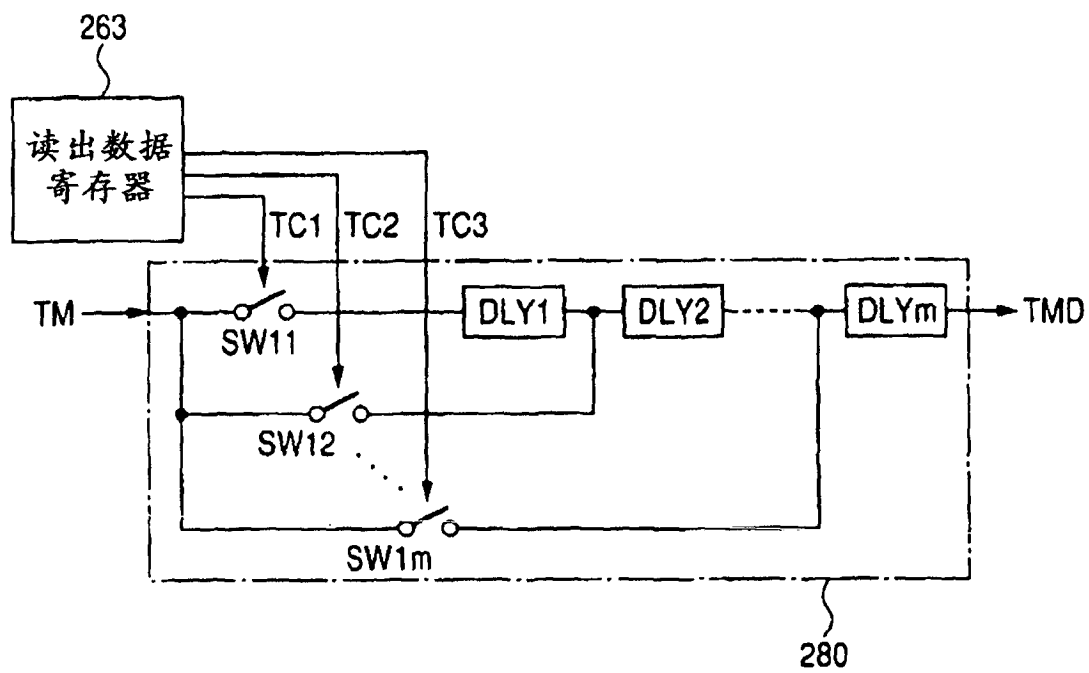


图 4

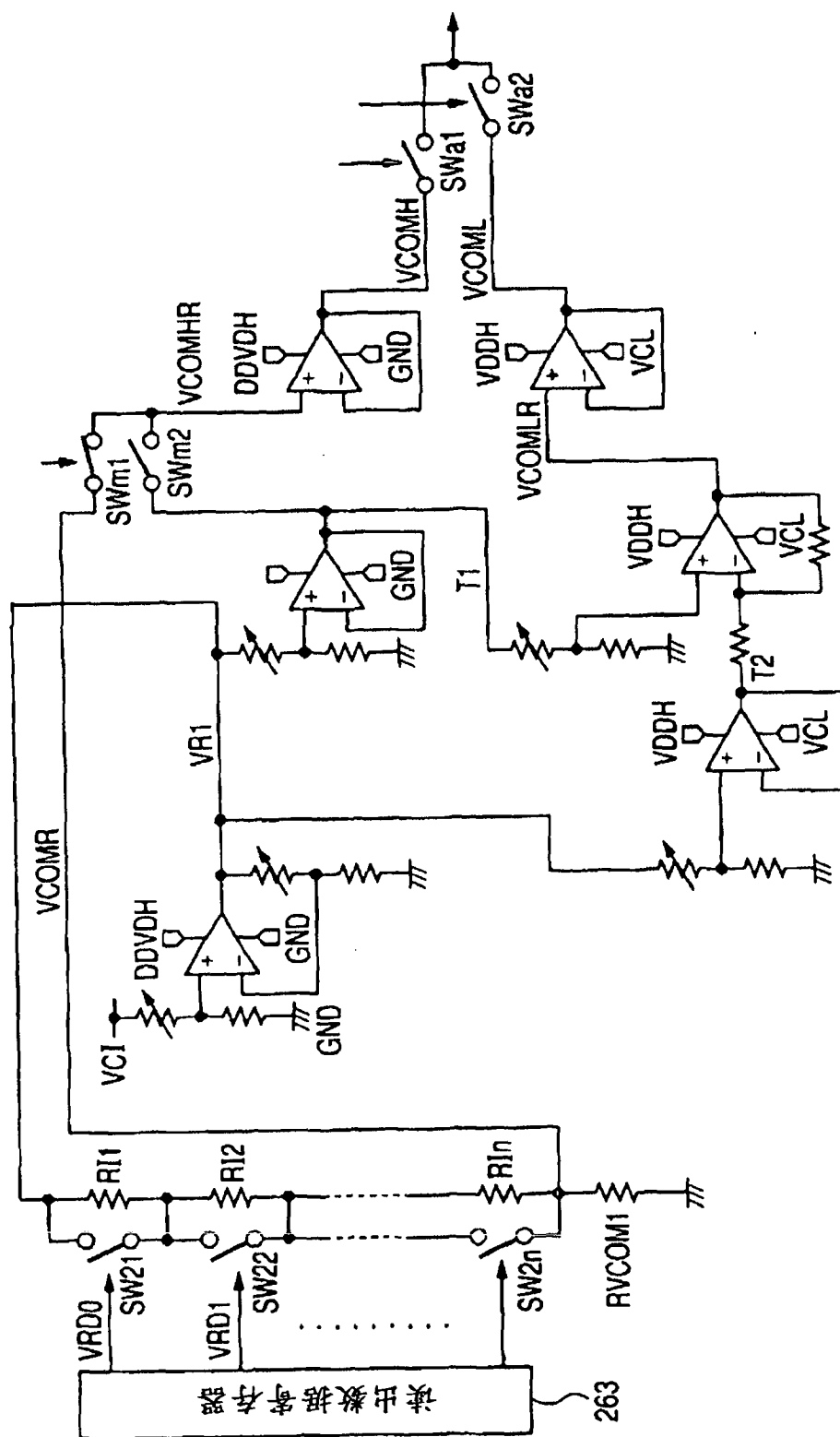


图 5

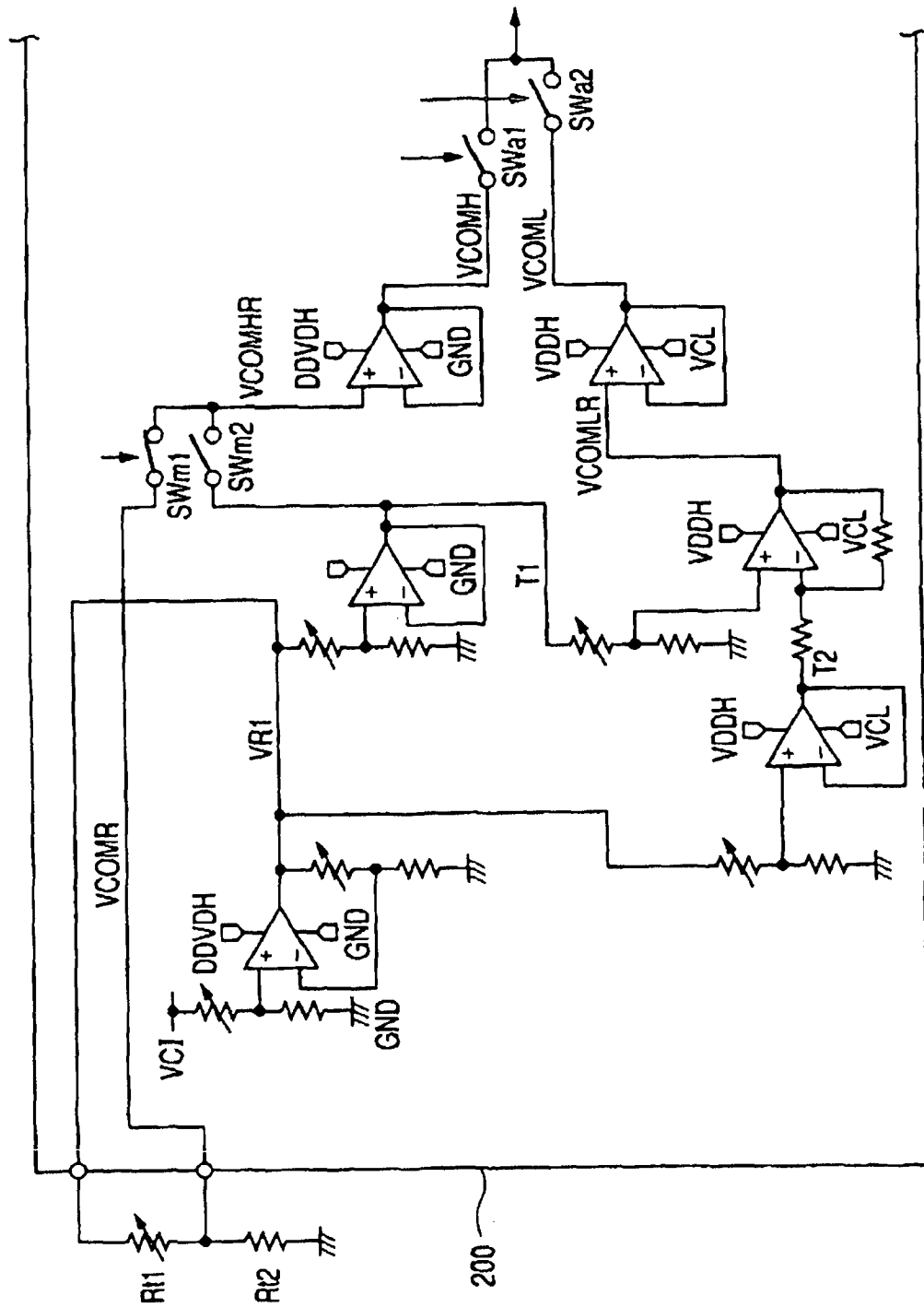


图 6

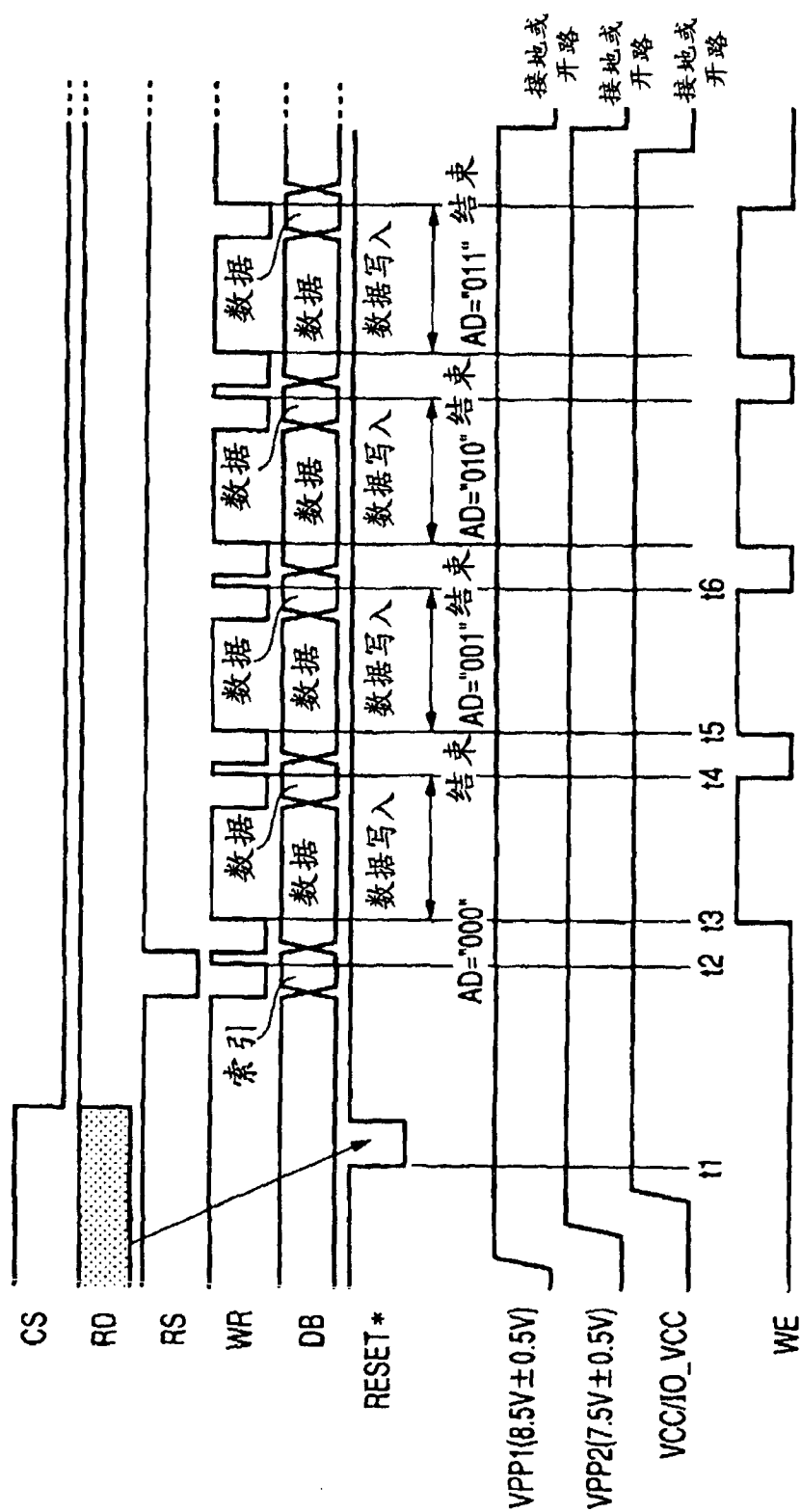


图 7

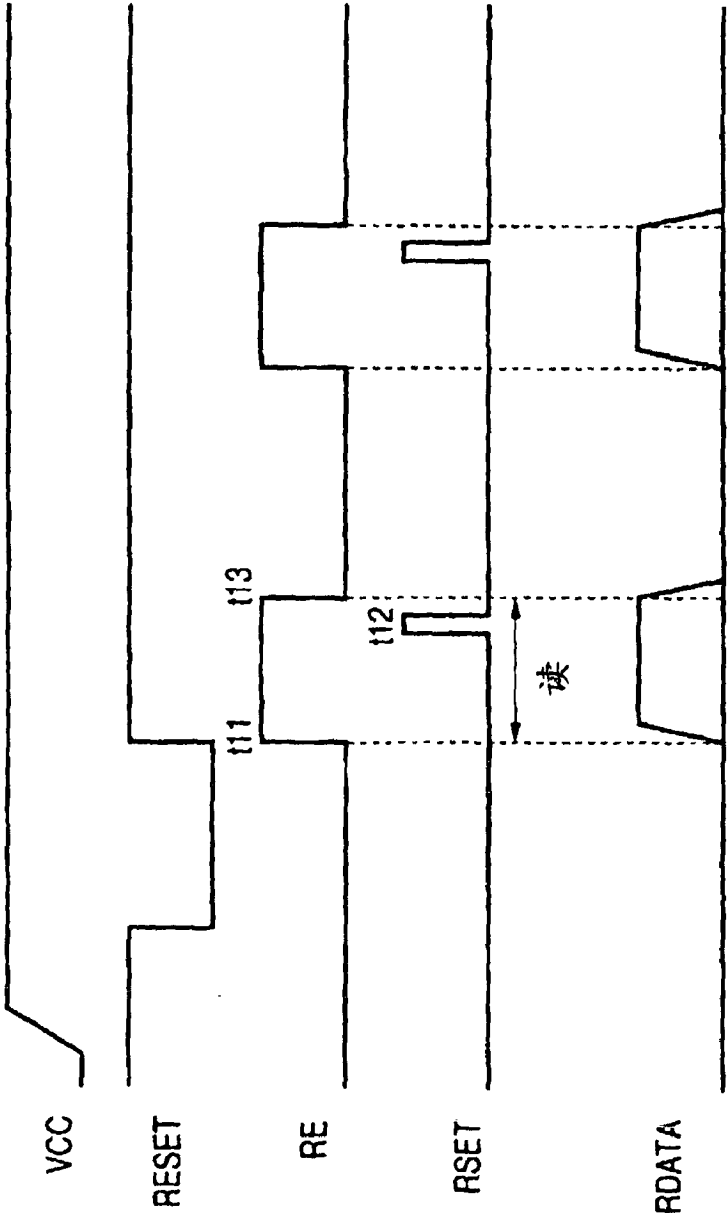


图 8

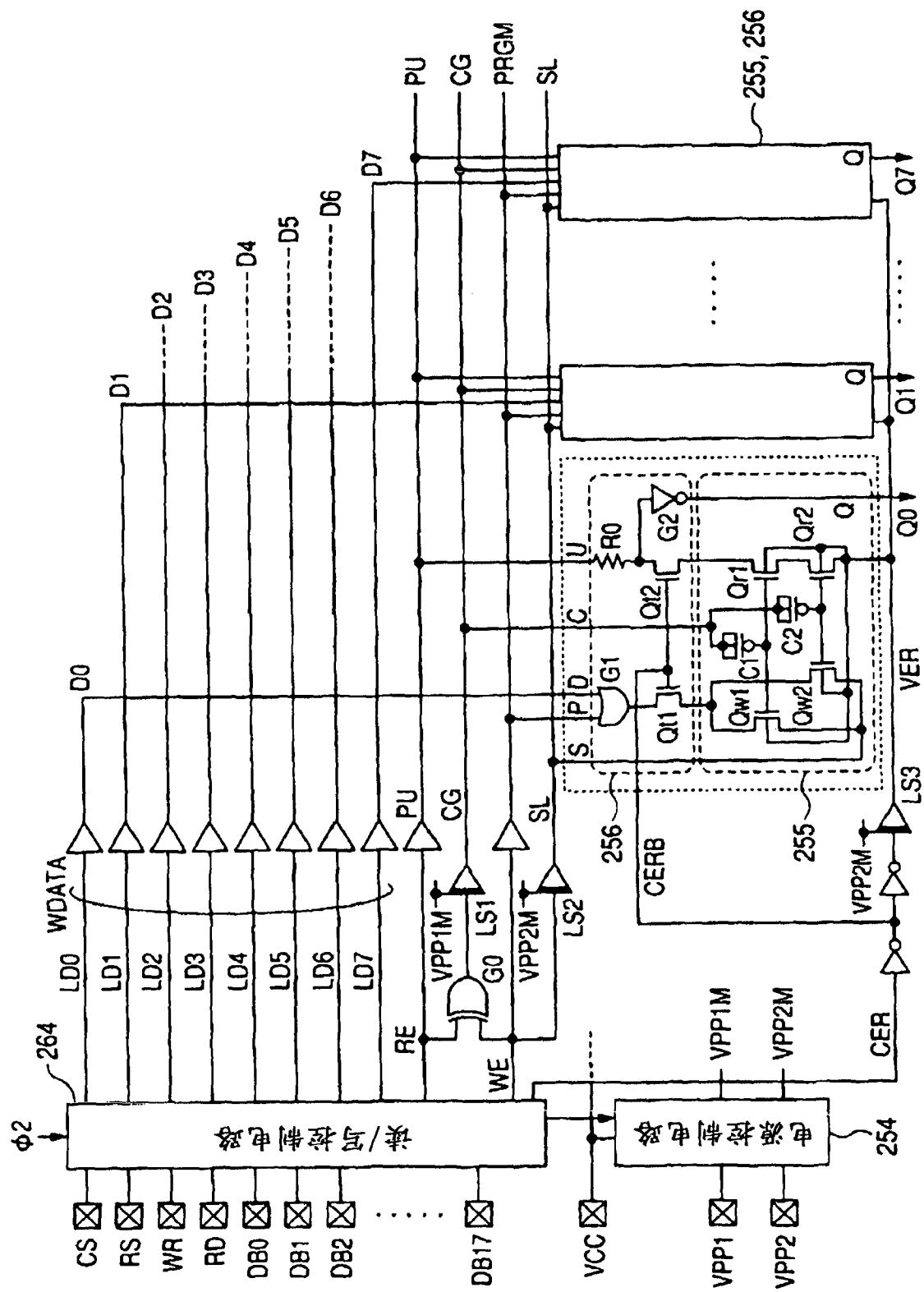


图 9

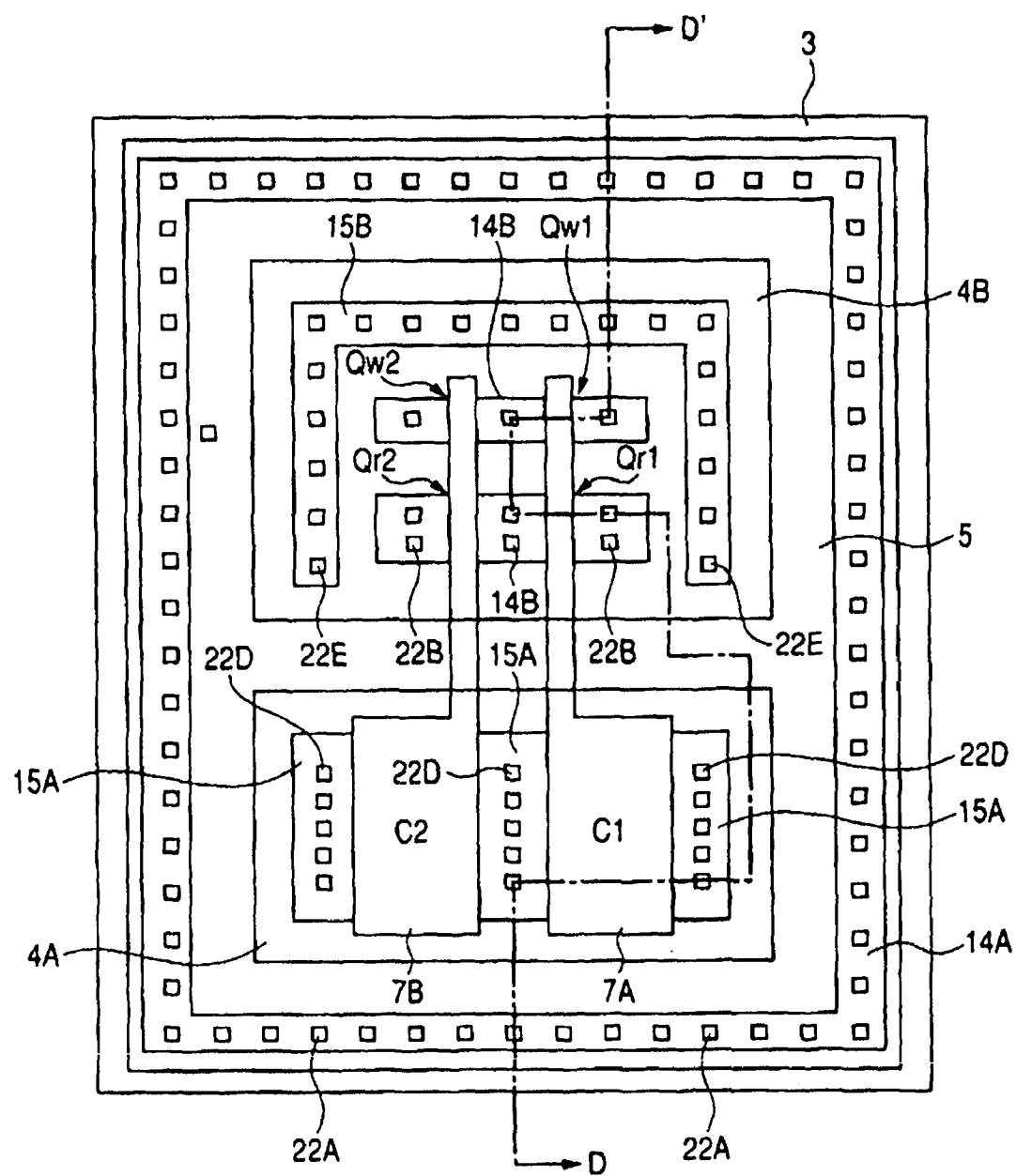


图 10

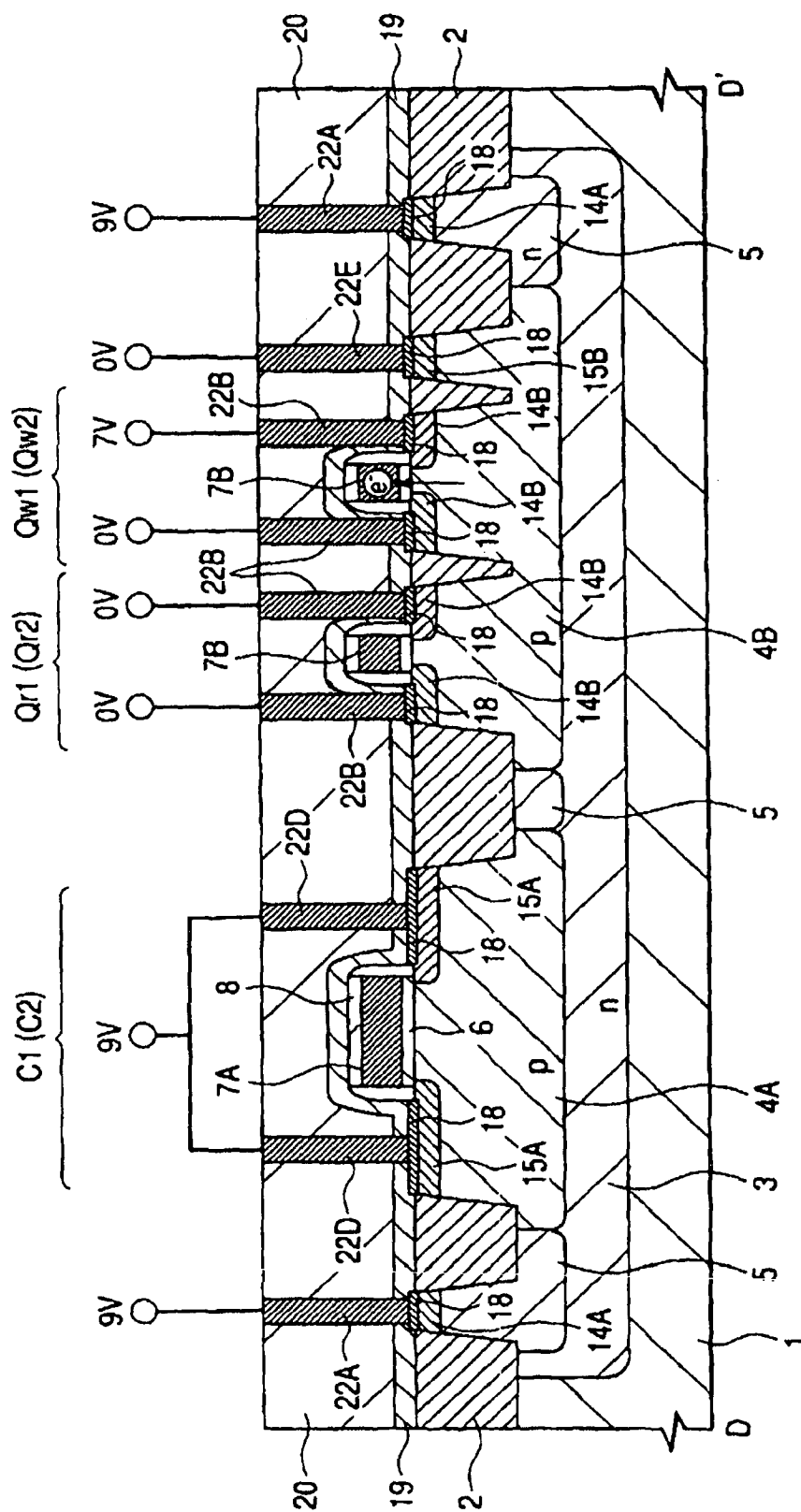


图 11

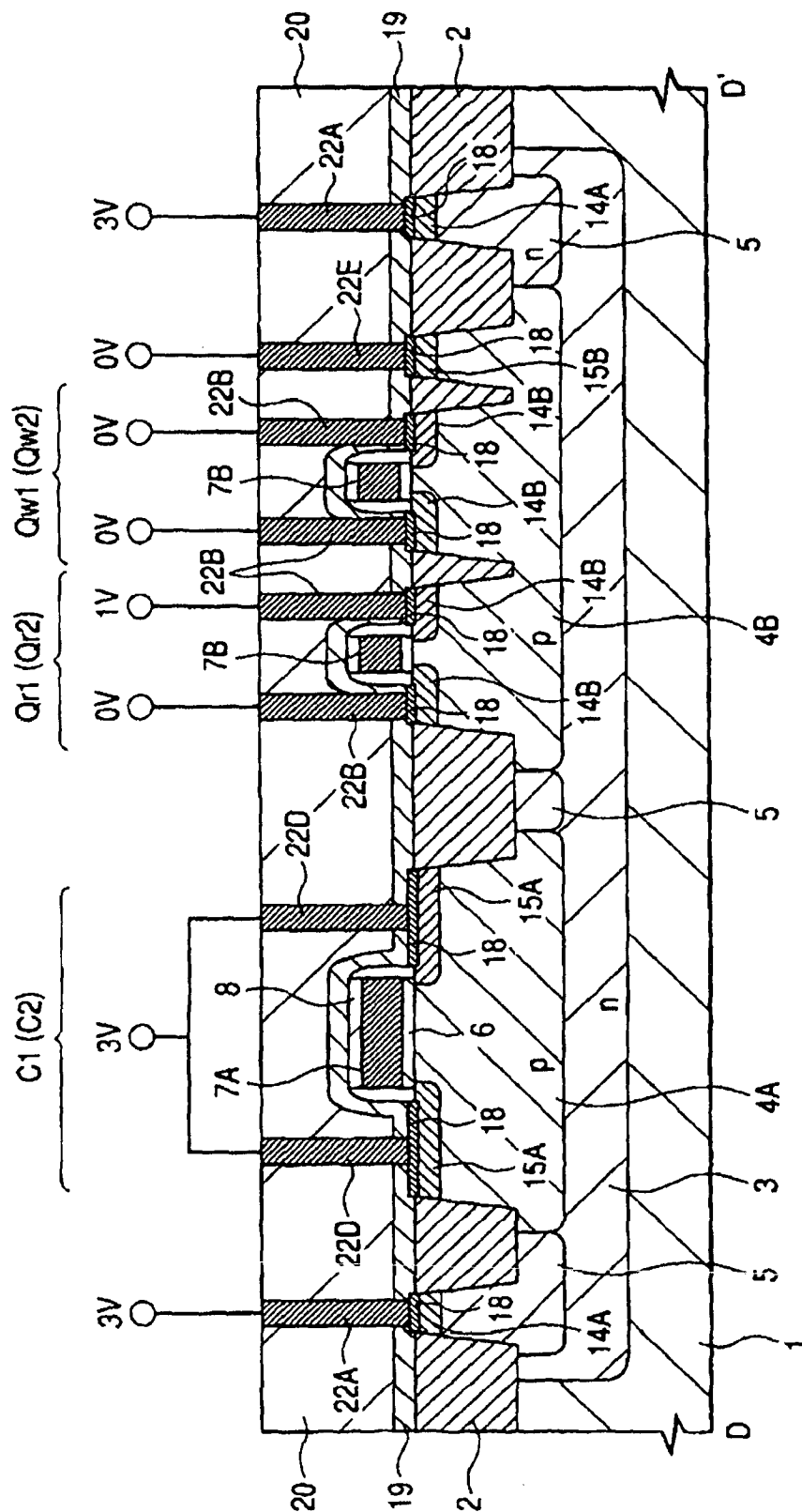


图 12

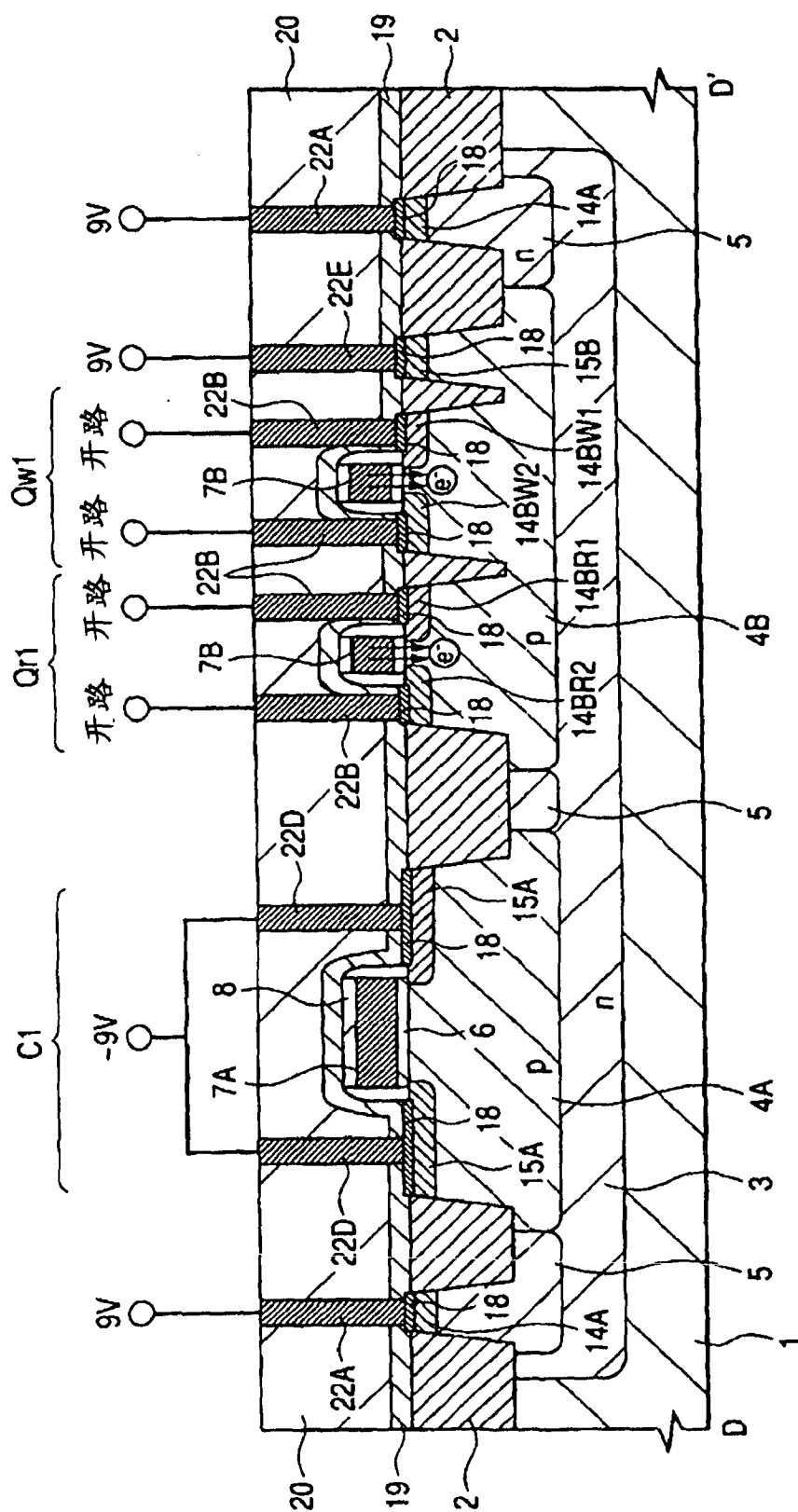


图 13

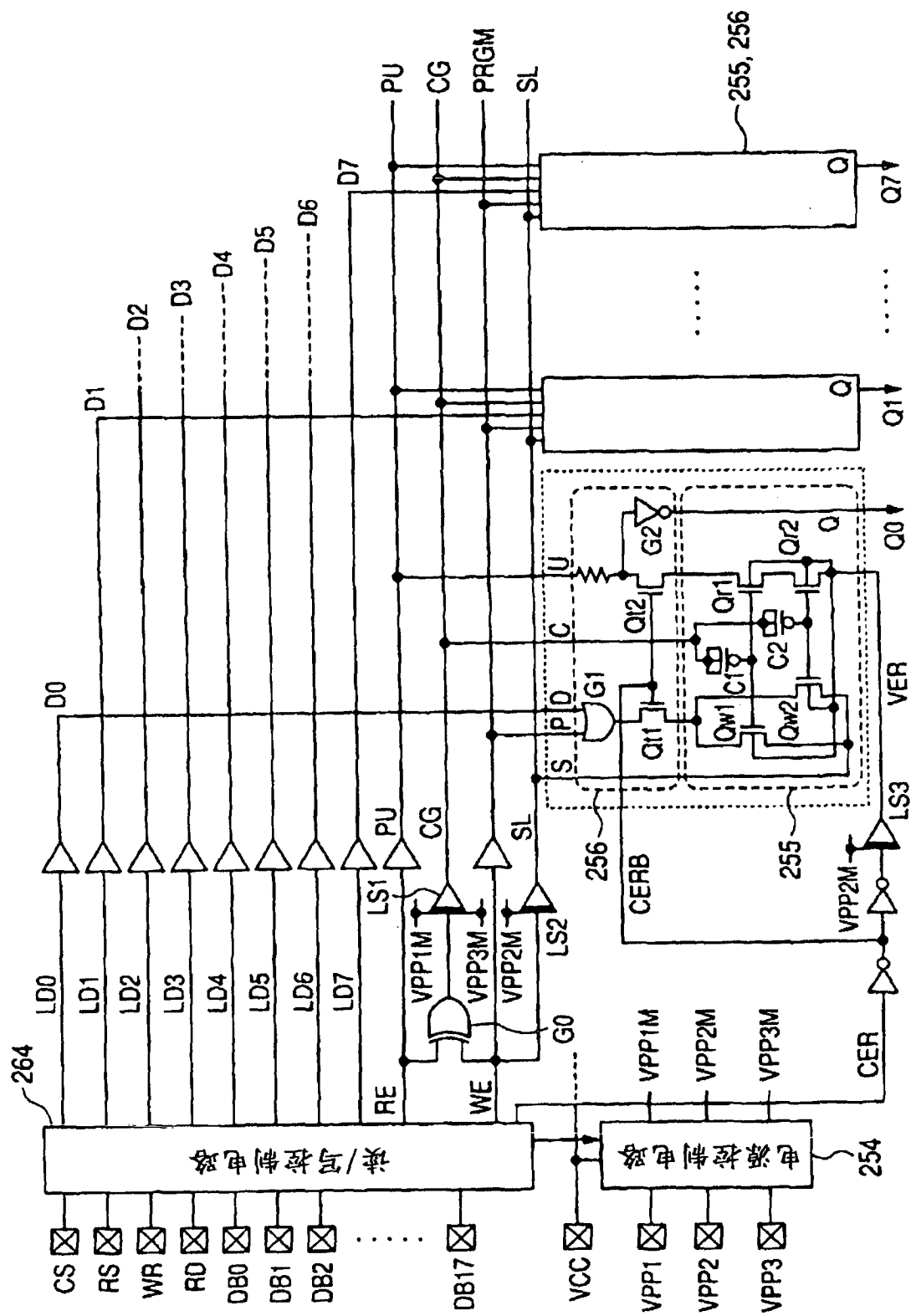


图 14

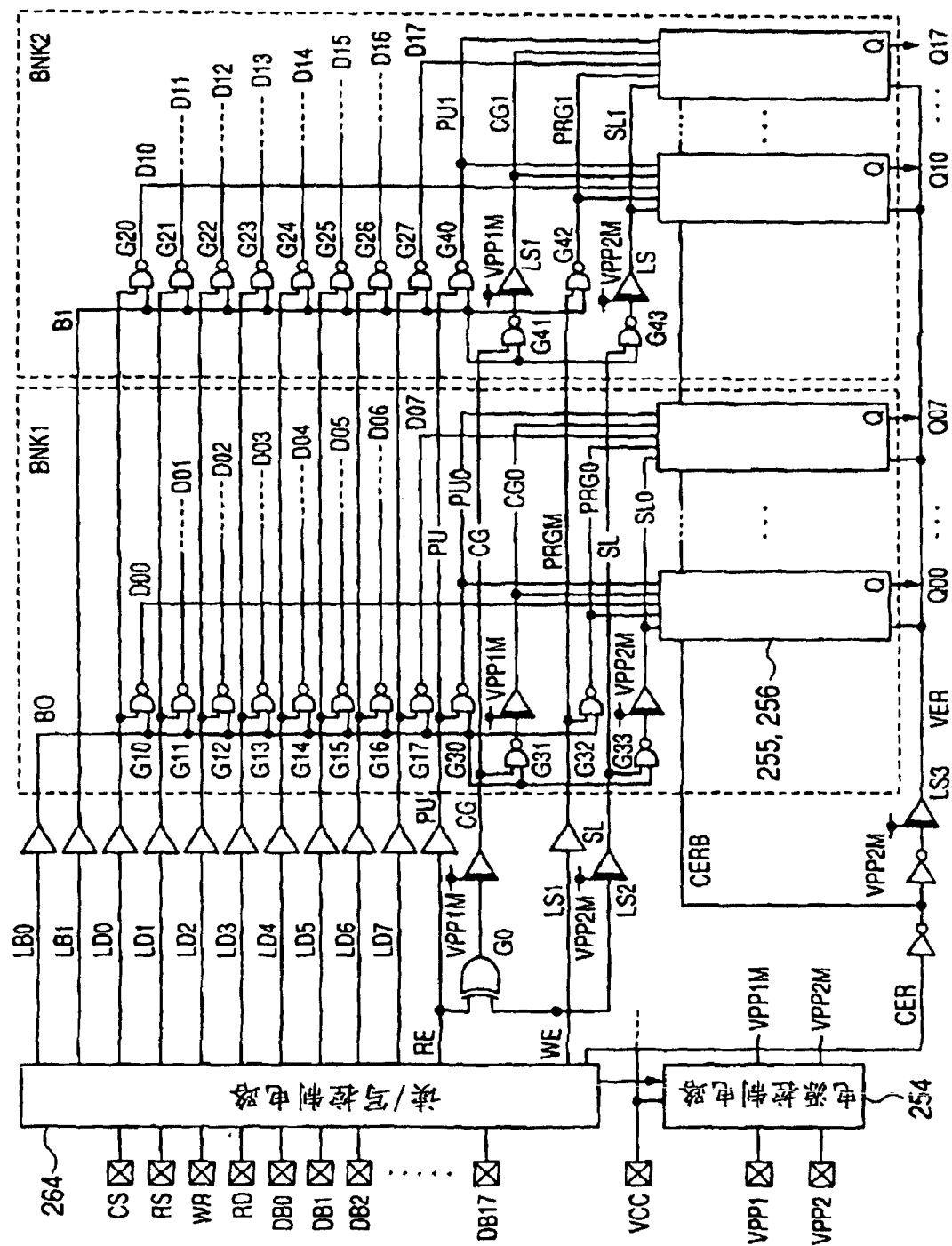


图 15

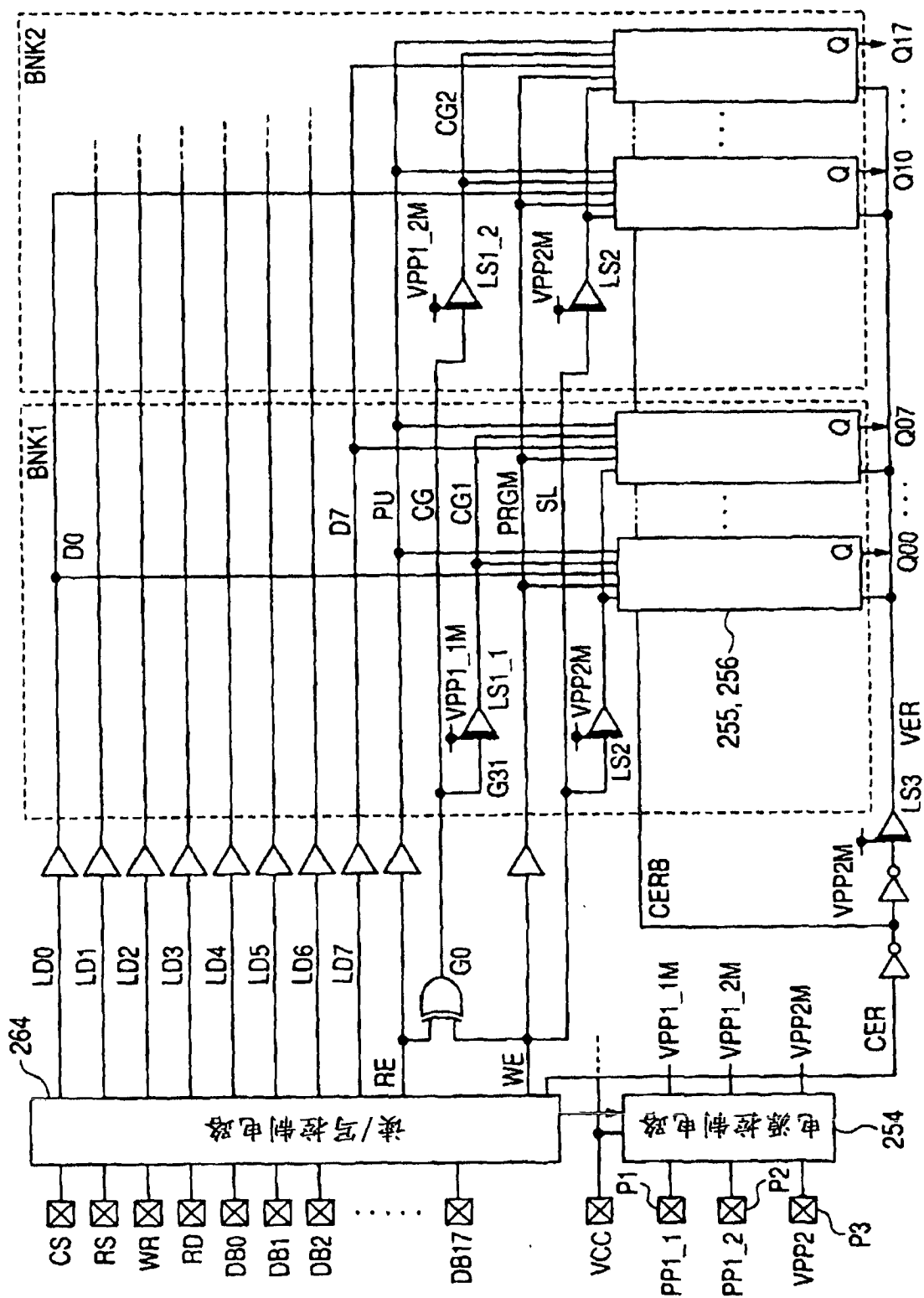


图 16

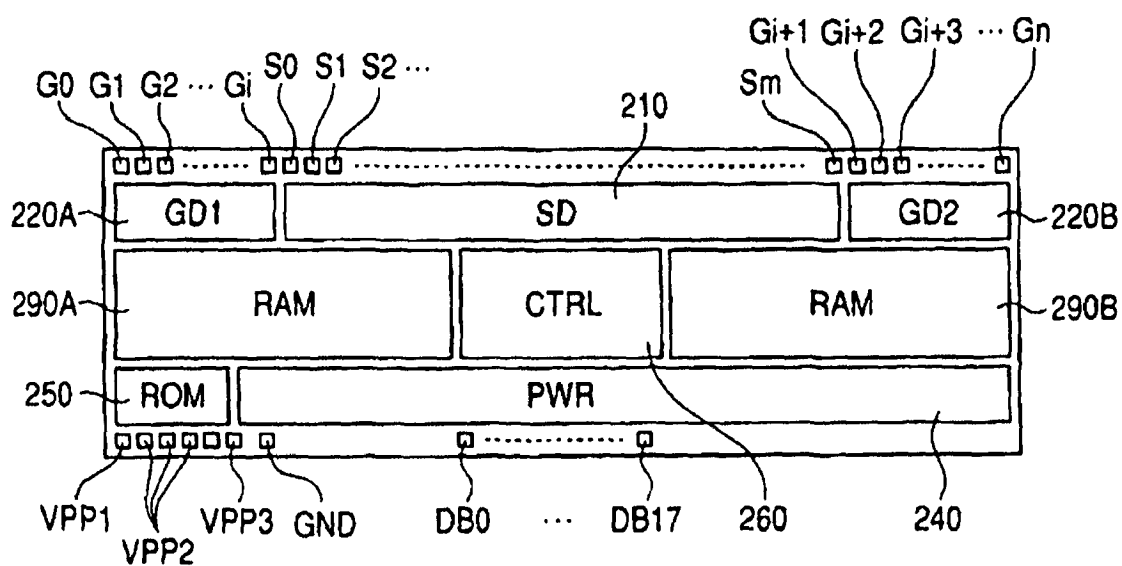


图 17

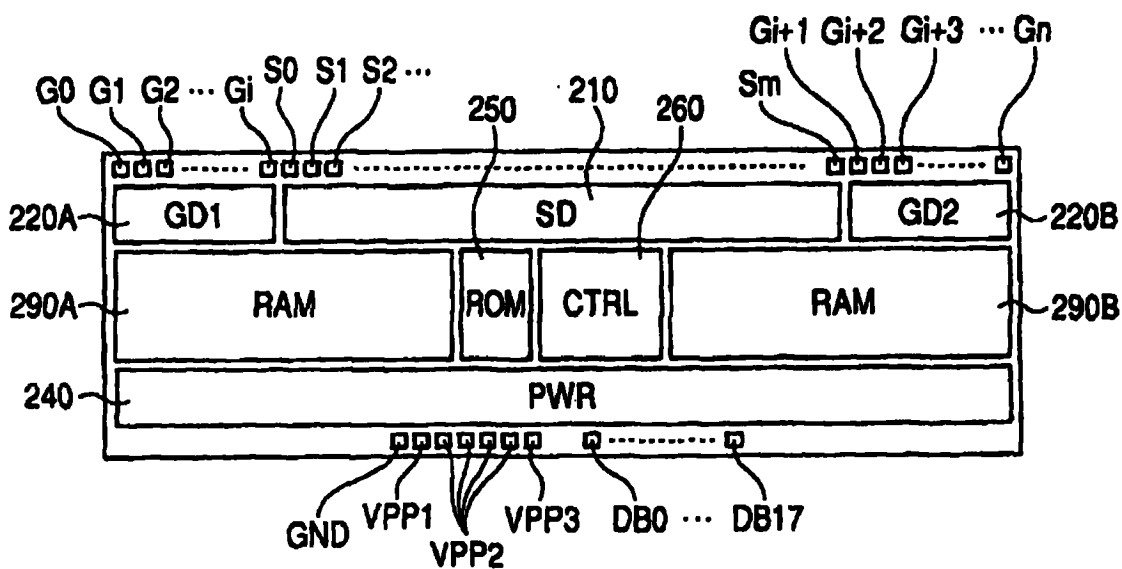


图 18

专利名称(译)	用于驱动液晶显示器的半导体集成电路		
公开(公告)号	CN101944345B	公开(公告)日	2012-12-26
申请号	CN201010282756.1	申请日	2006-05-30
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子株式会社		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	川濑靖 石田进 秋叶武定 永田宁 宫本直树 志波和佳		
发明人	川濑靖 石田进 秋叶武定 永田宁 宫本直树 志波和佳		
IPC分类号	G09G3/36 H01L27/02 H01L27/16 H01L29/423 H01L29/788		
CPC分类号	G09G5/005 H01L29/7885 H01L29/42328 H01L27/11521 H01L27/0207 G09G3/3655 G09G2310/08 H01L29/42324 H01L27/11558		
优先权	2005157390 2005-05-30 JP		
其他公开文献	CN101944345A		
外部链接	Espacenet SIPO		

摘要(译)

本发明实现了易于根据所使用的液晶显示器的规格来设定用于驱动液晶(液晶控制驱动器IC)的驱动条件的半导体集成电路器件。在用于驱动液晶显示器的半导体集成电路器件内配置有电可编程的非易失性存储器电路(EPROM)或电可擦除可编程的非易失性存储器电路(EEPROM)，设定信息被存储在存储器电路中。存储器电路可以用与形成其他电路器件的半导体制造工艺相同的工艺所形成的常规器件来构成。

