



(12) 发明专利

(10) 授权公告号 CN 101344694 B

(45) 授權公告日 2012.01.25

(21) 申请号 200810135664.3

(22) 申请日 2008.07.09

(30) 优先权数据

2007-179823 2007.07.09 JP

2008-156741 2008.06.16 JP

(73) 专利权人 NLT 科技股份有限公司

地址 日本神奈川县川崎市

(72) 发明人 关根裕之

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 陆锦华 黄启行

(51) Int. Cl.

G02F 1/1362 (2006, 01)

H01L 27/12 (2006.01)

H01L 29/786 (2006.01)

(56) 对比文件

US 6023074 A, 2000. 02. 08, 全文.

CN 1517967 A, 2004. 08. 04, 全文.

JP 特开 2000-10072 A, 2000. 01. 14, 全文.

CN 1573452 A, 2005. 02. 02, 全文.

审查员 张苗

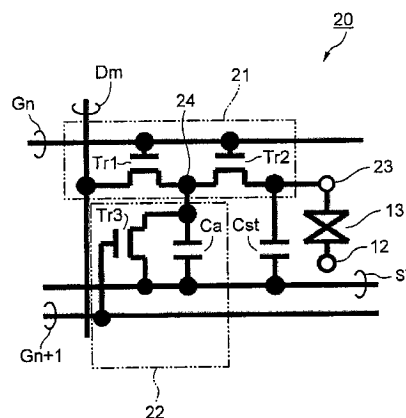
权利要求书 2 页 说明书 17 页 附图 23 页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明涉及一种液晶显示装置,以提供通过抑制闪烁和串扰的产生能够提高画面品质而不劣化像素的数值孔径并且不提高制造成本的像素矩阵等。第一开关器件具有串联连接的晶体管,当晶体管 A 在被栅极线选择时,晶体管被同时设置为导通,从而将从数据线供给的电压施加到像素电极。第二开关器件具有晶体管和控制电容器。当晶体管被与上述栅极线不同的栅极线选择时,晶体管被设置为导通,从而将指定的电势供给第一开关的晶体管之间的连接点,指定的电势被存储在控制电容器中。当没有被这两条栅极线选择时,连接点的电势被保持为存储在控制电容器中的电势。



1. 一种液晶显示装置,所述液晶显示装置包括由像素构造的像素矩阵,每个像素具有像素电极并且设置在多条栅极线和多条数据线的交叉点附近,其中,

每个像素包括:

第一开关器件,其具有串联连接的多个晶体管 A,当所述多个晶体管 A 在被第一栅极线选择而被同时设置为导通时,用于将从所述多条数据线中的一条供给的电压施加到所述像素电极,其中所述第一栅极线是所述多条栅极线中的一条;和

第二开关器件,其具有晶体管 B 和电容器,用于当晶体管 B 在被第二栅极线选择而被设置成导通时,将指定的电势供给所述多个晶体管 A 之间的连接点中的至少一个并且将所述指定的电势存储在所述电容器中,和在没有被所述第一栅极线和所述第二栅极线选择时,将所述连接点的电势中的至少一个保持在所述多个晶体管 A 之间的所述电容器,其中所述第二栅极线是所述多条栅极线中的一条,但与所述第一栅极线不同。

2. 如权利要求 1 所述的液晶显示装置,其中:

每个像素包括施加有所述指定的电势的公共电极;并且

晶体管 B 当被所述第二栅极线选择时被设置为导通,并且通过将所述公共电极连接到所述电容器向所述电容器供给所述指定的电势。

3. 如权利要求 2 所述的液晶显示装置,其中:

所述第一开关器件包括作为所述多个晶体管 A 的第一晶体管和第二晶体管,其中所述第一晶体管的栅电极和所述第二晶体管的栅电极共同连接到所述第一栅极线,所述第一晶体管的源电极或漏电极连接到所述第二晶体管的源电极或漏电极,所述第一晶体管的所述源电极和所述漏电极中的另一个连接到所述数据线中的一条,而所述第二晶体管的所述源电极和所述漏电极中的另一个连接到所述像素电极;并且

所述第二开关器件包括作为所述晶体管 B 的第三晶体管,其中所述电容器连接在所述第一晶体管和所述第二晶体管的连接点与所述公共电极之间,所述第三晶体管的栅电极连接到所述第二栅极线,所述第三晶体管的源电极或漏电极连接到连接点,而所述第三晶体管的所述源电极和所述漏电极中的另一个连接到所述公共电极。

4. 一种液晶显示装置,所述液晶显示装置包括由像素构造的像素矩阵,每个像素具有像素电极并且设置在多条栅极线和多条数据线的交叉点附近,其中,

每个像素包括第一开关器件,所述第一开关器件具有串联连接的多个晶体管 A,当所述多个晶体管 A 在被第一栅极线选择而被同时设置为导通时,用于将从所述多条数据线中的一条供给的电压施加到所述像素电极,其中所述第一栅极线是所述多条栅极线中的一条;并且

所述像素矩阵上的成对的两个相邻像素包括至少一个晶体管 B 和多个电容器,所述晶体管 B 的源电极和漏电极连接在一个像素的所述多个晶体管 A 的连接点中的至少一个与另一像素的所述多个晶体管 A 的连接点中的至少一个连接点之间,并且所述晶体管 B 的栅电极连接到第二栅极线,其中所述第二栅极线是所述多条栅极线中的一条但与所述第一栅极线不同,所述多个电容器的各自的一端分别连接到与所述晶体管 B 连接的每个像素的所述多个晶体管 A 的所述连接点中的每个,并且另一端连接到公共电极。

5. 如权利要求 4 所述的液晶显示装置,其中:

每个像素包括反电极,所述反电极设置在设置有所述像素电极的相同的基底上或者设

置在单独的基底上；

每个像素的液晶受所述像素电极和所述反电极之间的电场控制；并且

在具有通过所述晶体管 B 连接的所述晶体管 A 之间的所述连接点的至少一个的两个像素中，其反电极具有相同的电势，并且用于反电极的施加到所述两个像素的每个像素电极的信号极性不同。

6. 如权利要求 4 所述的液晶显示装置，其中：

所述第一开关器件包括作为所述多个晶体管 A 的第一晶体管和第二晶体管，其中所述第一晶体管和所述第二晶体管的栅电极共同连接到所述第一栅极线，所述第一晶体管的源电极或漏电极连接到所述第二晶体管的源电极或漏电极，所述第一晶体管的所述源电极和所述漏电极中的另一个连接到所述数据线中的一条，所述第二晶体管的所述源电极和所述漏电极中的另一个连接到所述像素电极；并且

所述像素矩阵上的所述两个相邻像素中的一个包括作为所述晶体管 B 的第三晶体管，其中所述电容器连接在所述第一晶体管和所述第二晶体管的所述连接点与所述公共电极之间，所述第三晶体管的栅电极连接到所述第二栅极线，所述第三晶体管的源电极或漏电极连接到一个像素的所述第一晶体管和所述第二晶体管之间的连接点，所述第三晶体管的所述源电极和所述漏电极中的另一个连接到另一像素的所述第一晶体管和所述第二晶体管之间的连接点。

7. 如权利要求 3 所述的液晶显示装置，其中，至少所述第一晶体管和所述第二晶体管中的任一个被形成具有多个栅极。

8. 如权利要求 6 所述的液晶显示装置，其中，至少所述第一晶体管和所述第二晶体管中的任一个被形成具有多个栅极。

9. 如权利要求 3 所述的液晶显示装置，其中，所述第一晶体管、所述第二晶体管和所述第三晶体管具有相同的导电类型。

10. 如权利要求 6 所述的液晶显示装置，其中，所述第一晶体管、所述第二晶体管和所述第三晶体管具有相同的导电类型。

11. 如权利要求 3 所述的液晶显示装置，其中，所述公共电极分为彼此没有电影响的第一公共电极和第二公共电极，所述电容器连接在所述连接点和所述第一公共电极之间，并且所述第三晶体管的所述源电极和所述漏电极中的另一个连接到所述第二公共电极。

12. 如权利要求 3 所述的液晶显示装置，其中，所述第三晶体管的沟道宽度小于所述第一晶体管和所述第二晶体管的沟道宽度。

13. 如权利要求 6 所述的液晶显示装置，其中，所述第三晶体管的沟道宽度小于所述第一晶体管和所述第二晶体管的沟道宽度。

液晶显示装置

[0001] 相关申请的交叉参考

[0002] 本申请基于 2007 年 7 月 9 日提交的第 2007-179823 号和 2008 年 6 月 16 日提交的第 2008-156741 号日本专利申请,并要求这两个申请的优先权的权益,申请的内容通过引用被完全包含于此。

技术领域

[0003] 本发明涉及一种液晶显示装置。

背景技术

[0004] 有源矩阵型液晶显示装置能够显示高清晰度高品质的图像,从而通常被用作液晶电视、便携式装置等的显示装置,其中,有源矩阵型液晶显示装置包括设置在每个像素作为有源元件的晶体管。在这些有源矩阵型液晶显示装置中,由于以下原因,利用多晶薄膜晶体管(下文中被称作“多晶硅 TFT”)作为晶体管的液晶显示装置尤其用于像素尺寸小的液晶显示装置。这些原因即:采用这种类型,晶体管具有高电流驱动能力,从而提供给每个像素的晶体管的尺寸可以减小;用于产生供给每个像素的信号电路可以构造在形成有每个像素的同一基底上。

[0005] 图 22 是示出了利用多晶硅 TFT 的液晶显示装置的一个像素的等效电路的电路框图。下文中参照这个附图来提供说明。

[0006] 在这个附图中,晶体管 Tr1 被提供给每个像素。连接到晶体管 Tr 的源电极的像素电容器 Cpix 由像素电极、反电极(counter electrode)和夹在这两个电极之间的液晶层形成。此外,保持电容器 Cst 连接到晶体管 Tr1 的源电极。晶体管 Tr 的栅电极连接到栅极线 Gn,并且晶体管 Tr1 的漏电极连接到数据线 Dm。

[0007] 在用于显示液晶显示装置的一屏的图像的时间段中,晶体管 Tr1 操作以在该时间段的大部分时间内保持写入到像素电容器 Cpix 和保持电容器 Cst 的视频信号。如果在保持时间段期间像素电容器 Cpix 和保持电容器 Cst 的电压不产生波动,则能够得到闪烁小且串扰少的精细的画面品质。

[0008] 近来,市场上对在显示装置中实现诸如高清晰度和高亮度的性能需求很强。因此,液晶显示装置的像素间距已经变小,作为光源的背光的亮度增大。液晶显示装置的亮度几乎取决于背光的亮度和液晶显示装置的像素的透光率,像素的透光率根据数值孔径发生大的改变。当像素间距由于实现高清晰度而变小时,数值孔径也自然地变小。此外,像素电容器和保持电容器的值也变小。而且,晶体管的漏电流根据照射到晶体管的光的量而增加。因此,在高清晰度和高亮度的液晶显示装置中,在保持时间段期间,像素电容器和保持电容器的电压变得波动,从而产生闪烁和串扰。

[0009] 具体来说,在利用顶部栅极型多晶硅 TFT 的液晶显示装置的情况下,来自背光的光直接照射到晶体管的沟道部分。因此,其光漏电流变得大于通常利用底部栅极型的非晶硅薄膜晶体管(下文中称作“a-SiTFT”)的液晶显示装置的光漏电流。这导致了更多严重

的问题。

[0010] 另外,串扰不仅很大程度地受晶体管的漏电流的程度的影响,还受漏电流对于“源极和漏极之间的电压 V_{ds} 的相关性的”影响。此外,假设数据线 D_m 的电势是 V_{data} 并且像素电容器 C_{pix} 的电压是 V_{pix} ,则 V_{ds} 是 V_{data} 和 V_{pix} 的函数。因此,根据写入到与公用数据线连接的每个像素的信号亮度,每个像素的晶体管的源极和漏极之间的电压波动很大。因此,晶体管的漏电流将大大地变化。结果,当显示特定图案时,不显示图案的像素将受到影响,从而产生串扰。

[0011] 第 2000-010072 号日本未实质审查的专利公开(专利文件 1:图 1 等)公开了用于处理这些问题的传统技术的示例。图 23A 是示出了在专利文件 1 中公开的液晶显示装置的一个像素的等效电路的电路图。在下文中,将参照这个附图来提供说明。

[0012] 在此技术中,用于将视频信号写入像素的晶体管是串联连接的两个晶体管 Tr_1 和 Tr_2 。在完成将视频信号写入像素之后,两个晶体管 Tr_1 和 Tr_2 被设置成同时不导电,作为两个晶体管 Tr_1 和 Tr_2 之间的连接点的中间节点通过第三晶体管 Tr_{3p} 连接到公共布线 ST ,公共布线 ST 具有等于反电极的电压的电压。采用这些操作,由于这两个串联连接的晶体管 Tr_1 和 Tr_2 ,与像素连接的晶体管 Tr_2 的源极和漏极之间的电压 V_{ds} 变成与数据线 D_m 的电势无关。考虑的是因此能够减少串扰。

[0013] 第 2006-189473 号日本的未实质审查的专利公开(专利文件 2:图 2 等)公开了上述传统技术的另一示例。图 23B 是示出了在专利文件 2 中公开的液晶显示装置的一个像素的等效电路的电路图。在下文中,将通过参照这个附图来提供说明。

[0014] 如在专利文件 1 中公开的技术的情况,用于将视频信号写入像素的晶体管是串联连接的两个晶体管 Tr_1 和 Tr_2 。方法是:在将两个晶体管 Tr_1 和 Tr_2 设置成不导电之后,将作为两个晶体管 Tr_1 和 Tr_2 之间的连接点的中间节点通过第三晶体管 Tr_3 连接到公共布线 ST 。其中,公共布线 ST 具有的电压接近于反电极的电势。据此,由于串联连接的两个晶体管 Tr_1 和 Tr_2 ,与像素连接的晶体管 Tr_2 的源极和漏极之间的电压 V_{ds} 变成与数据线 D_m 的电势无关。考虑的是因此能够减少串扰。

[0015] 通过简化专利文件 1 和 2 中公开的液晶显示装置的一部分来描述专利文件 1 和 2 中公开的液晶显示装置,以明确与本发明的差别。

[0016] 然而,这些传统技术存在下面的问题。

[0017] 第一个问题是制造成本提高。采用专利文件 1 中描述的技术,串联连接用于将视频信号写入像素的两个晶体管 Tr_1 、 Tr_2 的导电类型必须与用于向中间节点提供电势的第三晶体管 Tr_{3p} 的导电类型不同,其中,中间节点是两个晶体管 Tr_1 和 Tr_2 的连接点。在专利文件 1 中,示出的是晶体管 Tr_1 、 Tr_2 是 n 沟道晶体管,而晶体管 Tr_{3p} 是 p 沟道晶体管的情况。通过如在这种情况下利用不同导电类型的晶体管,可以使连接到晶体管 Tr_1 、 Tr_2 的栅电极的控制线(栅极线 G_n)和连接到晶体管 Tr_{3p} 的栅电极的控制线(栅极线 G_n)是同一条线,由此可以同时将晶体管中的一个控制为导通而将另一个控制为不导通。据此,不必要对两个晶体管单独地利用不同的控制线。优点在于提高了像素的数值孔径。然而,这样就需要构造 n 沟道晶体管和 p 沟道晶体管的工艺,从而增加了制造成本。

[0018] 第二个问题是数值孔径被劣化。采用专利文件 2 中描述的技术,像素中使用的所有的晶体管的导电类型可以是相同的。因此,没有增加制造成本。然而,必须通过不同的控

制线来控制串联连接的两个晶体管 Tr1 和 Tr2 的栅电极和第三晶体管 Tr3 的栅电极。即，必需对每个像素行提供附加的控制线 Con 来控制第三晶体管 Tr3，这样就导致了数值孔径劣化。

发明内容

[0019] 因此，根据上述问题，本发明的示例性目的在于提供一种液晶显示装置，该液晶显示装置通过抑制闪烁和串扰能够提高画面品质而不劣化像素的数值孔径并且不增加制造成本。

[0020] 根据本发明示例性方面的液晶显示装置是包括由像素构造的像素矩阵的像素显示装置，每个像素具有像素电极并且设置在多条栅极线和多条数据线的交叉点附近，其中，每个像素包括：第一开关器件，其具有串联连接的多个晶体管 A，当多个晶体管 A 在被第一栅极线选择从而被同时设置为导通时，将从多条数据线中的一条提供的电压施加给像素电极，其中，第一栅极线是多条栅极线中的一条；和第二开关器件，其具有晶体管 B 和电容器，用于当晶体管 B 在被第二栅极线选择而被设置成导通时，将指定的电势供给多个晶体管 A 之间的连接点中的至少一个，并将指定的电势存储在电容器中，和在没有被第一栅极线和第二栅极线选择时，将多个晶体管 A 的连接点的电势中的至少一个保持为存储在电容器中的电势，其中，第二栅极线是多条栅极线中的一条，但与第一栅极线不同。

[0021] 根据本发明的另一示例性方面的液晶显示装置是包括由像素构造的像素矩阵的液晶显示装置，每个像素具有像素电极并且设置在多条栅极线和多条数据线的交叉点附近，其中，每个像素包括：第一开关器件，其具有串联连接的多个晶体管 A，当多个晶体管 A 在被第一栅极线选择从而被同时设置为导通时，将从多条数据线中的一条供给的电压施加到像素电极，其中第一栅极线是多条栅极线中的一条；并且像素矩阵上的成对的两个相邻像素包括至少一个晶体管 B 和多个电容器，该晶体管 B 的源电极和漏电极连接在一个像素的多个晶体管 A 的连接点中的至少一个与多个像素的多个晶体管 A 的连接点中的至少一个连接点或另一连接点之间，并且该晶体管 B 的栅电极连接到第二栅极线，其中第二栅极线是多条栅极线中的一条但与第一栅极线不同，该多个电容器的一端连接到与晶体管 B 连接的每个像素的多个晶体管 A 的连接点中的每个，并且另一端连接到公共电极。

附图说明

[0022] 图 1 是示出了根据本发明的液晶显示装置和像素矩阵的第一示例性实施例的电路框图，该图示出了一个像素的等效电路；

[0023] 图 2 是示出了根据本发明的液晶显示装置和像素矩阵的第一示例性实施例的电路框图，该图示出了整个等效电路；

[0024] 图 3 是示出了图 1 和图 2 所示的液晶显示装置和像素矩阵的操作的时序图；

[0025] 图 4A 是示出了根据本发明的液晶显示装置和像素矩阵的第二示例性实施例的电路框图，该图示出了一个像素的等效电路；

[0026] 图 4B 是示出了根据本发明的液晶显示装置和像素矩阵的第三示例性实施例的电路框图，该图示出了一个像素的等效电路；

[0027] 图 5 是示出了根据本发明的液晶显示装置和像素矩阵的第四示例性实施例的电

路框图,该图示出了用于两个像素的等效电路;

[0028] 图 6 是示出了根据本发明的液晶显示装置和像素矩阵的第四示例性实施例的电路框图,该图示出了整个等效电路;

[0029] 图 7 是示出了图 5 和图 6 所示的液晶显示装置和像素矩阵的操作的时序图;

[0030] 图 8 是示出了根据本发明的液晶显示装置和像素矩阵的第五示例性实施例的电路框图,该图示出了整个等效电路;

[0031] 图 9A 是示出了根据本发明的液晶显示装置和像素矩阵的第六示例性实施例的电路框图,该图示出了用于两个像素的等效电路;

[0032] 图 9B 是示出了根据本发明的液晶显示装置和像素矩阵的第七示例性实施例的电路框图,该图示出了用于两个像素的等效电路;

[0033] 图 10 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (a) 的平面图;

[0034] 图 11 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (b) 的平面图;

[0035] 图 12 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (c) 的平面图;

[0036] 图 13 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (d) 的平面图;

[0037] 图 14 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (e) 的平面图;

[0038] 图 15 是示出了根据第一示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (f) 的平面图;

[0039] 图 16 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (a) 的平面图;

[0040] 图 17 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (b) 的平面图;

[0041] 图 18 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (c) 的平面图;

[0042] 图 19 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (d) 的平面图;

[0043] 图 20 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (e) 的平面图;

[0044] 图 21 是示出了根据第四示例性实施例的液晶显示装置和像素矩阵的制造方法的示例 (f) 的平面图;

[0045] 图 22 是示出了利用多晶硅 TFT 的液晶显示装置的一个像素的等效电路的电路框图;

[0046] 图 23A 是示出了在专利文件 1 中公开的液晶显示装置的一个像素的等效电路的电路框图;

[0047] 图 23B 是示出了在专利文件 2 中公开的液晶显示装置的一个像素的等效电路的电

路框图。

具体实施方式

[0048] 下文中,将通过参照附图来描述本发明的示例性实施例。

[0049] 第一示例性实施例

[0050] 图 1 和图 2 是示出了根据本发明的具有像素矩阵的液晶显示装置的第一示例性实施例的电路框图。图 1 示出了一个像素的等效电路,图 2 示出了整个等效电路。下文中将参照这些附图来提供说明。

[0051] 图 1 中的像素 20 表示从图 2 的像素矩阵 11 中取出的任意一个像素。因此,在图 1 中,栅极线和数据线的参考标号一般标作“n”和“m”。像素矩阵 11 用像素 20 构造,像素 20 每个具有像素电极 23 布置在栅极线 G1 ~ G4 和数据线 D1 ~ D4 之间的交叉点附近。每个像素 20 包括作为第一开关器件的开关器件 21 和作为第二开关器件的开关器件 22。开关器件 21 具有作为串联连接的多个晶体管 A 的晶体管 Tr1、Tr2。当被栅极线 G1 ~ G4 中的一条栅极线 Gn 选择时,晶体管 Tr1 和 Tr2 被设置成同时导通 (ON),从而将从数据线 D1 ~ D4 中的一条数据线 Dm 供给的电压施加到像素电极 23。开关器件 22 具有作为晶体管 B 的晶体管 Tr3 和作为电容器的控制电容器 Ca。当被栅极线 G1 ~ G4 中的与栅极线 Gn 不同的一条栅极线 Gn+1 选择时,晶体管 Tr3 被设置为导通 (ON),以将指定的电势供给晶体管 Tr1 和 Tr2 之间的连接点 24,并且所述指定的电势被存储在控制电容器 Ca 中。当没有被栅极线 Gn 和栅极线 Gn+1 选择时,连接点 24 的电势被保持成存储在控制电容器 Ca 中的电势。

[0052] 此外,每个像素 20 具有施加有指定的电势作为公共电极的公共布线 ST。当晶体管 Tr3 被栅极线 Gn+1 选择时,晶体管 Tr3 被设置成导通 (ON),从而将公共布线 ST 连接到控制电容器 Ca,以向控制电容器 Ca 供给指定的电势。

[0053] 另外,在开关器件 21 中,晶体管 Tr1 和 Tr2 的栅电极共同连接到栅极线 Gn,晶体管 Tr1 的源电极连接到晶体管 Tr2 的漏电极,晶体管 Tr1 的漏电极连接到数据线 Dm,晶体管 Tr2 的源电极连接到像素电极 23。在开关器件 22 中,控制电容器 Ca 连接在晶体管 Tr1、Tr2 的连接点和公共布线 ST 之间,晶体管 Tr3 的栅电极连接到栅极线 Gn+1,晶体管 Tr3 的源电极连接到连接点 24,晶体管 Tr3 的漏电极连接到公共布线 ST。

[0054] 根据这个示例性实施例的液晶显示装置 10 包括:其上设置有像素矩阵 11 的晶体管基底;布置成面对晶体管基底的相对基底;设置在晶体管基底和相对基底之间的液晶层 13。晶体管基底也被称作 TFT 基底,并且例如,通过在玻璃基底上形成像素矩阵 11、栅极驱动器电路 14、数据驱动器电路 15 等来构造 TFT 基底。例如,通过在玻璃基底上形成反电极 12 等来构造相对基底。

[0055] 液晶显示装置 10 的除了反电极 12、液晶层 13、栅极驱动器电路 14 和数据驱动器电路 15 之外的结构在下文中被称作像素矩阵 11。另外,用于一个像素的液晶层 13 构造一个像素电容器 Cpix,并且保持电容器 Cst 连接在晶体管 Tr2 的源电极和公共布线 ST 之间。根据环境保持电容器 Cst 可以被省去。

[0056] 接下来,将描述该示例性实施例的操作和效果。采用该示例性实施例的像素矩阵 11 和液晶显示装置 10,当被栅极线 Gn 选择时,晶体管 Tr1 和 Tr2 被设置成同时导通 (ON),以将从数据线 Dm 供给的电压施加到像素电极 23。当栅极线 Gn+1 选择时,晶体管 Tr3 被设

置成导通 (ON), 以将指定的电势供给到晶体管 Tr1、Tr2 之间的连接点 24, 并且指定的电势存储在控制电容器 Ca。当没有被栅极线 Gn 和 Gn+1 选择时, 晶体管 Tr1 ~ Tr3 被设置成截止 (OFF), 并且连接点 24 的电势被保持为存储在控制电容器 Ca 中的电势。据此, 当没有被栅极线 Gn 选择时, 连接点 24 的电压可以被稳定。因此, 能够减小晶体管 Tr2 的漏电流。这样使得能够稳定像素电极 23 的电压, 从而能够抑制闪烁和串扰。在这里应当注意的是: 晶体管 Tr1 ~ Tr3 由栅极线 Gn 和 Gn+1 的选择信号设置成导通的事实意味着晶体管 Tr1 ~ Tr3 是同一导电类型。因此, 与制造不同导电类型的晶体管的情况相比, 可以简化制造工艺, 从而可以抑制制造成本。另外, 用于驱动晶体管 Tr3 的栅极线 Gn+1 是用于驱动另一像素的晶体管 Tr1、Tr2 的布线。由此, 不需要特定的布线来驱动晶体管 Tr3。因此, 与需要特定布线的情况相比, 可以提高像素 20 的数值孔径。即, 采用本发明, 可以得到通过抑制闪烁和串扰的产生来提高图像品质而不劣化像素 20 的数值孔径并且不增加制造成本的像素矩阵 11 等。

[0057] 每个晶体管 Tr1 ~ Tr3 的源极和漏极具有相同的结构, 因此源极和漏极可以被相反地命名。不必说, 在这里“连接”意味着电连接。“指定的电势”不限于公共电极的电压, 而且还可以是不依赖于数据线的电压, 例如恒定的 DC 电压、比数据线的电压波动小电压 (即稳定的电压)。这些也应用于下文描述的示例性实施例。

[0058] 在下文中, 将更详细地描述根据第一示例性实施例的像素矩阵 11 和液晶显示装置 10。

[0059] 图 2 示出了示例性实施例的液晶装置 10 的结构。图 1 示出了从中取出的任意像素 20。液晶显示装置 10 由下述构造: 像素矩阵 11, 其上有以矩阵形式布置的像素, 其中, 像素布置在沿着纵向方向和横向方向设置的数据线 (D1 ~ D4) 和栅极线 (G1 ~ G4) 之间的每个交叉点附近; 用于驱动数据线的驱动器电路 15; 用于驱动栅极线的栅极驱动器 14。像素矩阵 11 的每个像素由下述器件构造: 串联布置的两个晶体管 Tr1、Tr2 (其一端连接于数据线, 另一端连接于像素电容器 Cpix 和保持电容器 Cst); 连接于 Tr2 的像素电容器 Cpix; 保持电容器 Cst; 连接于 Tr1 和 Tr2 之间的连接点的控制电容器 Ca; 以及与控制电容器 Ca 并联布置的晶体管 Tr3。保持电容器 Cst 的另一端和控制电容器 Ca 的另一端与布线 ST 连接, 布线 ST 公用于所有像素。每个像素电容器 Cpix 是由 TFT 基底上的像素电极和相对基底的反电极 12 (虽然没有示出) 构成的电容器, 其中, TFT 基底具有形成在表面上的晶体管, 相对基底与 TFT 基底相对, 并且液晶层 13 设置在它们之间。另外, 栅极驱动器电路 14 的输出端子的数目比有助于像素矩阵 11 的显示的有效像素的像素行的数目至少多 1, 并且栅极驱动器电路 14 的输出端子连接到沿着像素矩阵 11 的有效像素的边缘部分布置的栅极线 G5。Tr1 和 Tr2 的栅极端子连接到公共栅极线, Tr3 的栅极端子连接到两个相邻的栅极线中的其中一个栅极线, 其不同于连接到 Tr1 和 Tr2 的栅极线。

[0060] 在图 2 中, 有连接于有效像素的四条数据线和四条栅极线。然而, 这些线的数目不限于这个数值。另外, 可以通过相同的工艺在形成有像素晶体管的基底上形成数据驱动器电路 15 和栅极驱动器电路 14, 或者数据驱动器电路 15 和栅极驱动器电路 14 中的一个或者两个可形成在另一基底上并且电连接到晶体管。

[0061] 接着, 将通过参照图 3 所示的时序图来描述动作。这个时序图示出了在视频信号被写入到根据示例实施例的液晶显示装置的多个像素行的时间段内控制信号线、像素电压

等的变化。时间段 TH1 ~ TH4 的每个表示用于写入一个像素行的视频信号的一个水平时间段 (horizontal period)。G1 ~ G5 分别是栅极线 G1 ~ G5 的电压波形, 而 D1 是数据线 D1 的电压波形。“Vpix(1,1)”表示与栅极线 G1 和数据线 D1 连接的像素的像素电极电势 (像素电容器电势), $V_a(1,1)$ 表示这个像素的控制电容器 Ca 的电压。类似地, “Vpix(2,1)”表示与栅极线 G2 和数据线 D1 连接的像素的像素电极电势, $V_a(2,1)$ 表示这个像素的控制电容器 Ca 的电压。

[0062] 在时间段 TH1 中, 当栅极线 G1 的电势变化为使 Tr1、Tr2 导电的电压时, 像素晶体管 Tr1 和 Tr2 被设置成导通状态。据此, 数据线 D1 的电势 Vsig1 被写入到像素电容器 Cpix 和保持电容器 Cst。这里应当注意的是, Vsig1 是对应于将要显示在像素上的视频信号的电压。与此同时, 相同的电压 Vsig1 也被写入到控制电容器 Ca。此时, Tr3 的栅极端连接到栅极线 G2, 使得 Tr3 处于截止状态。然后, 当 G1 的电势变化为使像素晶体管 Tr1、Tr2 不导电的电势时, 晶体管 Tr1、Tr2 和 Tr3 都成为截止状态。对连接于数据线 D2 ~ D4 和栅极线 G1 的每个像素执行类似的操作, 并且一个像素行的视频信号被写入到像素电容器 Cpix 和保持电容器 Cst。

[0063] 然后, 在时间段 TH2 中, 栅极线 G2 变化为使像素晶体管导电的电势, 从而与栅极线 G1 连接的每个像素的 Tr3 变化为导通状态。因此, 作为布线 ST 的电势的 Vst 被写入到控制电容器 Ca。在栅极线 G2 变化为使晶体管变成截止状态的电势后, Vst 被保持在控制电容器 Ca 中。同时据此, 通过如上所述的相同的操作, 视频信号被写入到与栅极线 G2 连接的每个像素的像素电容器 Cpix 和保持电容器 Cst。

[0064] 时间段 TH4 是视频信号被写入到与栅极线 G4 连接的每个像素的时间段, 在有效像素中, 视频信号最后被写入与栅极线 G4 连接的每个像素。用于将视频信号写入到与栅极线 G4 连接的每个像素的像素电容器 Cpix 和保持电容器 Cst 的操作是与如上所述的操作相同的操作。在时间段 TH4 的末尾, 用于在每个像素显示视频的视频信号被写入到与栅极线 G4 连接的每个像素的像素电容器 Cpix、保持电容器 Cst 和控制电容器 Ca。

[0065] 接着, 在时间段 TH5, 栅极线 G5 变化为使像素晶体管导电的电势, 因此与栅极线 G4 连接的每个像素的 Tr3 变成导通状态。据此, 作为布线 ST 的电势的 Vst 被写入到与栅极线 G4 连接的每个像素的控制电容器 Ca。

[0066] 通过一系列的这些操作, 视频信号被写入到有效像素的所有像素电容器 Cpix 和保持电容器 Cst 中的每个。因此, 在每个像素处于视频信号保持操作 (在每个像素的像素晶体管 Tr1 和 Tr2 处于截止状态下的操作) 的时间段内, 布线 ST 的电压 Vst 被写入并保持在控制电容器 Ca。这里注意的是, Vst 是几乎等于反电极的电压的值。

[0067] 虽然在此之前已经描述的情况下像素晶体管 Tr1、Tr2 和 Tr3 是 n 型晶体管, 但是也可以利用 p 型晶体管。在这种情况下, 每条栅极线的电势可以简单地变成使 p 型能够导电和不导电的状态。另外, 至于 Tr1、Tr2 和 Tr3 的沟道宽度 W1 ~ W3 (图 11), Tr3 的沟道宽度 W3 可以被设置成小于 Tr1、Tr2 的沟道宽度 W1、W2。原因在于: Tr3 具有写入控制电容器 Ca 的特性是足够的, 而 Ca 的值可以是小于像素电容器 Cpix 和保持电容器 Cst 之和的值。另外, 已经描述了点反转或栅极线反转的情况, 在点反转或栅极线反转的情况下, 在用于用液晶显示装置显示一屏的视频信号的一帧时间段内, 用于反电极的写入到垂直相邻且连接到同一数据线的两个像素的视频信号的极性被反转。然而, 也可以是极性变成相同的数据

线反转或帧反转。另外,也可以具有如下操作:将一个水平时间段内将连接到同一栅极线的像素划分成多个块,并以时分的方式将视频信号写入到块单元。

[0068] 采用根据本发明的液晶显示装置,在像素电容器 C_{pix} 和保持电容器 C_{st} 的保持时间段内电压波动能够被抑制得小。因此,能够大大降低闪烁和串扰。此外,可以通过采用工艺成本低的方法来实现本发明的结构。另外,采用本发明的结构,数值孔径基本上不被劣化。在下文中将描述其原因。

[0069] 当在用于 AC 驱动液晶的方法中使用点反转法或栅极线反转时,在从视频信号写入到每个像素的像素电容器 C_{pix} 和保持电容器 C_{st} 的点到下一视频信号写入到每个像素的像素电容器 C_{pix} 和保持电容器 C_{st} 的点的时间段的几乎一半内,用于反电极的相对于写入到对应像素的视频信号的极性具有不同极性的视频信号被写入到与该像素连接的数据线。然而,在根据本发明的液晶显示装置中,控制电容器 C_a 被提供到像素晶体管 $Tr1$ 、 $Tr2$ 的连接点,在 $Tr1$ 和 $Tr2$ 处于保持操作的时间段的大部分中,作为与数据线电势不相关的布线 ST 的电势 V_{st} 被写入到控制电容器 C_a 。因此,连接到像素电容器 C_{pix} 和保持电容器 C_{st} 的晶体管 $Tr2$ 的源极-漏极电压 V_{ds} 变成具有 V_{st} 相对于写入到像素电容器 C_{pix} 和保持电容器 C_{st} 的电压的电势差。由于 V_{st} 是几乎等于反电极电势的电压, $Tr2$ 的 V_{ds} 变成关于施加到数据线的电压的至多一半。晶体管的漏电流取决于 V_{ds} ,随着 V_{ds} 变大漏电流增加。因此,降低 V_{ds} 等于降低漏电流。因此,能够减少闪烁和串扰。另外,因为晶体管的漏电流根据像素处于保持操作的时间段内写入到数据线的电压而波动,所以产生串扰。因此,在本发明的情况下,当在保持时间段内数据线电势变成与源极-漏极电压 V_{ds} 不相关时,不产生串扰。

[0070] 当利用数据线反转或帧反转时,在液晶显示装置的每个像素中,在一帧的前阶段在被写入视频信号的像素中和在后阶段在被写入视频信号的像素中,影响是不同的。在前阶段被写入视频信号的像素的情况下,在帧时间段的大部分内,用于反电极的写入到像素的视频信号的极性与用于反电极的施加到数据线的信号的极性相同。同时,在后阶段被写入到视频信号的像素的情况下,在帧时间段的大部分内,用于反电极的写入到像素的视频信号的极性与用于反电极的施加到数据线的信号的极性不同。因此,在传统的液晶显示装置中,在前阶段被写入视频信号的像素中,像素晶体管的源极-漏极电压小,并且漏电流也变小。同时,在后阶段被写入视频信号的像素中,像素晶体管的源极-漏极电压大,并且漏电流也变大。因此,在后阶段被写入视频信号的像素中,闪烁和串扰变得广泛,使得在液晶显示装置的平面内难以使闪烁均匀。同时,采用本发明的液晶显示装置,每个像素的与像素电容器和保持电容器连接的晶体管 $Tr2$ 的源极-漏极电压 V_{ds} 变成与数据线电势不相关。因此,在前阶段被写入视频信号的像素的漏电流和在后阶段被写入视频信号的像素的漏电流之间不存在差别。因此,可以大大减少闪烁和串扰。

[0071] 另外,由于可以用同一类型的晶体管来构造用于像素的所有晶体管。因此,与同时使用 p 型晶体管和 n 型晶体管的情况相比,可以降低工艺成本。另外,除了用于控制三个晶体管 $Tr1 \sim Tr3$ 的栅极线和数据线之外,在每个像素中,不需要提供任何其它的控制线。因此,可以将数值孔径的劣化抑制到最小。

[0072] 接着,将通过参照图 1 至图 3 来描述像素矩阵 11 的驱动方法。该驱动方法是根据本发明的像素矩阵驱动方法的示例性实施例,并且像素矩阵 11 的上述操作将被描述为驱

动方法。

[0073] 根据这个示例性实施例的驱动方法是用于驱动像素矩阵 11 的方法, 像素矩阵 11 用具有像素电极 23 的像素 20 构造, 像素 20 在栅极线 G1 ~ G4 和数据线 D1 ~ D4 之间的交叉点的附近布置成矩阵。首先, 当具有串联连接的晶体管 Tr1 ~ Tr3 和控制电容器 Ca 的每个像素 20 被栅极线 G1 ~ G4 中的一条栅极线 Gm 选择时, 晶体管 Tr1、Tr2 被同时设置成导通, 以将从数据线 Dm 供给的电压施加到像素电极 23, 其中数据线 Dm 是数据线 D1 ~ D4 中的一条。随后, 当被栅极线 Gn+1 选择时, 晶体管 Tr3 被设置为导通, 以将预定的电势供给到晶体管 Tr1 和 Tr2 之间的连接点 24, 并且将预定的电势存储在控制电容器 Ca。然后, 当没有被栅极线 G1 和 G2 选择时, 晶体管 Tr1 ~ Tr3 被设置为截止, 并且晶体管 Tr1、Tr2 之间的连接点 24 的电势被保持为存储在控制电容器 Ca 中的电势。这个示例性实施例的驱动方法能够提供与上述像素矩阵 11 的功能和效果类似的功能和效果。

[0074] 根据本发明的示例性优点如下。采用本发明, 当被第一栅极线选择时, 多个晶体管 A 同时被设置成导通, 以向像素电极施加从数据线供给的电压。当被第二栅极线选择时, 晶体管 B 被设置为导通, 至少向多个晶体管 A 之间的连接点的一个供给预定的电势, 并且预定电势被存储在电容器中。当没有被第一栅极线和第二栅极线选择时, 晶体管 A 和晶体管 B 被设置成截止, 并且多个晶体管 A 之间的至少一个连接点的电势被保持为存储在电容器中的电势。据此, 当没有被第一栅极线选择时, 能够稳定多个晶体管 A 之间的连接点的电压。由此, 能够减小多个晶体管 A 的漏电流。这使得能够稳定像素电极的电压, 因此可以抑制闪烁和串扰。这里应当注意的是, 晶体管 A 和 B 通过第一栅极线和第二栅极线的选择信号被设置为导通的事实意味着晶体管 A 和 B 是同一导电类型。因此, 与制造不同导电类型的晶体管的情况相比, 可以简化制造工艺, 从而可以抑制制造成本。另外, 用于驱动晶体管 B 的第二栅极线是用于驱动另一像素的晶体管 A 的布线。因此, 不需要专门的布线来用于驱动晶体管 B。因此, 与需要专门的布线的情况相比, 可以改善像素的数值孔径。即, 可以采用本发明通过抑制闪烁和串扰的产生能够得到提高画面品质而不劣化像素的数值孔径的像素矩阵等, 并且且不增加制造成本。

[0075] 第二示例性实施例

[0076] 图 4A 是示出了根据本发明的像素矩阵和液晶显示装置的第二示例性实施例的电路框图, 并且是一个像素的等效电路。下文将参照这个图来提供说明。相同的参考标号应用于与图 1 相同的器件, 并将省略其说明。

[0077] 除了像素的内部之外, 根据该示例性实施例的整个液晶显示装置的结构与图 2 所示的结构相同。在该示例性实施例中, 像素 30 的开关器件 31 与第一示例性实施例不同。在第二示例性实施例中, 对每个像素 30 提供四个像素晶体管。其中, 晶体管 Tr1、Tr2 和 Tr4 串联连接, 作为一个端的 Tr1 连接到数据线 Dm, 而作为另一端的 Tr4 连接到像素电容器 Cpix 和保持电容器 Cst。另外, Tr1、Tr2 和 Tr4 的栅电极连接到公共栅极线 Gn。控制电容器 Ca 和晶体管 Tr3 连接到 Tr1 和 Tr2 的连接点。Cst 的另一端和 Ca 的另一端连接到布线 ST, 布线 ST 对于所有像素是公用的。另外, Tr3 的另一端也连接到布线 ST, 并且栅极端连接到栅极线 Gn+1, Gn+1 是与 Gn 相邻的线。

[0078] 即, 在这种结构中, 图 1 的结构中的像素晶体管 Tr2 被形成为双栅晶体管。不必说, 在图 1 的结构中与像素晶体管 Tr1 对应连接于数据线的晶体管也可形成为双栅晶体管。此

外,这些晶体管也可形成具有多栅,即,可以形成三栅晶体管。然而,当晶体管被形成具有多栅时,用于放置晶体管的面积增大,从而使数值孔径劣化。因此,希望只具有与形成有多栅的像素电容器(对应于图1的结构中的像素晶体管 Tr2)连接的晶体管。另外,虽然在此描述了用 n 型晶体管构造像素晶体管的情况,但是也可以使用 p 型晶体管。

[0079] 根据第二示例性实施例的液晶显示装置的操作与图2中所示的液晶显示装置的操作相同。采用第二示例性实施例的液晶显示装置,能够将在像素电容器 Cpix 和保持电容器 Cst 的保持时间段内的波动抑制成很小。因此,能够大大减少闪烁和串扰。另外,可以以低工艺成本的方法来实现示例性实施例的结构。此外,在抑制数值孔径的劣化的同时,可以实现示例性实施例的结构。其原因在于,能够降低连接到像素电容器的晶体管 Tr2 和 Tr4 的漏电流,这与在第一示例性实施例中描述的原因相同。另外,由于在这个示例性实施例中保持写入到像素电容器的电压的晶体管被构造为具有两个串联连接的晶体管 Tr2 和 Tr4,因此晶体管 Tr1 和 Tr4 中的每个得源极-漏极电压可以被分压,使得与图1所示的情况相比,可进一步降低漏电流。

[0080] 第三示例性实施例

[0081] 图4B是示出了根据本发明的像素矩阵和液晶显示装置的第三示例性实施例的电路框图,且该图是一个像素的等效电路。在下文中,将通过参照这个图来提供说明。相同的参考标号应用于与图1相同的器件,并将省略对其的说明。

[0082] 除了像素内部之外,根据第三示例性实施例的整个液晶显示装置的结构与图2所示的结构相同。在这个示例性实施例中,像素40的开关器件42与第一示例性实施例不同。在开关器件42中,用于将信号写入到控制电容器 Ca 的晶体管 Tr3 连接到与布线 ST 不同的布线 STA。在这里应当注意的是,如在布线 ST 的情况一样,布线 STA 的电压是几乎等于反电极 12 的电势的电压。即,例如,通过缓冲电路连接,形成为布线 ST 和布线 STA 彼此不受电影响。虽然在此描述了用 n 型晶体管来构造像素晶体管的情况,但是也可以使用 p 型晶体管。

[0083] 根据第三示例性实施例的液晶显示装置的操作与图2所示的液晶显示装置的操作相同。采用第三示例性实施例的液晶显示装置,在像素电容器 Cpix 和保持电容器 Cst 的保持时间段内的电压的波动能够被抑制成很小。因此,可以大大减少闪烁和串扰。另外,可以以低工艺成本的方法来实现该示例性实施例的结构。此外,在抑制数值孔径的劣化的同时,可以实现示例性实施例的结构。其原因与第一示例性实施例所描述的原因相同。此外,采用该示例性实施例的结构,将几乎等于反电极电势的电压写入到控制电容器 Ca 的晶体管 Tr3 连接到与布线 ST 不同的布线 STA。因此,连接到所有像素的保持电容器的布线 ST 的电势由于当 Tr3 处于导通状态时流动的电流而不波动,从而可以变成进一步减少闪烁。

[0084] 第四示例性实施例

[0085] 图5和图6是示出了根据本发明的像素矩阵和液晶显示装置的第四示例性实施例的电路框图。图5是用于两个像素的等效电路,图6示出了整个等效电路。下文中,将通过参照这些附图来提供说明。相同的参考标号应用于与图1和图2的组件相同的器件,并将省略对其的说明。

[0086] 在这个示例性实施例的像素矩阵51中,像素60A、60B内的开关器件62A、62B与第一示例性实施例的像素矩阵11的不同。即,像素矩阵51被构造为具有各具有像素电极23

的像素 60A 和 60B, 像素 60A 和 60B 在栅极线 G1 ~ G4 和数据线 D1 ~ D4 之间的交叉点的附近以矩阵的形式布置。像素 60A 和 60B 中的每个包括作为第一开关器件的开关器件 21。开关器件 21 具有作为串联连接的多个晶体管 A 的晶体管 Tr1、Tr2。当被栅极线 G1 ~ G4 中的一条栅极线 Gn 选择时, Tr1 和 Tr2 被设置为同时导通, 以将从数据线 Dm 或数据线 Dm+1 提供的电压施加到像素电极 23, 其中数据线 Dm 或数据线 Dm+1 是数据线 D1 ~ D4 中的一条。另外, 像素矩阵 51 包括作为提供给像素 60A 的晶体管 B 的晶体管 Tr3 和作为提供给像素 60A 和 60B 中的每个的多个电容器的控制电容器 Ca。晶体管 Tr3 的源电极和漏电极连接到像素 60A 的晶体管 Tr1、Tr2 之间的连接点 24 和像素 60B 的晶体管 Tr1、Tr2 之间的连接点 24, 并且晶体管 Tr3 的栅电极连接到与栅极线 Gn 不同的栅极线 Gn+1。控制电容器 Ca 的一端连接到连接点 24, 另一端连接到预定电势的布线 ST。

[0087] 另外, 像素 60A 和像素 60B 中的每个具有反电极 12, 反电极 12 设置在具有像素电极 23 的同一基底上, 或设置在单独的基底上。像素 60A 和像素 60B 中的每个受像素电极 23 和反电极 12 之间的电场控制。在相应的晶体管 Tr1 和 Tr2 之间的连接点 24 通过晶体管 Tr3 连接的两个像素 60A 和像素 60B 中, 反电极 12 具有相同的电势, 并且施加到像素 60A、60B 中的每个的像素电极 23 的信号具有不同于相应的反电极 12 的极性。

[0088] 另外, 像素 60A 和像素 60B 中的每个具有作为公共电极的布线 ST。晶体管 Tr1、Tr2 的栅电极共同连接到栅极线 Gn, 晶体管 Tr1 的源电极连接到晶体管 Tr2 的漏电极, 像素 60A 的晶体管 Tr1 的漏电极连接到数据线 Dm, 像素 60B 的晶体管 Tr1 的漏电极连接到数据线 Dm+1, 并且晶体管 Tr2 的源电极连接到像素电极 23。控制电容器 Ca 连接在布线 ST 与晶体管 Tr1 和 Tr2 的连接点 24 之间, 晶体管 Tr3 的栅电极连接到栅极线 Gn+1, 晶体管 Tr3 的漏电极连接到像素 60A 的连接点 24, 而晶体管 Tr3 的源电极连接到像素 60B 的连接点 24。

[0089] 下文中, 将更详细地描述根据这个示例性实施例的像素矩阵 51 和液晶显示装置 50。

[0090] 图 6 示出了这个示例性实施例的液晶显示装置 50 的结构, 图 5 示出了任意选择的两个相邻像素 60A 和 60B。液晶显示装置 50 被构造成具有: 像素矩阵 51, 其上的像素以矩阵的方式布置在纵向方向和横向方向设置的数据线 (D1 ~ D4) 和栅极线 (G1 ~ G4) 之间的每个交叉点的附近; 用于驱动数据线的数据驱动器电路 15; 以及用于驱动栅极线的栅极驱动器电路 14。每个像素至少包括: 串联布置 (一端连接到数据线, 而另一端连接到像素电容器 Cpix 和保持电容器 Cst) 的两个晶体管 Tr1、Tr2 连接到 Tr2 的像素电容器 Cpix; 保持电容器 Cst; 以及连接到 Tr1 和 Tr2 之间的连接点的控制电容器 Ca。连接到两条相邻数据线并连接到同一栅极线的两个像素中的至少一个具有第三晶体管 Tr3。Tr3 的栅极端连接到与连接有该像素的像素晶体管 Tr1、Tr2 的栅极线不同的栅极线, 而 Tr3 的源极端和漏极端分别连接到两个相邻像素的像素晶体管 Tr1 和 Tr2 的连接点。保持电容器 Cst 的另一端和控制电容器 Ca 的另一端连接到所有像素公用的布线 ST。每个像素电容器 Cpix 是由在 TFT 基底上的像素电极 23、与相对基底的反电极 12 (虽然没有示出) 构造的电容器, 其中, TFT 基底具有形成在表面上的晶体管, 相对基底与 TFT 基底相对, 液晶层 13 设置在 TFT 基底和相对基底之间。另外, 栅极驱动器电路 14 的输出端的数目比有助于像素矩阵 51 的显示的有效像素的像素行的数目至少多 1, 并且其端子连接到沿着像素矩阵 51 的有效像素的边缘部分布置得栅极线 G5。

[0091] 接下来,将以具体的方式通过给定的栅极线来描述栅极线 G_n 和数据线 D_m 。具体来说,在连接到栅极线 G_1 和两条相邻的数据线 D_1 和 D_2 的左侧和右侧彼此相邻的两个像素 60A 和 60B 中,连接到 D_1 的像素 60A 的 Tr_1 和 Tr_2 的栅极端连接到 G_1 。 Tr_3 被提供给像素 60A,并且 Tr_3 的栅极端连接到 G_2 。对于连接到 D_2 的像素 60B 没有提供 Tr_3 ,并且 Tr_1 、 Tr_2 的栅极端连接到 G_1 。连接到 D_1 的像素 60A 的 Tr_3 的源极端连接到与 D_1 连接的像素 60A 的 Tr_1 、 Tr_2 之间的连接点 24,并且其漏端连接到与 D_2 连接的像素 60B 的 Tr_1 、 Tr_2 之间的连接点 24。类似地,在连接到相邻的数据线 D_3 和 D_4 的左侧和右侧彼此相邻的两个像素 60A 和 60B 中, Tr_3 提供给与 D_3 连接的像素 60A。晶体管 Tr_3 的源极端连接到与 D_3 连接的像素 60A 的 Tr_1 和 Tr_2 之间的连接点,并且其漏端连接到与 D_4 连接到的像素 60B 的 Tr_1 和 Tr_2 之间的连接点 24。

[0092] 然而,在连接到相邻数据线 D_2 和 D_3 的左侧和右侧彼此相邻像素中, Tr_1 和 Tr_2 之间的中间点没有通过晶体管连接。即,在左侧和右侧彼此相邻的两个像素之外,每个像素的晶体管 Tr_1 和 Tr_2 之间的连接点通过第三晶体管 Tr_3 连接,其中第三晶体管 Tr_3 提供给成对像素中的其中一个。

[0093] 在图 6 所示的情况下,有连接到有效像素的四条数据线和四条栅极线。然而,这些线的数目不限于这样的数值。另外,可以通过相同的工艺将数据驱动器电路 15 和栅极驱动器电路 14 形成在形成有像素晶体管的基底上,或者数据驱动器电路 15 和栅极驱动器电路 14 中的一个或两个电路可形成在另一个基底上并电连接到晶体管。

[0094] 接下来,将通过参照图 7 所示的时序图来描述操作。该时序图示出了在视频信号被写入到根据示例性实施例的液晶显示装置的多个像素行的时间段内控制信号线、像素电压等的变化。时间段 $TH_1 \sim TH_4$ 中的每个表示用于对一个像素行写入视频信号的一个水平时间段。 $G_1 \sim G_5$ 分别是栅极线 $G_1 \sim G_5$ 的电压波形,而 D_1 、 D_2 分别是数据线 D_1 、 D_2 的电压波形。“ $V_{pix}(1,1)$ ”表示连接到栅极线 G_1 和数据线 D_1 的像素的像素电极电势(像素电容器电势), $V_a(1,1)$ 表示这个像素的控制电容器 C_a 的电压。类似地, $V_{pix}(1,2)$ ”表示连接到栅极线 G_1 和数据线 D_2 的像素的像素电极电势, $V_a(1,2)$ 表示这个像素的控制电容器 C_a 的电压。

[0095] 在时间段 TH_1 中,对于与栅极线 G_1 和数据线 D_1 连接的像素,当栅极线 G_1 的电势变成使 Tr_1 、 Tr_2 导电的电压时,像素晶体管 Tr_1 和 Tr_2 被设置成导通状态。据此,数据线 D_1 的电势 V_{sig1A} 被写入到像素电容器 C_{pix} 和保持电容器 C_{st} 。在此应当注意的是, V_{sig1A} 是对应于被显示在像素上的视频信号的电压。同时据此,相同的电压 V_{sig1A} 也被写入到控制电容器 C_a 。此时, Tr_3 的栅极端连接到栅极线 G_2 ,使得 Tr_3 处于截止状态。同时,对于连接到栅极线 G_1 和数据线 D_2 的像素,数据线 D_2 的电势 V_{sig1B} 被写入到像素电容器 C_{pix} 、保持电容器 C_{st} 和控制电容器 C_a 。然后,当 G_1 的电势变成使像素晶体管 Tr_1 和 Tr_2 不导电的电势时,每个像素的所有晶体管 Tr_1 、 Tr_2 和 Tr_3 成为截止状态。与数据线 D_3 、 D_4 和栅极线 G_1 连接的像素中的每个执行类似的操作,并且用于一个像素行的视频信号被写入到像素电容器 C_{pix} 和保持电容器 C_{st} 。

[0096] 然后,在时间段 TH_2 中,栅极线 G_2 变成使像素晶体管导电的电势,使得与栅极线 G_1 连接的像素的晶体管 Tr_3 中的每个变成导通状态。因此,控制电容器 C_a 的电势变成两个相邻像素的电势的平均电压。具体来说,对于与栅极线 G_1 和数据线 D_1 连接的像素和与

栅极线 G1 和数据线 D2 连接的像素,两个像素的控制电容器 Ca 的电势变成如图 7 所示的 $(V_{sig1A}+V_{sig1B})/2$ 的电压。同时据此,通过如上所述的相同的操作,视频信号被写入到与栅极线 G2 连接的每个像素的像素电容器 Cpix 和保持电容器 Cst。

[0097] 时间段 TH4 是视频信号被写入到与栅极线 G4 连接的每个像素的时间段,其中,该像素是在有效像素中最后被写入的视频信号的像素。用于将视频信号写入到与栅极线 G4 连接的每个像素的像素电容器 Cpix 和保持电容器 Cst 的操作与如上所述的操作相同。在时间段 TH4 的末尾,用于在每个像素显示视频的视频信号被写入到与栅极线 G4 连接的每个像素的像素电容器 Cpix、保持电容器 Cst 和控制电容器 Ca。

[0098] 接着,在时间段 TH5 中,栅极线 G5 变成使像素晶体管导电的电势,使得与栅极线 G4 连接的晶体管 Tr3 中的每个变成导通状态。据此,与栅极线 G4 连接的每个像素的控制电容器 Ca 的电势变成两个相邻像素的电势的平均电压。通过一系列这样的操作,视频信号被写入到有效像素的所有像素电容器 Cpix 和保持电容器 Cst 中的每个。因此,在每个像素处于视频信号保持操作(在每个像素的像素晶体管 Tr1 和 Tr2 处于截止状态的状态下的操作)的时间段内,控制电容器 Ca 变成具有两个相邻像素的平均电压。假设液晶显示装置采用 AC 驱动方法,则每个像素的控制电容器 Ca 的电势变成具有平均接近于反电极的电势的值,在 AC 驱动方法中,在任意的水平时间段内用于反电极的相邻的数据线的电势的极性不同(点反转或数据线反转)。

[0099] 虽然在此之前已经描述的情况中像素晶体管 Tr1、Tr2 和 Tr3 是 n 型晶体管,但是也可以使用 p 型晶体管。在这种情况下,每条栅极线的电势可以简单地变为使 p 型能够导通和不导通的状态。另外,关于 Tr1、Tr2 和 Tr3 的沟道宽度 $W1 \sim W3$ (图 17),Tr3 的沟道宽度 $W3$ 可以被设置成小于 Tr1、Tr2 的沟道宽度 $W1、W2$ 。原因在于,对于 Tr3 具有写入控制电容器 Ca 的特性就是足够的,并且 Ca 的值可以是小于像素电容器 Cpix 和保持电容器 Cst 之和的值。

[0100] 采用根据本发明的液晶显示装置,能够将像素电容器 Cpix 和保持电容器 Cst 的保持时间段内的电压的波动抑制成很小。因此,能够大大减少闪烁和串扰。另外,可以通过以低工艺成本的方法,来实现本发明的结构。此外,采用本发明的结构,数值孔径基本上不被劣化。在下文中将描述其原因。

[0101] 当在用于 AC 驱动液晶的方法中使用点反转或栅极线反转时,在从视频信号被写入到每个像素的像素电容器 Cpix 和保持电容器 Cst 的点到下一视频信号被写入到每个像素的像素电容器 Cpix 和保持电容器 Cst 的点的时间段的几乎一半内,与用于反电极的写入到对应像素的视频信号的极性具有不同极性的视频信号被写入到与该像素连接的数据线。然而,在根据本发明的液晶显示装置中,控制电容器 Ca 被提供给像素 Tr1、Tr2 之间的连接点,并且在 Tr1 和 Tr2 处于保持操作的时间段的大部分中,接近于反电极的电势的电压被写入到控制电容器 Ca 中。因此,连接到像素电容器 Cpix 和保持电容器 Cst 的晶体管 Tr2 的源极-漏极电压 V_{ds} 变成与数据线的电势无关。另外,控制电容器 ca 的电势变成平均接近于反电极的电势,使得 V_{ds} 的大小也能够平均被缩小。因此,能够减少闪烁和串扰。

[0102] 当使用数据线反转驱动时,在液晶显示装置的每个像素中,在一帧的前阶段被写入视频信号的像素中和在后阶段被写入视频信号的像素中,影响是不同的。在前阶段被写入视频信号的像素的情况下,在帧时间段的大部分内,用于反电极的写入到像素的视频信

号的极性与用于反电极的施加到数据线的信号的极性相同。同时,在后阶段被写入到视频信号的像素的情况下,在帧时间段的大部分内,用于反电极的写入到像素的视频信号的极性与用于反电极的施加到数据线的信号的极性不同。因此,在传统的液晶显示装置中,在前阶段被写入视频信号的像素中,像素晶体管的源极-漏极电压小,并且漏电流也变小。同时,在后阶段被写入视频信号的像素中,像素晶体管的源极-漏极电压大,并且漏电流也变大。因此,在后阶段被写入视频信号的像素中,闪烁和串扰变得广泛,使得在液晶显示装置的平面内难以使闪烁均匀。

[0103] 同时,采用本发明的液晶显示装置,每个像素的与像素电容器和保持电容器连接的晶体管 Tr2 的源极-漏极电压 V_{ds} 变成与数据线电势不相关。因此,控制电容器 Ca 的电势变成平均接近于反电极的电势,使得可以平均减小 V_{ds} 的大小。因此,在前阶段被写入视频信号的像素的漏电流和在后阶段被写入视频信号的像素的漏电流之间不存在差别。因此,可以大大减少闪烁和串扰。

[0104] 另外,由于能够用同一类型的晶体管来构造用于像素的所有晶体管。因此,与同时使用 p 型晶体管和 n 型晶体管的情况相比,可以降低工艺成本。另外,除了用于控制三个晶体管 Tr1 ~ Tr3 的栅极线和数据线之外,在每个像素中,不需要提供任何其它的控制线。因此,可以数值孔径的劣化被抑制到最小。

[0105] 第五示例性实施例

[0106] 图 8 是示出了根据本发明的像素矩阵和液晶显示装置的第五示例性实施例的电路框图,该图示出了整个等效电路。下文中,将通过参照这个图来提供说明。相同的参考标号应用于与图 5 和图 6 的组件相同的器件,并将省略对其的说明。

[0107] 根据像素 60A 和像素 60B 的布局,这个示例性实施例的像素矩阵 71 和液晶显示装置 70 与图 5 和图 6 的像素矩阵 51 和液晶显示装置 50 不同。即,在两个相邻像素 60A 和 60B 中通过晶体管 Tr3 连接的控制电容器 Ca 成对的方式不同。在图 6 所示的示例性实施例中,在像素中,设置有 Tr3 的像素被以偏置的方式设置到两条相邻数据线中的一条。然而,在第五示例性实施例中,交替地设置具有 Tr3 的像素。除此之外,第五示例性实施例与图 6 所示的示例性实施例相同,其操作方法也相同。另外,也可以采用 p 型晶体管来构造 Tr1、Tr2 和 Tr3。

[0108] 采用根据第五示例性实施例的液晶显示装置,可以得到与图 6 所示的液晶显示装置的效果相同的效果。另外,设置有 Tr3 的像素处于伸缩形式 (telescopic form),这意味着通过设置 Tr3 其数值孔径变劣化的像素也处于伸缩形式。因此,能够实现这样的效果,即,可以使由于数值孔径的差异导致的亮度差异平衡。

[0109] 第六示例性实施例

[0110] 图 9A 是示出了根据本发明的像素矩阵和液晶显示装置的第六示例性实施例的电路框图,这个图是两个像素的等效电路。下文中,将通过参照这个图来提供说明。相同的参考标号应用于与图 5 的组件相同的器件,并将省略对其的说明。

[0111] 在根据这个示例性实施例的像素 80A 和 80B 中,开关器件 82A、82B 与图 5 所示的像素 60A、60B 的开关器件不同。即,第六实施例的不同是在于 Tr3 被提供给所有的像素 80A 和 80B。在图 5 所示的情况下,两个相邻像素 60A、60B 的控制电容器 Ca 通过单个 Tr3 连接,然而,在第六示例性实施例中,控制电容器 Ca 通过分别提供给像素 80A 和 80B 的两个晶体

管连接。除此之外,第六示例性实施例与图 6 所示的示例性实施例相同,且其操作方法也相同。而且,也可以采用 p 型晶体管来构造像素晶体管 Tr1、Tr2 和 Tr3。

[0112] 采用根据这个示例性实施例的液晶显示装置,可以实现与图 6 所示的液晶显示装置的效果相同的效果。另外,晶体管 Tr3 被提供给所有的像素,使得所有像素的数值孔径的平均值变小。然而,能够使每个像素的数值孔径一致。

[0113] 第七示例性实施例

[0114] 图 9B 是示出了根据本发明的像素矩阵和液晶显示装置的第七示例性实施例的电路框图,这个图是两个像素的等效电路。下文中,将通过参照这个图来提供说明。相同的参考标号应用于与图 5 的组件相同的器件,并将省略对其的说明。

[0115] 在根据该示例性实施例的像素 90A 和 90B 中,开关器件 91A、91B 与图 5 所示的像素 60A、60B 的开关器件不同。即,与图 5 所示结构的差别在于,在用于连接数据线和液晶电容器的在左侧合右侧彼此相邻的两个像素 90A、90B 的晶体管中,连接到液晶电容器侧的晶体管具有双栅 (Tr2、Tr4)。在此已经描述了采用 n 型晶体管来构造像素晶体管的情况。然而,也可以采用 p 型晶体管来构造像素晶体管。

[0116] 根据第七示例性实施例的液晶显示装置的操作与图 6 所示的液晶显示装置的操作相同。采用根据第七示例性实施例的液晶显示装置,可以得到与图 6 所示的液晶显示装置的效果相同的效果。而且,由于连接到像素电容器的晶体管被形成为具有 Tr2 和 Tr4 的双栅晶体管,因此每个晶体管的源极-漏极电压被分压,从而变小。因此,能够进一步降低漏电流。

[0117] 第八示例性实施例

[0118] 图 10 至图 15 是用于制造根据第一示例性实施例的像素矩阵和液晶显示装置的方法的示例平面图。将通过参照这些附图来提供说明。

[0119] 在图 10 至图 15 中,通过以主工艺步骤的单元示出像素布局。首先,在诸如玻璃、石英或塑料的透明基底上形成 SiO_2 或 SiN 的绝缘薄膜,在其上形成为 TFT 的半导体层 101,并进行图案化。图 10 示出了直到完成半导体层 101 的图案化的工艺阶段的像素布局。根据对相应工艺被优化的工艺步骤的需要,对半导体层 101 进行诸如退火、杂质掺杂、氢化和活化等工艺处理。

[0120] 在半导体层 101 上,形成栅极金属层 102 并且用,例如,设置在其之间的由 SiO_2 制成的薄的绝缘膜形成图案。图 11 示出了在完成栅极金属层 102 的图案化之后的像素布局。由图中 Tr1 ~ Tr3 所示的双点划线环绕的部分是对应于图 1 和图 2 中所示的像素矩阵 11 和液晶显示装置 10 中的每个像素 20 的晶体管 Tr1 ~ Tr3 的部分。类似地,由 Cst 和 Ca 所示的双点划线环绕的部分是将成为保持电容器 Cst 和控制电容器 Ca 的部分。这些电容器用夹在在栅极金属层 102 和半导体层 101 之间的薄的栅极绝缘膜构造,并且这些部分的半导体层 101 具有预先掺杂的高浓度杂质。作为用于栅极的金属,可以根据工艺的最高温度使用 Wsi、Mo、Cr、Al 等。

[0121] 此后,形成由 SiO_2 等制成的绝缘膜,并且在必要的位置形成电连接数据线金属层 (随后将描述) 和半导体层 101 或栅极金属层 102 的接触孔 103。图 12 示出了这种状态。

[0122] 此后,形成数据线金属层 104 并且图案化。图 13 示出了在完成数据线金属层 104 的图案化之后的像素布局。希望使用诸如 Al 的低电阻金属用于数据线金属层 104。在数据

线金属层 104 上形成 SiO_2 或 SiN 的绝缘薄膜。另外,根据需要,在其上形成无机或有机图案化膜。

[0123] 图 14 示出了在形成用于电连接数据线金属层 104 和像素电极金属层(随后将描述)的接触孔 105 之后的布局。

[0124] 图 15 示出了在完成像素电极金属层 106 的图案化之后的像素布局。透明的电极膜用于像素电极金属层 106。其材料的例子是 ITO。

[0125] 像素电极金属层 106 必须电连接到形成 TFT 的半导体层 101。在图 15 中,示出了通过数据线金属层 104 来连接像素电极金属层 106 和半导体层 101 的情况。然而,可以直接连接像素电极金属层 106 和半导体层 101。

[0126] 作为用于绝缘膜和金属膜的材料提出的例子与本发明的要点无关,因此也可以使用其它材料。通过上述步骤,能够制造第一示例性实施例中描述的 TFT 基底。通过层压 TFT 基底和上面形成有反电极的相对基底并通过在 TFT 基底和相对基底之间的间隙插入液晶能够制造液晶显示装置。这里,不描述基本上与本发明无关的工艺,比如用于使液晶取向的工艺、层压基底的工艺和层压诸如偏振片的光学膜的工艺。对于这些工艺,可以选择适于液晶显示装置使用的工艺。另外,也可以采用相同的方法来构造根据其它示例性实施例的像素矩阵和液晶显示装置。

[0127] 第九示例性实施例

[0128] 图 16 至图 21 是用于制造根据第四示例性实施例的像素矩阵和液晶显示装置的方法的示例。下文中,将通过参照这些附图来提供说明。

[0129] 在图 16 至图 21 中,通过主工艺步骤的单元来示出像素布局。首先,图 16 示出了直到完成半导体层 201 的图案化的工艺阶段的像素布局。

[0130] 图 17 示出了在完成栅极金属层 202 的图案化之后的像素布局。在附图中附图标记 $\text{Tr}1 \sim \text{Tr}3$ 所示的双点划线环绕的部分是对应于图 8 中所示的像素矩阵 71 和液晶显示装置 70 中的每个像素 60A、60B 的像素晶体管 $\text{Tr}1 \sim \text{Tr}3$ 的部分。类似地,附图标记 Cst 和 Ca 所示的双点划线环绕的部分是将成为保持电容器 Cst 和控制电容器 Ca 的部分。

[0131] 图 18 示出了在形成用于电连接数据线金属层(将描述)和半导体层 201 或栅极金属层 202 的接触孔 203 之后的布局。

[0132] 图 19 示出了在完成数据线金属层 204 的图案化之后的像素布局。

[0133] 图 20 示出了在形成用于电连接数据线金属层 204 和像素电极金属层(随后将描述)的接触孔 205 之后的布局。

[0134] 图 21 示出了在完成像素电极金属层 206 的图案化之后的像素布局。

[0135] 通过上述步骤,能够构造具有第四示例性实施例中描述的结构 TFT 基底。通过层压 TFT 基底和上面形成有反电极的相对基底并通过在 TFT 基底和相对基底之间的间隙插入液晶能够构造液晶显示装置。至于用于绝缘薄膜和金属膜的材料,例如,可以使用上述的材料。

[0136] 这里,不描述基本上与本发明无关的工艺,比如用于使液晶取向的工艺、层压基底的工艺和层压诸如偏振片的光学薄膜的工艺。对于这些工艺,可以选择适于液晶显示装置使用的工艺。另外,也可以采用相同的方法构造根据其它示例性实施例的像素矩阵和液晶显示装置。

[0137] 虽然已经参照本发明的示例性实施例示出并描述了本发明,但是本发明不限于这些实施例。本领域的普通技术人员将会理解,在不脱离由权利要求限定的本发明的精神和范围的情况下,在本发明的范围内可以做出形式和细节上的各种变化。

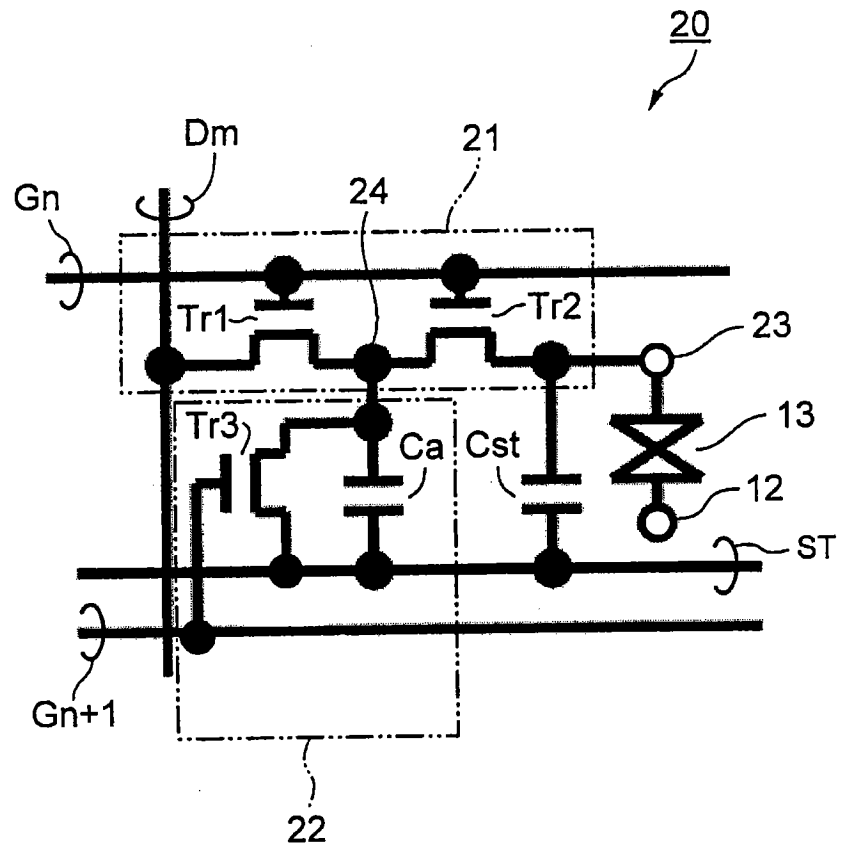


图 1

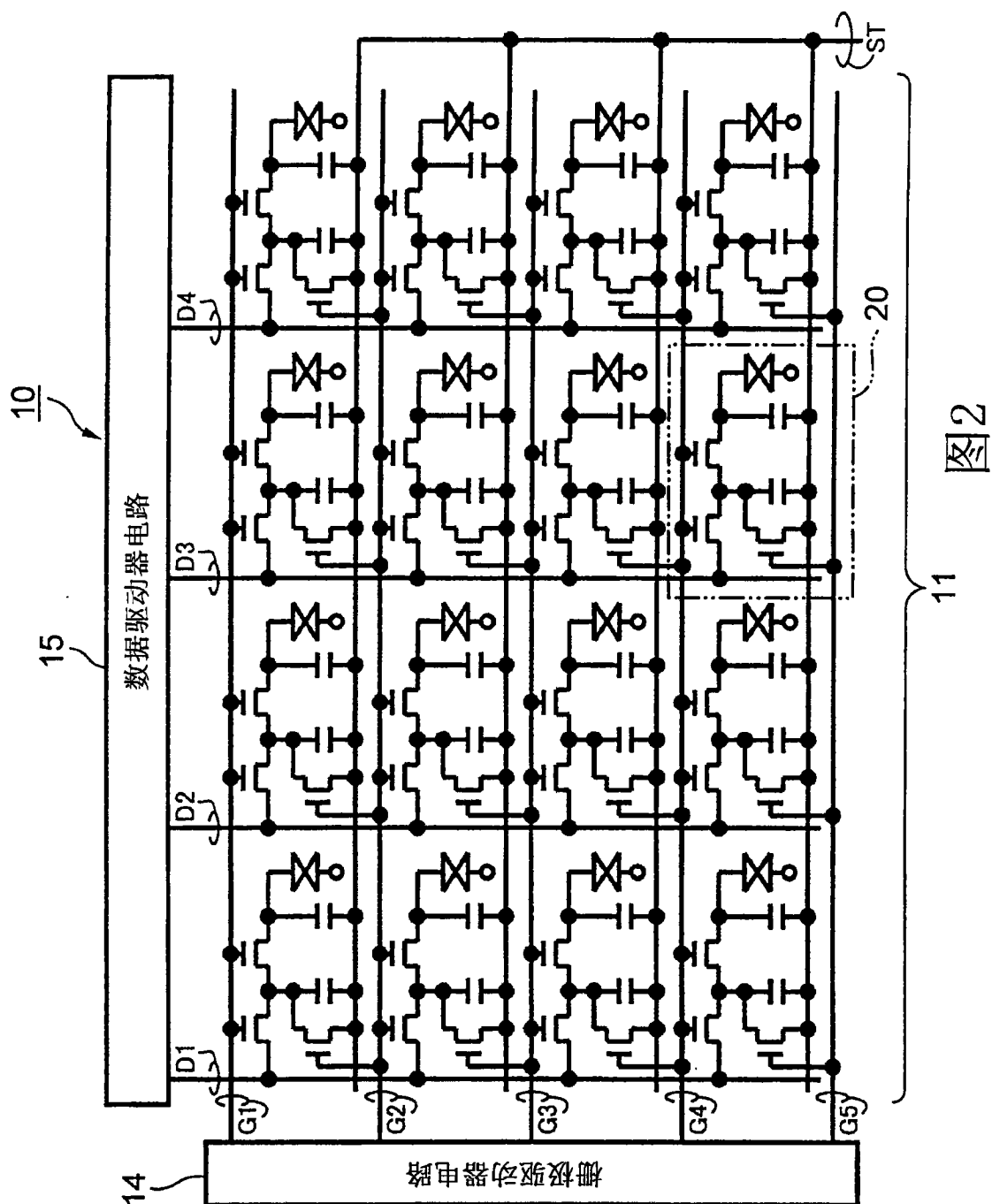


图2

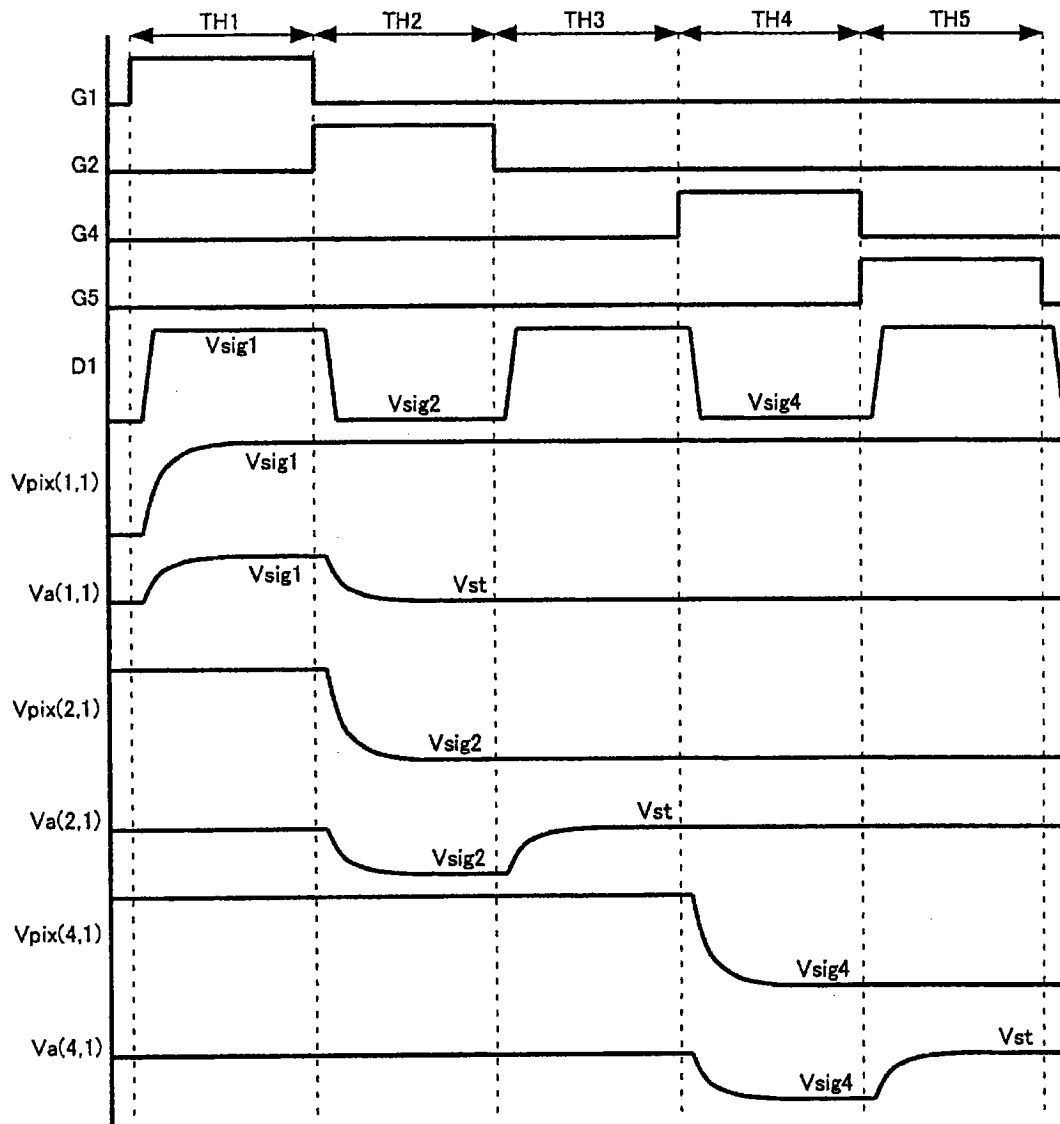


图 3

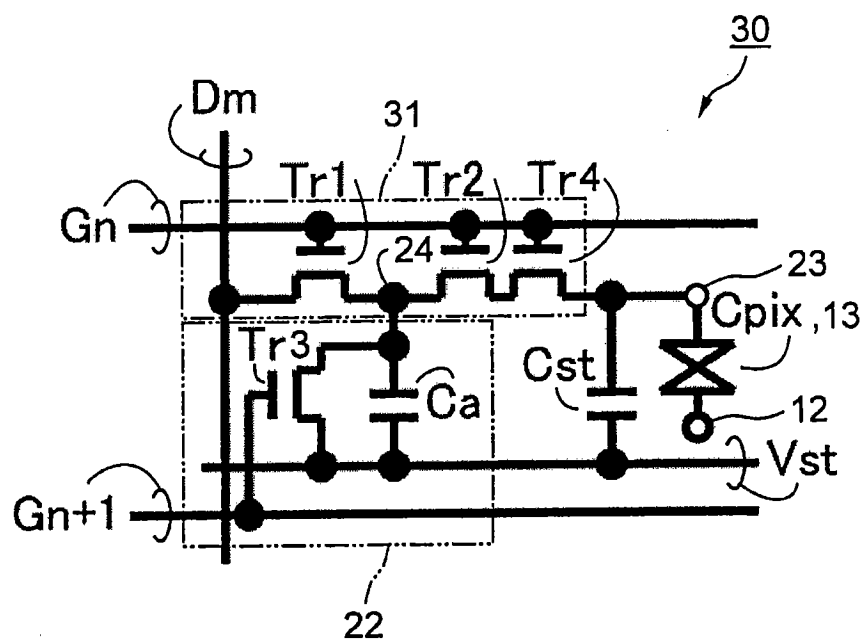


图4A

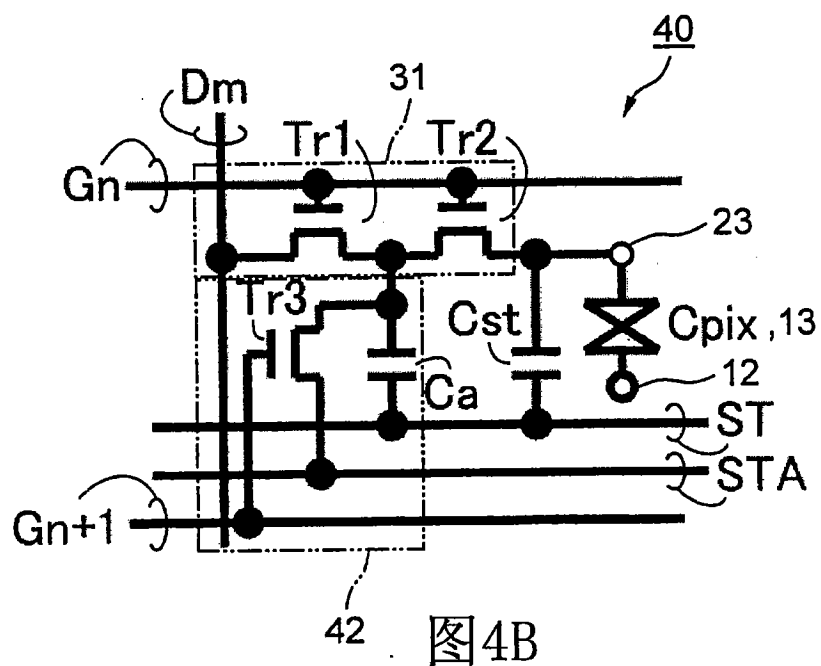


图4B

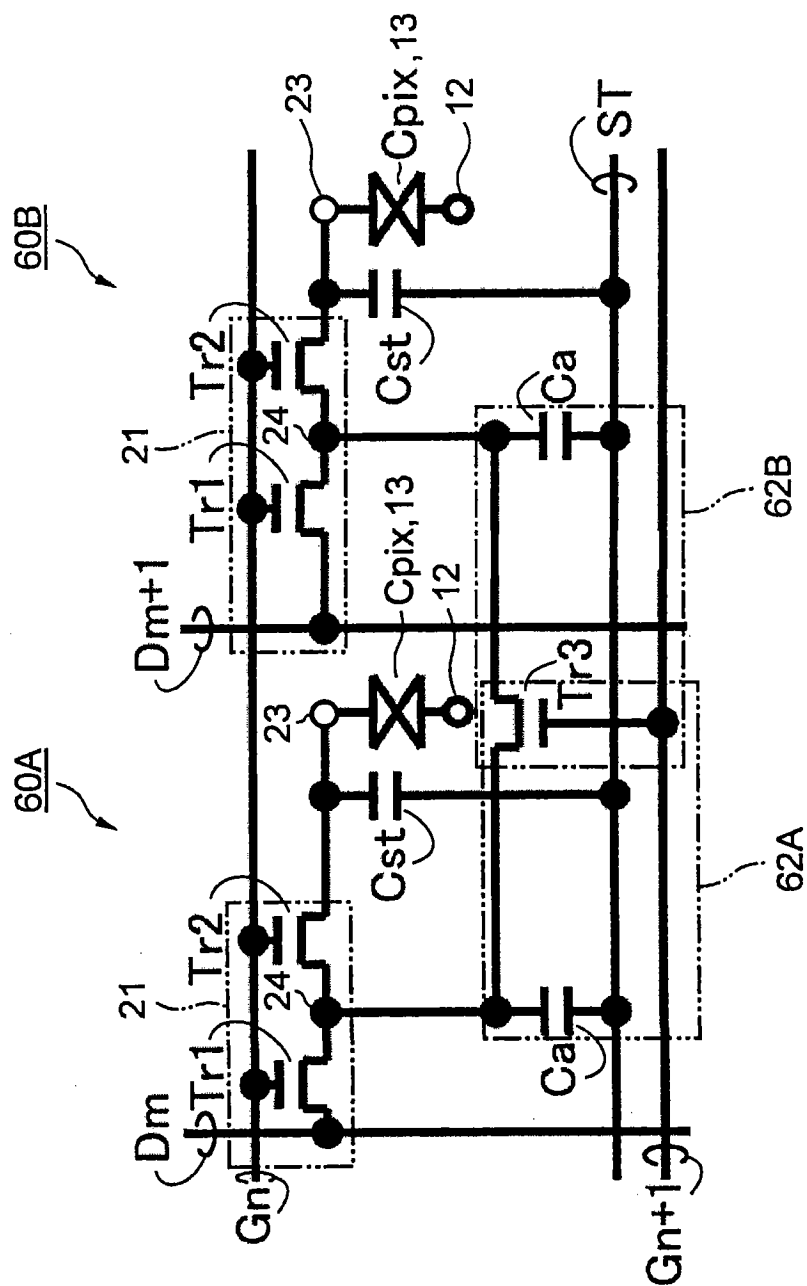
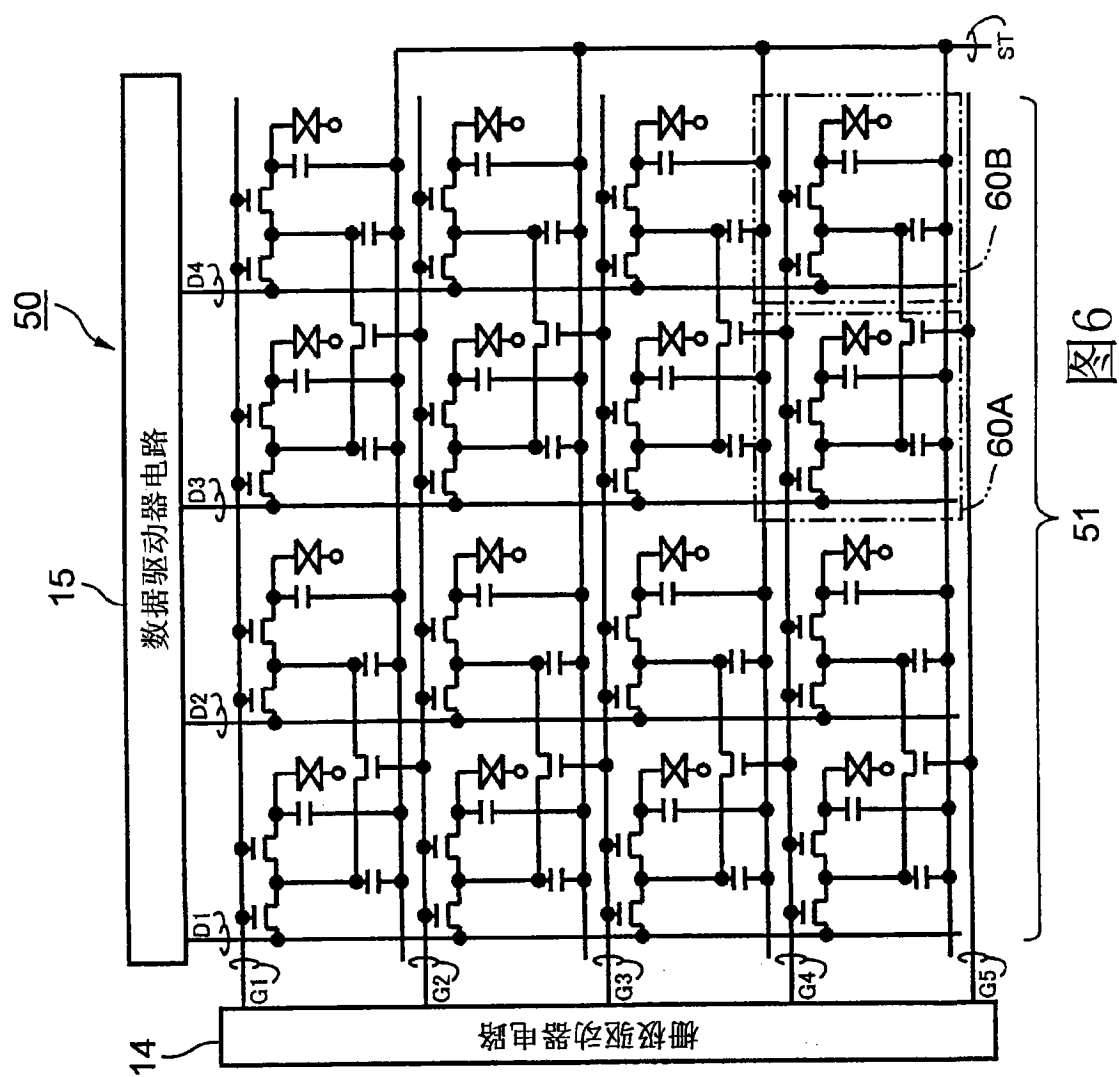


图5



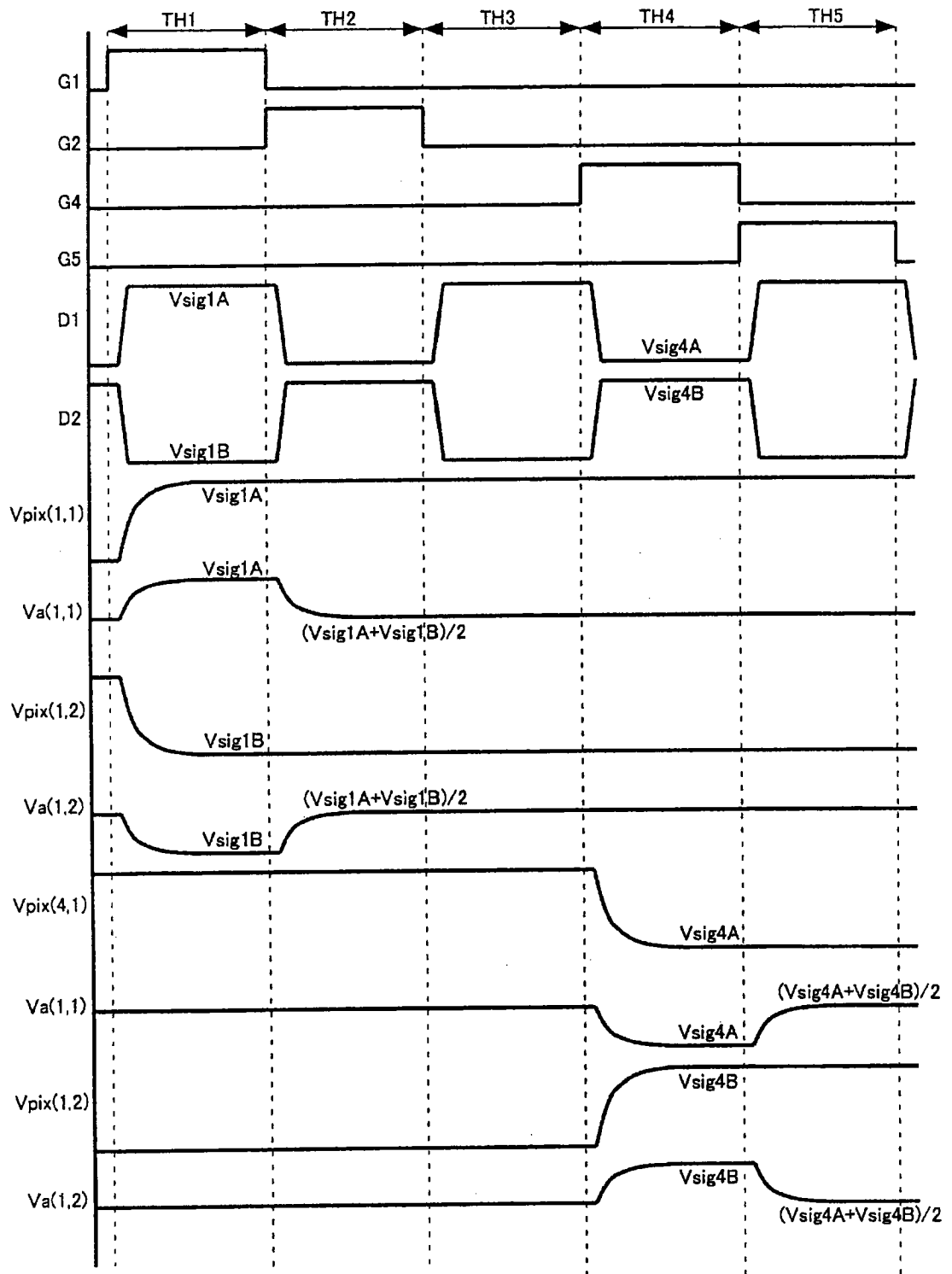
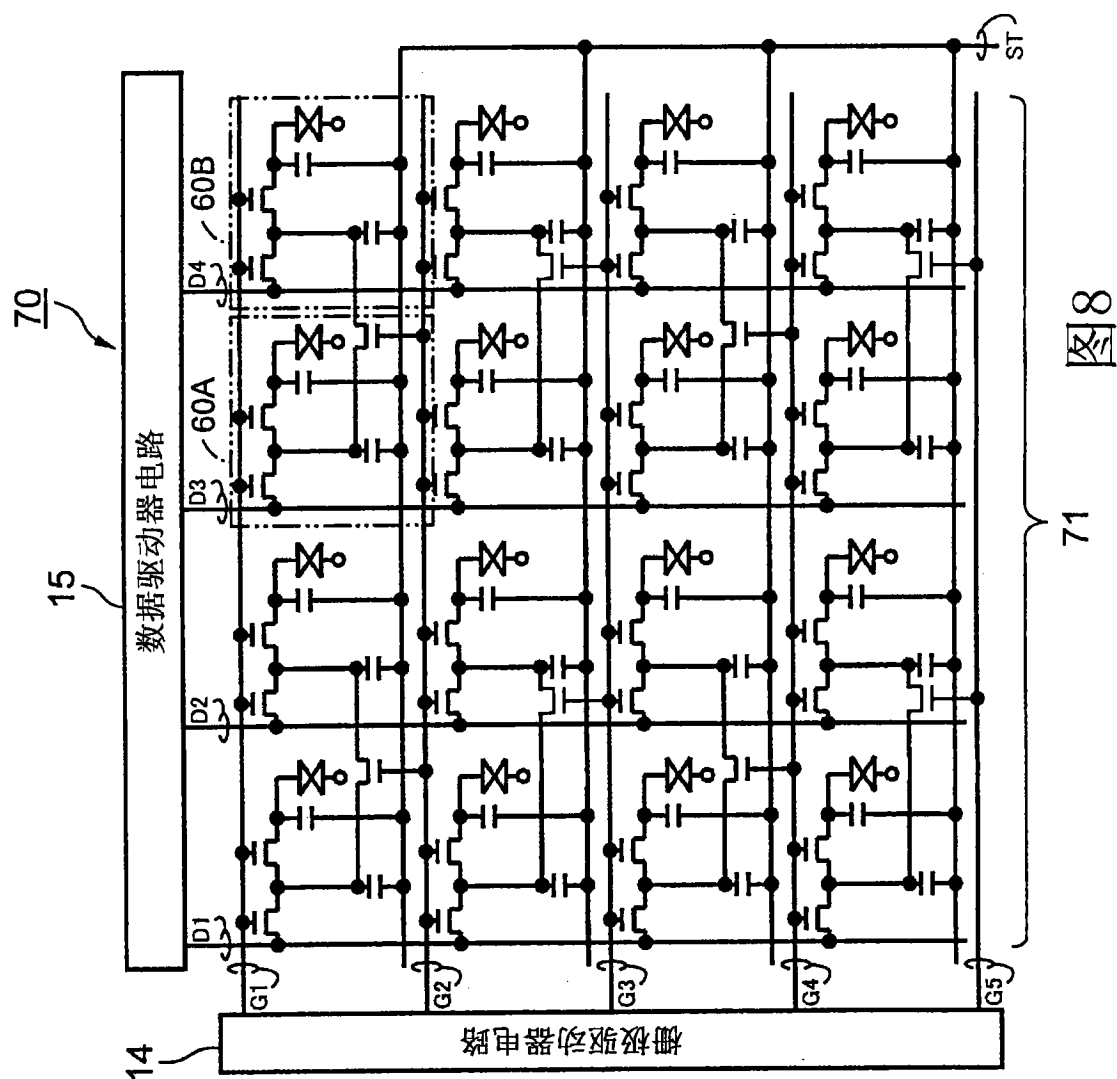


图 7



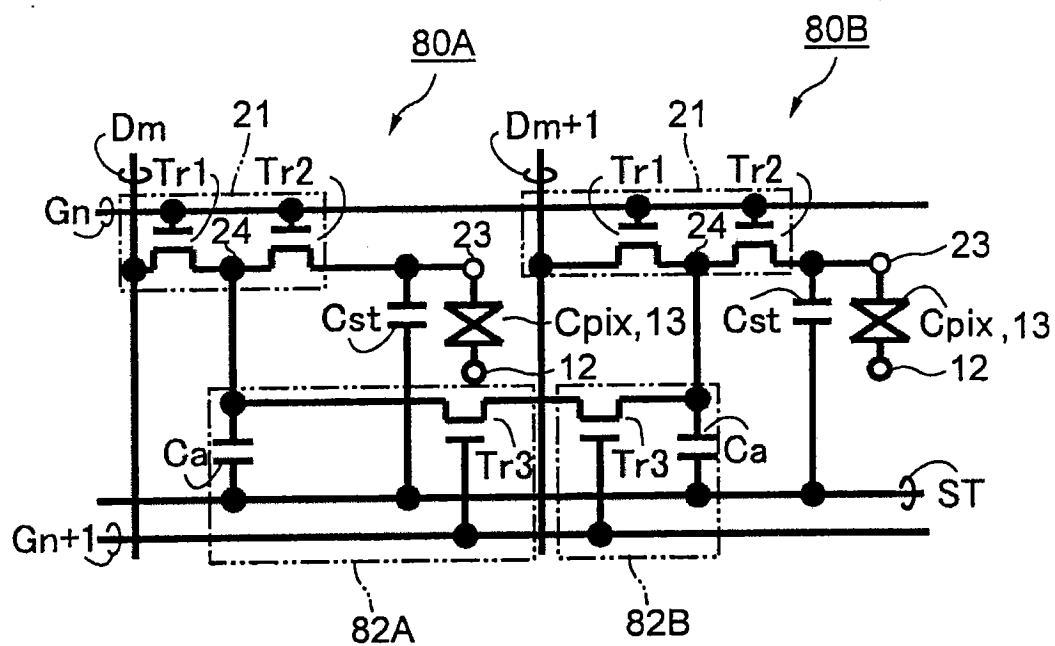


图 9A

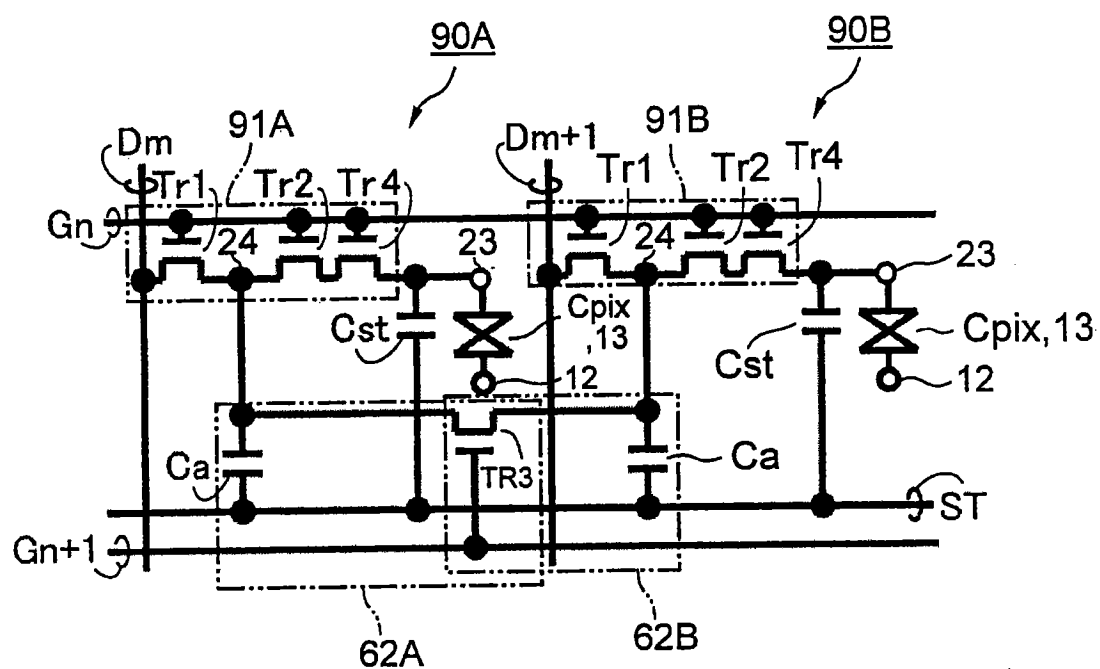


图 9B

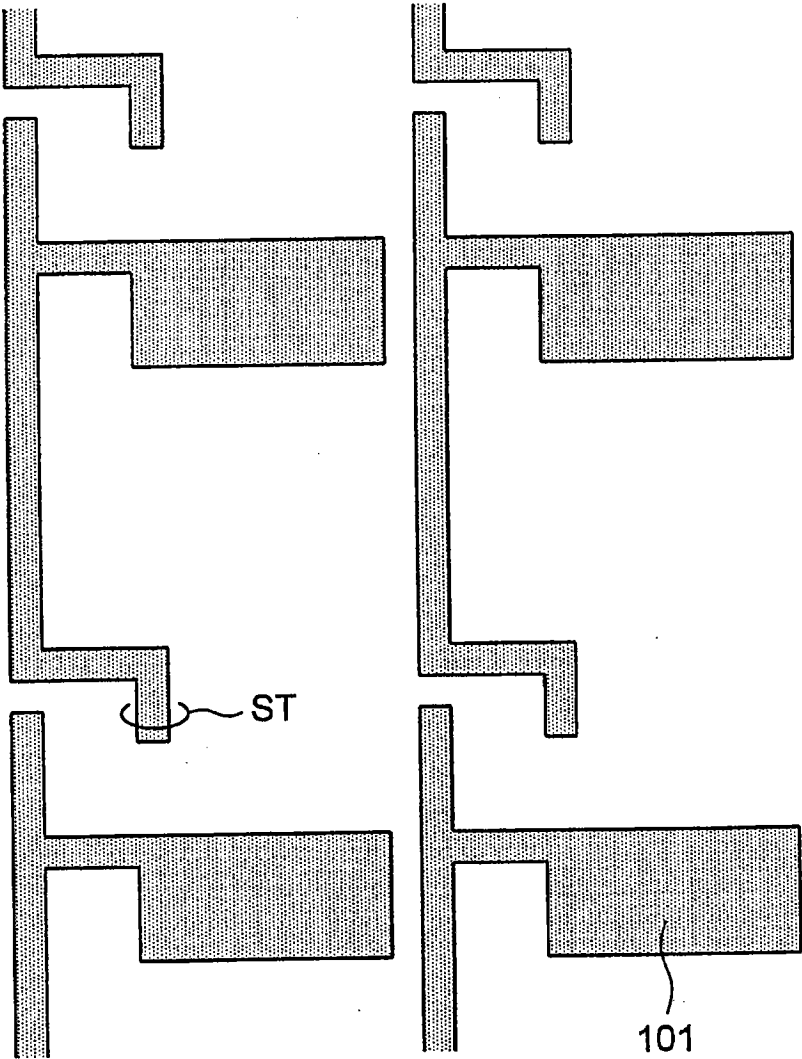


图 10

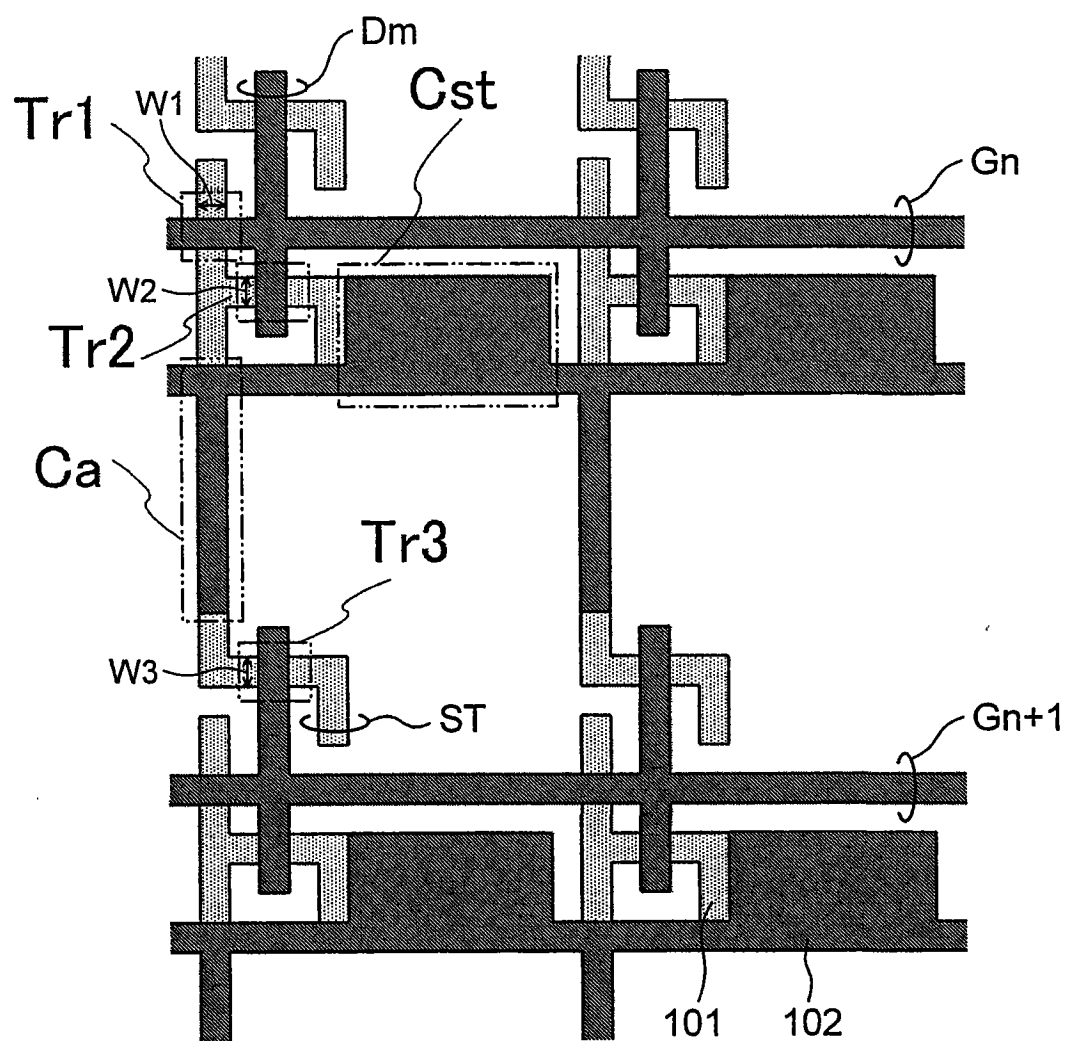


图 11

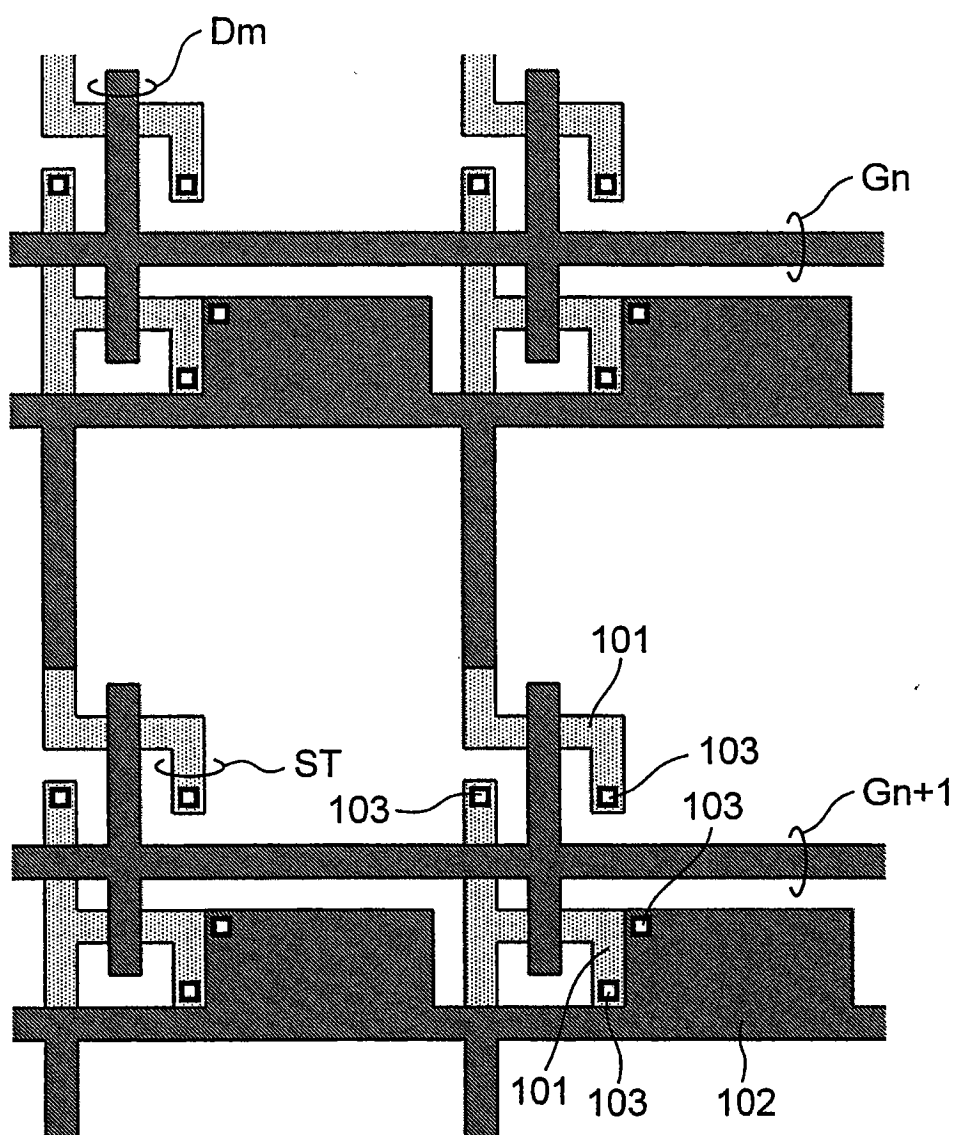


图 12

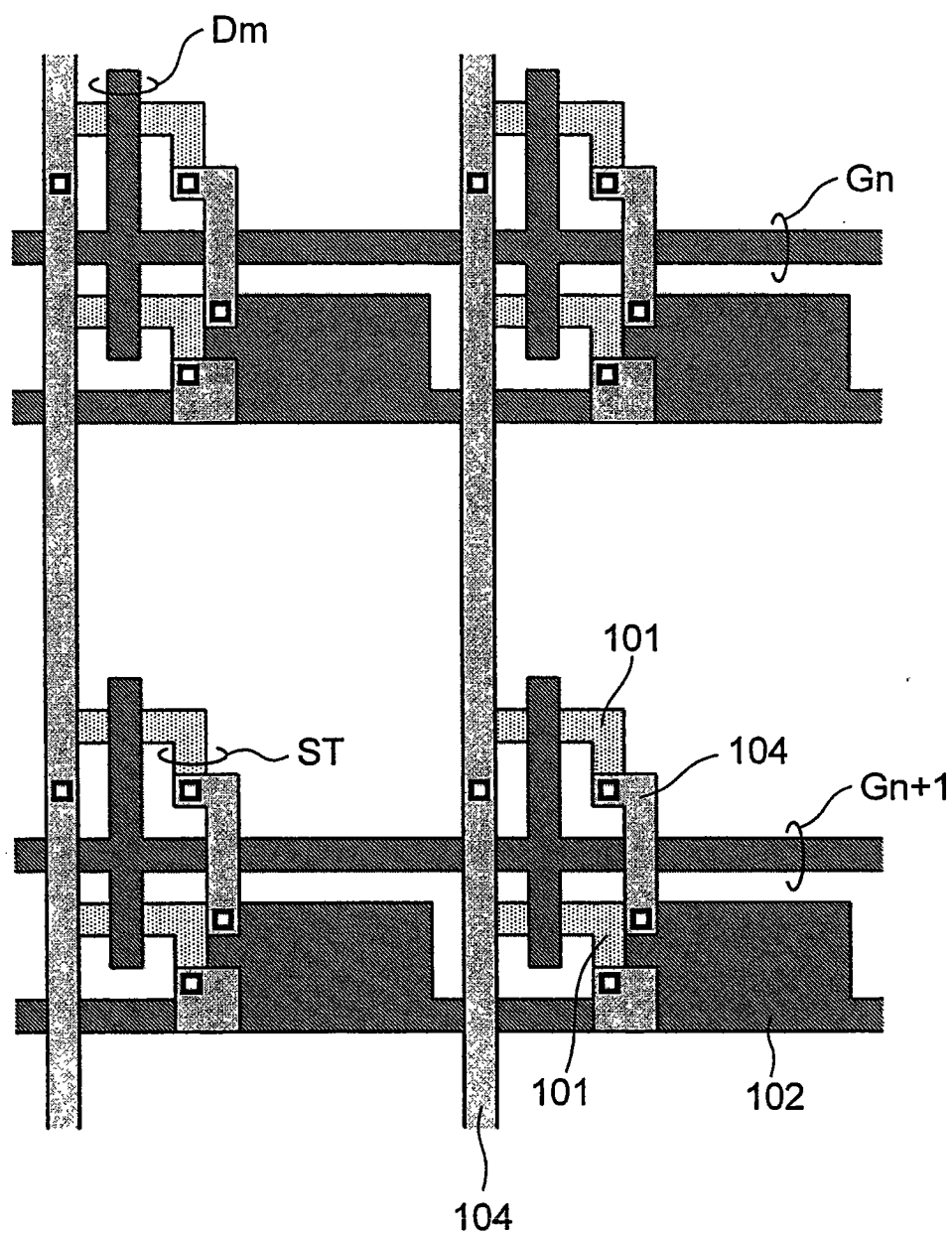


图 13

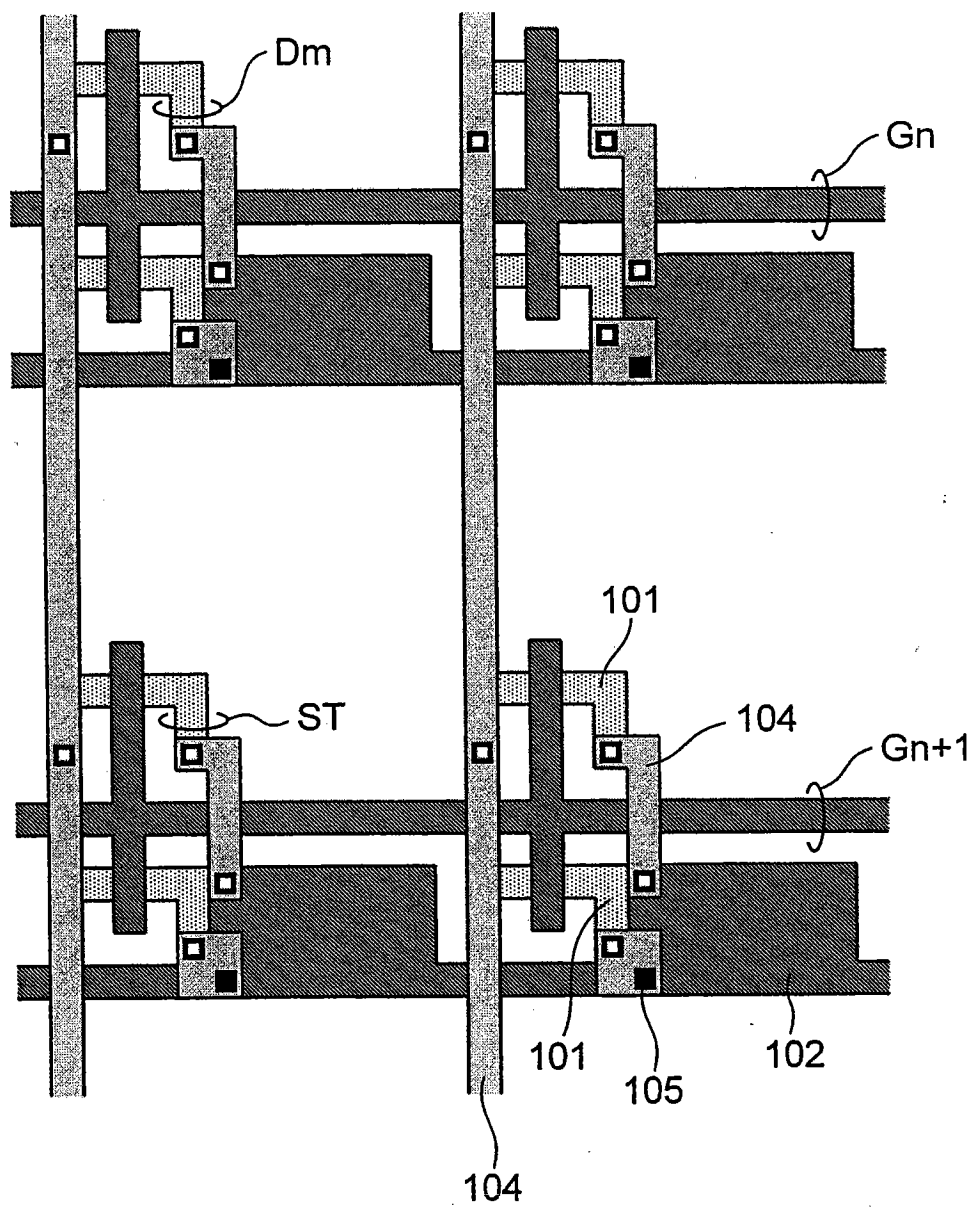


图 14

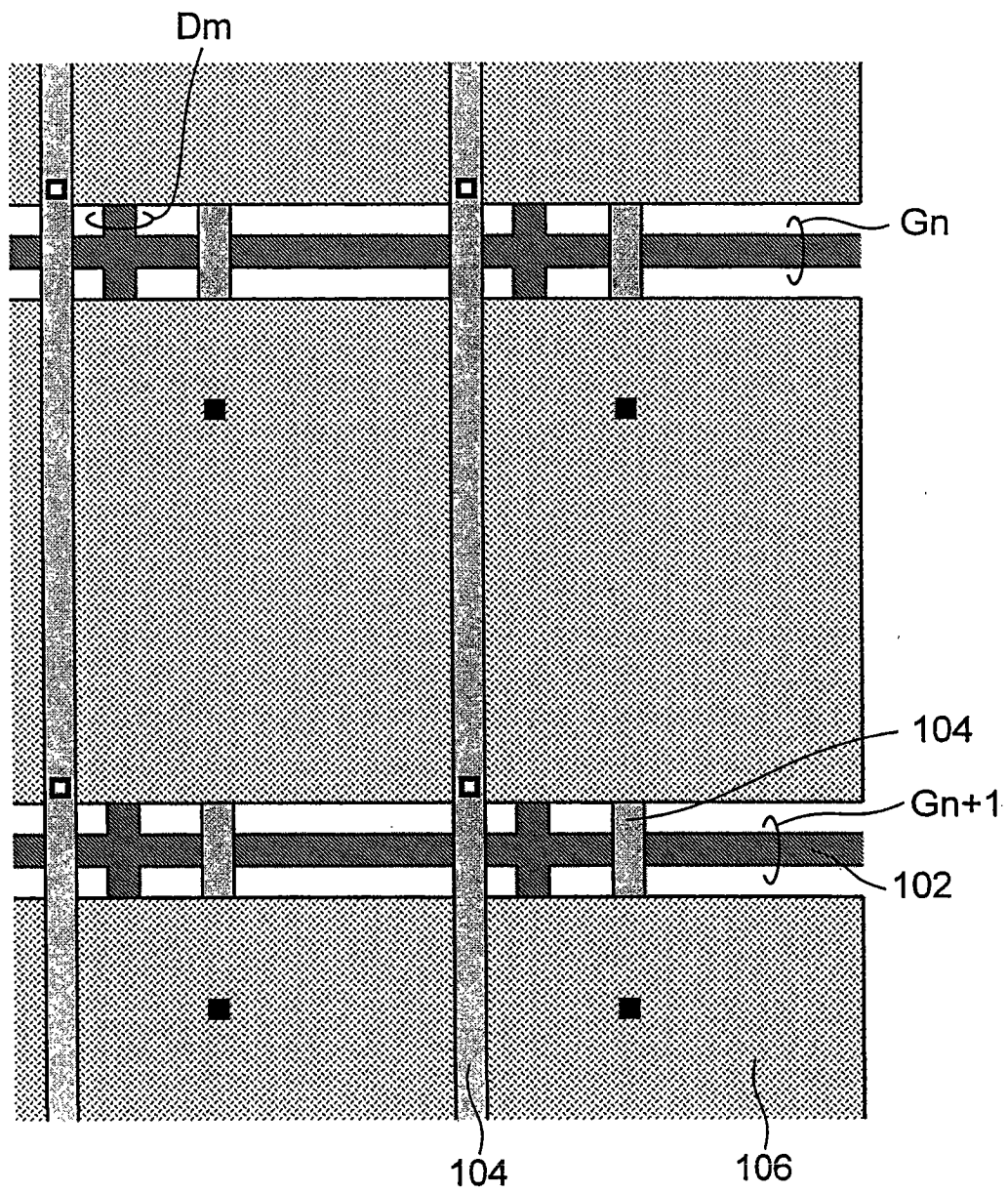


图 15

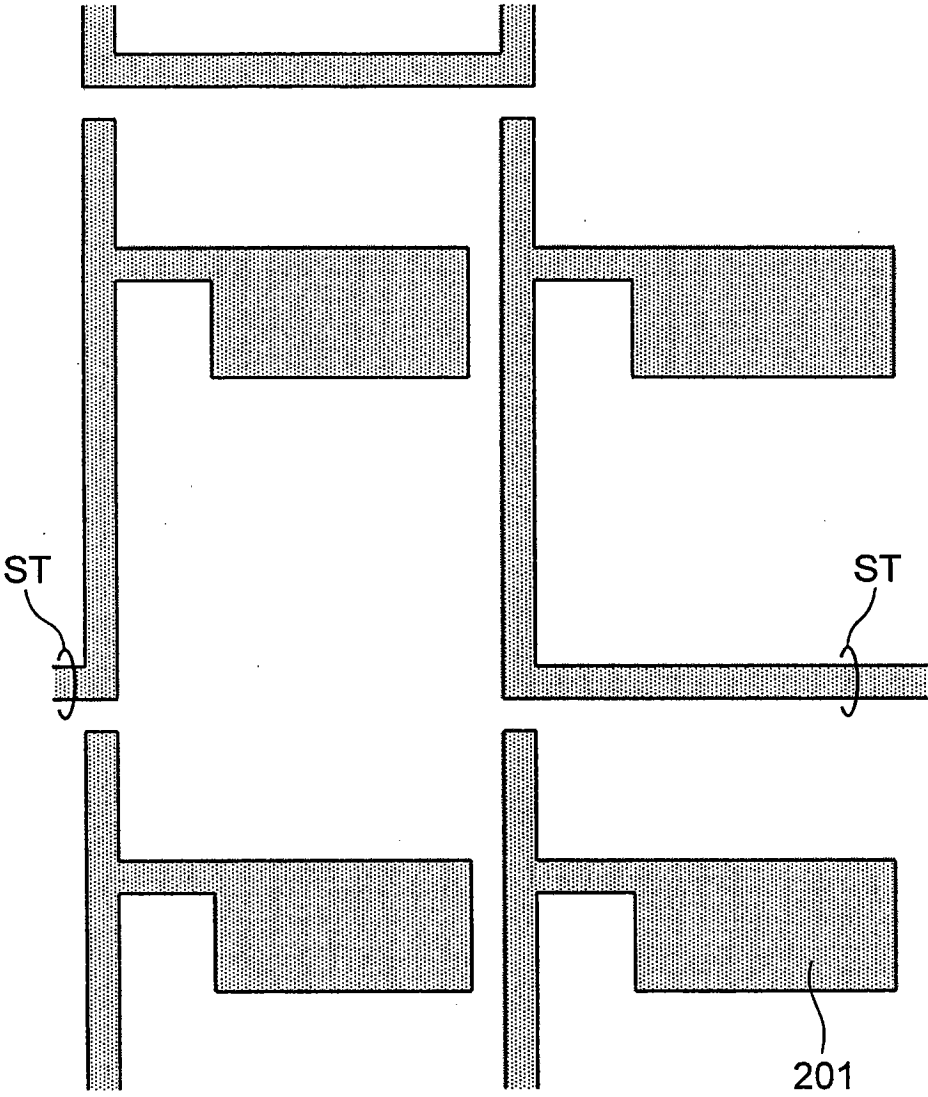


图 16

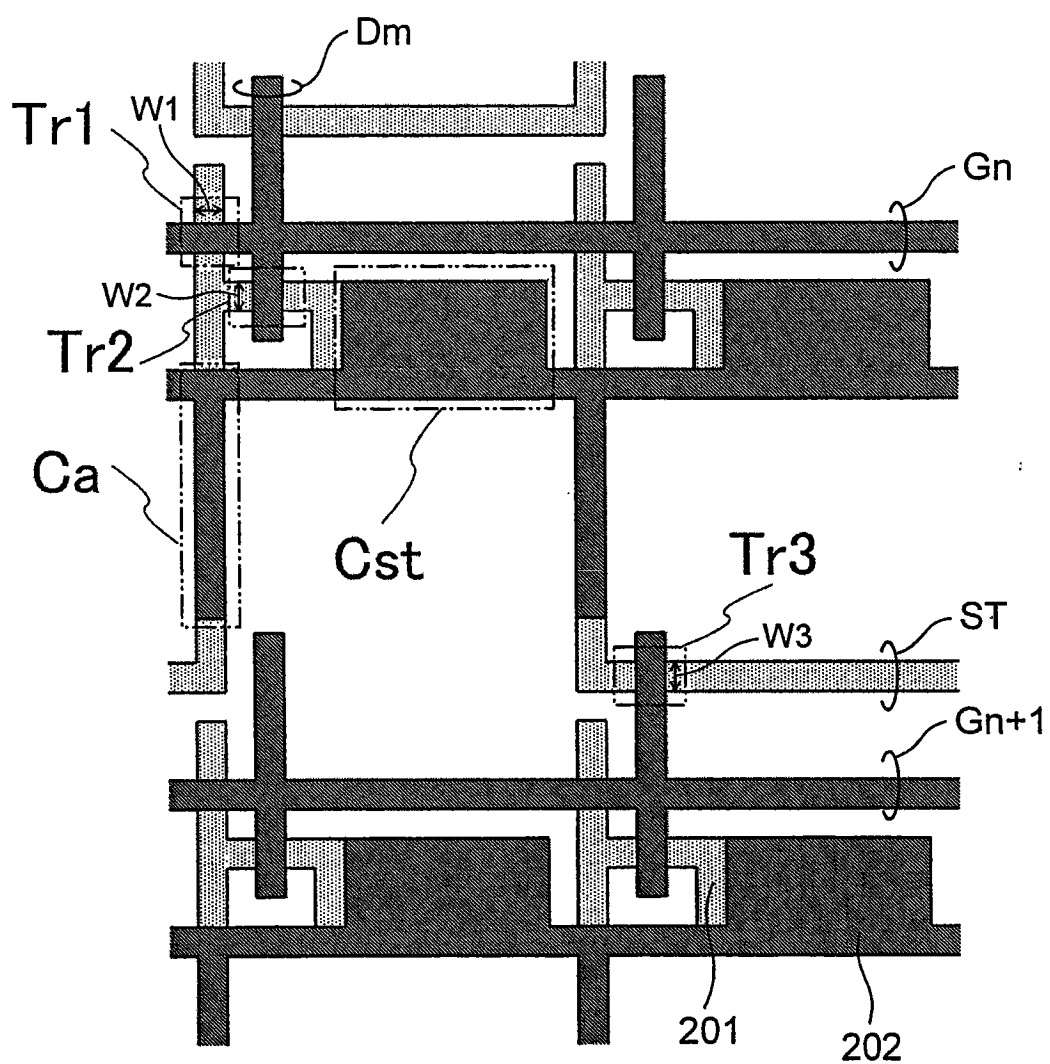


图 17

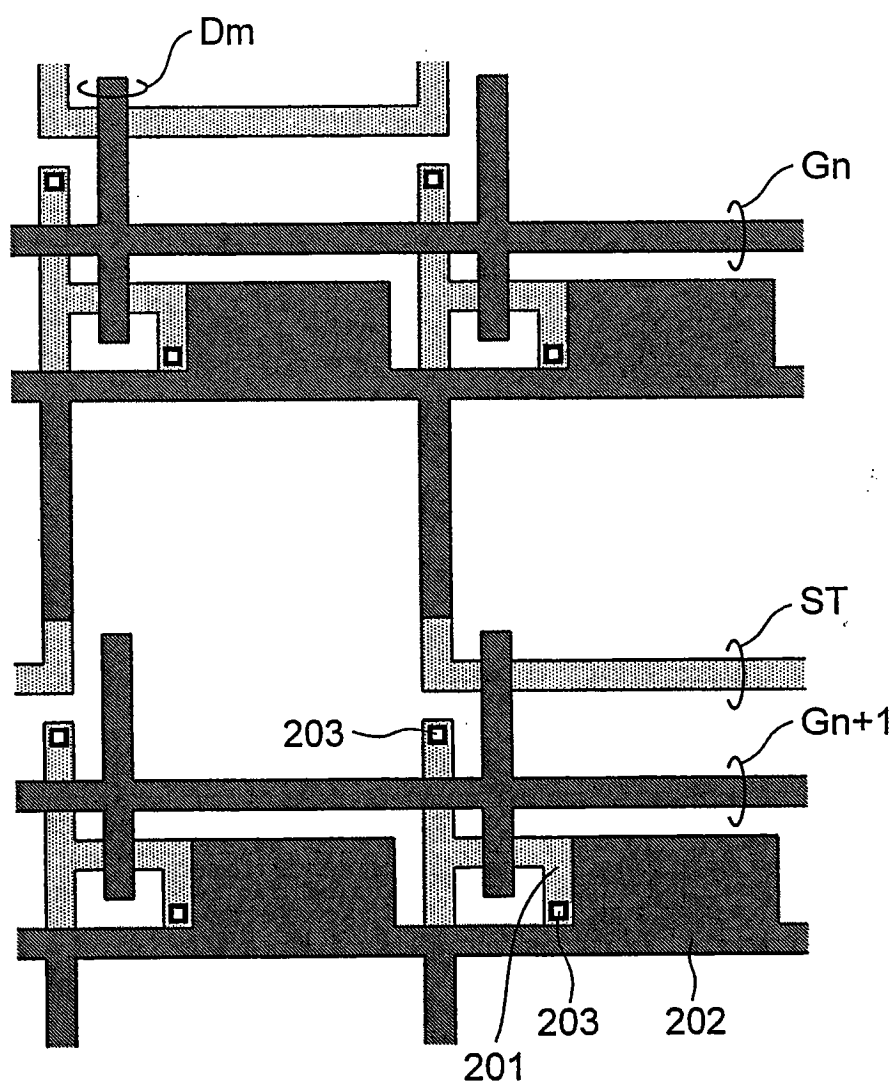


图 18

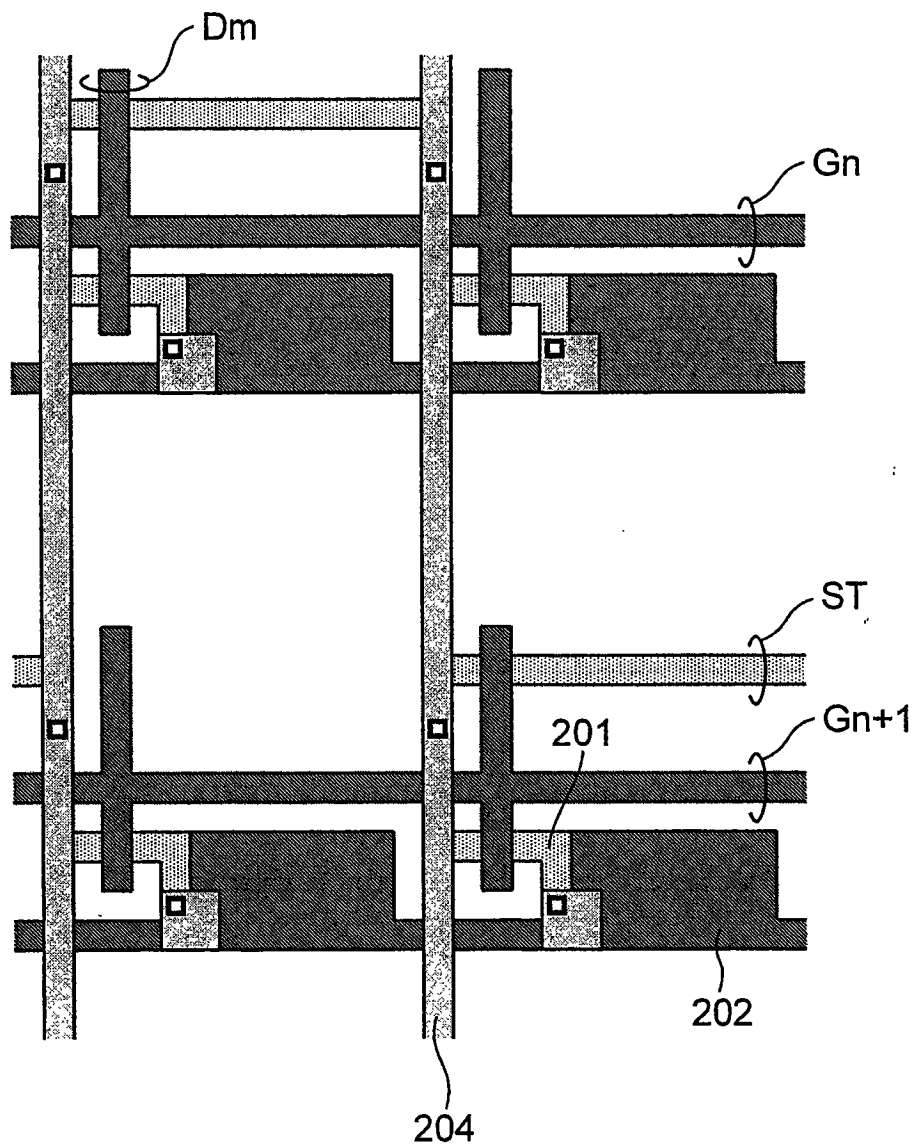


图 19

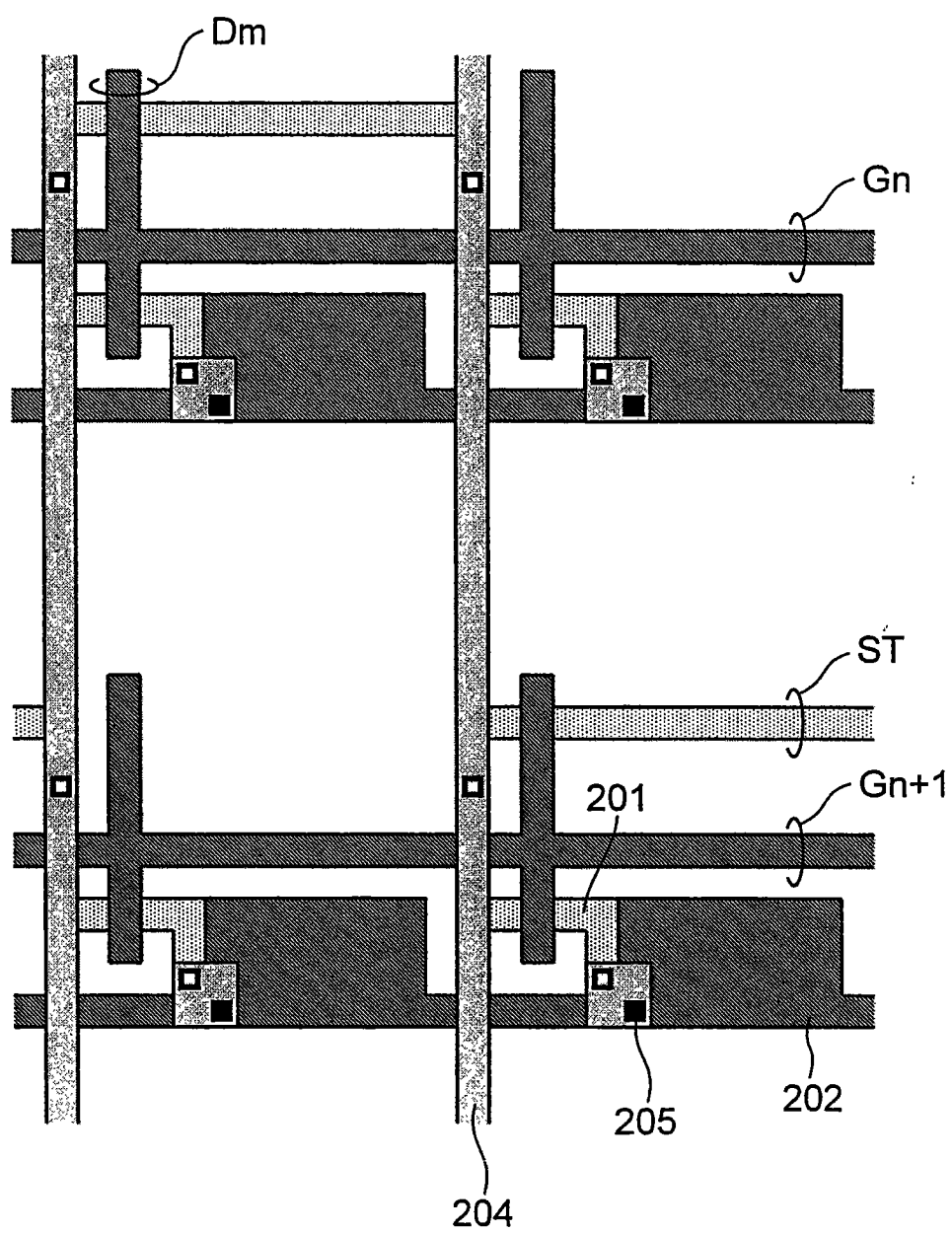


图 20

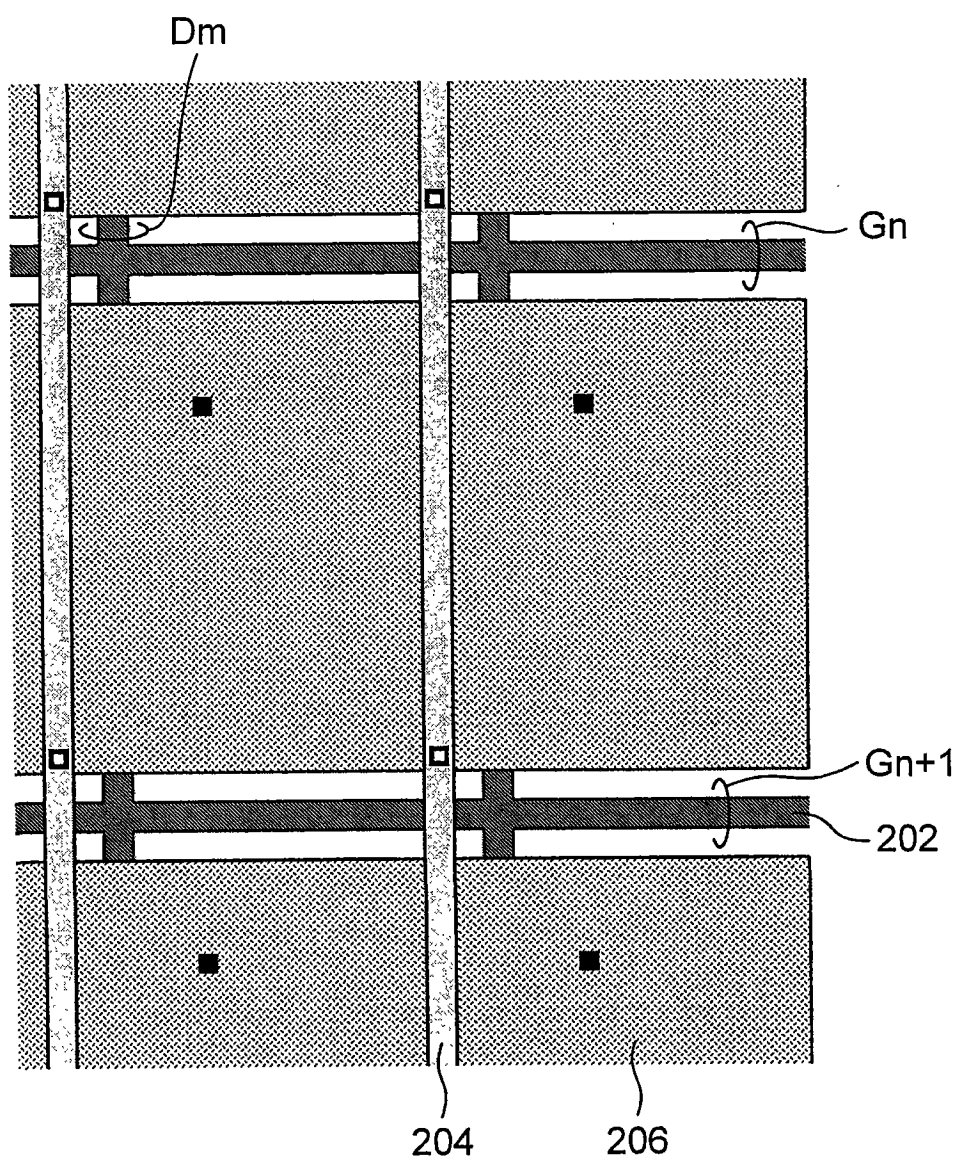


图 21

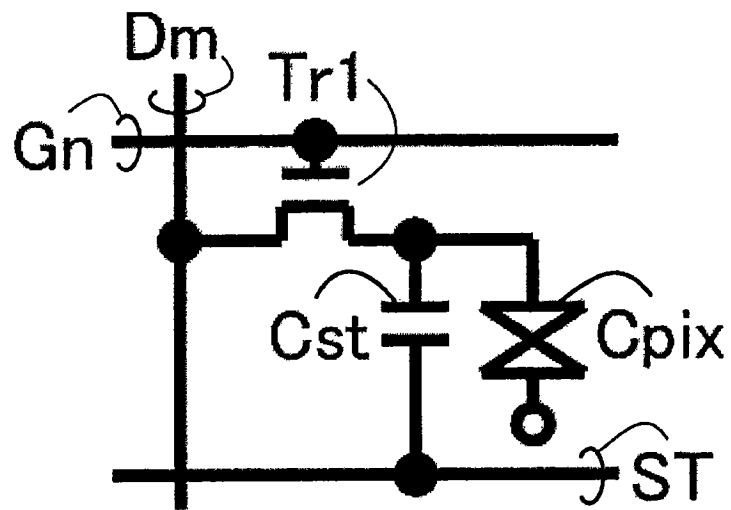


图 22

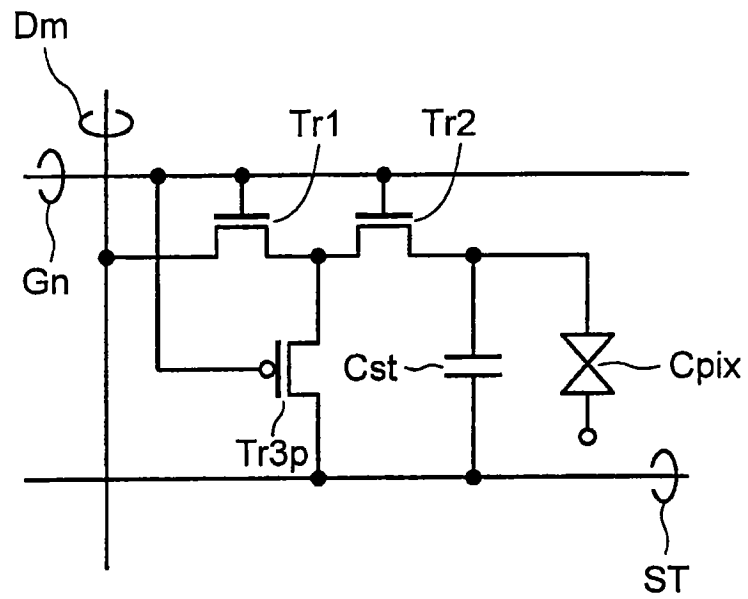


图 23A

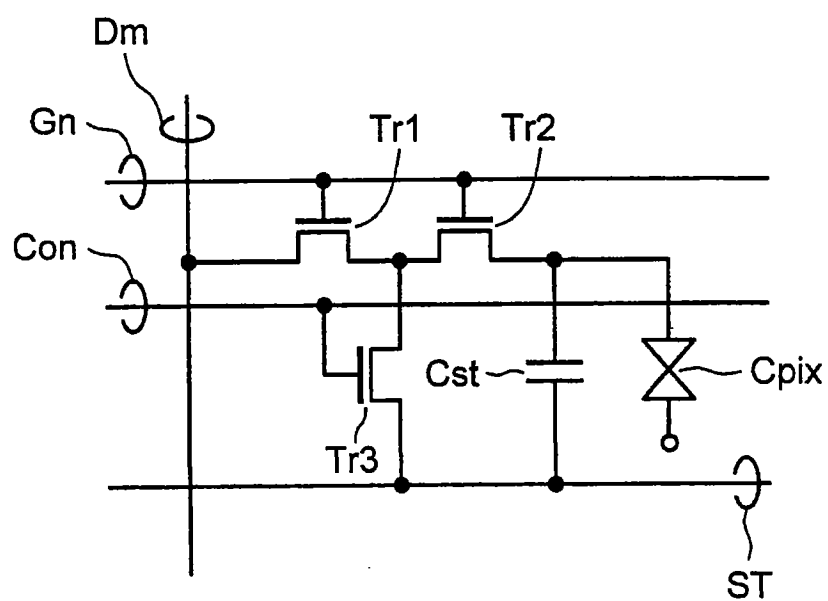


图 23B

专利名称(译)	液晶显示装置		
公开(公告)号	CN101344694B	公开(公告)日	2012-01-25
申请号	CN200810135664.3	申请日	2008-07-09
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC液晶技术株式会社		
当前申请(专利权)人(译)	NLT科技股份有限公司		
[标]发明人	关根裕之		
发明人	关根裕之		
IPC分类号	G02F1/1362 H01L27/12 H01L29/786		
代理人(译)	陆锦华		
审查员(译)	张苗		
优先权	2007179823 2007-07-09 JP 2008156741 2008-06-16 JP		
其他公开文献	CN101344694A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示装置，以提供通过抑制闪烁和串扰的产生能够提高画面品质而不劣化像素的数值孔径并且不提高制造成本的像素矩阵等。第一开关器件具有串联连接的晶体管，当晶体管A在被栅极线选择时，晶体管被同时设置为导通，从而将从数据线供给的电压施加到像素电极。第二开关器件具有晶体管和电容器。当晶体管被与上述栅极线不同的栅极线选择时，晶体管被设置为导通，从而将指定的电势供给第一开关的晶体管之间的连接点，指定的电势被存储在控制电容器中。当没有被这两条栅极线选择时，连接点的电势被保持为存储在控制电容器中的电势。

