



(12) 发明专利

(10) 授权公告号 CN 101281337 B

(45) 授权公告日 2010.06.30

(21) 申请号 200810108554.8

(22) 申请日 2008.05.27

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 刘育荣 郭俊宏

(74) 专利代理机构 隆天国际知识产权代理有限公司
72003

代理人 陈晨

(51) Int. Cl.

G02F 1/1362 (2006.01)

G09G 3/36 (2006.01)

审查员 张帆

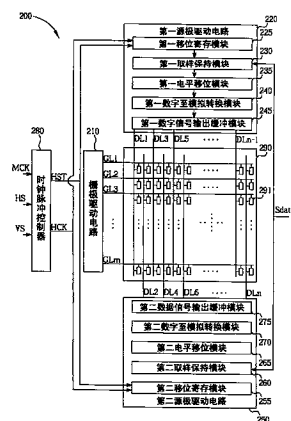
权利要求书 6 页 说明书 10 页 附图 9 页

(54) 发明名称

液晶显示装置及相关驱动方法

(57) 摘要

本发明公开一种具有双源极驱动电路的液晶显示装置及相关驱动方法,其使用数据写入同步控制机制以执行图像数据信号写入操作。此数据写入同步控制机制的操作包含:将所有图像数据信号馈入至第一及第二源极驱动电路;利用第一及第二源极驱动电路分别锁存奇数及偶数图像数据信号;利用第一源极驱动电路执行奇数图像数据信号的信号处理以产生第一组模拟数据信号;利用第二源极驱动电路执行偶数图像数据信号的信号处理以产生第二组模拟数据信号;将第一组模拟数据信号写入至多个第一像素单元;以及将第二组模拟数据信号写入至多个第二像素单元。本发明可节省边框面积,也可节省使用数据处理接口电路以执行数据析出及降频处理所导致的功率消耗。



1. 一种基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置,包含:
 - 一第一组数据线,用以接收一第一组数据信号;
 - 一第二组数据线,用以接收一第二组数据信号;
 - 多条栅极线,每一条栅极线接收相对应的一栅极信号;
 - 一栅极驱动电路,耦合于所述多个栅极线,用以提供所述多个栅极信号;
 - 一第一源极驱动电路,耦合于该第一组数据线,用以接收该第一组数据信号及该第二组数据信号后,将该第一组数据信号传送至该第一组数据线;
 - 一第二源极驱动电路,耦合于该第二组数据线,用以接收该第一组数据信号及该第二组数据信号后,将该第二组数据信号传送至该第二组数据线;以及
 - 多个像素单元,每一个像素单元耦合于一对应数据线及一对应栅极线;其中该第一源极驱动电路包含:
 - 一第一移位寄存模块,用以接收一水平起始信号及一水平时钟脉冲信号,并根据该水平起始信号及该水平时钟脉冲信号产生多个第一控制信号;以及
 - 一第一取样保持模块,耦合于该第一移位寄存模块,用以接收该第一组数据信号及该第二组数据信号,并根据所述多个第一控制信号锁存该第一组数据信号;该第二源极驱动电路包含:
 - 一第二移位寄存模块,用以接收该水平起始信号及该水平时钟脉冲信号,并根据该水平起始信号及该水平时钟脉冲信号产生多个第二控制信号;以及
 - 一第二取样保持模块,耦合于该第二移位寄存模块,用以接收该第一组数据信号及该第二组数据信号,并根据所述多个第二控制信号锁存该第二组数据信号。
2. 如权利要求 1 所述的液晶显示装置,其中:
 - 该第一移位寄存模块包含:多个第一移位寄存器,每一个第一移位寄存器用以产生一一对应第一控制信号;
 - 该第一取样保持模块包含:多个第一锁存器,每一个第一锁存器耦接于具有奇数排序的一对应第一移位寄存器,用以根据一一对应第一控制信号锁存该第一组数据信号的一对应数据信号;
 - 该第二移位寄存模块包含:多个第二移位寄存器,每一个第二移位寄存器用以产生一一对应第二控制信号;
 - 该第二取样保持模块包含:多个第二锁存器,每一个第二锁存器耦接于具有偶数排序的一对应第二移位寄存器,用以根据一一对应第二控制信号锁存该第二组数据信号的一对应数据信号。
3. 如权利要求 2 所述的液晶显示装置,还包含:
 - 一时钟脉冲控制器,耦合于该第一移位寄存模块及该第二移位寄存模块,用以根据一主时钟脉冲信号、一水平同步信号、或一垂直同步信号产生该水平起始信号及该水平时钟脉冲信号。
4. 如权利要求 2 所述的液晶显示装置,其中所述多个第一锁存器的数目实质上为所述多个第一移位寄存器的数目的一半,且所述多个第二锁存器的数目实质上为所述多个第二移位寄存器的数目的一半。
5. 如权利要求 2 所述的液晶显示装置,其中:
 - 该第一源极驱动电路还包含:

一第一电平移位模块,耦合于该第一取样保持模块,用以执行该第一组数据信号的电平移位处理;以及

该第二源极驱动电路还包含:

一第二电平移位模块,耦合于该第二取样保持模块,用以执行该第二组数据信号的电平移位处理。

6. 如权利要求 2 所述的液晶显示装置,其中:

该第一源极驱动电路还包含:

一第一数字至模拟转换模块,耦合于该第一取样保持模块,用来执行该第一组数据信号的数字至模拟转换处理以产生一第一组模拟数据信号;以及

该第二源极驱动电路还包含:

一第二数字至模拟转换模块,耦合于该第二取样保持模块,用来执行该第二组数据信号的数字至模拟转换处理以产生一第二组模拟数据信号。

7. 如权利要求 6 所述的液晶显示装置,其中:

该第一源极驱动电路还包含:

一第一数据信号输出缓冲模块,耦合于该第一数字至模拟转换模块与该第一组数据线之间,用来执行该第一组模拟数据信号的数据缓冲驱动处理;以及

该第二源极驱动电路还包含:

一第二数据信号输出缓冲模块,耦合于该第二数字至模拟转换模块与该第二组数据线之间,用来执行该第二组模拟数据信号的数据缓冲驱动处理。

8. 一种基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置,包含:

一第一组数据线,用以接收一第一组数据信号;

一第二组数据线,用以接收一第二组数据信号;

多条栅极线,每一条栅极线接收相对应的一栅极信号;

一栅极驱动电路,耦合于所述多个栅极线,用以提供所述多个栅极信号;

一时钟脉冲控制器,用以根据一主时钟脉冲信号、一水平同步信号、或一垂直同步信号产生一第一水平起始信号、一第一水平时钟脉冲信号、一第二水平起始信号及一第二水平时钟脉冲信号,该时钟脉冲控制器包含:

一第一输出端,用以输出该第一水平起始信号;

一第二输出端,用以输出该第一水平时钟脉冲信号;

一第三输出端,用以输出该第二水平起始信号;以及

一第四输出端,用以输出该第二水平时钟脉冲信号;

一第一源极驱动电路,耦合于该时钟脉冲控制器的第一输出端及第二输出端以接收该第一水平起始信号及该第一水平时钟脉冲信号,还耦合于该第一组数据线,用以接收该第一组数据信号及该第二组数据信号后,根据该第一水平起始信号及该第一水平时钟脉冲信号将该第一组数据信号传送至该第一组数据线;

一第二源极驱动电路,耦合于该时钟脉冲控制器的第三输出端及第四输出端以接收该第二水平起始信号及该第二水平时钟脉冲信号,还耦合于该第二组数据线,用以接收该第一组数据信号及该第二组数据信号后,根据该第二水平起始信号及该第二水平时钟脉冲信号将该第二组数据信号传送至该第二组数据线;以及

多个像素单元,每一个像素单元耦合于一对应数据线及一对应栅极线。

9. 如权利要求 8 所述的液晶显示装置,其中该时钟脉冲控制器包含:

一第一水平起始信号产生器,耦合于该时钟脉冲控制器的第一输出端,用以产生该第一水平起始信号;

一第一水平时钟脉冲信号产生器,耦合于该时钟脉冲控制器的第二输出端,用以产生该第一水平时钟脉冲信号;

一第二水平起始信号产生器,耦合于该时钟脉冲控制器的第三输出端,用以产生该第二水平起始信号;以及

一第二水平时钟脉冲信号产生器,耦合于该时钟脉冲控制器的第四输出端,用以产生该第二水平时钟脉冲信号;

其中该第一水平起始信号产生器、该第一水平时钟脉冲信号产生器、该第二水平起始信号产生器、及该第二水平时钟脉冲信号产生器可有共用电路部分。

10. 如权利要求 8 所述的液晶显示装置,其中:

该第一源极驱动电路包含:

一第一移位寄存模块,用以根据该第一水平起始信号及该第一水平时钟脉冲信号产生多个第一控制信号,该第一移位寄存模块包含:

多个第一移位寄存器,每一个第一移位寄存器用以产生一对应第一控制信号;以及

一第一取样保持模块,耦合于该第一移位寄存模块,用以接收该第一组数据信号及该第二组数据信号,并根据所述多个第一控制信号,锁存该第一组数据信号,该第一取样保持模块包含:

多个第一锁存器,每一个第一锁存器耦接于一对应第一移位寄存器,用以根据一对应第一控制信号锁存该第一组数据信号的一对应数据信号;以及

该第二源极驱动电路包含:

一第二移位寄存模块,用以根据该第二水平起始信号及该第二水平时钟脉冲信号产生多个第二控制信号,该第二移位寄存模块包含:

多个第二移位寄存器,每一个第二移位寄存器用以产生一对应第二控制信号;以及

一第二取样保持模块,耦合于该第二移位寄存模块,用以接收该第一组数据信号及该第二组数据信号,并根据所述多个第二控制信号,锁存该第二组数据信号,该第二取样保持模块包含:

多个第二锁存器,每一个第二锁存器耦接于一对应第二移位寄存器,用以根据一对应第二控制信号锁存该第二组数据信号的一对应数据信号。

11. 如权利要求 10 所述的液晶显示装置,其中所述多个第一锁存器的数目实质上等于所述多个第一移位寄存器的数目,且所述多个第二锁存器的数目实质上等于所述多个第二移位寄存器的数目。

12. 如权利要求 10 所述的液晶显示装置,其中:

该第一源极驱动电路还包含:

一第一电平移位模块,耦合于该第一取样保持模块,用以执行该第一组数据信号的电平移位处理;以及

该第二源极驱动电路还包含:

一第二电平移位模块,耦合于该第二取样保持模块,用以执行该第二组数据信号的电平移位处理。

13. 如权利要求 10 所述的液晶显示装置,其中:

该第一源极驱动电路还包含:

一第一数字至模拟转换模块,耦合于该第一取样保持模块,用来执行该第一组数据信号的数字至模拟转换处理以产生一第一组模拟数据信号;以及

该第二源极驱动电路还包含:

一第二数字至模拟转换模块,耦合于该第二取样保持模块,用来执行该第二组数据信号的数字至模拟转换处理以产生一第二组模拟数据信号。

14. 如权利要求 13 所述的液晶显示装置,其中:

该第一源极驱动电路还包含:

一第一数据信号输出缓冲模块,耦合于该第一数字至模拟转换模块与该第一组数据线之间,用来执行该第一组模拟数据信号的数据缓冲驱动处理;以及

该第二源极驱动电路还包含:

一第二数据信号输出缓冲模块,耦合于该第二数字至模拟转换模块与该第二组数据线之间,用来执行该第二组模拟数据信号的数据缓冲驱动处理。

15. 一种用以驱动一液晶显示装置的驱动方法,该液晶显示装置包含一第一源极驱动电路及一第二源极驱动电路,该驱动方法包含:

利用该第一源极驱动电路及该第二源极驱动电路接收多个图像数据信号,其中所述多个图像数据信号包含一第一组图像数据信号及一第二组图像数据信号;

经由该第一源极驱动电路传输该第一组图像数据信号至多个第一像素单元;以及

经由该第二源极驱动电路传输该第二组图像数据信号至多个第二像素单元;

其中经由该第一源极驱动电路传输该第一组图像数据信号至所述多个第一像素单元,包含利用该第一源极驱动电路产生多个第一控制信号;该第一源极驱动电路根据所述多个第一控制信号的多个奇数排序第一控制信号,锁存该第一组图像数据信号;该第一源极驱动电路执行该第一组图像数据信号的信号处理以产生多个第一模拟数据信号;以及该第一源极驱动电路输出所述多个第一模拟数据信号至该液晶显示装置的所述多个第一像素单元;

其中经由该第二源极驱动电路传输该第二组图像数据信号至所述多个第二像素单元,包含:利用该第二源极驱动电路产生多个第二控制信号;该第二源极驱动电路根据所述多个第二控制信号的多个偶数排序第二控制信号,锁存该第二组图像数据信号;该第二源极驱动电路执行该第二组图像数据信号的信号处理以产生多个第二模拟数据信号;以及该第二源极驱动电路输出所述多个第二模拟数据信号至该液晶显示装置的所述多个第二像素单元。

16. 如权利要求 15 所述的驱动方法,其中:

利用该第一源极驱动电路产生所述多个第一控制信号,包含利用该第一源极驱动电路根据一水平起始信号及一水平时钟脉冲信号产生所述多个第一控制信号;以及

利用该第二源极驱动电路产生所述多个第二控制信号,包含利用该第二源极驱动电路根据该水平起始信号及该水平时钟脉冲信号产生所述多个第二控制信号。

17. 如权利要求 16 所述的驱动方法, 还包含:

根据一主时钟脉冲信号、一水平同步信号、或一垂直同步信号产生该水平起始信号及该水平时钟脉冲信号。

18. 如权利要求 15 所述的驱动方法, 其中:

该第一源极驱动电路执行该第一组图像数据信号的信号处理以产生所述多个第一模拟数据信号, 包含该第一源极驱动电路执行该第一组图像数据信号的数字至模拟转换处理, 用以产生所述多个第一模拟数据信号; 以及

该第二源极驱动电路执行该第二组图像数据信号的信号处理以产生所述多个第二模拟数据信号, 包含该第二源极驱动电路执行该第二组图像数据信号的数字至模拟转换处理, 用以产生所述多个第二模拟数据信号。

19. 如权利要求 15 所述的驱动方法, 其中:

该第一源极驱动电路执行该第一组图像数据信号的信号处理以产生所述多个第一模拟数据信号, 包含该第一源极驱动电路执行该第一组图像数据信号的电平移位处理及数字至模拟转换处理, 用以产生所述多个第一模拟数据信号; 以及

该第二源极驱动电路执行该第二组图像数据信号的信号处理以产生所述多个第二模拟数据信号, 包含该第二源极驱动电路执行该第二组图像数据信号的电平移位处理及数字至模拟转换处理, 用以产生所述多个第二模拟数据信号。

20. 一种用以驱动一液晶显示装置的驱动方法, 该液晶显示装置包含一第一源极驱动电路及一第二源极驱动电路, 该驱动方法包含:

利用该第一源极驱动电路接收多个图像数据信号, 且利用该第二源极驱动电路接收所述多个图像数据信号;

利用该第一源极驱动电路产生多个第一控制信号, 且利用该第二源极驱动电路产生多个第二控制信号;

该第一源极驱动电路根据所述多个第一控制信号, 以数据覆盖方式锁存所述多个图像数据信号的多个奇数排序图像数据信号;

该第二源极驱动电路根据所述多个第二控制信号, 以数据覆盖方式锁存所述多个图像数据信号的多个偶数排序图像数据信号;

该第一源极驱动电路执行所述多个奇数排序图像数据信号的信号处理以产生多个第一模拟数据信号;

该第二源极驱动电路执行所述多个偶数排序图像数据信号的信号处理以产生多个第二模拟数据信号;

该第一源极驱动电路输出所述多个第一模拟数据信号至该液晶显示装置的多个第一像素单元; 以及

该第二源极驱动电路输出所述多个第二模拟数据信号至该液晶显示装置的多个第二像素单元。

21. 如权利要求 20 所述的驱动方法, 其中利用该第一源极驱动电路产生所述多个第一控制信号, 且利用该第二源极驱动电路产生所述多个第二控制信号, 为利用该第一源极驱动电路根据一第一水平起始信号及一第一水平时钟脉冲信号产生所述多个第一控制信号, 且利用该第二源极驱动电路根据一第二水平起始信号及一第二水平时钟脉冲信号产生所

述多个第二控制信号。

22. 如权利要求 21 所述的驱动方法,还包含:

根据一主时钟脉冲信号、一水平同步信号、或一垂直同步信号产生该第一水平起始信号、该第一水平时钟脉冲信号、该第二水平起始信号、及该第二水平时钟脉冲信号。

23. 如权利要求 20 所述的驱动方法,其中:

该第一源极驱动电路执行所述多个奇数排序图像数据信号的信号处理以产生所述多个第一模拟数据信号,包含该第一源极驱动电路执行所述多个奇数排序图像数据信号的数字至模拟转换处理,用以产生所述多个第一模拟数据信号;以及

该第二源极驱动电路执行所述多个偶数排序图像数据信号的信号处理以产生所述多个第二模拟数据信号,包含该第二源极驱动电路执行所述多个偶数排序图像数据信号的数字至模拟转换处理,用以产生所述多个第二模拟数据信号。

24. 如权利要求 20 所述的驱动方法,其中:

该第一源极驱动电路执行所述多个奇数排序图像数据信号的信号处理以产生所述多个第一模拟数据信号,包含该第一源极驱动电路执行所述多个奇数排序图像数据信号的电平移位处理及数字至模拟转换处理,用以产生所述多个第一模拟数据信号;以及

该第二源极驱动电路执行所述多个偶数排序图像数据信号的信号处理以产生所述多个第二模拟数据信号,包含该第二源极驱动电路执行所述多个偶数排序图像数据信号的电平移位处理及数字至模拟转换处理,用以产生所述多个第二模拟数据信号。

25. 如权利要求 20 所述的驱动方法,其中:

该第一源极驱动电路根据所述多个第一控制信号,以数据覆盖方式锁存所述多个图像数据信号的所述多个奇数排序图像数据信号,包含该第一源极驱动电路根据一对应第一控制信号,于该第一源极驱动电路的一锁存器持续被使能时,先锁存所述多个图像数据信号的具有偶数排序的一第一图像数据信号,再锁存相续于该第一图像数据信号的具有奇数排序的一第二图像数据信号,其中具有奇数排序的该第二图像数据信号覆盖具有偶数排序的该第一图像数据信号;以及

该第二源极驱动电路根据所述多个第二控制信号,以数据覆盖方式锁存所述多个图像数据信号的所述多个偶数排序图像数据信号,包含该第二源极驱动电路根据一对应第二控制信号,于该第二源极驱动电路的一锁存器持续被使能时,先锁存所述多个图像数据信号的具有奇数排序的一第三图像数据信号,再锁存相续于该第三图像数据信号的具有偶数排序的一第四图像数据信号,其中具有偶数排序的该第四图像数据信号覆盖具有奇数排序的第三该图像数据信号。

26. 如权利要求 20 所述的驱动方法,其中:

该第一源极驱动电路根据所述多个第一控制信号,以数据覆盖方式锁存所述多个图像数据信号的所述多个奇数排序图像数据信号,包含该第一源极驱动电路根据相对应的一第一控制信号,于该第一源极驱动电路的一锁存器持续被使能时,先锁存一虚拟数据信号,再锁存所述多个图像数据信号的具有第一排序的一图像数据信号,其中具有第一排序的该图像数据信号覆盖该虚拟数据信号。

液晶显示装置及相关驱动方法

技术领域

[0001] 本发明涉及一种液晶显示装置及相关驱动方法,尤其涉及一种基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置及相关驱动方法。

背景技术

[0002] 液晶显示装置 (Liquid Crystal Display, LCD) 是目前广泛使用的一种平面显示器,其具有外型轻薄、省电以及无辐射污染等特征。液晶显示装置的工作原理利用改变液晶层两端的电压差来改变液晶层内的液晶分子的排列状态,用以改变液晶层的透光性,再配合背光模块所提供的光源以显示图像。

[0003] 一般而言,液晶显示装置利用多条数据线与多条栅极线执行对多个像素单元的信号电压写入操作。对低解析度的液晶显示装置而言,因每一个像素单元的宽度较大,所以可使用单一源极驱动电路提供每一条数据线所要馈入的数据信号。但对高解析度的液晶显示装置而言,因每一个像素单元的宽度较小,所以通常使用两源极驱动电路设置于液晶显示装置的液晶显示面板的两侧,分别用以提供奇数数据线及偶数数据线所要馈入的数据信号。

[0004] 图 1 为公知液晶显示装置的示意图。如图 1 所示,液晶显示装置 100 包含栅极驱动电路 110、第一源极驱动电路 120、第二源极驱动电路 150、液晶显示面板 190、数据处理接口电路 199、多条栅极线 GL1-GLm、及多条数据线 DL1-DLn。栅极驱动电路 110 耦合于多条栅极线 GL1-GLm,用以提供对应栅极信号至每一条栅极线。第一源极驱动电路 120 耦合于多条奇数数据线 DL1、DL3...DLn-1,用以提供对应数据信号至每一条奇数数据线。第二源极驱动电路 150 耦合于多条偶数数据线 DL2、DL4...DLn,用以提供对应数据信号至每一条偶数数据线。数据处理接口电路 199 耦合于第一源极驱动电路 120 及第二源极驱动电路 150。输入至液晶显示装置 100 的图像数据信号 Sdata 先经由数据处理接口电路 199 的数据析出及降频处理,用以产生奇数数据信号 Sdata_odd 及偶数数据信号 Sdata_even,再将奇数数据信号 Sdata_odd 馈入至第一源极驱动电路 120,及将偶数数据信号 Sdata_even 馈入至第二源极驱动电路 150。

[0005] 换句话说,第一源极驱动电路 120 只接收图像数据信号 Sdata 的奇数数据信号 Sdata_odd,第二源极驱动电路 150 只接收图像数据信号 Sdata 的偶数数据信号 Sdata_even。第一源极驱动电路 120 执行奇数数据信号 Sdata_odd 的信号处理,用以产生对应数据信号馈入至多条奇数数据线 DL1、DL3...DLn-1。第二源极驱动电路 150 执行偶数数据信号 Sdata_even 的信号处理,用以产生对应数据信号馈入至多条偶数数据线 DL2、DL4...DLn。因此在公知液晶显示装置中,需要利用数据处理接口电路执行图像数据信号的数据析出及降频处理,才可进行图像显示操作。然而当液晶显示面板的解析度越高,或图像数据信号的灰阶数越多,则数据处理接口电路就需要设计更多的级数以快速执行图像数据信号的数据析出及降频处理,所以液晶显示装置就要耗用相当的边框面积以设置数据处理接口电路,此外,在液晶显示装置的操作中,功率消耗也会显著提高。

发明内容

[0006] 依据本发明的实施例,其公开一种基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置,包含第一组数据线、第二组数据线、多条栅极线、栅极驱动电路、第一源极驱动电路、第二源极驱动电路及多个像素单元。第一组数据线用以接收第一组数据信号。第二组数据线用以接收第二组数据信号。每一条栅极线接收相对应的栅极信号。栅极驱动电路耦合于所述多个栅极线,用以提供所述多个栅极信号。第一源极驱动电路耦合于第一组数据线,用以接收第一组数据信号及第二组数据信号后,将第一组数据信号传送至第一组数据线。第二源极驱动电路耦合于第二组数据线,用以接收第一组数据信号及第二组数据信号后,将第二组数据信号传送至第二组数据线。每一个像素单元耦合于对应数据线及对应栅极线。

[0007] 依据本发明的实施例,其还公开一种基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置,包含第一组数据线、第二组数据线、多条栅极线、栅极驱动电路、时钟脉冲控制器、第一源极驱动电路、第二源极驱动电路及多个像素单元。第一组数据线用以接收第一组数据信号。第二组数据线用以接收第二组数据信号。每一条栅极线接收相对应的栅极信号。栅极驱动电路耦合于所述多个栅极线,用以提供所述多个栅极信号。时钟脉冲控制器用以根据主时钟脉冲信号、水平同步信号、或垂直同步信号产生第一水平起始信号、第一水平时钟脉冲信号、第二水平起始信号及第二水平时钟脉冲信号,时钟脉冲控制器包含第一输出端、第二输出端、第三输出端及第四输出端,其中第一输出端用以输出第一水平起始信号,第二输出端用以输出第一水平时钟脉冲信号,第三输出端用以输出第二水平起始信号,第四输出端用以输出第二水平时钟脉冲信号。第一源极驱动电路耦合于时钟脉冲控制器以接收第一水平起始信号及第一水平时钟脉冲信号,还耦合于第一组数据线,用以接收第一组数据信号及第二组数据信号后,根据第一水平起始信号及第一水平时钟脉冲信号将第一组数据信号传送至第一组数据线。第二源极驱动电路耦合于时钟脉冲控制器以接收第二水平起始信号及第二水平时钟脉冲信号,还耦合于第二组数据线,用以接收第一组数据信号及第二组数据信号后,根据第二水平起始信号及第二水平时钟脉冲信号将第二组数据信号传送至第二组数据线。每一个像素单元耦合于对应数据线及对应栅极线。

[0008] 依据本发明的实施例,其还公开一种用以驱动具有第一源极驱动电路及第二源极驱动电路的液晶显示装置的驱动方法,此驱动方法包含:利用第一源极驱动电路及第二源极驱动电路接收多个图像数据信号,其中所述多个图像数据信号包含第一组图像数据信号及第二组图像数据信号;经由第一源极驱动电路传输第一组图像数据信号至多个第一像素单元;以及经由第二源极驱动电路传输第二组图像数据信号至多个第二像素单元。

[0009] 依据本发明的实施例,其还公开一种用以驱动具有第一源极驱动电路及第二源极驱动电路的液晶显示装置的驱动方法,此驱动方法包含:利用第一源极驱动电路接收多个图像数据信号,且利用第二源极驱动电路接收所述多个图像数据信号;利用第一源极驱动电路产生多个第一控制信号,且利用第二源极驱动电路产生多个第二控制信号;第一源极驱动电路根据所述多个第一控制信号,以数据覆盖方式锁存所述多个图像数据信号的多个奇数排序图像数据信号;第二源极驱动电路根据所述多个第二控制信号,以数据覆盖方式锁存所述多个图像数据信号的多个偶数排序图像数据信号;第一源极驱动电路执行所述多

个奇数排序图像数据信号的信号处理以产生多个第一模拟数据信号;第二源极驱动电路执行所述多个偶数排序图像数据信号的信号处理以产生多个第二模拟数据信号;第一源极驱动电路输出所述多个第一模拟数据信号至液晶显示装置的多个第一像素单元;以及第二源极驱动电路输出所述多个第二模拟数据信号至液晶显示装置的多个第二像素单元。

[0010] 本发明的液晶显示装置可节省设置数据处理接口电路所需的边框面积,而在液晶显示装置的操作中,也可节省公知使用数据处理接口电路以执行数据析出及降频处理所导致的功率消耗。

附图说明

[0011] 图 1 为公知液晶显示装置的示意图。

[0012] 图 2 为本发明基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置第一实施例示意图。

[0013] 图 3 为图 2 的第一源极驱动电路的结构示意图。

[0014] 图 4 为图 2 的第二源极驱动电路的结构示意图。

[0015] 图 5 为图 2 的液晶显示装置的工作相关信号时序图,其中横轴为时间轴。

[0016] 图 6 为本发明基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置第二实施例示意图。

[0017] 图 7 为图 6 的第一源极驱动电路的结构示意图。

[0018] 图 8 为图 6 的第二源极驱动电路的结构示意图。

[0019] 图 9 为图 6 的液晶显示装置的工作相关信号时序图,其中横轴为时间轴

[0020] 并且,上述附图中的附图标记说明如下:

[0021]	100、200、600	液晶显示装置
[0022]	110、210、610	栅极驱动电路
[0023]	120、220、620	第一源极驱动电路
[0024]	150、250、650	第二源极驱动电路
[0025]	190、290、690	液晶显示面板
[0026]	199	数据处理接口电路
[0027]	225、625	第一移位寄存模块
[0028]	230、630	第一取样保持模块
[0029]	235、635	第一电平移位模块
[0030]	240、640	第一数字至模拟转换模块
[0031]	245、645	第一数据信号输出缓冲模块
[0032]	255、655	第二移位寄存模块
[0033]	260、660	第二取样保持模块
[0034]	265、665	第二电平移位模块
[0035]	270、670	第二数字至模拟转换模块
[0036]	275、675	第二数据信号输出缓冲模块
[0037]	280、680	时钟脉冲控制器
[0038]	291、691	像素单元

[0039]	681	第一水平起始信号产生器
[0040]	683	第一水平时钟脉冲信号产生器
[0041]	685	第二水平起始信号产生器
[0042]	687	第二水平时钟脉冲信号产生器
[0043]	Buf_D2-Buf_Dn	第二缓冲器
[0044]	Buf_U1-Buf_Un-1	第一缓冲器
[0045]	D1、D3、D5、D7	奇数图像数据信号
[0046]	D2、D4、D6、D8	偶数图像数据信号
[0047]	Dx	虚拟数据信号
[0048]	DAC_D2-DAC_Dn	第二数字至模拟转换器
[0049]	DAC_U1-DAC_Un-1	第一数字至模拟转换器
[0050]	DL1-DLn	数据线
[0051]	GL1-GLm	栅极线
[0052]	HCK	水平时钟脉冲信号
[0053]	HCK1	第一水平时钟脉冲信号
[0054]	HCK2	第二水平时钟脉冲信号
[0055]	HST	水平起始信号
[0056]	HST1	第一水平起始信号
[0057]	HST2	第二水平起始信号
[0058]	HS	水平同步信号
[0059]	LS_D2-LS_Dn	第二电平移位器
[0060]	LS_U1-LS_Un-1	第一电平移位器
[0061]	MCK	主时钟脉冲信号
[0062]	Sdata	图像数据信号
[0063]	Sdata_odd	奇数数据信号
[0064]	Sdata_even	偶数数据信号
[0065]	SL_D2-SL_Dn	第二锁存器
[0066]	SL_U1-SL_Un-1	第一锁存器
[0067]	SR_D1-SR_Dn	第二移位寄存器
[0068]	SR_U1-SR_Un	第一移位寄存器
[0069]	Sen_D1-Sen_Dn	第二控制信号
[0070]	Sen_U1-Sen_Un	第一控制信号
[0071]	VS	垂直同步信号

具体实施方式

[0072] 为让本发明更显而易见,下文依本发明的基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置及相关驱动方法,特举实施例配合附图作详细说明,但所提供的实施例并不用以限制本发明所涵盖的范围。

[0073] 请参考图 2,图 2 为本发明基于具有数据写入同步控制机制的双源极驱动电路

的液晶显示装置第一实施例示意图。液晶显示装置 200 包含栅极驱动电路 210、第一源极驱动电路 220、第二源极驱动电路 250、时钟脉冲控制器 280、液晶显示面板 290、多条栅极线 GL1-GLm、及多条数据线 DL1-DLn。时钟脉冲控制器 280 耦合于第一源极驱动电路 220 及第二源极驱动电路 250,用以根据主时钟脉冲 (Master Clock) 信号 MCK、水平同步 (Horizontal Synchronization) 信号 HS、或垂直同步 (Vertical Synchronization) 信号 VS 产生水平起始 (Horizontal Start) 信号 HST 及水平时钟脉冲 (Horizontal Clock) 信号 HCK,并将水平起始信号 HST 及水平时钟脉冲信号 HCK 馈入至第一源极驱动电路 220 及第二源极驱动电路 250。液晶显示面板 290 包含多个像素单元 291,每一个像素单元 291 耦合于对应栅极线及对应数据线。

[0074] 第一源极驱动电路 220 包含第一移位寄存模块 225、第一取样保持模块 230、第一电平移位模块 235、第一数字至模拟转换模块 240、及第一数据信号输出缓冲模块 245。第一移位寄存模块 225 用以根据水平起始信号 HST 及水平时钟脉冲信号 HCK 产生多个第一控制信号。第一取样保持模块 230 用以接收图像数据信号 Sdata,并根据所述多个第一控制信号锁存具有奇数排序的图像数据信号 Sdata。

[0075] 请参考图 3,图 3 为图 2 的第一源极驱动电路 220 的结构示意图。如图 3 所示,第一移位寄存模块 225 包含多个第一移位寄存器 (Shift Register) SR_U1,SR_U2...SR_Un,第一取样保持模块 230 包含多个第一锁存器 (Latch) SL_U1,SL_U3...SL_Un-1,第一电平移位模块 235 包含多个第一电平移位器 LS_U1,LS_U3...LS_Un-1,第一数字至模拟转换模块 240 包含多个第一数字至模拟转换器 DAC_U1,DAC_U3...DAC_Un-1,第一数据信号输出缓冲模块 245 包含多个第一缓冲器 Buf_U1,Buf_U3...Buf_Un-1。

[0076] 具有奇数排序的每一个第一移位寄存器直接耦合于相对应的第一锁存器,用以将所产生的第一控制信号馈入至相对应的第一锁存器。举例而言,具有第一排序的第一移位寄存器 SR_U1 直接耦合于第一锁存器 SL_U1,用以将所产生的第一控制信号 Sen_U1 馈入至第一锁存器 SL_U1,具有第三排序的第一移位寄存器 SR_U3 直接耦合于第一锁存器 SL_U3,用以将所产生的第一控制信号 Sen_U3 馈入至第一锁存器 SL_U3。具有偶数排序的每一个第一移位寄存器没有直接耦合于任何第一锁存器,也就是说,所产生的多个第一控制信号 Sen_U2,Sen_U4...Sen_Un 并没有馈入至任何第一锁存器。所以,第一取样保持模块 230 所接收的图像数据信号 Sdata 中,只有具有奇数排序的图像数据信号 Sdata 会被锁存。请注意,在图 3 中,第一锁存器的数目实质上只有第一移位寄存器的数目的一半。

[0077] 每一个第一电平移位器耦合于对应第一锁存器,用以执行具有奇数排序的对应图像数据信号 Sdata 的电平移位处理。每一个第一数字至模拟转换器耦合于对应第一电平移位器,用以执行具有奇数排序的对应图像数据信号 Sdata 的数字至模拟转换处理。每一个第一缓冲器耦合于对应第一数字至模拟转换器,用以执行具有奇数排序的对应图像数据信号 Sdata 的数据输出缓冲处理。每一个第一缓冲器还耦合于对应奇数数据线,举例而言,第一缓冲器 Buf_U1 耦合于第一数字至模拟转换器 DAC_U1 与数据线 DL1 之间,第一缓冲器 Buf_U3 耦合于第一数字至模拟转换器 DAC_U3 与数据线 DL3 之间。

[0078] 第二源极驱动电路 250 包含第二移位寄存模块 255、第二取样保持模块 260、第二电平移位模块 265、第二数字至模拟转换模块 270、及第二数据信号输出缓冲模块 275。第二移位寄存模块 255 用以根据水平起始信号 HST 及水平时钟脉冲信号 HCK 产生多个第二控制

信号。第二取样保持模块 260 用以接收图像数据信号 Sdata,并根据所述多个第二控制信号锁存具有偶数排序的图像数据信号 Sdata。

[0079] 请参考图 4,图 4 为图 2 的第二源极驱动电路 250 的结构示意图。如图 4 所示,第二移位寄存模块 255 包含多个第二移位寄存器 SR_D1, SR_D2...SR_Dn,第二取样保持模块 260 包含多个第二锁存器 SL_D2, SL_D4...SL_Dn,第二电平移位模块 265 包含多个第二电平移位器 LS_D2,LS_D4...LS_Dn,第二数字至模拟转换模块 270 包含多个第二数字至模拟转换器 DAC_D2,DAC_D4...DAC_Dn,第二数据信号输出缓冲模块 275 包含多个第二缓冲器 Buf_D2, Buf_D4...Buf_Dn。

[0080] 具有偶数排序的每一个第二移位寄存器直接耦合于相对应的第二锁存器,用以将所产生的第二控制信号馈入至相对应的第二锁存器。举例而言,具有第二排序的第二移位寄存器 SR_D2 直接耦合于第二锁存器 SL_D2,用以将所产生的第二控制信号 Sen_D2 馈入至第二锁存器 SL_D2,具有第四排序的第二移位寄存器 SR_D4 直接耦合于第二锁存器 SL_D4,用以将所产生的第二控制信号 Sen_D4 馈入至第二锁存器 SL_D4。具有奇数排序的每一个第二移位寄存器没有直接耦合于任何第二锁存器,也就是说,所产生的多个第二控制信号 Sen_D1, Sen_D3...Sen_Dn-1 并没有馈入至任何第二锁存器。所以,第二取样保持模块 260 所接收的图像数据信号 Sdata 中,只有具有偶数排序的图像数据信号 Sdata 会被锁存。请注意,在图 4 中,第二锁存器的数目实质上只有第二移位寄存器的数目的一半。

[0081] 每一个第二电平移位器耦合于对应第二锁存器,用以执行具有偶数排序的对应图像数据信号 Sdata 的电平移位处理。每一个第二数字至模拟转换器耦合于对应第二电平移位器,用以执行具有偶数排序的对应图像数据信号 Sdata 的数字至模拟转换处理。每一个第二缓冲器耦合于对应第二数字至模拟转换器,用以执行具有偶数排序的对应图像数据信号 Sdata 的数据输出缓冲处理。每一个第二缓冲器还耦合于对应偶数数据线,举例而言,第二缓冲器 Buf_D2 耦合于第二数字至模拟转换器 DAC_D2 与数据线 DL2 之间,第二缓冲器 Buf_D4 耦合于第二数字至模拟转换器 DAC_D4 与数据线 DL4 之间。

[0082] 图 5 为图 2 的液晶显示装置的工作相关信号时序图,其中横轴为时间轴。在图 5 中,由上往下的信号分别为主时钟脉冲信号 MCK、图像数据信号 Sdata、水平起始信号 HST、水平时钟脉冲信号 HCK、多个第一控制信号、及多个第二控制信号。当水平起始信号 HST 于时间 T0 内馈入一使能脉冲至第一移位寄存模块 225 及第二移位寄存模块 255 后,多个第一控制信号及多个第二控制信号即根据水平时钟脉冲信号 HCK 的每一半周期时间而依序被使能。

[0083] 举例而言,于时间 T1 内,第一移位寄存器 SR_U1 及第二移位寄存器 SR_D1 分别输出使能的第一控制信号 Sen_U1 及第二控制信号 Sen_D1,于时间 T2 内,第一移位寄存器 SR_U2 及第二移位寄存器 SR_D2 分别输出使能的第一控制信号 Sen_U2 及第二控制信号 Sen_D2,于时间 T3 内,第一移位寄存器 SR_U3 及第二移位寄存器 SR_D3 分别输出使能的第一控制信号 Sen_U3 及第二控制信号 Sen_D3,于时间 T4 内,第一移位寄存器 SR_U4 及第二移位寄存器 SR_D4 分别输出使能的第一控制信号 Sen_U4 及第二控制信号 Sen_D4,其余类推。

[0084] 如前所述,只有具有奇数排序的第一移位寄存器直接耦合于相对应的第一锁存器,即只有具有奇数排序的第一移位寄存器所产生的第一控制信号可馈入至相对应的第一锁存器以执行相对应图像数据信号 Sdata 的锁存操作。换句话说,只有奇数图像数据信号

Sdata 会被锁存于多个第一锁存器 SL_U1, SL_U3...SL_Un-1。举例而言,如图 5 所示,当第一控制信号 Sen_U1 及 Sen_U3 分别于时间 T1 及 T3 内被使能时,第一锁存器 SL_U1 及 SL_U3 可分别锁存奇数图像数据信号 D1 及 D3,而当第一控制信号 Sen_U2 及 Sen_U4 分别于时间 T2 及 T4 内被使能时,并没有产生任何作用,即使能的第一控制信号 Sen_U2 及 Sen_U4 为无作用的使能信号。被锁存的多个奇数图像数据信号 Sdata 经由多个第一电平移位器 LS_U1, LS_U3...LS_Un-1 的电平移位处理,及多个第一数字至模拟转换器 DAC_U1, DAC_U3...DAC_Un-1 的数字至模拟转换处理后,产生多个第一模拟数据信号,再经由多个第一缓冲器 Buf_U1, Buf_U3...Buf_Un-1 的数据缓冲驱动处理,将多个第一模拟数据信号分别馈入至奇数数据线 DL1, DL3...DLn-1,用以进行相对应像素单元 291 的数据信号写入操作。

[0085] 此外,只有具有偶数排序的第二移位寄存器直接耦合于相对应的第二锁存器,即只有具有偶数排序的第二移位寄存器所产生的第二控制信号可馈入至相对应的第二锁存器以执行相对应图像数据信号 Sdata 的锁存操作。换句话说,只有偶数图像数据信号 Sdata 会被锁存于多个第二锁存器 SL_D2, SL_D4...SL_Dn。举例而言,如图 5 所示,当第二控制信号 Sen_D2 及 Sen_D4 分别于时间 T2 及 T4 内被使能时,第二锁存器 SL_D2 及 SL_D4 可分别锁存偶数图像数据信号 D2 及 D4,而当第二控制信号 Sen_D1 及 Sen_D3 分别于时间 T1 及 T3 内被使能时,并没有产生任何作用,即使能的第二控制信号 Sen_D1 及 Sen_D3 为无作用的使能信号。被锁存的多个偶数图像数据信号 Sdata 经由多个第二电平移位器 LS_D2, LS_D4...LS_Dn 的电平移位处理,及多个第二数字至模拟转换器 DAC_D2, DAC_D4...DAC_Dn 的数字至模拟转换处理后,产生多个第二模拟数据信号,再经由多个第二缓冲器 Buf_D2, Buf_D4...Buf_Dn 的数据缓冲驱动处理,将多个第二模拟数据信号分别馈入至偶数数据线 DL2, DL4...DLn,用以进行相对应像素单元 291 的数据信号写入操作。

[0086] 由上述可知,本发明的液晶显示装置 200 并不包含数据处理接口电路,也就是说,液晶显示装置 200 可在不经由数据处理接口电路的数据析出及降频处理情况下,将图像数据信号直接馈入至第一源极驱动电路 220 及第二源极驱动电路 250,以进行数据写入操作。所以液晶显示装置 200 可节省设置数据处理接口电路所需的边框面积,而在液晶显示装置 200 的操作中,也可节省公知使用数据处理接口电路以执行数据析出及降频处理所导致的功率消耗。

[0087] 请参考图 6,图 6 为本发明基于具有数据写入同步控制机制的双源极驱动电路的液晶显示装置第二实施例示意图。液晶显示装置 600 包含栅极驱动电路 610、第一源极驱动电路 620、第二源极驱动电路 650、时钟脉冲控制器 680、液晶显示面板 690、多条栅极线 GL1-GLm、及多条数据线 DL1-DLn。时钟脉冲控制器 680 耦合于第一源极驱动电路 620 及第二源极驱动电路 650,用以根据主时钟脉冲信号 MCK、水平同步信号 HS、或垂直同步信号 VS 产生第一水平起始信号 HST1、第一水平时钟脉冲信号 HCK1、第二水平起始信号 HST2、及第二水平时钟脉冲信号 HCK2,其中第一水平起始信号 HST1 及第一水平时钟脉冲信号 HCK1 经由时钟脉冲控制器 680 的第一输出端及第二输出端而馈入至第一源极驱动电路 620,第二水平起始信号 HST2 及第二水平时钟脉冲信号 HCK2 经由时钟脉冲控制器 680 的第三输出端及第四输出端而馈入至第二源极驱动电路 650。液晶显示面板 690 包含多个像素单元 691,每一个像素单元 691 耦合于对应栅极线及对应数据线。

[0088] 时钟脉冲控制器 680 包含第一水平起始信号产生器 681、第一水平时钟脉冲信号

产生器 683、第二水平起始信号产生器 685、及第二水平时钟脉冲信号产生器 687。第一水平起始信号产生器 681 用以产生第一水平起始信号 HST1, 第一水平时钟脉冲信号产生器 683 用以产生第一水平时钟脉冲信号 HCK1, 第二水平起始信号产生器 685 用以产生第二水平起始信号 HST2, 第二水平时钟脉冲信号产生器 687 用以产生第二水平时钟脉冲信号 HCK2。第一水平起始信号产生器 681、第一水平时钟脉冲信号产生器 683、第二水平起始信号产生器 685、及第二水平时钟脉冲信号产生器 687 的电路设计并不需各别独立, 而可具有重叠的共用电路。

[0089] 第一源极驱动电路 620 包含第一移位寄存模块 625、第一取样保持模块 630、第一电平移位模块 635、第一数字至模拟转换模块 640、及第一数据信号输出缓冲模块 645。第一移位寄存模块 625 用以根据第一水平起始信号 HST1 及第一水平时钟脉冲信号 HCK1 产生多个第一控制信号。第一取样保持模块 630 用以接收图像数据信号 Sdata, 并根据所述多个第一控制信号锁存具有奇数排序的图像数据信号 Sdata。

[0090] 请参考图 7, 图 7 为图 6 的第一源极驱动电路 620 的结构示意图。如图 7 所示, 第一移位寄存模块 625 包含多个第一移位寄存器 SR_U1, SR_U3...SR_Un-1, 第一取样保持模块 630 包含多个第一锁存器 SL_U1, SL_U3...SL_Un-1, 第一电平移位模块 635 包含多个第一电平移位器 LS_U1, LS_U3...LS_Un-1, 第一数字至模拟转换模块 640 包含多个第一数字至模拟转换器 DAC_U1, DAC_U3...DAC_Un-1, 第一数据信号输出缓冲模块 645 包含多个第一缓冲器 Buf_U1, Buf_U3...Buf_Un-1。

[0091] 每一个第一移位寄存器直接耦合于相对应的第一锁存器, 用以将所产生的第一控制信号馈入至相对应的第一锁存器。举例而言, 第一移位寄存器 SR_U1 直接耦合于第一锁存器 SL_U1, 用以将所产生的第一控制信号 Sen_U1 馈入至第一锁存器 SL_U1, 第一移位寄存器 SR_U3 直接耦合于第一锁存器 SL_U3, 用以将所产生的第一控制信号 Sen_U3 馈入至第一锁存器 SL_U3。所以, 在图 7 中, 第一锁存器的数目实质上等于第一移位寄存器的数目。在每一个第一锁存器的锁存操作中, 当对应第一控制信号被持续使能时, 可先后锁存两个连续数据信号, 而先被锁存的数据信号被后锁存的数据信号覆盖。换句话说, 在第一取样保持模块 630 所接收的图像数据信号 Sdata 中, 每一个第一锁存器于对应第一控制信号被持续使能后, 只锁存具有奇数排序的图像数据信号 Sdata, 而具有偶数排序的图像数据信号 Sdata 则在锁存后被覆盖。

[0092] 每一个第一电平移位器耦合于对应第一锁存器, 用以执行具有奇数排序的对应图像数据信号 Sdata 的电平移位处理。每一个第一数字至模拟转换器耦合于对应第一电平移位器, 用以执行具有奇数排序的对应图像数据信号 Sdata 的数字至模拟转换处理。每一个第一缓冲器耦合于对应第一数字至模拟转换器, 用以执行具有奇数排序的对应图像数据信号 Sdata 的数据输出缓冲处理。每一个第一缓冲器还耦合于对应奇数数据线, 举例而言, 第一缓冲器 Buf_U1 耦合于第一数字至模拟转换器 DAC_U1 与数据线 DL1 之间, 第一缓冲器 Buf_U3 耦合于第一数字至模拟转换器 DAC_U3 与数据线 DL3 之间。

[0093] 第二源极驱动电路 650 包含第二移位寄存模块 655、第二取样保持模块 660、第二电平移位模块 665、第二数字至模拟转换模块 670、及第二数据信号输出缓冲模块 675。第二移位寄存模块 655 用以根据第二水平起始信号 HST2 及第二水平时钟脉冲信号 HCK2 产生多个第二控制信号。第二取样保持模块 660 用以接收图像数据信号 Sdata, 并根据所述多个第

二控制信号锁存具有偶数排序的图像数据信号 Sdata。

[0094] 请参考图 8, 图 8 为图 6 的第二源极驱动电路 650 的结构示意图。如图 8 所示, 第二移位寄存模块 655 包含多个第二移位寄存器 SR_D2, SR_D4...SR_Dn, 第二取样保持模块 660 包含多个第二锁存器 SL_D2, SL_D4...SL_Dn, 第二电平移位模块 665 包含多个第二电平移位器 LS_D2, LS_D4...LS_Dn, 第二数字至模拟转换模块 670 包含多个第二数字至模拟转换器 DAC_D2, DAC_D4...DAC_Dn, 第二数据信号输出缓冲模块 675 包含多个第二缓冲器 Buf_D2, Buf_D4...Buf_Dn。

[0095] 每一个第二移位寄存器直接耦合于相对应的第二锁存器, 用以将所产生的第二控制信号馈入至相对应的第二锁存器。举例而言, 第二移位寄存器 SR_D2 直接耦合于第二锁存器 SL_D2, 用以将所产生的第二控制信号 Sen_D2 馈入至第二锁存器 SL_D2, 第二移位寄存器 SR_D4 直接耦合于第二锁存器 SL_D4, 用以将所产生的第二控制信号 Sen_D4 馈入至第二锁存器 SL_D4。所以, 在图 8 中, 第二锁存器的数目实质上等于第二移位寄存器的数目。在每一个第二锁存器的锁存操作中, 当对应第二控制信号被持续使能时, 可先后锁存两个连续数据信号, 而先被锁存的数据信号被后锁存的数据信号覆盖。换句话说, 在第二取样保持模块 660 所接收的图像数据信号 Sdata 中, 每一个第二锁存器于对应第二控制信号被持续使能后, 只锁存具有偶数排序的图像数据信号 Sdata, 而具有奇数排序的图像数据信号 Sdata 则在锁存后被覆盖。

[0096] 每一个第二电平移位器耦合于对应第二锁存器, 用以执行具有偶数排序的对应图像数据信号 Sdata 的电平移位处理。每一个第二数字至模拟转换器耦合于对应第二电平移位器, 用以执行具有偶数排序的对应图像数据信号 Sdata 的数字至模拟转换处理。每一个第二缓冲器耦合于对应第二数字至模拟转换器, 用以执行具有偶数排序的对应图像数据信号 Sdata 的数据输出缓冲处理。每一个第二缓冲器还耦合于对应偶数数据线, 举例而言, 第二缓冲器 Buf_D2 耦合于第二数字至模拟转换器 DAC_D2 与数据线 DL2 之间, 第二缓冲器 Buf_D4 耦合于第二数字至模拟转换器 DAC_D4 与数据线 DL4 之间。

[0097] 图 9 为图 6 的液晶显示装置的工作相关信号时序图, 其中横轴为时间轴。在图 9 中, 由上往下的信号分别为主时钟脉冲信号 MCK、图像数据信号 Sdata、第一水平起始信号 HST1、第一水平时钟脉冲信号 HCK1、多个第一控制信号、第二水平起始信号 HST2、第二水平时钟脉冲信号 HCK2、及多个第二控制信号。当第一水平起始信号 HST1 于时间 T10 内馈入一使能脉冲至第一移位寄存模块 625 后, 多个第一控制信号即根据第一水平时钟脉冲信号 HCK1 的每一半周期时间而依序被使能。每一个第一锁存器于对应第一控制信号被持续使能的时间内, 会先锁存一数据信号, 再锁存另一数据信号, 而后锁存的数据信号会覆盖前锁存的数据信号。

[0098] 举例而言, 于时间 T11 内, 第一移位寄存器 SR_U1 输出使能的第一控制信号 Sen_U1, 第一锁存器 SL_U1 会先锁存虚拟数据信号 Dx, 再锁存奇数图像数据信号 D1, 且奇数图像数据信号 D1 会覆盖虚拟数据信号 Dx。于时间 T12 内, 第一移位寄存器 SR_U3 输出使能的第一控制信号 Sen_U3, 第一锁存器 SL_U3 会先锁存偶数图像数据信号 D2, 再锁存奇数图像数据信号 D3, 且奇数图像数据信号 D3 会覆盖偶数图像数据信号 D2。于时间 T13 内, 第一移位寄存器 SR_U5 输出使能的第一控制信号 Sen_U5, 第一锁存器 SL_U5 会先锁存偶数图像数据信号 D4, 再锁存奇数图像数据信号 D5, 且奇数图像数据信号 D5 会覆盖偶数图像数据信号

D4,其余类推。换句话说,只有奇数图像数据信号 Sdata 会被锁存于多个第一锁存器 SL_U1, SL_U3...SL_Un-1。

[0099] 被锁存的多个奇数图像数据信号 Sdata 经由多个第一电平移位器 LS_U1,LS_U3...LS_Un-1 的电平移位处理,及多个第一数字至模拟转换器 DAC_U1, DAC_U3...DAC_Un-1 的数字至模拟转换处理后,产生多个第一模拟数据信号,再经由多个第一缓冲器 Buf_U1, Buf_U3...Buf_Un-1 的数据缓冲驱动处理,将多个第一模拟数据信号分别馈入至奇数数据线 DL1, DL3...DLn-1,用以进行相对应像素单元 691 的数据信号写入操作。

[0100] 当第二水平起始信号 HST2 于时间 T20 馈入一使能脉冲至第二移位寄存模块 655 后,多个第二控制信号即根据第二水平时钟脉冲信号 HCK2 的每一半周期时间而依序被使能。每一个第二锁存器于对应第二控制信号被持续使能的时间内,会先锁存一数据信号,再锁存另一数据信号,而后锁存的数据信号会覆盖前锁存的数据信号。

[0101] 举例而言,于时间 T21 内,第二移位寄存器 SR_D2 输出使能的第二控制信号 Sen_D2,第二锁存器 SL_D2 会先锁存奇数图像数据信号 D1,再锁存偶数图像数据信号 D2,且偶数图像数据信号 D2 会覆盖奇数图像数据信号 D1。于时间 T22 内,第二移位寄存器 SR_D4 输出使能的第二控制信号 Sen_D4,第二锁存器 SL_D4 会先锁存奇数图像数据信号 D3,再锁存偶数图像数据信号 D4,且偶数图像数据信号 D4 会覆盖奇数图像数据信号 D3。于时间 T23 内,第二移位寄存器 SR_D6 输出使能的第二控制信号 Sen_D6,第二锁存器 SL_D6 会先锁存奇数图像数据信号 D5,再锁存偶数图像数据信号 D6,且偶数图像数据信号 D6 会覆盖奇数图像数据信号 D5,其余类推。换句话说,只有偶数图像数据信号 Sdata 会被锁存于多个第二锁存器 SL_D2, SL_D4...SL_Dn。

[0102] 被锁存的多个偶数图像数据信号 Sdata 经由多个第二电平移位器 LS_D2,LS_D4...LS_Dn 的电平移位处理,及多个第二数字至模拟转换器 DAC_D2, DAC_D4...DAC_Dn 的数字至模拟转换处理后,产生多个第二模拟数据信号,再经由多个第二缓冲器 Buf_D2, Buf_D4...Buf_Dn 的数据缓冲驱动处理,将多个第二模拟数据信号分别馈入至偶数数据线 DL2, DL4...DLn,用以进行相对应像素单元 691 的数据信号写入操作。

[0103] 由上述可知,本发明的液晶显示装置 600 并不包含数据处理接口电路,也就是说,液晶显示装置 600 可在不经由数据处理接口电路的数据析出及降频处理情况下,将图像数据信号直接馈入至第一源极驱动电路 620 及第二源极驱动电路 650,以进行数据写入操作。所以液晶显示装置 600 可节省设置数据处理接口电路所需的边框面积,而在液晶显示装置 600 的操作中,也可节省公知使用数据处理接口电路以执行数据析出及降频处理所导致的功率消耗。

[0104] 虽然本发明已以实施例公开如上,然而其并非用以限定本发明,任何具有本发明所属技术领域的普通技术人员,在不脱离本发明的精神和范围内,当可作各种更动与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

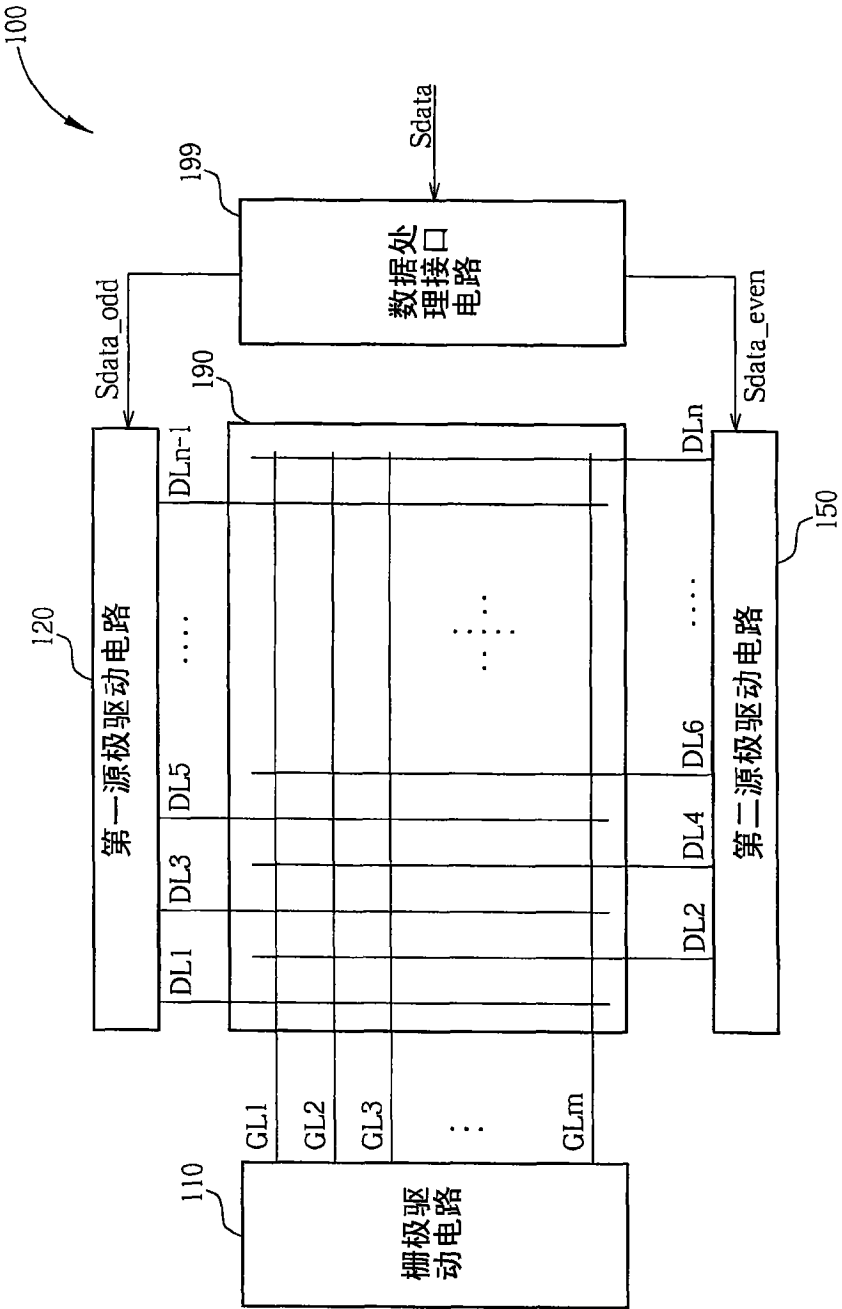


图1

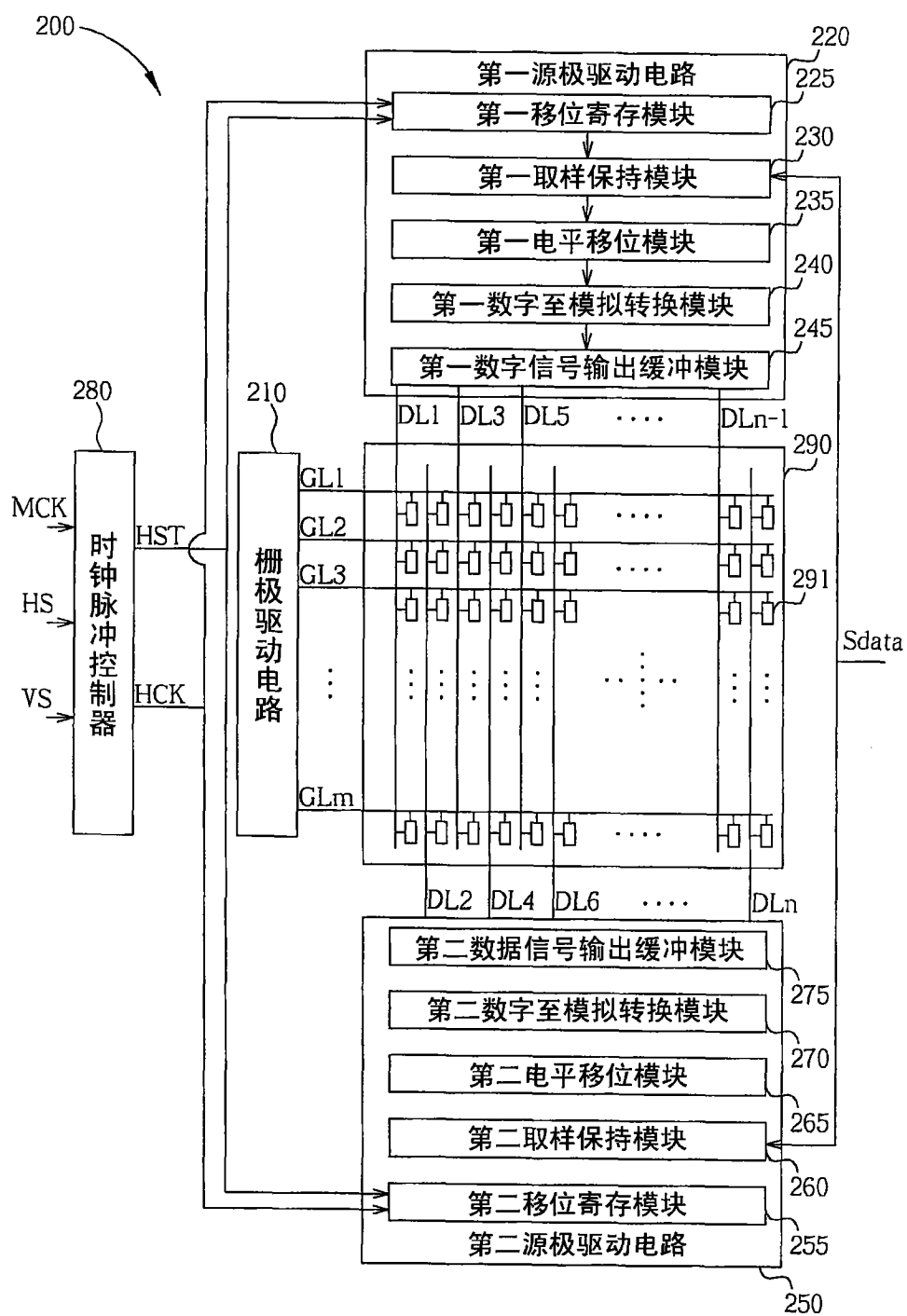


图 2

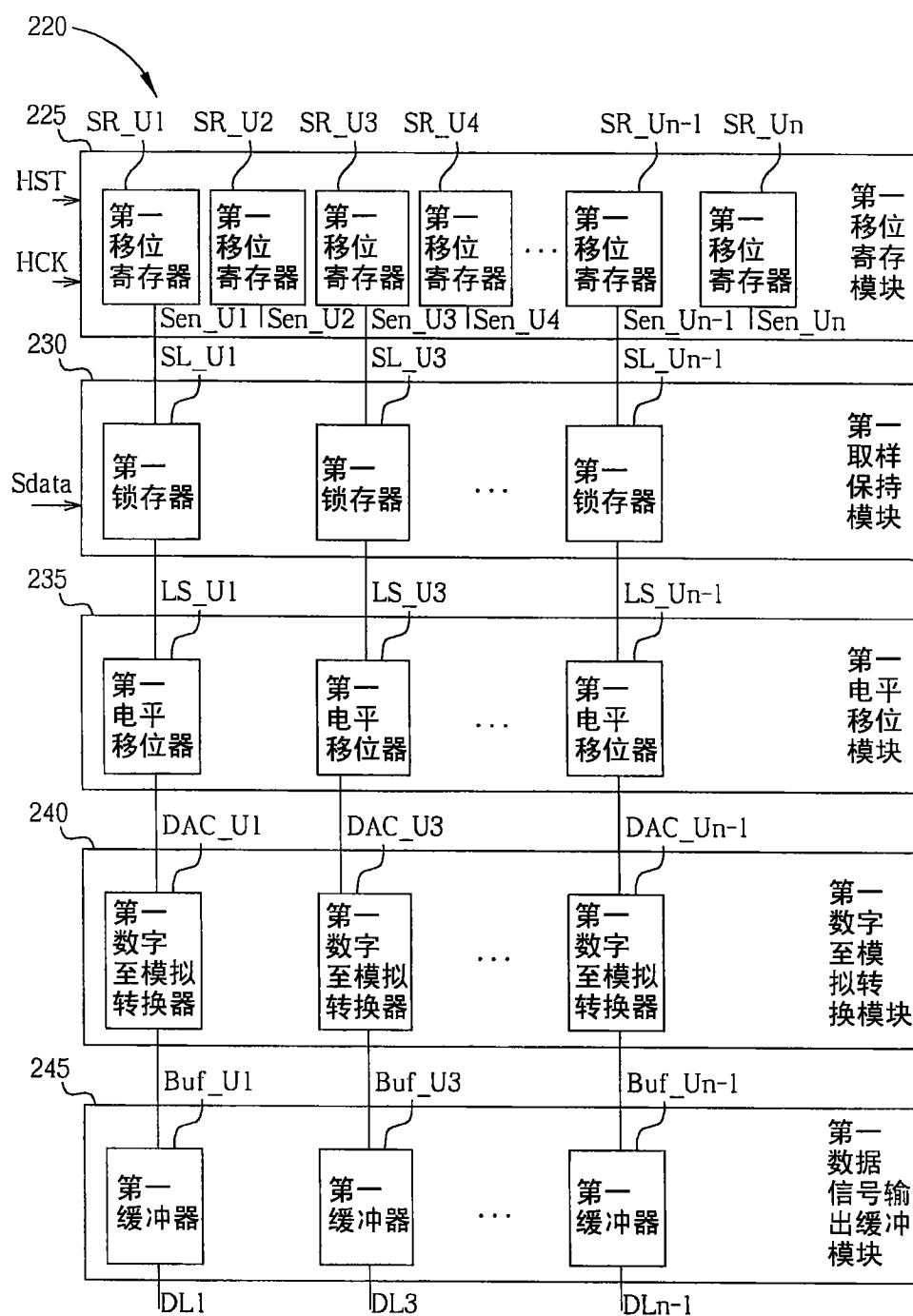


图 3

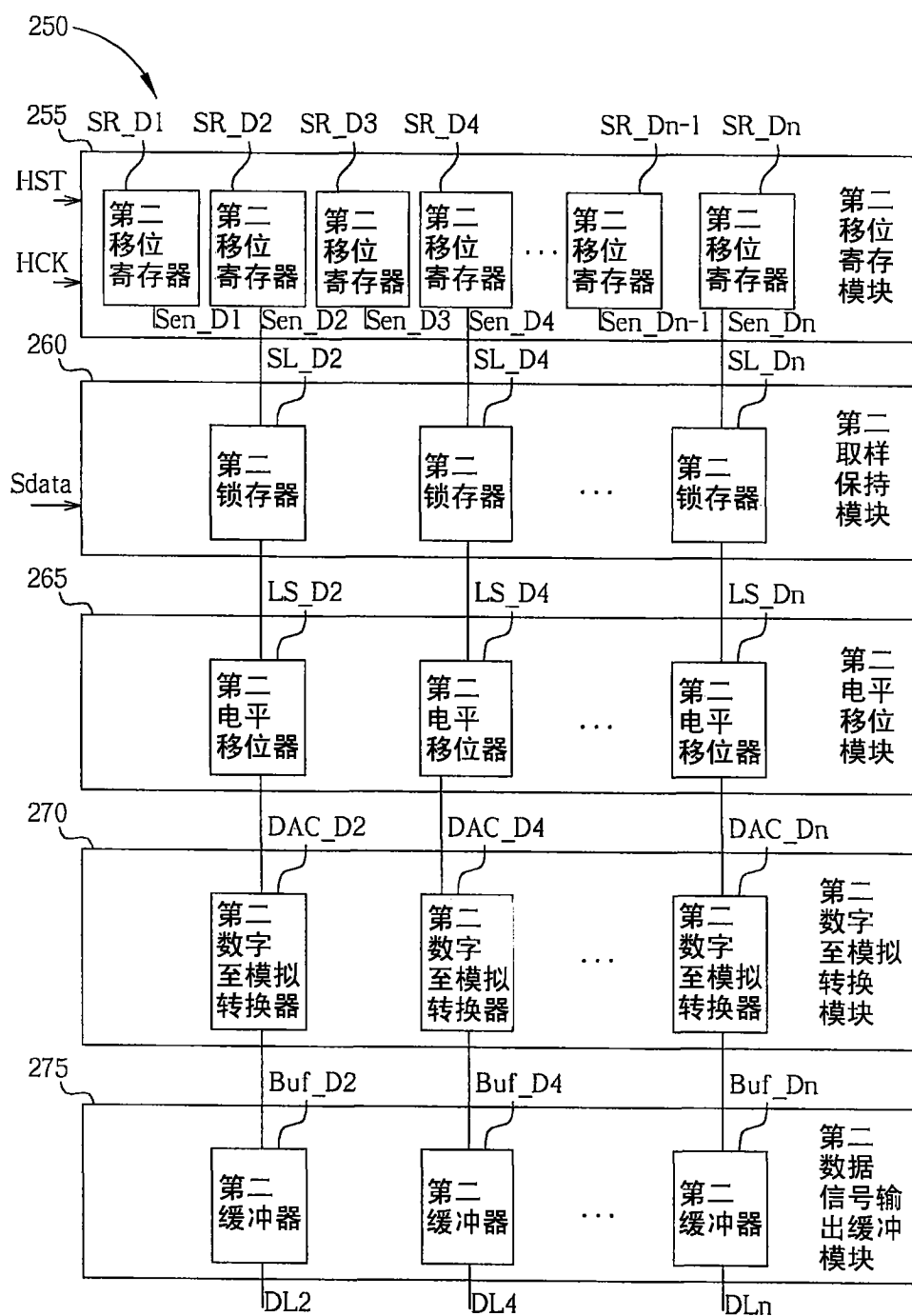


图 4

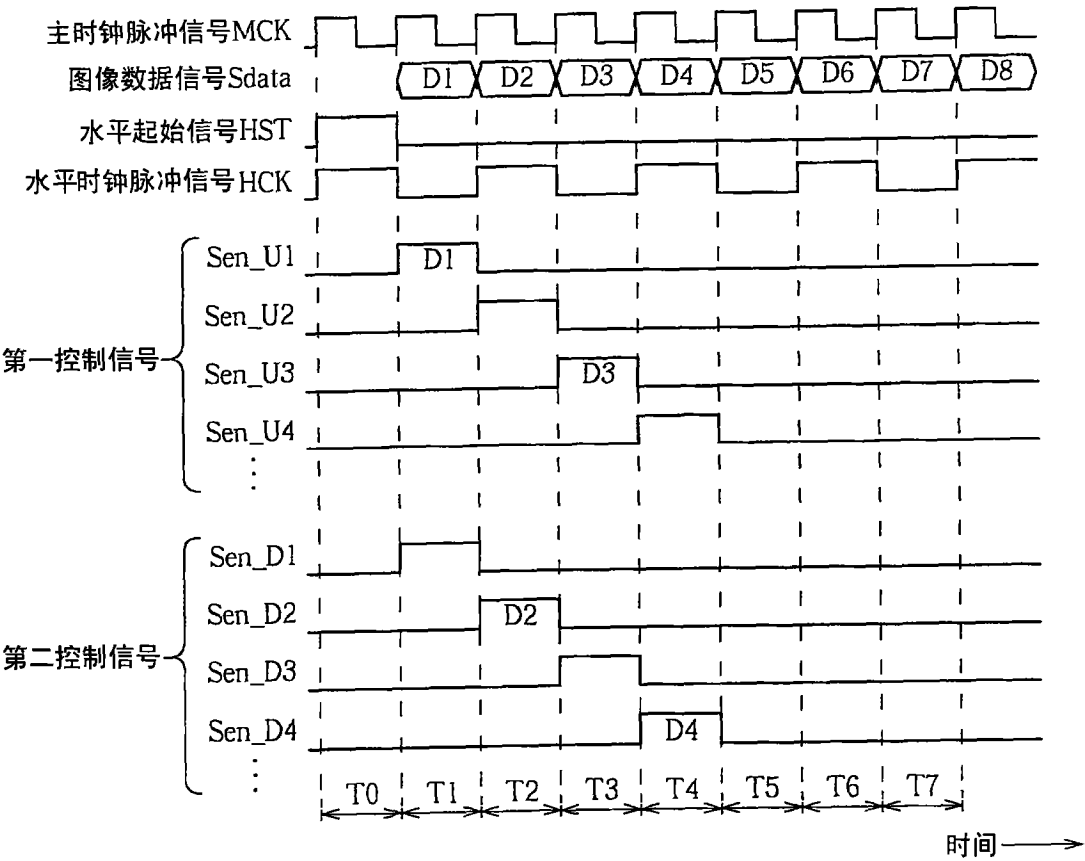


图5

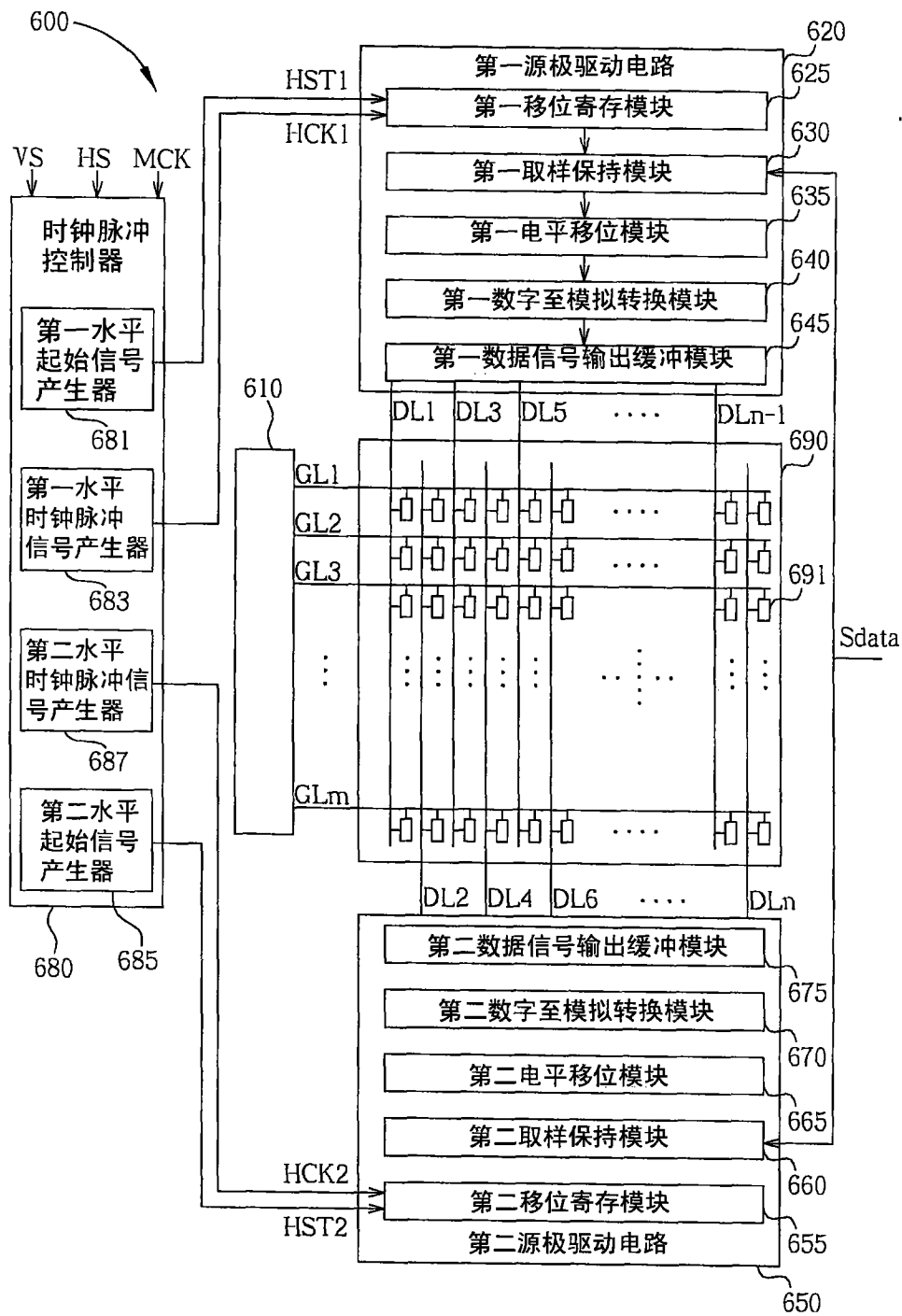


图 6

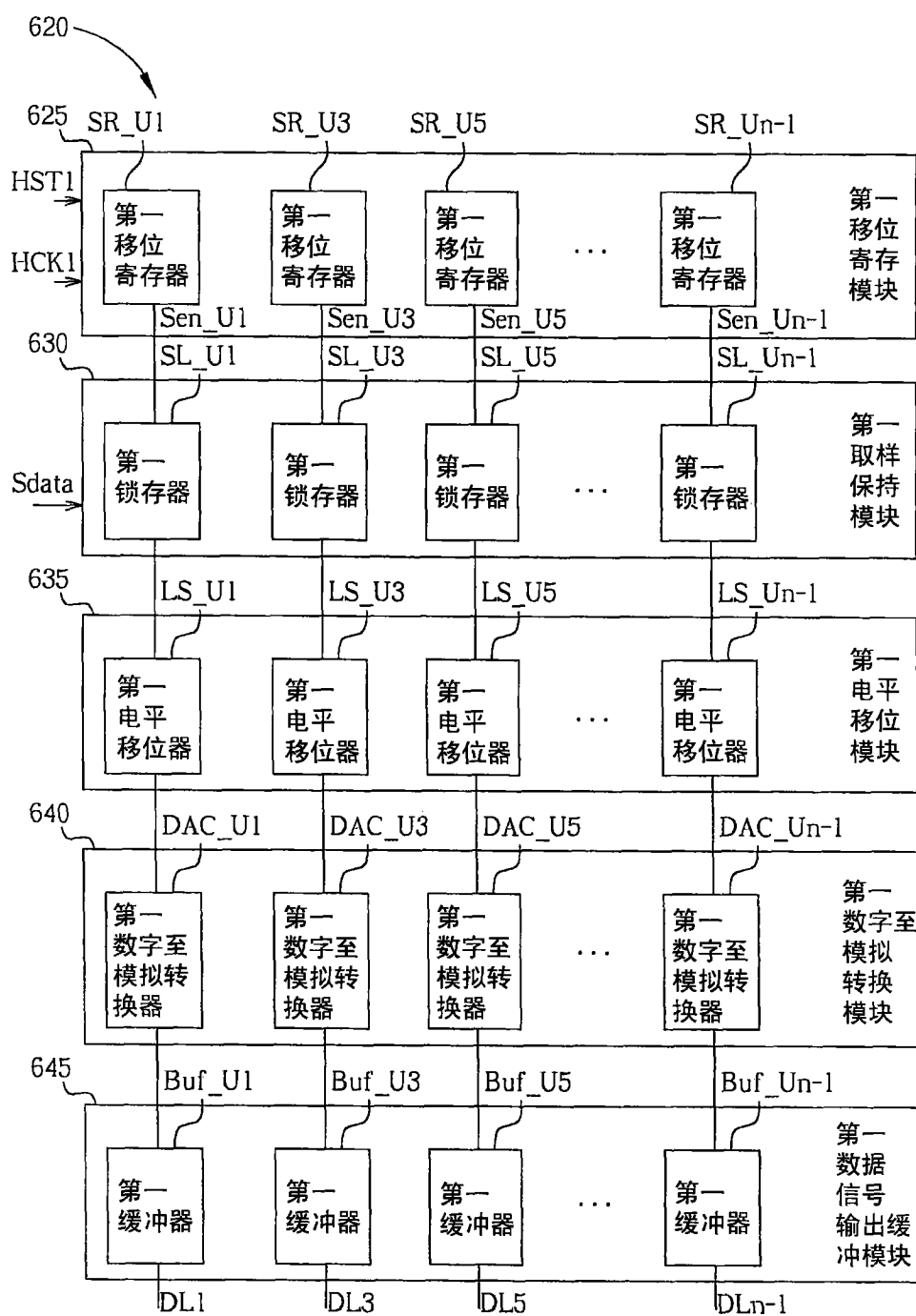


图 7

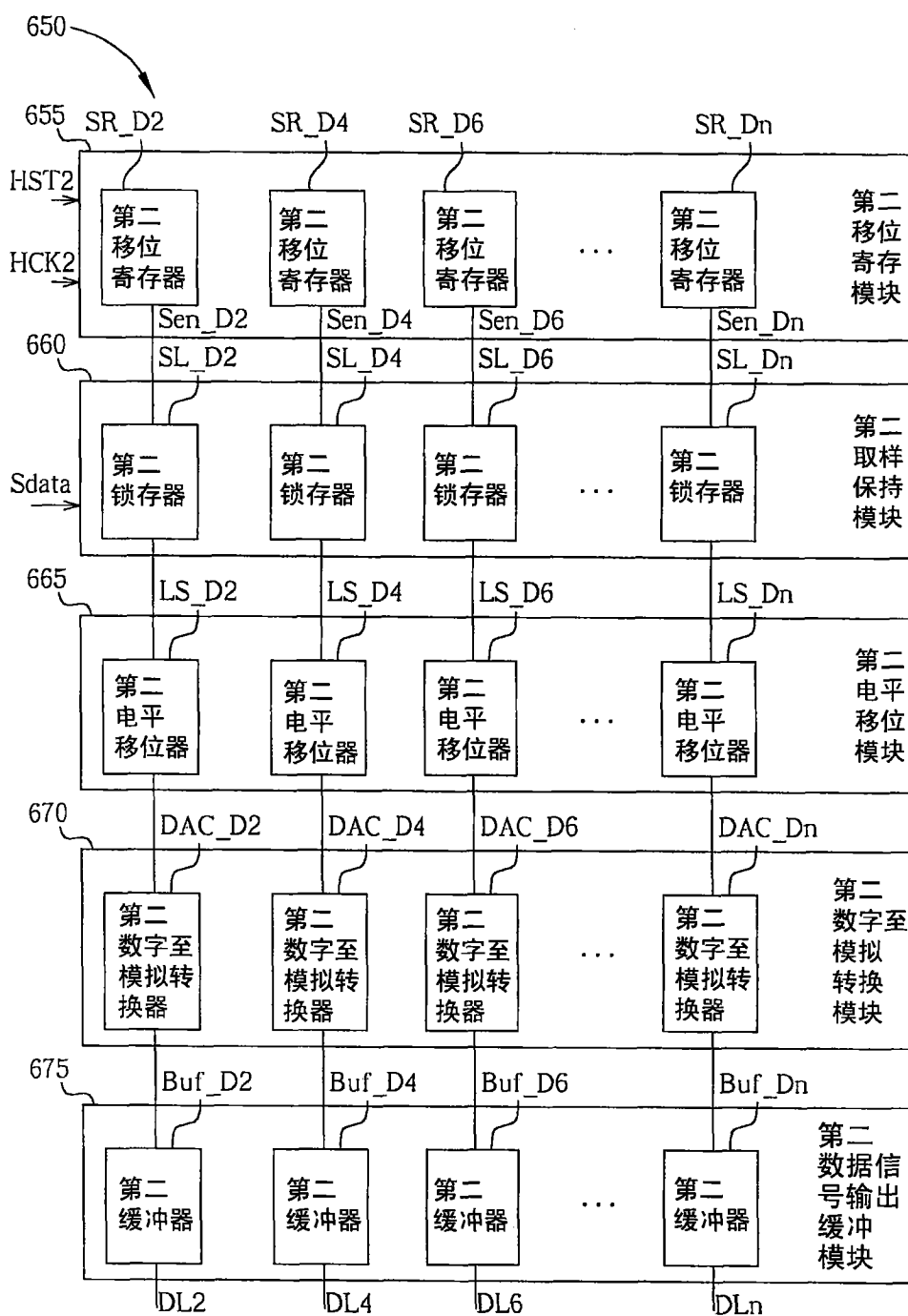


图 8

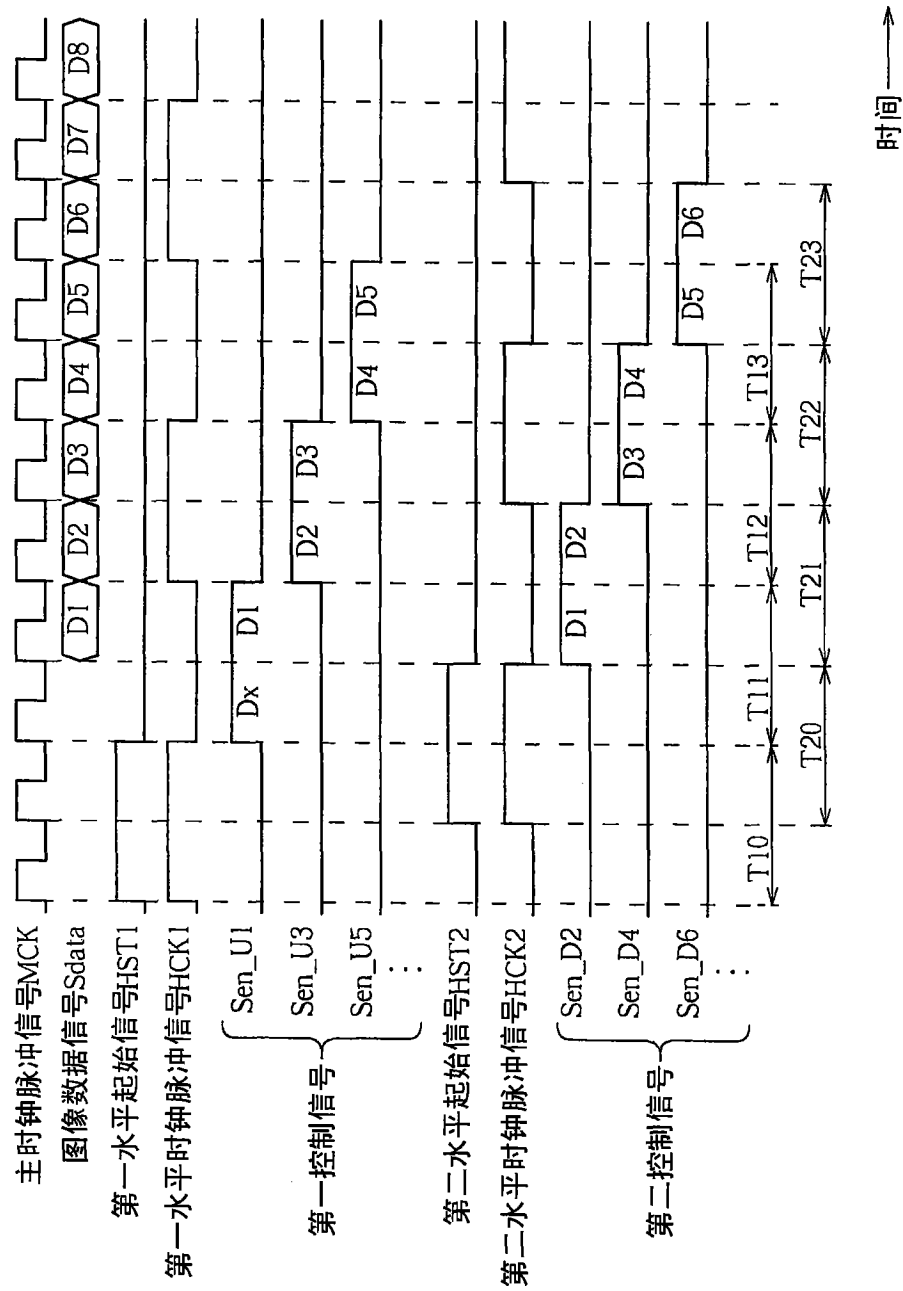


图9

专利名称(译)	液晶显示装置及相关驱动方法		
公开(公告)号	CN101281337B	公开(公告)日	2010-06-30
申请号	CN200810108554.8	申请日	2008-05-27
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	刘育荣 郭俊宏		
发明人	刘育荣 郭俊宏		
IPC分类号	G02F1/1362 G09G3/36		
代理人(译)	陈晨		
审查员(译)	张帆		
其他公开文献	CN101281337A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种具有双源极驱动电路的液晶显示装置及相关驱动方法，其使用数据写入同步控制机制以执行图像数据信号写入操作。此数据写入同步控制机制的操作包含：将所有图像数据信号馈入至第一及第二源极驱动电路；利用第一及第二源极驱动电路分别锁存奇数及偶数图像数据信号；利用第一源极驱动电路执行奇数图像数据信号的信号处理以产生第一组模拟数据信号；利用第二源极驱动电路执行偶数图像数据信号的信号处理以产生第二组模拟数据信号；将第一组模拟数据信号写入至多个第一像素单元；以及将第二组模拟数据信号写入至多个第二像素单元。本发明可节省边框面积，也可节省使用数据处理接口电路以执行数据析出及降频处理所导致的功率消耗。

