

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710161792.0

[43] 公开日 2008年4月2日

[11] 公开号 CN 101154006A

[22] 申请日 2007.9.26

[21] 申请号 200710161792.0

[30] 优先权

[32] 2006. 9. 26 [33] KR [31] 93412/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 全 珍 鱼基汉

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邵亚丽

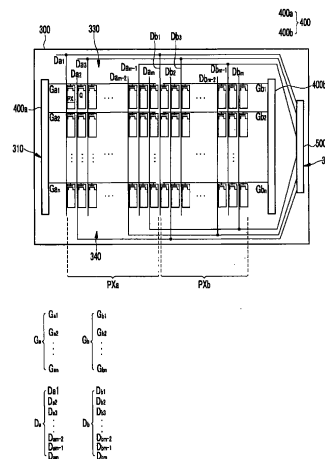
权利要求书 3 页 说明书 14 页 附图 8 页

[54] 发明名称

液晶显示器

[57] 摘要

一种液晶显示器，包括：基底；第一和第二像素组，包括以矩阵形式布置在基底上的多个像素；第一栅极线组，包括连接到第一像素组的像素并沿第一方向延伸的第一多个栅极线；第二栅极线组，包括连接到第二像素组的像素并沿第一方向延伸的第二多个栅极线；第一数据线组，连接到第一像素组的像素并包括沿着第二方向延伸的第一多个数据线；和第二数据线组，连接到第二像素组的像素并包括沿着第二方向延伸的第二多个数据线。第一数据线组的每条数据线和第二数据线组的每条数据线彼此连接，并且第一和第二像素组沿第一方向相邻。



- 1.一种液晶显示器，包括：
基底；
第一和第二像素组，包括以矩阵形式布置在该基底上的多个像素；
第一栅极线组，包括连接到该第一像素组的像素并沿第一方向延伸的第一多个栅极线；
第二栅极线组，包括连接到该第二像素组的像素并沿该第一方向延伸的第二多个栅极线；
第一数据线组，连接到该第一像素组的像素并包括沿第二方向延伸的第一多个数据线；和
第二数据线组，连接到该第二像素组的像素并包括沿该第二方向延伸的第二多个数据线，
其中，该第一数据线组的每条数据线和该第二数据线组的每条数据线彼此连接，并且该第一和第二像素组沿该第一方向相邻。
- 2.根据权利要求1的液晶显示器，进一步包括：
第一栅极驱动器，连接到该第一栅极线组并发送栅极信号到该第一栅极线组；和第二栅极驱动器，连接到该第二栅极线组并发送栅极信号到该第二栅极线组。
- 3.根据权利要求1的液晶显示器，其中，所述第一数据线组的每条数据线和所述第二数据线组的每条数据线顺序连接。
- 4.根据权利要求1的液晶显示器，其中，所述第一数据线组的每条数据线和所述第二数据线组的每条数据线顺序连接到相邻的数据线。
- 5.根据权利要求1的液晶显示器，进一步包括数据驱动器，该数据驱动器连接到该第一数据线组和该第二数据线组，并发送数据电压到该第一数据线组和该第二数据线组。
- 6.根据权利要求5的液晶显示器，其中，所述数据驱动器相对于该第一和第二像素组布置在液晶设备的一侧上。
- 7.根据权利要求5的液晶显示器，其中，所述数据驱动器与该第一和第二栅极驱动器之一被布置在液晶设备的一侧上。
- 8.根据权利要求1的液晶显示器，其中，所述栅极信号交替地和顺序地

施加到该第一栅极线组的第一多个栅极线和该第二栅极线组的第二多个栅极线。

9. 根据权利要求 2 的液晶显示器, 其中, 所述第一和第二栅极驱动器被集成在基底中。

10. 根据权利要求 1 的液晶显示器, 其中, 所述第一和第二栅极驱动器相对于该第一和第二像素组彼此相对地布置。

11. 根据权利要求 1 的液晶显示器, 其中
所述栅极信号包括栅极导通电压 V_{on} 和栅极关断电压 V_{off} , 以及该栅极导通电压 V_{on} 的持续时间是大约 $1H$ 或更多。

12. 根据权利要求 11 的液晶显示器, 其中, 所述栅极导通电压 V_{on} 的持续时间是大约 $2H$ 。

13. 根据权利要求 11 的液晶显示器, 其中, 所施加到布置在该第一和第二栅极线组的第一和第二多个栅极线的相同行中的两条栅极线的栅极信号的栅极导通电压 V_{on} 交迭预定时间。

14. 根据权利要求 13 的液晶显示器, 其中, 所述预定时间是大约 $1H$ 。

15. 一种液晶显示器, 包括:

基底;

第一和第二像素组, 包含以矩阵形式布置在该基底上的多个像素;

第一栅极线组, 包含连接到该第一像素组的像素并沿第一方向延伸的第一多个栅极线; 和

第二栅极线组, 包含连接到该第二像素组的像素并沿该第一方向延伸的第二多个栅极线,

其中该第一和第二像素组沿该第一方向相邻。

16. 根据权利要求 15 的液晶显示器, 进一步包括: 第一数据线组, 连接到该第一像素组的像素并包括沿该第二方向延伸的第一多个数据线; 和第二数据线组, 连接到该第二像素组的像素并包括沿该第二方向延伸的第二多个数据线。

17. 根据权利要求 16 的液晶显示器, 其中, 该第一数据线组的每条数据线和该第二数据线组的每条数据线彼此连接。

18. 根据权利要求 17 的液晶显示器, 其中, 该第一数据线组的每条数据线和该第二数据线组的每条数据线顺序连接。

19. 根据权利要求 15 的液晶显示器, 进一步包括数据驱动器, 该数据驱动器相对于该第一和第二像素组布置在液晶设备的一侧上, 连接到该第一数据线组和该第二数据线组, 并发送数据电压到该第一数据线组和该第二数据线组。

20. 根据权利要求 15 的液晶显示器, 其中, 栅极信号包括栅极导通电压 V_{on} 和栅极关断电压 V_{off} , 所施加到布置在该第一和第二栅极线组的第一和第二多个栅极线的相同行中的两条栅极线的栅极信号的栅极导通电压 V_{on} 交迭预定时间,

其中该栅极导通电压 V_{on} 的持续时间是大约 $2H$ 。

液晶显示器

技术领域

本发明涉及液晶显示器。

背景技术

液晶显示器(LCD)是一类广泛使用的平板显示器。液晶显示器包括每个具有场发生电极诸如像素电极和公共电极的两个显示面板以及置于其间的液晶层。液晶显示器通过施加电压到场发生电极而产生穿过液晶层的电场、确定穿过其的液晶层中的液晶分子阵列、并控制入射光的偏振、由此显示图像。

液晶显示器还包括连接到像素电极的开关元件和多个信号线,诸如栅极线和数据线,用于提供电压给像素电极。栅极线发送由栅极驱动电路产生的栅极信号,数据线发送由数据驱动电路产生的数据电压。开关元件依据栅极信号发送数据电压到像素电极。

栅极驱动电路和数据驱动电路以多个集成电路(IC)芯片形式直接安装在显示板上。可选择地,栅极驱动电路和数据驱动电路安装在柔性电路薄膜上,并且该柔性电路薄膜附着在显示板上。这种IC芯片导致液晶显示器的大比例加工费用。而且,数据驱动器IC芯片比栅极驱动电路IC芯片更昂贵。通过将栅极驱动电路连同栅极线、数据线和开关元件集成在显示板中,可以降低栅极驱动电路的加工费用。然而,很难将数据驱动电路集成在显示板中,因为数据驱动电路结构复杂。

因此,存在降低数据驱动器IC数目的需要。

发明内容

根据本发明实施例,液晶显示器包括:基底;第一和第二像素组,包括以矩阵形式布置在基底上的第一多个像素;第一栅极线组,包括连接到第一像素组的像素并沿第一方向延伸的第一多个栅极线;第二栅极线组,包括连接到第二像素组的像素并沿第一方向延伸的多个栅极线;第一数据线组,连

接到第一像素组的像素并包括沿第二方向延伸的第一多个数据线; 和第二数据线组, 连接到第二像素组的像素并包括沿第二方向延伸的第二多个数据线, 其中第一数据线组的每条数据线和第二数据线组的每条数据线彼此连接, 并且第一和第二像素组沿第一方向相邻。

液晶显示器可以进一步包括: 第一栅极驱动器, 连接到第一栅极线组并发送栅极信号到第一栅极线组; 和第二栅极驱动器, 连接到第二栅极线组并发送栅极信号到第二栅极线组。

第一数据线组的每条数据线和第二数据线组的每条数据线可以顺序连接。

第一数据线组的每条数据线和第二数据线组的每条数据线可以顺序连接到相邻的数据线。

液晶显示器可以进一步包括数据驱动器, 该数据驱动器连接到第一数据线组和第二数据线组, 并发送数据电压到第一数据线组和第二数据线组。

数据驱动器可以相对于第一和第二像素组布置在液晶设备的一侧上。

数据驱动器可以与第一和第二栅极驱动器之一布置在液晶设备的相同的一侧上。

栅极信号可以交替地和顺序地施加到第一栅极线组的第一多个栅极线 and 第二栅极线组的第二多个栅极线。

第一和第二栅极驱动器可以被集成在基底中。

第一和第二栅极驱动器可以相对于第一和第二像素组彼此相对地布置。

栅极信号可以包括栅极导通电压 V_{on} 和栅极关断电压 V_{off} , 栅极导通电压 V_{on} 的持续时间可以是大约 1H 或更多。

栅极导通电压 V_{on} 的持续时间可以是大约 2H。

所施加到布置在该第一和第二栅极线组的第一和第二多个栅极线的相同行中的两条栅极线的栅极信号的栅极导通电压 V_{on} 可以交迭预定时间。

该预定时间可以是大约 1H。

根据本发明另一实施例, 液晶显示器包括: 基底; 第一和第二像素组, 包含以矩阵形式布置在基底上的多个像素; 第一栅极线组, 包括连接到第一像素组的像素并沿第一方向延伸的第一多个栅极线; 和第二栅极线组, 包含连接到第二像素组的像素并沿第一方向延伸的第二多个栅极线, 第一和第二像素组沿第一方向相邻。

液晶显示器可以进一步包括：第一数据线组，连接到第一像素组的像素并包含沿第二方向延伸的第一多个数据线；和第二数据线组，连接到第二像素组的像素并包含沿第二方向延伸的第二多个数据线。

第一数据线组的每条数据线和第二数据线组的每条数据线可以彼此连接。

第一数据线组的每条数据线和第二数据线组的每条数据线可以顺序连接。

液晶显示器可以进一步包括数据驱动器，该数据驱动器相对于第一和第二像素组布置在液晶设备的一侧上，连接到第一数据线组和第二数据线组，并发送数据电压到第一数据线组和第二数据线组。

栅极信号可以包括栅极导通电压 V_{on} 和栅极关断电压 V_{off} ，所施加到布置在该第一和第二栅极线组的第一和第二多个栅极线的相同行中的两条栅极线的栅极信号的栅极导通电压 V_{on} 交迭预定时间。栅极导通电压 V_{on} 的持续时间可以是大约 $2H$ 。

附图说明

为了清楚地理解本发明，将参考附图详细地描述本发明的示例实施例。

图 1 是根据本发明示例实施例的 LCD 的框图；

图 2 是根据本发明示例实施例的 LCD 像素的等效电路图；

图 3 是表示根据本发明示例实施例的 LCD 的像素、信号线和驱动器的空间布置例子的示图；

图 4 是表示根据本发明示例实施例的 LCD 的像素、信号线和驱动器的空间布置另一例子的示图；

图 5 是根据本发明示例实施例的栅极驱动器的框图；

图 6 是图 5 中所示的栅极驱动器的第 j 级的示例电路图；

图 7 是根据本发明示例实施例的栅极驱动器的第一和第二级的示意布局视图；和

图 8 是图 5 中所示的栅极驱动器信号的时序图。

具体实施方式

在下文中将参考附图更加全面地描述本发明，其中显示了本发明的优选

实施例。正如那些本领域技术人员将意识到的，实施例可以以各种方式修改，所有的都没有脱离所公开的精神或范围。

在附图中，为清楚起见，层、薄膜、面板、区域等的厚度被放大。在整个说明书中相同的附图标记指示相同的元件。将会理解，当诸如层、薄膜、区域或基底的元件被指出在另一元件“之上”时，它可以直接在另一个元件之上或居间元件也可以存在。相反，当元件被指出“直接在另一元件之上”时，则没有居间元件存在。

将参考图 1 到 4 详细描述根据本发明示例实施例的 LCD。

图 1 是根据本发明示例实施例的 LCD 的框图。图 2 是根据本发明示例实施例的 LCD 像素的等效电路图。图 3 是表示根据本发明示例实施例的 LCD 的像素、信号线和驱动器的空间布置例子示图。图 4 是表示根据本发明另一示例实施例的 LCD 的像素、信号线和驱动器的空间布置另一例子示图。

参考图 1 和 2，根据示例实施例的 LCD 包括液晶 (LC) 面板组件 (assembly) 300、栅极驱动器 400、数据驱动器 500、灰度电压发生器 (gray voltage generator) 800 和信号控制器 600。栅极驱动器 400 和数据驱动器 500 与面板组件 300 耦接。灰度电压发生器 800 与数据驱动器 500 耦接，信号控制器 600 控制栅极驱动器 400 和数据驱动器 500。

面板组件 300 包括多个信号线 G_{i-1} 、 G_i 和 D_j ($i=1,2, \dots, n$, 和 $j=1,2, \dots, m$) 和连接到信号线 G_{i-1} 、 G_i 和 D_j 并基本呈矩阵形式布置的多个像素 PX。在图 2 所示的结构图中，面板组件 300 包括彼此相对的下面板 100 和上面板 200 以及插入在面板 100 和 200 之间的液晶层 3。

信号线 G_{i-1} 、 G_i 和 D_j 包括多个发送栅极信号 (在下文中也被称为“扫描信号”) 的栅极线 G_{i-1} 和 G_i 和多个发送数据电压的数据线 D_j 。栅极线 G_{i-1} 和 G_i 基本沿行方向延伸，并基本彼此平行，而数据线 D_j 基本沿列方向延伸，并基本彼此平行。

参见图 2，连接到栅极线 G_i 和数据线 D_j 的每个像素 PX 包括连接到信号线 G_i 和 D_j 的开关元件 Q、和连接到该开关元件 Q 的 LC 电容器 Clc 和存储电容器 Cst。可以省略该存储电容器 Cst。

开关元件 Q 布置在下面板 100 上，它具有三个端，包括连接到栅极线 G_i 的控制端、连接到数据线 D_j 的输入端和连接到 LC 电容器 Clc 和存储电容器 Cst 的输出端。

LC 电容器 Clc 包括布置在下面板 100 上的像素电极 191 和布置在上面板 200 上的公共电极 270，作为两个端子。布置在两个电极 191 和 270 之间的 LC 层 3 作为 LC 电容器 Clc 的电介质。像素电极 191 连接到开关元件 Q，公共电极 270 被提供以公共电压 Vcom，并覆盖上面板 200 的整个表面。可以将公共电极 270 提供在下面板 100 上，并且电极 191 和 270 的至少之一可以具有棒或条的形状（未示出）。

存储电容器 Cst 是 LC 电容器 Clc 的辅助电容器。存储电容器 Cst 包括像素电极 191 和单独的信号线。单独的信号线被提供在下面板 100 上，经由绝缘体与像素电极 191 重叠，并被提供以诸如公共电压 Vcom 的预定电压。可选择地，存储电容器 Cst 包括像素电极 191 和称为在前栅极线的相邻栅极线，该相邻栅极线经由绝缘体与像素电极 191 重叠。

参考图 3，像素 PX 被分成沿行方向彼此相邻的第一像素组 PXa 和第二像素组 PXb。多个栅极线 G_{a1} 、 G_{a2} ... G_{an} 和 G_{b1} 、 G_{b2} ... G_{bn} 被分成连接到第一像素组 PXa 的第一栅极线组 G_a 和连接到第二像素组 PXb 的第二栅极线组 G_b 。栅极线 G_{a1} / G_{b1} 、 G_{a2} / G_{b2} ...和 G_{an} / G_{bn} 沿像素行布置，并彼此分离。栅极线 G_{a1} / G_{b1} 、 G_{a2} / G_{b2} ...和 G_{an} / G_{bn} 分别被包括在第一和第二栅极线组 G_a 和 G_b 中。

多个数据线还被分成连接到第一像素组 PXa 的第一数据线组 D_a 和连接到第二像素组 PXb 的第二数据线组 D_b 。第一和第二数据线组 D_a 和 D_b 的数据线 D_{a1} 和 D_{b1} 、 D_{a2} 和 D_{b2} 、 D_{a3} 和 D_{b3} 、...、 D_{am-2} 和 D_{bm-2} 、 D_{am-1} 和 D_{bm-1} 、或 D_{am} 和 D_{bm} 彼此连接。连接数据线 D_{a1} 和 D_{b1} 、 D_{a2} 和 D_{b2} 、 D_{a3} 和 D_{b3} 、...、 D_{am-2} 和 D_{bm-2} 、 D_{am-1} 和 D_{bm-1} 、和 D_{am} 和 D_{bm} 的延伸线交替地布置在 LC 面板组件 300 的上或下区域 330 或 340。第一和第二数据线组 D_a 和 D_b 的奇数数据线 D_{a1} 、 D_{a3} 、... D_{am-1} 和 D_{b1} 、 D_{b3} 、... D_{bm-1} 相对于像素 PX 连接在 LC 面板组件 300 的上区域 330。第一和第二数据线组 D_a 和 D_b 的偶数数据线 D_{a2} 、 D_{a4} 、... D_{am} 和 D_{b2} 、 D_{b4} 、... D_{bm} 相对于像素 PX 连接在 LC 面板组件 300 的下区域 340。

可选择地，如图 4 中所示，相邻数据线 D_{am} 和 D_{b3} 、 D_{am-1} 和 D_{b2} 、 D_{am-2} 和 D_{b1} 、...、 D_{a3} 和 D_{bm} 、 D_{a2} 和 D_{bm-1} 、以及 D_{a1} 和 D_{bm-2} 彼此连接。表示不同颜色的预定数量的像素，例如，分别表示每个基色红色、绿色和蓝色的三个像素被定义为一个圆点(dot)。此时，如图 4 中所示，第一数据线组 D_a 的第

一圆点连接到第二数据线组 Db 的最后一个圆点。第一数据线组 Da 的最后一个圆点连接到第二数据线组 Db 的第二个圆点。在彼此连接的两个点中，彼此连接的数据线连接到表示相同颜色的像素。

连接数据线 D_{am} 和 D_{b3} 、 D_{am-1} 和 D_{b2} 、 D_{am-2} 和 D_{b1} 、...、 D_{a3} 和 D_{bm} 、 D_{a2} 和 D_{bm-1} 、和 D_{a1} 和 D_{bm-2} 的延伸线交替地布置在 LC 面板组件 300 的上区域 330 或下区域 340。

对于颜色显示，每个像素唯一地表示一种基色（即，空间分割）或，每个像素顺序地依次表示基色（即，时间分割），从而使基色的空间或时间总和被辨认为所希望的颜色。一组基色的例子包括红、绿和蓝色。图 2 表示空间分割的例子，其中每个像素包括滤色片 230，表示在面向像素电极 191 的上面板 200 区域中的一种基色。可选择地，滤色片 230 提供在下面板 100 上的像素电极 191 的上面或下面。

一个或多个偏振器（未示出）连接到面板组件 300。

再次参考图 1 和 3，灰度电压发生器 800 产生与像素 PX 的发送有关的全部数量的灰度电压或有限数量的灰度电压（在下文中参考为“参考灰度电压”）。一些（参考）灰度电压相对于公共电压 Vcom 具有正极性，而其它（参考）灰度电压相对于公共电压 Vcom 具有负极性。

栅极驱动器 400 连接到面板组件 300 的栅极线 G_i ，并综合栅极导通电压 Von 和栅极关断电压 Voff，以生成施加到栅极线 G_i 的栅极信号。

栅极驱动器 400 包括第一和第二栅极驱动器 400a 和 400b，它们分别布置在 LC 面板组件 300 的右侧和左侧。第一栅极驱动器 400a 连接到第一栅极线组 G_a ，第二栅极驱动器 400b 连接到第二栅极线组 G_b 。第一和第二栅极驱动器 400a 和 400b 相对于像素 PX 彼此相对地布置，定位在 LC 面板组件 300 的左区域 310 和右区域 320 上。

栅极驱动器 400a 和 400b 主要起移位寄存器的作用，并包括多个排成一行的级（stage）。栅极驱动器 400a 和 400b 可以连同信号线 G_{a1} - G_{am} 、 G_{b1} - G_{bn} 、 D_{a1} - D_{am} 、 D_{b1} - D_{bm} 和开关元件 Q 集成在 LC 面板组件 300 中。栅极驱动器 400a 和 400b 可以包括至少一个集成电路（IC）芯片，该集成电路芯片安装到 LC 面板组件 300 上或附着到面板组件 300 上的带式运输器包装（TCP，tape carrier package）式的柔性印刷电路（FPC，flexible printed circuit）薄膜上。

数据驱动器 500 连接到数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} ，并且相对于像素 PX

布置在 LC 面板组件 300 的右区域 320 上, 邻近于第二栅极驱动器 400b。栅极驱动器 500 可以位于第二栅极驱动器 400a 附近。数据驱动器 500 施加数据电压到数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} , 该数据电压从由灰度电压发生器 800 提供的灰度电压中选择。当灰度电压发生器 800 只产生一些参考灰度电压, 而不是所有灰度电压时, 数据驱动器 500 可以分割参考灰度电压, 以从参考灰度电压中产生数据电压。

信号控制器 600 控制栅极驱动器 400 和栅极驱动器 500 等。

驱动设备 500、600 和 800 的每一个可以包括至少一个集成电路 (IC) 芯片, 该集成电路芯片安装在 LC 面板组件 300 或附着到面板组件 300 上的带式运输器包装 (TCP) 式的柔性印刷电路 (FPC) 薄膜上。可选择地, 驱动设备 500、600 和 800 的至少之一可以连同信号线 G_{a1} - G_{an} 、 G_{b1} - G_{bn} 、 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 以及开关元件 Q 集成在面板组件 300 中。可选择地, 所有的驱动设备 500、600 和 800 可以集成在单个 IC 芯片中, 不过驱动设备 500、600 和 800 的至少之一或驱动设备 500、600 和 800 至少之一中的至少一个电路元件可以布置在单个 IC 芯片的外部。

如上所述, 通过连接数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 的每两条数据线, 降低了形成数据驱动器和安装在 LCD 上的数据驱动电路芯片的数量。而且, 由于在所有像素 PX 中的数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 的布置是相同的, 所以由于在数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 与像素电极 191 之间产生的寄生电容而产生的像素电极电压的变化量是一致的。因此, 每个像素 PX 的亮度被保持为统一。而且, 像素 PX 之间的孔径比 (aperture ratio) 的差降低。

数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 每两条数据线彼此连接, 并且连接到数据驱动器 500 的信号线数量降低了一半, 改进了空间冗余。因此, 在没有空间限制的情况下, 数据驱动器 500 可以布置在 LC 面板组件 300 的侧面上。

如上所述, 在每个像素行中的两个分离的栅极线 G_{a1} - G_{an} 和 G_{b1} - G_{bn} 连接到分离的栅极驱动器 400a 和 400b。因此, 即使这两条数据线彼此连接, 每个像素行包括一个栅极线, 那么 LC 面板组件 300 孔径比的降低也不会发生。

现在, 将详细描述上述 LCD 的操作。

为信号控制器 600 提供输入图像信号 R、G 和 B、和来自外部图形控制器 (未示出) 的用于控制其显示的输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息, 并且该亮度具有预定数量的灰度 (gray), 例如

1024 ($=2^{10}$)、256 ($=2^8$) 或 64 ($=2^6$) 个灰度。输入控制信号包括垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK 和数据使能信号 DE。

基于输入控制信号和输入图像信号 R、G 和 B，信号控制器 600 产生栅极控制信号 CONT1 和数据控制信号 CONT2，并且它处理图像信号 R、G 和 B 以适合于面板组件 300 和数据驱动器 500 的操作。信号控制器 600 发送栅极控制信号 CONT1 到栅极驱动器 400，并发送所处理的图像信号 DAT 和数据控制信号 CONT2 到数据驱动器 500。

栅极控制信号 CONT1 包括用于指示栅极驱动器 400 开始扫描的扫描开始信号 STV，和用于控制栅极导通电压 Von 的输出周期的至少一个时钟信号。栅极控制信号 CONT1 可以包括用于定义栅极导通电压 Von 持续时间的输出使能信号 OE。

数据控制信号 CONT2 包括：水平同步开始信号 STH，用于通知数据驱动器 500 开始针对一行像素 PX 进行数据发送；加载信号 LOAD，用于指示数据驱动器 500 来施加数据电压到数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} ；和数据时钟信号 HCLK。数据控制信号 CONT2 可以进一步包括反相信号 RVS，用于反转数据电压的极性（相对于公共电压 Vcom）。

响应于来自信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 接收来自信号控制器 600 的针对该行像素 PX 的数字图像信号 DAT 包，将该数字图像信号 DAT 转换成从灰度电压选择的模拟数据电压，并施加该模拟数据电压到数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 。

响应于来自信号控制器 600 的栅极控制信号 CONT1，栅极驱动器 400 施加栅极导通电压 Von 到栅极线 G_{a1} - G_{an} 和 G_{b1} - G_{bn} ，由此导通连接到其的开关晶体管 Q。通过被触发(activate)的开关晶体管 Q 将施加到数据线 D_{a1} - D_{am} 和 D_{b1} - D_{bm} 的数据电压提供给像素 PX。此时，栅极导通电压 Von 交替地和顺序地施加到第一栅极线组 G_a 和第二栅极线组 G_b ，其中以第一栅极线组 G_a 的第一栅极线 G_{a1} 、第二栅极线组 G_b 的第一栅极线 G_{b1} 、第一栅极线组 G_a 的第二栅极线 G_{a2} 、第二栅极线组 G_b 的第二栅极线 G_{b2} 等的顺序施加栅极导通电压 Von。

施加到像素 PX 的公共电压 Vcom 和数据电压的电压之间的差表示为跨越像素 PX 的 LC 电容器 Clc 的电压，其被称为像素电压。LC 电容器 Clc 的

LC 分子具有依赖于像素电压大小的取向，并且该分子取向确定穿过 LC 层 3 的光的偏振。一个或多个偏振器发送偏振光，从而使像素 PX 具有由数据电压的灰度表示的亮度。

通过针对水平周期的每个单元（还称为“1H”，并且其等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期）重复该过程，顺序地为所有栅极线 G_{a1} - G_{an} 和 G_{b1} - G_{bn} 提供栅极导通电压 V_{on} ，由此施加数据电压给所有像素 PX，以显示帧图像。

当一帧结束之后下一帧开始时，控制施加到数据驱动器 500 的反相信号 RVS，从而使数据电压的极性反向（其被称为“帧反转（frame inversion）”。还可以控制反相信号 RVS，从而使在数据线中流动的数据电压的极性在一帧期间周期性地反转（例如行反转(row inversion)和点反转（dot inversion），或使一个包中的数据电压极性反向（例如，列反转和点反转）。

将参考图 5 到 8 描述根据本发明示例实施例的栅极驱动器。

图 5 是根据本发明示例实施例的栅极驱动器框图。图 6 是图 5 中所示的栅极驱动器的第 j 级的示例电路图。图 7 是根据本发明示例实施例的栅极驱动器的第一和第二级的示意布局视图；图 8 是图 5 中所示的栅极驱动器信号的时序图。

参考图 5 和 7，分别向作为移位寄存器的栅极驱动器 400a 和 400b 提供扫描开始信号 LSTV 和 RSTV、时钟信号 LCLK1 和 LCLK2 和 RCLK1 和 RCLK2。移位寄存器 400a 和 400b 的每一个包括基本呈行排列并连接到栅极线 G_{a1} - G_{an} 或 G_{b1} - G_{bn} 的多个级 410a 或 410b。

如图 8 中所示，施加到左移位寄存器 400a 的第一扫描开始信号 LSTV 和施加到右移位寄存器 400b 的第二扫描开始信号 RSTV 每帧产生脉冲。该脉冲宽度大约为 2H。

当第一时钟信号 LCLK1 具有低电平时，施加到左移位寄存器 400a 第一级 410a 的第一扫描开始信号 LSTV 的高电平被输出，当第一时钟信号 LCLK1 从低电平变换到高电平时，第一扫描开始信号 LSTV 以与第一扫描开始信号 LSTV 的变化同步的方式从高电平变换到低电平。当第三时钟信号 RCLK1 具有低电平时，施加到右移位寄存器 400b 第一级 410b 的第二扫描开始信号 RSTV 的高电平被输出，并且当第三时钟信号 RCLK1 从低电平变换到高电平时，第二扫描开始信号 RSTV 以与第二扫描开始信号 RSTV 的变化同步的

方式从高电平变换到低电平。

每一级 410a 和 410b 包括置位(set)端 S、栅极电压端 GV、一对时钟端 CK1 和 CK2、复位(reset)端 R、帧复位端 FR、栅极输出端 OUT1 和进位输出端 (carry output terminal) OUT2。

为每个移位寄存器 400a 和 400b 的两个相邻级 410a 和 410b 的时钟端 CK1 和 CK2 提供彼此不同的两个时钟信号 LCLK1 和 LCLK2 或 RCLK1 和 RCLK2。即，两个时钟信号 LCLK1 和 LCLK2 或 RCLK1 和 RCLK2 的波形相对于彼此反转。例如，在左移位寄存器 400a 中，为第一级 410a 的时钟端 CK1 提供第一时钟信号 LCLK1，为第一级 410a 的时钟端 CK2 提供第二时钟信号 LCLK2，而为第二级 410a 的时钟端 CK1 提供第一时钟信号 LCLK2，为第二级 410a 的时钟端 CK2 提供第二时钟信号 LCLK1。在右移位寄存器 400b 中，为第一级 410b 的时钟信号 CK1 提供第三时钟信号 RCLK1，为第一级 410b 的时钟端 CK2 提供第四时钟信号 RCLK2，而为第二级 410a 的时钟端 CK1 提供第四时钟信号 RCLK2，为第二级 410b 的时钟端 CK2 提供第三时钟信号 RCLK1。

每个时钟信号 LCLK1、LCLK2、RCLK1 和 RCLK2 的高电平可以是用于导通像素 PX 的开关元件 Q 的栅极导通电压 V_{on} ，每个时钟信号 LCLK1、LCLK2、RCLK1 和 RCLK2 的低电平可以是用于关断像素 PX 的开关元件 Q 的栅极关断电压 V_{off} 。

在每一级，例如在第 j 级 ST_j 中，为置位端 S 提供在前级 $ST_{(j-2)}$ 的进位输出信号 $C_{out}(j-2)$ ，为复位端 R 提供下一级 $ST_{(j+2)}$ 的栅极输出信号 $G_{out}(j+2)$ ，分别为时钟端 CK1 和 CK2 提供时钟信号 LCLK1 和 LCLK2，为栅极电压端 GV 提供栅极关断电压 V_{off} 。第 j 级 ST_j 的栅极输出端 OUT1 输出栅极输出 $G_{out}(j)$ ，第 j 级 ST_j 的进位输出端 OUT2 输出进位输出信号 $C_{out}(j)$ 。

为每个移位寄存器 400a 和 400b 的第一级 ST_1 提供扫描开始信号 LSTV 和 RSTV，而不是在前的进位输出信号。而且，如上所述，当分别为第 j 级 ST_j 的时钟端 CK1 和 CK2 提供时钟信号 LCLK1 和 LCLK2 时，分别为第 $(j-2)$ 级 ST_{j-2} 的时钟端 CK1 和 CK2 提供时钟信号 LCLK2 和 LCLK1。

参考图 6，图 5 中所示的栅极驱动器 400a 和 400b 的每一级，例如第 j 级 ST_j ，包括输入单元 420、上拉(pull-up)驱动单元 430、下拉(pull-down)驱动单元 440 和输出单元 450。单元 420、430、440 和 450 包括至少一个 NMOS

晶体管 T1 - T14, 上拉驱动单元 430 和输出单元分别进一步包括电容器 C1 和 C2、和电容器 C3。单元 420、430、440 和 450 可以包括至少一个 PMOS 晶体管而不是 NMOS 晶体管。而且, 电容器 C1 - C3 可以是在加工期间形成在栅极端和漏级 / 源极端之间的寄生电容器。

输入单元 420 包括在置位端 S 和栅极电压端 GV 之间串联连接的三个晶体管 T11、T10 和 T5。晶体管 T11 和 T5 的栅极端连接到时钟端 CK2, 晶体管 T10 的栅极端连接到时钟端 CK1。晶体管 T11 和 T10 的节点连接到节点 J1, 晶体管 T10 和 T5 的节点连接到节点 J2。

上拉驱动单元 430 包括晶体管 T4、T12 和 T7、和两个电容器 C1 和 C2。晶体管 T4 连接在置位端 S 和节点 J1 之间, 晶体管 T12 连接到时钟端 CK1 和节点 J3, 晶体管 T7 连接在时钟端 CK1 和节点 J4 之间。晶体管 T4 包括共同连接到置位端 S 的栅极和漏级端, 和连接到节点 J1 的源极端。晶体管 T12 包括共同连接到时钟端 CK1 的栅极端和漏级端, 和连接到节点 J3 的源极端。晶体管 T7 包括连接到节点 J3 并通过电容器 C1 也连接到时钟端 CK1 的栅极端、连接到时钟端 CK1 的漏级端、和连接到节点 J4 的源极端。电容器 C2 连接在节点 J3 和 J4 之间。

下拉驱动单元 440 包括多个晶体管 T6、T9、T13、T8、T3 和 T2, 它们通过其漏级端向节点 J1、J2、J3 和 J4 输出来自其源极端的栅极关断电压 V_{off} 。在晶体管 T6 中, 栅极端连接到帧复位端 FR, 漏级端连接到节点 J1。在晶体管 T9 中, 栅极端连接到复位端 R, 漏级端连接到节点 J1。晶体管 T13 和 T8 的栅极端共同连接到节点 J2, 晶体管 T13 和 T8 的漏级端分别连接到节点 J3 和 J4。晶体管 T3 的栅极端连接到节点 J4, 晶体管 T2 的栅极端连接到复位端 R。而且, 晶体管 T3 和 T2 的漏级端连接到节点 J2。

输出单元 450 包括一对晶体管 T1 和 T14、和电容器 C3。晶体管 T1 包括连接到时钟端 CK1 的漏级端、连接到输出端 OUT1 和节点 J2 的源极端、和连接到节点 J1 的栅极端。晶体管 T4 包括连接到时钟端 CK1 的漏级端、连接到输出端 OUT2 的源极端、和连接到节点 J1 的栅极端。电容器 C3 连接在晶体管 T1 的栅极和漏级端, 即, 节点 J1 和 J2 之间。

接下来, 将描述级 STj 的操作。

为了更好地理解和方便描述, 相应于时钟信号 LCLK1、LCLK2、RCLK1 和 RCLK2 的高电平的电压表示为高电压, 相应于时钟信号 LCLK1、LCLK2、

RCLK1 和 RCLK2 的低电平的电压表示为低电压。低电压的大小可以等于栅极关断电压 V_{off} 。

当时钟信号 LCLK2 和在前进位输出信号 $C_{out}(j-2)$ 具有高电平时，晶体管 T11、T5 和 T4 导通。当晶体管 T11、T5 和 T4 导通时，晶体管 T11 和 T4 发送高电压到节点 J1，晶体管 T5 发送低电压到节点 J2。因此，将晶体管 T1 和 T14 导通，以通过输出端 OUT1 和 OUT2 输出时钟信号 CLK1。由于节点 J2 和时钟信号 LCLK1 的所有电压是低电压，所以输出电压 $G_{out}(j)$ 和 $C_{out}(j)$ 为低电压。此时，电容器 C3 还通过高电压和低电压之间的电压充电。

此时，由于时钟信号 LCLK1 和下一栅极输出电压 $G_{out}(j+2)$ 处于低电平，并且节点 J2 也处于低电平，因此具有连接到它们的栅极端的晶体管 T10、T9、T12、T13、T8 和 T2 关断。

随后，当时钟信号 LCLK2 为低电平时，晶体管 T11 和 T5 关断。当时钟信号 LCLK1 是高电平时，来自晶体管 T1 的输出电压和节点 J2 的电压为高电压。此时，由于高电压施加到晶体管 T10 的栅极端，而其源极端保持高电压，所以栅极端和源极端之间的电压基本为 0V，由此晶体管 T10 保持关断状态。因此，节点 J1 处于漂移状态，由此节点 J1 的电压进一步通过电容器 C3 的高电压升高。

同时，时钟信号 LCLK1 和节点 J2 的电势是高电压，从而使晶体管 T12、T13 和 T8 导通。在这种状态下，晶体管 T12 和 T13 串联连接在高电压和低电压之间，由此节点 J3 的电势具有被处于晶体管 T12 和 T13 导通的电阻状态值分割的电压。当处于晶体管 T12 和 T13 导通的电阻状态值明显大于处于晶体管 T12 导通的电阻状态值时，例如，处于晶体管 T12 和 T13 导通的电阻状态值大约比处于晶体管 T12 导通的电阻状态值大 10,000 倍，则节点 J3 的电压几乎与高电压相同。因此，晶体管 T7 导通，以与晶体管 T8 串联连接，由此节点 J4 具有被处于晶体管 T7 和 T8 导通的电阻状态值分割的电压。由于加工晶体管 T7 和 T8 以使得晶体管 T7 和 T8 的电阻状态值几乎相同，所以节点 J4 的电压大小是高电压和低电压之间的中间值。因此，晶体管 T3 保持关断状态。下一栅极输出电压 $G_{out}(j+2)$ 保持低电压，由此晶体管 T9 和 T2 也是关断的。因此，输出端 OUT1 和 OUT2 连接到时钟信号 CLK1，并从低电压断开，来输出高电压。

电容器 C1 和 C2 分别通过其两端之间的电压差来充电，并且节点 J3 的

电压小于节点 J5 的电压。

随后, 当下一栅极输出信号 $G_{out(j+1)}$ 和时钟信号 CLK2 为高电平, 并且时钟信号 CLK1 为低电平时, 晶体管 T9 和 T2 导通, 以把低电压传送给节点 J1 和 J2。此时, 通过对电容器 C3 放电, 节点 J1 的电压降低到电压。由于电容器 C3 的放电时间, 而需要预定时间来达到该低电压。因此, 在下一栅极输出信号 $G_{out(j+1)}$ 改变到高电平之后, 两个晶体管 T1 和 T14 保持导通状态预定的时间, 并由此输出端 OUT1 和 OUT2 连接到时钟信号 CLK1, 来输出低电压。接下来, 当电容器 C3 完全放电使得节点 J1 的电压达到低电压时, 晶体管 T14 关断来断开输出端 OUT2 和时钟信号 CLK1 的连接。由此, 进位输出信号 $C_{out(j)}$ 处于漂移状态, 来输出低电压。此时, 输出端 OUT1 通过晶体管 T2 连接到低电压, 来输出低电压, 即使晶体管 T1 保持在关断状态。

同时, 晶体管 T12 和 T13 关断, 由此节点 J3 为漂移状态。而且, 节点 J5 的电压下降小于节点 J4 的电压。然而, 节点 J3 的电压因为电容器 C1 而小于节点 J5 的电压, 从而使晶体管 T7 关断。此时, 晶体管 T8 关断, 节点 J4 的电压下降, 从而使晶体管 T3 也保持在关断状态。晶体管 T10 的栅极端连接到具有低电压的时钟信号 CLK1, 并且节点 J2 的电压是低电平。因此, 晶体管 T10 保持在关断状态。

接下来, 当时钟信号 CLK1 变换到高电平时, 晶体管 T12 和 T7 导通, 并且晶体管 T3 通过节点 J4 的电压增加导通, 来发送低电压到节点 J2。由此, 输出端 OUT1 仍然输出低电压。尽管下一栅极输出 $G_{out(j+1)}$ 的输出是低电平, 但节点 J2 具有低电压。

同时, 晶体管 T10 的栅极端连接到具有高电压的时钟信号 CLK1, 并且节点 J2 的电压是低电压。因此, 晶体管 T10 导通, 来发送节点 J2 的低电压到节点 J1。两个晶体管 T1 和 T14 的漏极端仍然连接到时钟端 CK1, 以被提供以时钟信号 CLK1。具体地, 晶体管 T1 的尺寸大于其余晶体管的尺寸。因此, 晶体管 T1 的栅极端和漏极端之间的寄生电容增加, 由此漏极端的电压变化可能影响晶体管 T1 的栅极端电压。当时钟信号 CLK1 是高电平时, 栅极端电压由于该寄生电容而增加, 由此晶体管 T1 导通。由于晶体管 T1 发送节点 J2 的低电压到节点 J1, 所以晶体管 T1 的栅极端保持低电压, 来防止晶体管 T1 的导通。

其后, 在在前进位输出信号 $C_{out(j-2)}$ 是高电平之前, 节点 J1 的电压保

持低电压，当时钟信号 CLK1 是高电平并且时钟信号 CLK2 是低电平时，节点 J2 的电压通过晶体管 T3 变为低电压。当时钟信号 CLK1 是低电平并且时钟信号 CLK2 是高电平时，节点 J2 的电压通过晶体管 T5 变为低电压。

同时，为晶体管 T6 提供从虚拟级(dummy stage) (未示出) 产生的初始化信号 INT，并发送栅极关断电压 V_{off} 到节点 J1，来再次设置节点 J1 的电压到低电压。

这样，与时钟信号 LCLK1 和 LCLK2 同步，基于在前的进位信号 $C_{out}(j-2)$ 和下一栅极信号 $G_{out}(j+2)$ ，级 410a 和 410b 产生进位信号 $C_{out}(j)$ 和栅极信号 $G_{out}(j)$ 。

如图 8 中所示，施加到第一栅极线组 G_a 的第一栅极线 G_{a1} 的第一栅极信号 g_{a1} 包括高电平，即，基于第一扫描开始信号 LSTV 与第一时钟信号 LCLK1 同步的栅极导通电压 V_{on} 。施加到第二栅极线组 G_b 的第一栅极线 G_{b1} 的第二栅极信号 g_{b1} 包括高电平，即，基于第二扫描开始信号 RSTV 与第三时钟信号 RCLK1 同步的栅极导通电压 V_{on} 。第一和第二栅极信号 g_{a1} 和 g_{b1} 的栅极导通电压 V_{on} 的脉冲宽度分别大约是 $2H$ 。对于大约 $2H$ 的第一半，相应像素可以被预先充电，对于大约 $2H$ 的第二半，相应像素可以通过目标电压主充电(main-charge)。第一和第二栅极信号 (g_{a1} 和 g_{b1}) 的栅极导通电压 V_{on} 交迭预定时间，该预定时间可以是大约 $1H$ 。

其后，第一和第二栅极线组 G_a 和 G_b 的后续栅极线 $G_{a2} - G_{an}$ 和 $G_{b2} - G_{bn}$ 顺序输出栅极导通电压 V_{on} ，该电压与在前栅极导通电压 V_{on} 交迭预定时间。

根据本发明，基本防止了 LCD 孔径比的减少，并且数据驱动芯片的数量降低。

虽然本发明是结合目前被认为是实际示例实施例的内容得到描述的，但是应当理解，本发明不限于所公开的实施例，而是相反，意在覆盖包括在所公开的精神和范围之内各种修改和等同布置。

相关文献交叉引用

本申请要求 2006 年 9 月 26 日在韩国知识产权局提交的韩国专利申请第 10-2006-0093412 号的优先权和权益。

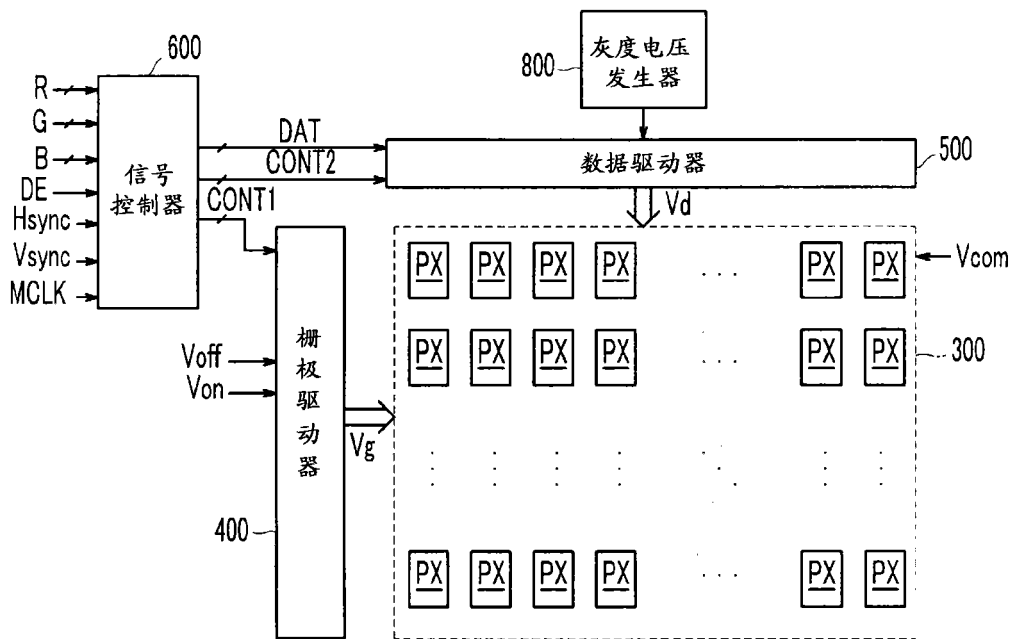


图 1

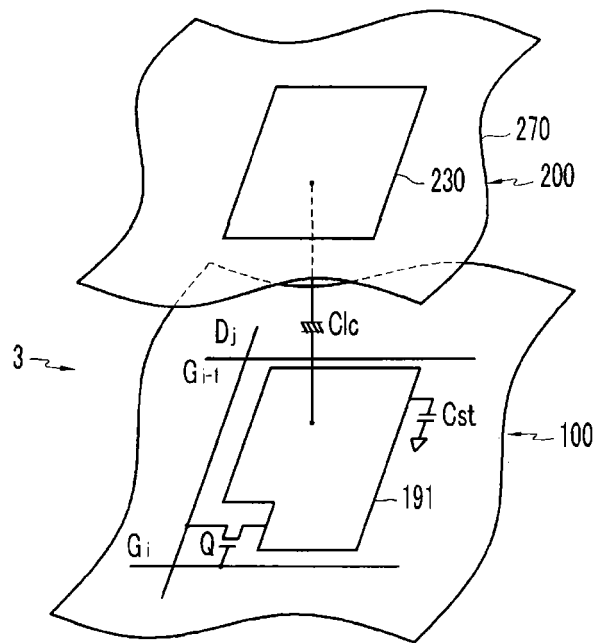


图 2

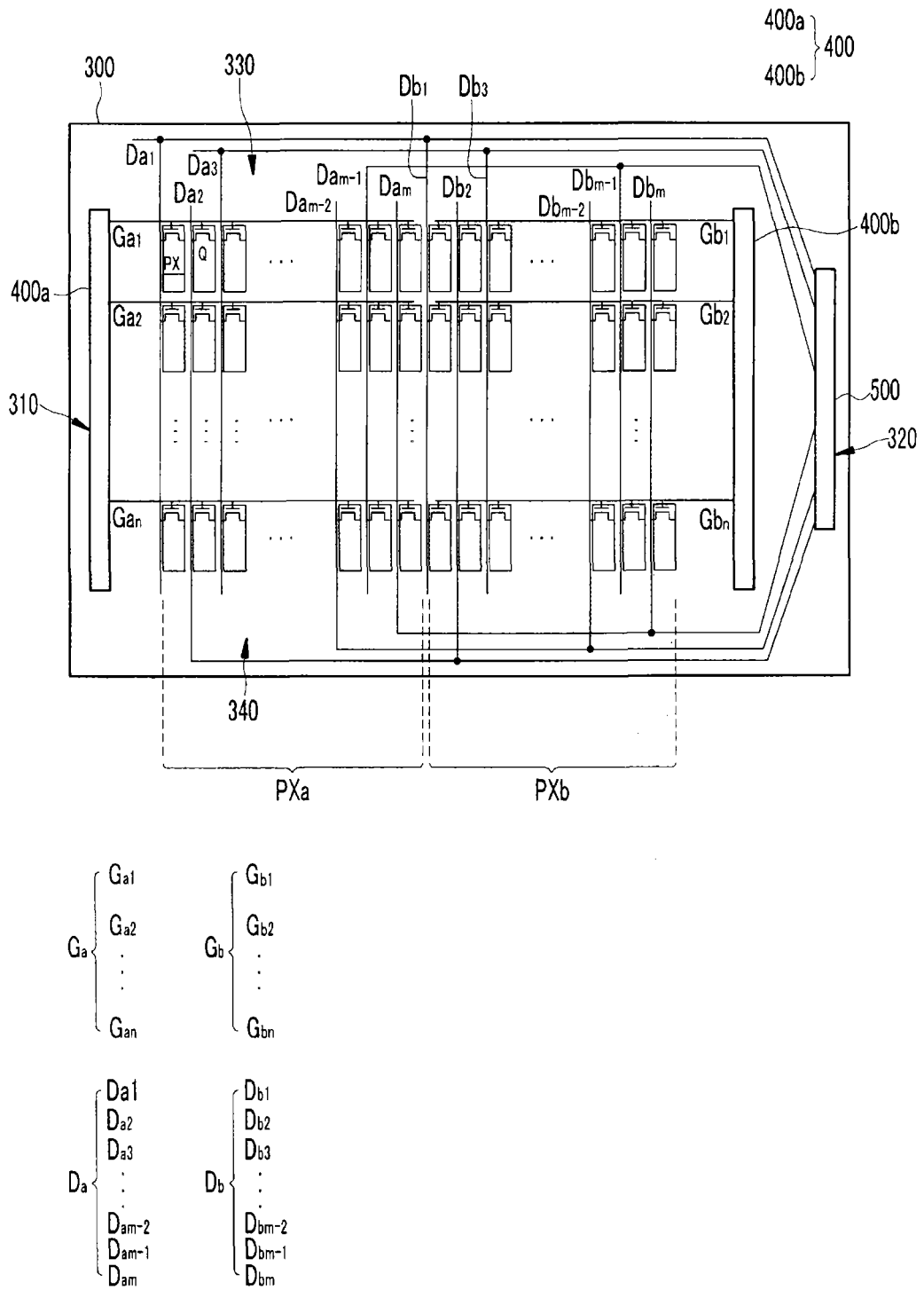


图 3

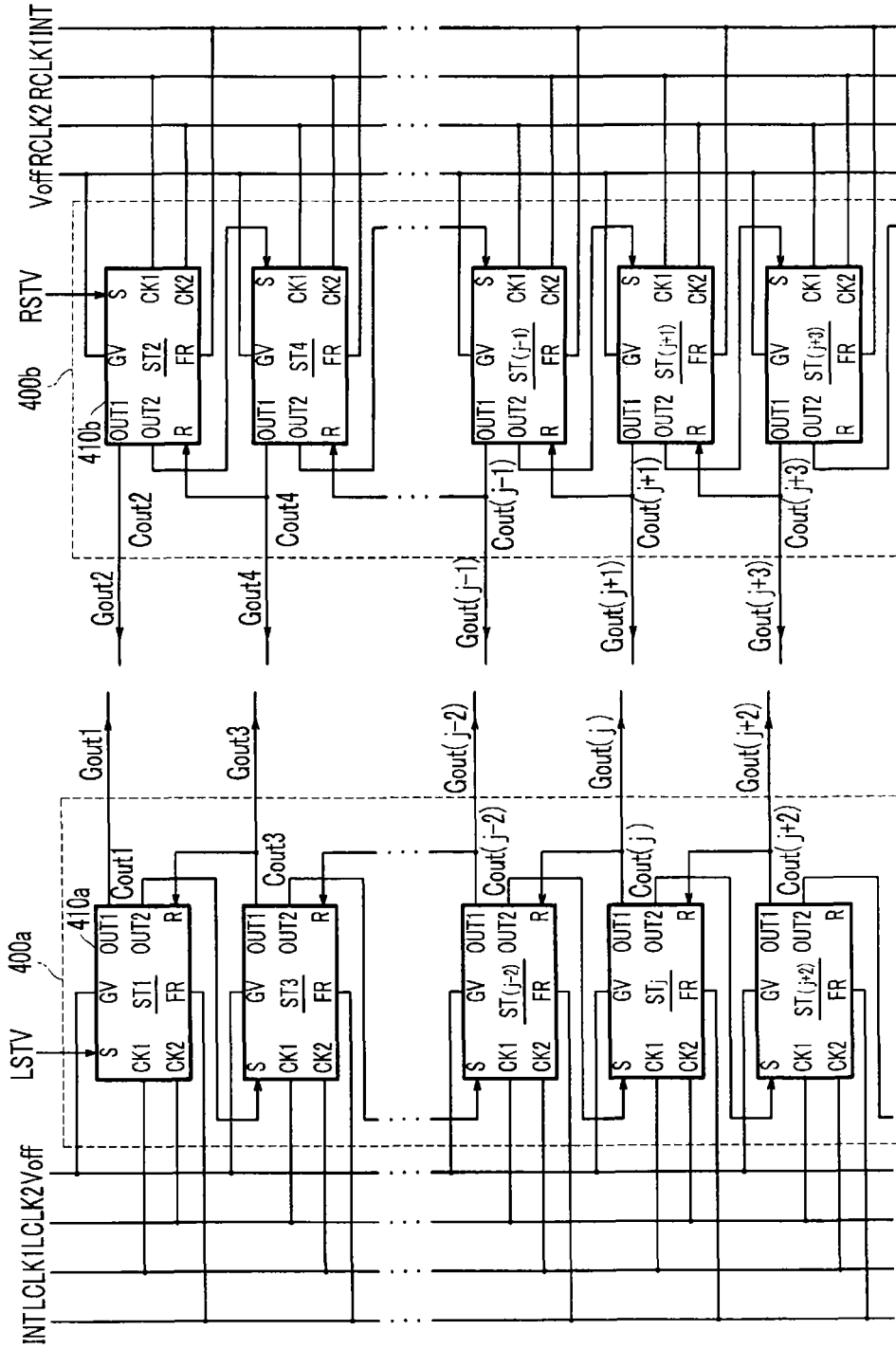


图 5

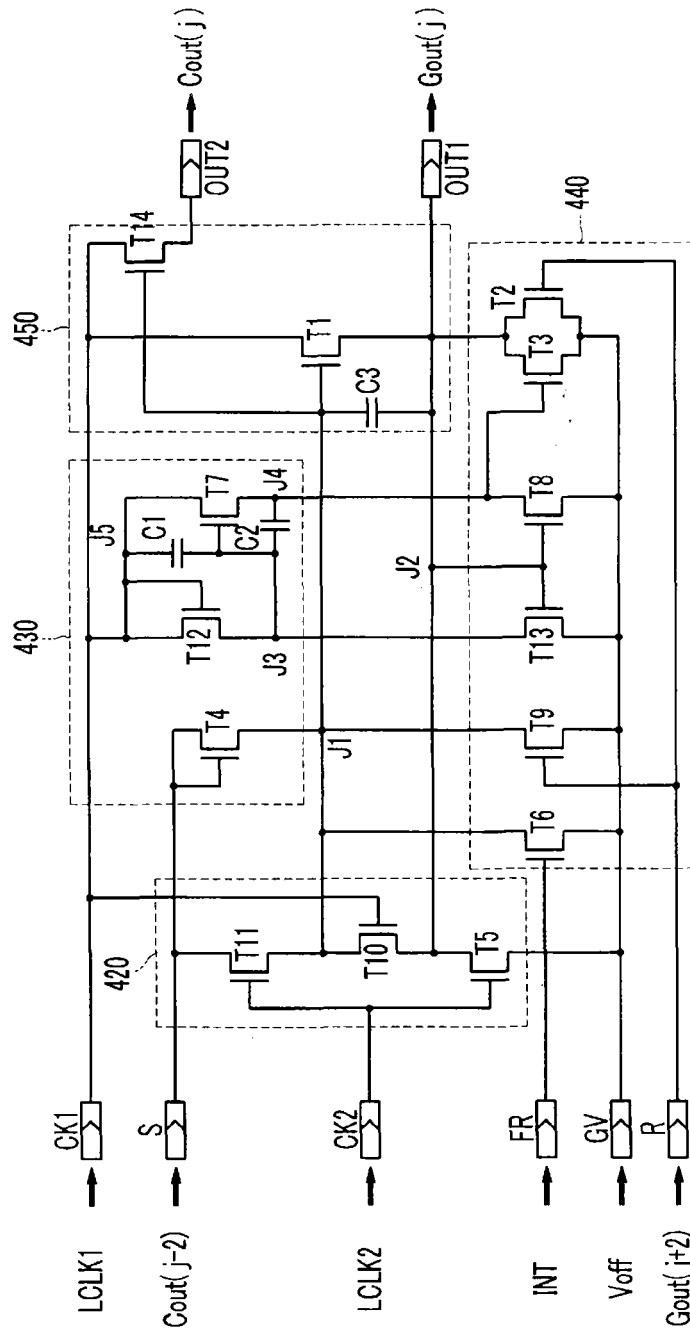


图 6

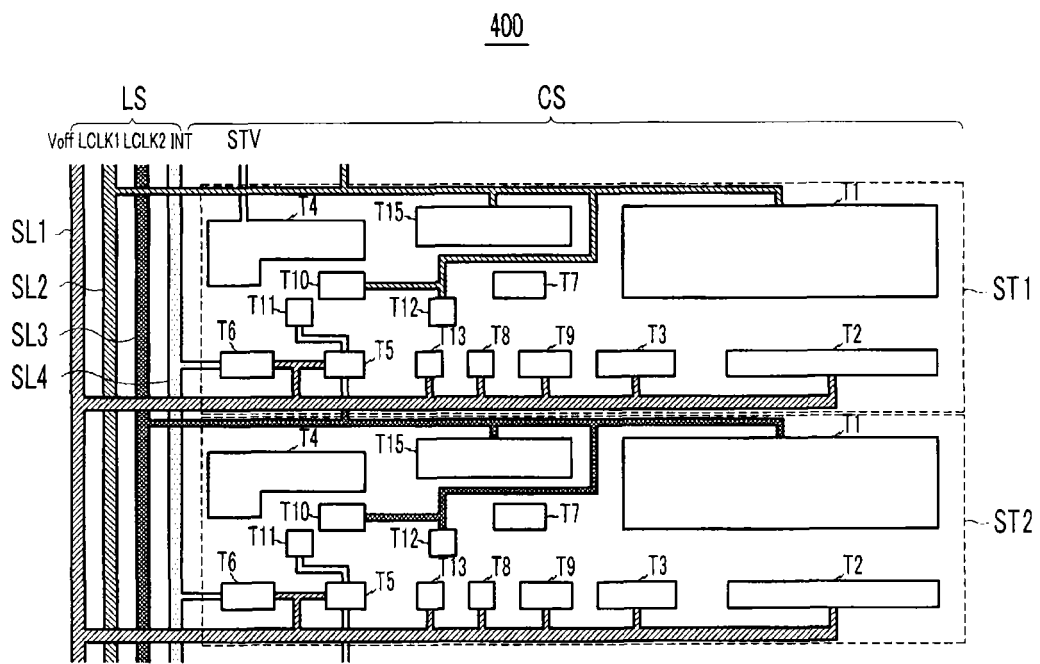


图 7

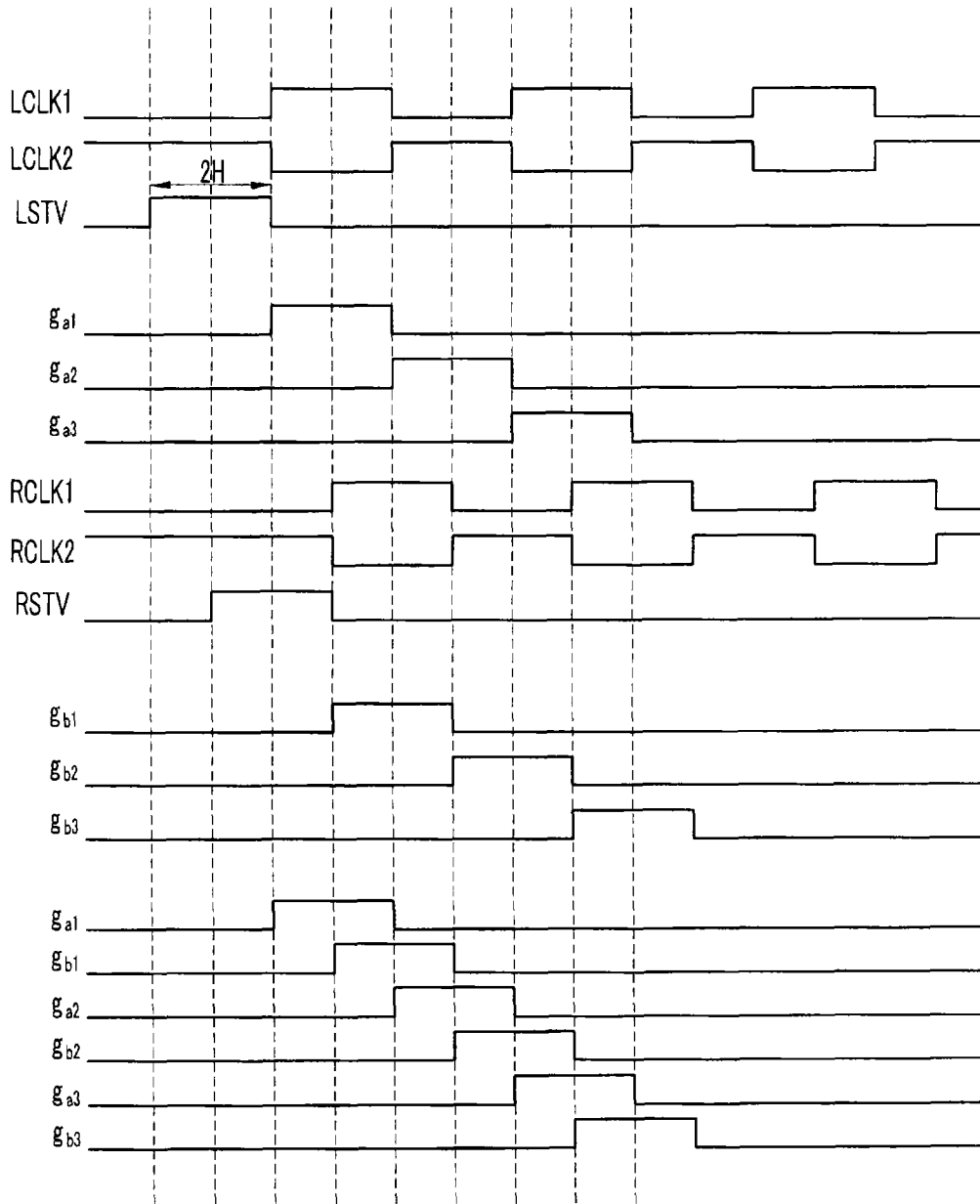


图 8

专利名称(译)	液晶显示器		
公开(公告)号	CN101154006A	公开(公告)日	2008-04-02
申请号	CN200710161792.0	申请日	2007-09-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍 鱼基汉		
发明人	全珍 鱼基汉		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G02F2001/13456 G09G2320/0233 G09G2310/0205 G09G2310/08 G02F1/1345 G09G3/3666 G09G2300/0426		
代理人(译)	邵亚丽		
优先权	1020060093412 2006-09-26 KR		
其他公开文献	CN101154006B		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器，包括：基底；第一和第二像素组，包括以矩阵形式布置在基底上的多个像素；第一栅极线组，包括连接到第一像素组的像素并沿第一方向延伸的第一多个栅极线；第二栅极线组，包括连接到第二像素组的像素并沿第一方向延伸的第二多个栅极线；第一数据线组，连接到第一像素组的像素并包括沿着第二方向延伸的第一多个数据线；和第二数据线组，连接到第二像素组的像素并包括沿着第二方向延伸的第二多个数据线。第一数据线组的每条数据线和第二数据线组的每条数据线彼此连接，并且第一和第二像素组沿第一方向相邻。

