

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200610156394.5

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1333 (2006.01)

G03F 7/20 (2006.01)

H01L 21/027 (2006.01)

H01L 21/00 (2006.01)

[43] 公开日 2007 年 11 月 14 日

[11] 公开号 CN 101071238A

[22] 申请日 2006.12.29

[21] 申请号 200610156394.5

[30] 优先权

[32] 2006. 5. 9 [33] KR [31] 10 - 2006 - 0041600

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 金孝昱 林柄昊

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

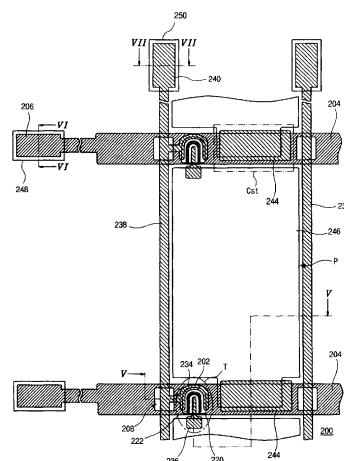
权利要求书 4 页 说明书 11 页 附图 30 页

[54] 发明名称

液晶显示器件及其制造方法

[57] 摘要

本发明公开了一种液晶显示器件，其包括彼此交叉以在基板上限定像素区域的栅线和数据线；连接到栅线的栅极；栅极上的栅绝缘层；栅绝缘层上的有源层；彼此分开并分别具有彼此相面对的内侧的有源层上的源极和漏极，其中源极连接到数据线；在有源层以及各源极和漏极之间的欧姆接触层；在有源层上方并具有外侧的遮蔽图案，其中至少一所述外侧与源极和漏极的至少一所述内侧相面对；以及在像素区域中并连接到漏极的像素电极。



- 1、一种液晶显示器件，包括：
彼此交叉以在基板上限定像素区域的栅线和数据线；
连接到栅线的栅极；
栅极上的栅绝缘层；
栅绝缘层上的有源层；
彼此分开并分别具有彼此相对的内侧的有源层上的源极和漏极，其中源极连接到数据线；
在有源层以及各源极和漏极之间的欧姆接触层；
在有源层之上并具有外侧的遮蔽图案，其中至少一外侧与所述源极和漏极的至少一内侧相面对；以及
在像素区域中并连接到漏极的像素电极。
- 2、根据权利要求1所述的器件，其特征在于，所述遮蔽图案的外侧与所述源极和漏极的内侧相面对。
- 3、根据权利要求1所述的器件，其特征在于，所述遮蔽图案与源极和漏极以及欧姆接触层之一重叠。
- 4、根据权利要求1所述的器件，其特征在于，所述遮蔽图案的两端位于所述有源层的外侧。
- 5、根据权利要求1所述的器件，其特征在于，所述源极具有“U”形，所述漏极具有条形，并且所述遮蔽图案具有“U”形。
- 6、根据权利要求1所述的器件，其特征在于，还包括在有源层上方并具有其它外侧的其它遮蔽图案，其中该其它外侧的至少其中之一与所述源极和漏极的内侧的至少其中之一相面对。
- 7、根据权利要求1所述的器件，其特征在于，所述有源层被栅极覆盖。
- 8、根据权利要求1所述的器件，其特征在于，所述栅极为栅线的部分。
- 9、根据权利要求1所述的器件，其特征在于，所述栅线在该栅线和数据线的交叉处具有孔。
- 10、根据权利要求1所述的器件，其特征在于，还包括在数据线下并延伸从源极下方的欧姆接触层延伸的半导体图案。

11、根据权利要求1所述的器件，其特征在于，还包括与栅线重叠并接触像素电极的存储电极，以及在存储电极下方并由与欧姆接触层相同的材料制成的半导体图案。

12、根据权利要求1所述的器件，其特征在于，所述像素电极接触像素区域中的栅绝缘层。

13、根据权利要求1所述的器件，其特征在于，还包括在栅线一端的栅焊盘电极和在数据线一端的数据焊盘电极。

14、根据权利要求13所述的器件，其特征在于，还包括通过栅绝缘层的栅焊盘接触孔接触栅焊盘电极的栅焊盘电极终端，以及接触数据焊盘电极的数据焊盘电极终端。

15、根据权利要求1所述的器件，其特征在于，所述有源层包括本征非晶硅、所述欧姆接触层包括掺杂杂质的非晶硅，并且所述遮蔽图案包括无机材料。

16、一种液晶显示器件的制造方法，包括：

在基板上形成栅线和栅极；

在栅极上形成栅绝缘层；

在栅绝缘层上形成有源层并在有源层上形成具有外侧的遮蔽图案；

形成与栅线交叉的数据线以限定像素区域；

形成彼此分开并具有内侧的源极和漏极；

在有源层以及各源极和漏极之间形成欧姆接触层，其中至少一所述外侧与所述源极和漏极的至少一内侧相面对；以及

形成在像素区域中并连接到漏极的像素电极。

17、根据权利要求16所述的方法，其特征在于，所述遮蔽图案的外侧与所述源极和漏极的内侧相面对。

18、根据权利要求16所述的方法，其特征在于，所述遮蔽图案与源极和漏极以及欧姆接触层之一重叠。

19、根据权利要求16所述的方法，其特征在于，所述遮蔽图案的两端在有源层的外侧。

20、根据权利要求16所述的方法，其特征在于，所述源极具有“U”形，所述漏极具有条形，并且所述遮蔽图案具有“U”形。

21、根据权利要求16所述的方法，其特征在于，还包括在有源层上方形

成并具有其它外侧的其它遮蔽图案,其中该其它外侧的至少其中之一与源极和漏极的内侧的至少其中之一相面对。

22、根据权利要求 16 所述的方法,其特征在于,所述有源层被栅极覆盖。

23、根据权利要求 16 所述的方法,其特征在于,所述栅极为栅线的部分。

24、根据权利要求 16 所述的方法,其特征在于,所述形成栅线和栅极包括在栅线与数据线交叉处的栅线中形成孔。

25、根据权利要求 16 所述的方法,其特征在于,所述形成有源层和遮蔽图案包括:

在栅绝缘层上顺序形成本征非晶硅层和遮蔽层;

用掩模形成光刻胶图案,所述光刻胶图案具有对应于栅极的部分的第一部分以及在第一部分的两侧并比第一部分薄的第二部分;

使用光刻胶图案对本征非晶硅层和遮蔽层构图以形成有源层;

灰化光刻胶图案以去除第二部分; 以及

使用灰化的光刻胶图案对构图后的遮蔽层进行构图以形成遮蔽图案。

26、根据权利要求 25 所述的方法,其特征在于,所述形成光刻胶图案包括:

在遮蔽层上形成光刻胶层;

使用掩模将光刻胶层曝光,其中掩模的遮挡部分对应于栅极的部分,并且掩模的半透射部分对应于栅极的部分的两侧; 以及

显影曝光的光刻胶层。

27、根据权利要求 16 所述的方法,其特征在于,还包括在栅线的一端形成栅焊盘电极并在数据线的一端形成数据焊盘电极。

28、根据权利要求 27 所述的方法,其特征在于,还包括在数据线和数据焊盘电极下方形成半导体图案,并该半导体图像从欧姆接触层延伸。

29、根据权利要求 28 所述的方法,其特征在于,所述形成数据线、数据焊盘电极、源极和漏极、欧姆接触层和半导体图案包括:

在具有遮蔽图案的基板上顺序形成掺杂杂质的非晶硅层和导电层;

使用掩模形成光刻胶图案,所述光刻胶图案具有对应于栅线的部分、像素区域、栅焊盘电极的部分的侧边和数据区域的侧边的第一部分,以及对应于栅极的部分的两侧和数据区域并比第一部分厚的第二部分,其中栅焊盘电极的部

分被光刻胶图案覆盖；

使用光刻胶图案对导电层和掺杂杂质的非晶硅层进行构图以形成暴露栅焊盘电极的部分的栅焊盘接触孔；

灰化所述导电层一去除第一部分；以及

使用灰化的光刻胶图案对构图后的导电层和构图后的掺杂杂质的非晶硅层构图，以形成数据线、数据焊盘电极、源极和漏极、欧姆接触层以及半导体图案，其中数据线和数据焊盘电极形成在数据区域中。

30、根据权利要求 29 所述的方法，其特征在于，形成光刻胶图案包括：

在导电层上形成光刻胶层；以及

使用掩模将光刻胶层曝光，其中掩模的透射部分对应于栅焊盘电极的部分，掩模的半透射部分对应于栅极的部分、像素区域、栅焊盘电极的部分的侧边和数据区域的侧边，并且掩模的遮挡部分对应于栅极的部分的两侧和数据区域。

31、根据权利要求 16 所述的方法，其特征在于，还包括形成与栅极重叠并接触像素电极的存储电极，以及在存储电极下方的半导体图案，其中在与源极和漏极以及欧姆接触层相同的工序中形成存储电极和半导体图案。

32、根据权利要求 29 所述的方法，其特征在于，还包括在与像素电极相同的工序中形成通过栅焊盘接触孔接触栅焊盘电极的栅焊盘电极终端以及接触数据焊盘电极的数据焊盘电极终端。

33、根据权利要求 16 所述的方法，其特征在于，所述有源层包括本征非晶硅，所述欧姆接触层包括掺杂杂质的非晶硅，并且所述遮蔽图案包括无机材料。

液晶显示器件及其制造方法

本发明要求 2006 年 5 月 9 日在韩国提交的韩国专利申请第 2006-0041600 号的权益，所述申请在此全部引用以作参考。

技术领域

本发明的实施方式涉及一种液晶显示器件，特别是涉及一种液晶显示（LCD）器件及其制造方法。

背景技术

直到最近，显示器件通常使用阴极射线管（CRT）。目前，正在进行许多努力来研发各种平板显示器以替代 CRT，例如液晶显示（LCD）器件、等离子显示面板（PDP）、场发射显示器以及电致发光显示器（ELD）。在这些平板显示器中，LCD 器件具有许多优点，例如高分辨率、轻重量、薄外形、小尺寸、以及低电压需求等。

通常，LCD 器件包括相互间隔并彼此相对的两块基板，在两块基板之间夹有液晶材料。两块基板包括彼此相对的电极，从而在电极之间施加的电压感应穿过液晶材料的电场。液晶材料中液晶分子的排列根据感应电场的强度而改变为该感应电场的方向，从而改变 LCD 器件的光透射率。因而，LCD 器件通过改变感应电场的强度来显示图像。

图 1 示出了根据现有技术的 LCD 器件的透视图。参照图 1，LCD 器件 51 包括阵列基板、滤色片基板以及在两块基板之间的液晶层。滤色片基板包括第二基板 5 上的黑矩阵 6 以及红（R）、绿（G）和蓝（B）滤色片图案 7a、7b 和 7c。公共电极 9 设置在滤色片图案 7a、7b 和 7c 上。阵列基板包括在第一基板 10 上彼此交叉以限定像素区域 P 的栅线 14 和数据线 26。薄膜晶体管 T 设置在栅线 14 和数据线 26 的交叉部分附近。像素电极 32 设置在像素区域 P 中并连接到薄膜晶体管 T。

阵列基板用五轮掩模工序制造。在第一掩模工序中形成栅极和栅线。在第

二掩模工序中形成半导体层。在第三掩模工序中形成数据线、源极和漏极。在第四掩模工序中形成具有暴露漏极的接触孔的钝化层。在第五掩模工序中形成像素电极。

因为阵列基板用五轮掩模工序制造，制造时间长且产品成本高。为了解决这些问题，建议了一种用四轮掩模工序制造阵列基板的方法。少了一轮掩模工序减少了制造时间和产品成本。

图2示出了根据现有技术用四轮掩模工序制造的LCD器件的阵列基板的平面图。参照图2，栅线62和数据线98在基板上彼此交叉以限定像素区域。栅焊盘电极64设置在栅线62的一端，并且数据焊盘电极100设置在数据线98的一端。栅焊盘电极终端114设置在栅焊盘电极64上，并且数据焊盘电极终端116设置在数据焊盘电极100上。

薄膜晶体管T设置在栅线62和数据线98的交叉处附近。薄膜晶体管T包括栅极64、第一半导体层90a以及源极94和漏极96。像素电极112设置在像素区域中并且接触漏极96。

存储电极86与栅线62重叠。存储电极86、栅线62和其间的栅绝缘层形成存储电容Cst。第二半导体层90b设置在数据线98下面，并且第三半导体层90c设置在存储电极86下面。

因为在相同的掩模工序中形成例如数据线98、存储电极86以及源极和漏极94和96的金属图案，以及例如第一至第三半导体层90a至90c的半导体图案，半导体图案设置在金属图案的下面。第一半导体层90a的一部分延伸到栅极64的外侧。第一半导体层90a的延伸部分暴露于背光并且被激活。

图3示出了图2的薄膜晶体管的截面图。参照图3，第一半导体层90a包括有源层92a和非晶硅的欧姆接触层92b。因为第一半导体层90a与源极94和漏极96一起形成，第一半导体层90a具有与源极94和漏极96基本上相同的外形。因此，第一半导体层90a的一部分延伸到栅极62的外侧。第一半导体层90a的延伸部分暴露于背光，并因而产生漏电流。漏电流使充入在像素区域中的电压通过薄膜晶体管T泄漏。因此，薄膜晶体管T的特性恶化。这是根据现有技术的四轮掩模工序中的问题。

当非晶硅用于半导体层时，形成如图3的薄膜晶体管的反交错型(inverted staggered type)薄膜晶体管。在反交错型薄膜晶体管T中，在

形成钝化层 100 之前薄膜晶体管 T 的沟道 CH 暴露于外部环境。因此, 沟道 CH 可能在后续工序中有缺陷或污染。这是根据现有技术的四轮掩模工序的其他问题。这种缺陷或污染也会引起薄膜晶体管中的漏电流。

图 4A 至 4F、图 5A 至 5F 以及图 6A 至 6F 是沿图 2 的线 II-II、III-III 和 IV-IV 提取的截面图, 其示出了根据现有技术用四轮掩模工序制造 LCD 器件的阵列基板的方法。参照图 4A、5A 和 6A, 在具有像素区域 P、开关区域 S、栅区域 G、数据区域 D 和存储区域 C 的基板 60 上沉积金属材料。用第一轮掩模工序对金属材料层构图以形成栅线 62、栅焊盘电极 66 和栅极 64。

参照图 4B、5B 和 6B, 在具有栅线 62 的基板 60 上形成栅绝缘层 68、本征非晶硅层 70、掺杂杂质的非晶硅层 72 和金属材料层 74。在金属材料层 74 上形成光刻胶层。用第二掩模对光刻胶层构图以在开关区域 S、数据区域 D 和存储区域 S 中形成第一至第三光刻胶图案 78a 至 78c。对应于栅极 64 的第一光刻胶图案 78a 的部分具有比其他部分厚的厚度。用第一至第三光刻胶图案 78a 至 78c 对金属材料层 74、掺杂杂质的非晶硅层 72 和本征非晶硅层 70 构图。

参照图 4C、5C 和 6C, 在第一至第三光刻胶图案 78a 至 78c 下面形成第一至第三金属图案 80、82 和 86。在第一至第三金属图案 80、82 和 86 下面形成第一至第三半导体层 90a 至 90c。对第一至第三光刻胶图案 78a 至 78c 执行灰化工序以去除第一光刻胶图案 78a 的较薄部分。作为灰化工序的结果, 第一至第三光刻胶图案 78a 至 78c 的侧边也被去除。用灰化的第一至第三光刻胶图案 78a 至 78c 对第一至第三金属图案 80、82 和 86 以及第一至第三半导体层 90a 至 90c 的掺杂杂质的非晶硅层 72 进行构图。

参照图 4D、5D 和 6D, 形成源极 94 和漏极 96、数据线 98 和数据焊盘电极 100。第三金属图案 86 被称为存储电极 86。第一半导体层 90a 的掺杂杂质的非晶硅层 72 被称为欧姆接触层 92b, 并且第一半导体层 90a 的本征非晶硅层 70 被称为有源层 92a。存储电极 86 与栅线 62 形成存储电容 Cst。

参照图 4E、5E 和 6E, 在具有数据线 98 的基板 60 上形成钝化层 102。用第三掩模工序对钝化层 102 构图以形成暴露漏极 96 的漏接触孔 104、暴露存储电极 86 的存储接触孔 106 以及暴露数据焊盘电极 100 的数据焊盘接触孔 110。而且, 用第三掩模工序对钝化层 102 和栅绝缘层 68 构图以形成暴露栅焊盘电极 66 的栅焊盘接触孔 108。

参照图 4F、5F 和 6F，将透明导电材料沉积在钝化层 102 上并用第四掩模工序对其构图以形成像素电极 112、栅焊盘电极终端 114 和数据焊盘电极终端 116。像素电极 112 通过漏接触孔 104 接触漏极 96 并通过存储接触孔 106 接触存储电极 86。栅焊盘电极终端 114 通过栅焊盘接触孔 108 接触栅焊盘电极 66，并且数据焊盘电极终端 116 通过数据焊盘接触孔 110 接触数据焊盘电极 100。

通过上述四轮掩模工序，制造了阵列基板。如上所述，由于在形成沟道之后形成钝化层，有源层的沟道可能被污染或有缺陷。而且，由于有源层于源极和漏极在同一掩模工序中形成，有源层没有被栅极覆盖并且暴露于背光。因此，可能发生使显示质量降级的漏电流。此外，薄膜晶体管占用部分像素区域，并因此降低了孔径比。

发明内容

因此，本发明涉及一种液晶显示器件及其制造方法，能够基本上克服因现有技术局限和缺点带来的一个或多个问题。

本发明的优点是提供一种防止漏电流的液晶显示器件及其制造方法。

本发明的另一优点是提供一种提高孔径比的液晶显示器件及其制造方法。

本发明的附加优点和特征将在后面的描述中得以阐明，通过以下描述，将使其对于本领域普通技术人员在某种程度上显而易见，或者可通过实践本发明来认识它们。本发明的这些和其他优点可通过书面描述及其权利要求以及附图中具体指出的结构来实现和得到。

为了实现这些和其它优点，按照本发明的目的，作为具体和广义的描述，一种液晶显示器件包括彼此交叉以在基板上限定像素区域的栅线和数据线；连接到栅线的栅极；栅极上的栅绝缘层；栅绝缘层上的有源层；彼此分开并分别具有彼此相对的内侧的有源层上的源极和漏极，其中源极连接到数据线；在有源层以及各源极和漏极之间的欧姆接触层；在有源层上方并具有外侧的遮蔽图案，其中至少一所述外侧与源极和漏极的至少一内侧相面对；以及在像素区域中并连接到漏极的像素电极。

在另一方面，一种液晶显示器件的制造方法，包括：在基板上形成栅线和栅极；在栅极上形成栅绝缘层；在栅绝缘层上形成有源层并在有源层上形成具有外侧的遮蔽图案；形成与栅线交叉的数据线以限定像素区域；形成彼此分开

并具有内侧的源极和漏极；在有源层以及各源极和漏极之间形成欧姆接触层，其中至少一所述外侧与源极和漏极的至少一内侧相面对；以及形成在像素区域中并连接到漏极的像素电极。

应该理解，上面的概括性描述和下面的详细描述都是示意性和解释性的，意欲对本发明的权利要求提供进一步的解释。

附图说明

本申请所包括的附图用于提供对本发明的进一步理解，其包括在该申请中并且作为本申请的一部分，示出了本发明的实施方式并且连同说明书一起用于解释本发明的原理。附图中：

图 1 示出了根据现有技术的 LCD 器件的透视图；

图 2 示出了根据现有技术用四轮掩模工序制造的 LCD 器件的阵列基板的平面图；

图 3 示出了图 2 的薄膜晶体管的截面图；

图 4A 至 4F、图 5A 至 5F 以及图 6A 至 6F 分别是沿图 2 的线 II-II、III-III 和 IV-IV 提取的截面图，其示出了根据现有技术用四轮掩模工序制造 LCD 器件的阵列基板的方法；

图 7 示出了根据本发明实施方式的 LCD 器件的阵列基板的平面图；

图 8 示出了图 6 的薄膜晶体管的平面图；

图 9 示出了沿图 8 的线 VIII-VIII 提取的截面图；

图 10 和 11 示出了根据本发明实施方式的遮蔽图案的其他示例的截面图；以及

图 12A 至 12L、图 13A 至 13L 和图 14A 至 14L 分别是沿图 7 的线 V-V、VI-VI 和 VII-VII 提取的截面图，其示出了根据本发明实施方式的制造 LCD 器件的阵列基板的方法。

具体实施方式

现在具体描述本发明的优选实施方式，它们的实施例示于附图中。

图 7 示出了根据本发明实施方式的 LCD 器件的阵列基板的平面图。参照图 7，在根据本发明实施方式的 LCD 器件的阵列基板中，栅线 204 和数据线 238

在基板 200 上彼此交叉以限定像素区域 P。栅焊盘电极 206 设置在栅线 204 的一端，并且数据焊盘电极 240 设置在数据线 238 的一端。栅焊盘电极终端 248 设置在栅焊盘电极 206 上，并且数据焊盘电极终端 250 设置在数据焊盘电极 240 上。栅线 204 具有栅线 204 和数据线 238 彼此交叉的孔 208。孔 208 减少了栅线 204 和数据线 238 之间的重叠区域的尺寸。因此，可以减少在栅线 204 和数据线 238 之间的寄生电容。

薄膜晶体管 T 设置在栅线 204 和数据线 238 的交叉处附近。薄膜晶体管 T 包括栅极 202、具有有源层 220 和欧姆接触层的半导体层以及源极 234 和漏极 236。栅线 204 的部分可以用作栅极 202，并且薄膜晶体管 T 可以基本上形成在栅线 204 内。因此，可以减少在像素区域 P 内薄膜晶体管 T 占用的区域，从而可以增加像素区域 P 的孔径比。

像素电极 246 设置在像素区域 P 中并且接触漏极 236。存储电极 244 接触像素电极 246 并且与栅线 204 重叠。存储电极 244、栅线 204 和其间的栅绝缘层形成存储电容 C_{st} 。

第一半导体图案设置在数据线 238 和数据焊盘电极 240 下面，并且第二半导体图案设置在存储电极 242 下面。第一和第二半导体图案由与欧姆接触层相同的材料制成。

有源层 220 设置在栅线 204 的轮廓中，并且因而有源层 220 不暴露于背光。因此，可以减少由于背光暴露的漏电流。在源极 234 和漏极 236 之间的有源层用作沟道。沟道的长度方向是在源极 234 和漏极 236 之间延伸的方向，并且沟道的宽度方向是穿过沟道的长度方向的方向。

遮蔽图案 222 沿沟道的宽度方向设置在有源层 220 上。遮蔽图案 222 防止其下的有源层 220 被污染或有缺陷。因此，通过沿沟道宽度方向的遮蔽图案 222 防止了沿沟道长度方向的漏电流。

图 8 示出了图 6 的薄膜晶体管的平面图，并且图 9 示出了沿图 8 的线 VIII-VIII 提取的截面图。参照图 8 和图 9，薄膜晶体管 T 包括作为栅线 204 的一部分的栅极 202、具有有源层 220 和欧姆接触层 242 的半导体层以及源极 234 和漏极 236。由于有源层 220 由栅极 202 覆盖，有源层 220 不暴露于背光。

遮蔽图案 222 设置在源极 234 和漏极 236 之间的有源层 220 的沟道 CH 上。遮蔽图案 222 沿沟道 CH 的宽度方向延伸。遮蔽图案 222 的两端可以设置在有

源层 220 的外侧，并且遮蔽图案 222 可以具有等于或大于沟道 CH 的宽度的长度。遮蔽图案 222 的外侧与源极 234 的内侧相对并分离开，并且遮蔽图案 222 的另一外侧与漏极 236 的内侧相对并分离开。因此，遮蔽图案 222 可以设置在源极 234 和漏极 236 之间的有源层 220 的全部电流路径之上。

即使在对有源层 220 发生污染或缺陷时，在遮蔽图案 222 下面的有源层 220 的一部分被遮蔽而不会受到污染或缺陷。此外，遮蔽图案 222 可以设置在源极 234 和漏极 236 之间的有源层 220 的全部电流路径之上。因此，在遮蔽图案 222 下面的有源层 220 的部分中不会发生如果没有遮蔽图案 222 而产生的漏电流路径。

沟道 CH 的宽度/长度 (W/L) 比对薄膜晶体管 T 的电特性有影响。例如，随着沟道 CH 的宽度/长度比增加，薄膜晶体管 T 的载流能力也增加。为了增加沟道 CH 的宽度/长度比，源极 234 可以具有“U”形并且漏极 236 可以具有条形，所述条形设置在“U”形的内部空间中。由于源极 234 和漏极 236 的形状和设置，沟道 CH 可以具有“U”形，并且遮蔽图案 222 也可以具有“U”形。

图 8 的遮蔽图案 222 设置在源极 234 和漏极 236 之间以避免漏电流路径。遮蔽图案 222 可以设置在与图 8 所示的位置不同的其他位置，并且可以具有多于一个的遮蔽图案 222。

图 10 和图 11 示出了根据本发明实施方式的遮蔽图案的其他例子的截面图。参照图 10，遮蔽图案 252 可以设置在源极 234 和漏极 236 之一的附近，例如在漏极 236 的附近。遮蔽图案 252 被漏极 236 和漏极 236 下面的欧姆接触层 242 部分覆盖。与源极 234 相对的遮蔽图案 252 的一个外侧设置在源极 234 和漏极 236 的内侧之间。因此，图 10 的遮蔽图案 252 也设置在源极 234 和漏极 236 之间的有源层 220 的电流路径之上。

参照图 11，两个遮蔽图案 262a 和 262b 可以设置在源极 234 和漏极 236 附近。各遮蔽图案 262a 和 262b 被各源极 234 和漏极 236 以及各源极 234 和漏极 236 下面的欧姆接触层 242 部分覆盖。在与源极 234 相对的漏极 236 附近的遮蔽图案 262b 的一个外侧设置在源极 234 和漏极 236 的内侧之间。而且，在与漏极 236 相对的源极 234 附近的遮蔽图案 262a 的一个外侧设置在源极 234 和漏极 236 的内侧之间。因此，图 11 的遮蔽图案 262a 和 262b 也设置在源极 234 和漏极 236 之间的有源层 220 的电流路径之上以防止由于污染和缺陷产生

的漏电流。

图 12A 至 12L、图 13A 至 13L 以及图 14A 至 14L 分别是沿图 7 的线 V-V、VI-VI 和 VII-VII 提取的截面图，其示出了根据本发明实施方式的制造 LCD 器件的阵列基板的方法。参照图 12A、13A 和 14A，在具有像素区域 P、开关区域 S、栅区域 G、数据区域 D 和存储区域 C 的基板 200 上沉积导电材料。用第一掩模工序对导电材料层构图以形成栅线 204、栅焊盘电极 206 和栅极 202。栅线 204 和栅焊盘电极 206 对应于栅区域 G。此外，用第一掩模工序在交叉区域 F 中形成孔 208。交叉区域 F 为栅线 204 与以后将要形成的数据线相交叉的区域。导电材料包括铝 (Al)、铝合金 (AlNd)、钨 (W)、铬 (Cr) 和钼 (Mo)。可以沉积至少一种所述导电材料用于栅线 204、栅焊盘电极 206 和栅极 202 以具有单层或多层结构。

参照图 12B、13B 和 14B，在具有栅线 204 的基板 200 上形成栅绝缘层 210、本征非晶硅层 212 和遮蔽层 214。栅绝缘层 210 包括无机材料，例如氮化硅 (SiN_x) 和氧化硅 (SiO_2)。遮蔽层 214 包括无机材料，例如氮化硅 (SiN_x) 和氧化硅 (SiO_2)。光刻胶层 216 形成在遮蔽层 214 上。例如，光刻胶层 216 是正型。

在光刻胶层 216 上设置具有透射部分 B1、半透射部分 B2 和遮挡部分 B3 的掩模 M。半透射部分 B2 具有狭缝结构或半透射膜从而透过半透射部分 B2 的光强度或透射率低于透射部分 B1。

使用掩模 M 对光刻胶层 216 执行曝光工序。遮挡部分 B3 设置在开关区域 S 中，并且半透射部分 B2 设置在遮挡部分 B3 的两侧。半透射部分 B2 和遮挡部分 B3 设置在栅极 202 中。显影曝光的光刻胶层 216。

参照图 12C、13C 和 14C，由于曝光和显影，光刻胶图案 218 形成在开关区域 S 中。对应于遮挡部分 (图 12B 中的 B3) 的光刻胶图案 218 的部分具有比对应于半透射部分 (图 12B 中的 B2) 的光刻胶图案 218 的部分厚的厚度。使用光刻胶图案 218 蚀刻遮蔽层 214 和本征非晶硅层 212。

参照图 12D、13D 和 14D，由于蚀刻，保留了在光刻胶图案 218 下面的构图本征非晶硅层 212 和遮蔽层 214。本征非晶硅层 212 被栅极 202 覆盖。对光刻胶图案 218 执行灰化工序。

参照图 12E、13E 和 14E，由于灰化，去除具有较厚厚度的光刻胶图案（图 12D 中的 218）的部分。使用灰化的光刻胶图案 218 蚀刻遮蔽层 214。

参照图 12F、13F 和 14F，由于蚀刻，在灰化的光刻胶图案 218 下面形成遮蔽图案 222。本征非晶硅层（图 12E 中的 212）被称为有源层 220。遮蔽图案 222 具有多种形状，例如穿过沟道（图 9 至图 11 中的 CH）长度的“U”形。如图 10 和图 11 所示，可以改变遮蔽图案 222 的数量和位置。随后剥离该光刻胶图案 218。通过图 12B 至 12F、13B 至 13F 以及 14B 至 14F 中所示的第二掩模工序，形成有源层 220 和遮蔽图案 222。

参照图 12G、13G 和 14G，形成掺杂杂质的非晶硅层 224 和导电材料层 226。导电材料包括铝（Al）、铝合金（AlNd）、钨（W）、铬（Cr）和钼（Mo）。可以沉积其中至少一种导电材料用于单层或多层结构。掺杂杂质的非晶硅层 224 不接触遮蔽图案 222 下面的有源层 220。光刻胶层 228 形成在导电材料层 226 上。

具有透射部分 B1、半透射部分 B2 和遮挡部分 B3 的掩模 M 位于光刻胶层 228 之上。半透射部分 B2 具有狭缝结构或半透射膜。

使用掩模 M 对光刻胶图案 228 执行曝光工序。透射部分 B1 对应于栅焊盘电极 206 的部分。开关区域 S 中的半透射部分 B2 对应于有源层 220 的部分。开关区域 S 中的半透射部分 B2 覆盖遮蔽图案 222。可选地，开关区域 S 中的半透射部分 B2 可以与遮蔽图案 222 重叠。遮挡部分 B3 设置在开关区域 S 中半透射部分 B2 的两侧。遮挡部分 B3 对应于数据区域 D 和存储区域 C。半透射部分 B2 也对应于像素区域 P。显影曝光的光刻胶层 228。

参照图 12H、13H 和 14H，由于曝光和显影，形成光刻胶图案 230。对应于遮挡部分（图 12G 和 14G 的 B3）的光刻胶图案 230 的部分具有比对应于半透射部分（图 12G、13G 和 14G 的 B2）的光刻胶图案 230 的部分厚的厚度。去除在透射部分（图 13G 的 B1）下面的光刻胶层（图 12G、13G 和 14G 的 228）的部分。

参照图 12I、13I 和 14I，使用光刻胶图案 230 蚀刻导电材料层 226、掺杂杂质的非晶硅层 224 和栅焊盘电极 206 的部分上面的栅绝缘层的暴露部分，以形成暴露栅焊盘电极 206 的部分的栅焊盘接触孔 232。对光刻胶图案 230 进行灰化工序。

参照图 12J、13J 和 14J，由于灰化，去除具有较薄厚度的光刻胶图案（图 12I、13I 和 14I 的 230）的部分。因此，灰化的光刻胶图案 230 保留对应于开关区域 S、存储区域 C 和数据区域 D。使用灰化的光刻胶图案 230 蚀刻导电材料层 226 和掺杂杂质的非晶硅层 224。

参照图 12K、13K 和 14K，由于蚀刻，在开关区域 S 中形成源极 234 和漏极 236。在存储区域 C 中形成存储电极 244。在数据区域 D 中形成数据线 238 和数据焊盘电极 240。在源极 234 和漏极 236 下面构图后的掺杂杂质的非晶硅层被称为欧姆接触层 242。在数据线 238 和数据焊盘电极 240 下面的构图后的掺杂杂质的非晶硅层被称为第一半导体图案 243。在存储电极 244 下面的构图后的掺杂杂质的非晶硅层被称为第二半导体图案 245。

通过图 12G 至 12K、13G 至 13K 以及 14G 和 14K 所示的第三掩模工序，形成源极 234 和漏极 236、数据线 238、数据焊盘电极 240、欧姆接触层 242 以及第一和第二半导体图案 243 和 245。在第三掩模工序中，由于残余的颗粒和污染材料保留在有源层 220 上，有源层 220 可能具有污染或缺陷。然而，即使有源层 220 的暴露区域 G 具有污染或缺陷，由于遮蔽图案 222 遮蔽了其下的部分，在遮蔽图案 222 下面的有源层 222 的部分不会具有污染或缺陷。随后剥离灰化的光刻胶图案 230。

参照图 12L、13L 和 14L，透明导电材料沉积在具有数据线 238 的基板 200 上并用第四掩模工序对其构图以形成像素电极 246、栅焊盘电极终端 248 和数据焊盘电极终端 250。像素电极 246 形成在像素区域 P 中并接触漏极 236 和存储电极 244。栅焊盘电极终端 248 通过栅焊盘接触孔 232 接触栅焊盘电极 206。数据焊盘电极终端 250 接触数据焊盘电极 240。透明导电材料包括氧化铟锡（ITO）、氧化铟锌（IZO）和氧化铟锡锌（ITZO）。

通过上述工序，制造了 LCD 器件的阵列基板。通过将阵列基板和例如滤色片基板的与阵列基板相对的基板粘接，并且在两块基板之间夹入液晶层，制造 LCD 器件。

如上所述，由于有源层被栅极覆盖，有源层不暴露于背光。因此，可以减少由于背光的漏电流。即使在有源层上可能有污染或缺陷时，遮蔽图案下面的有源层的部分被遮蔽而没有污染或缺陷，并且遮蔽图案设置在源极和漏极之间的有源层的全部电流路径之上。因此，可以减少由于污染或缺陷引起的漏电流

从而改善显示质量。另外，由于栅线的部分用作栅极，薄膜晶体管基本上形成在栅线之上从而改善了孔径比。

很明显，本领域技术人员可在不背离本发明精神或范围的基础上对本发明做出修改和变化。因此，本发明意欲覆盖落入本发明权利要求及其等效范围内的各种修改和变化。

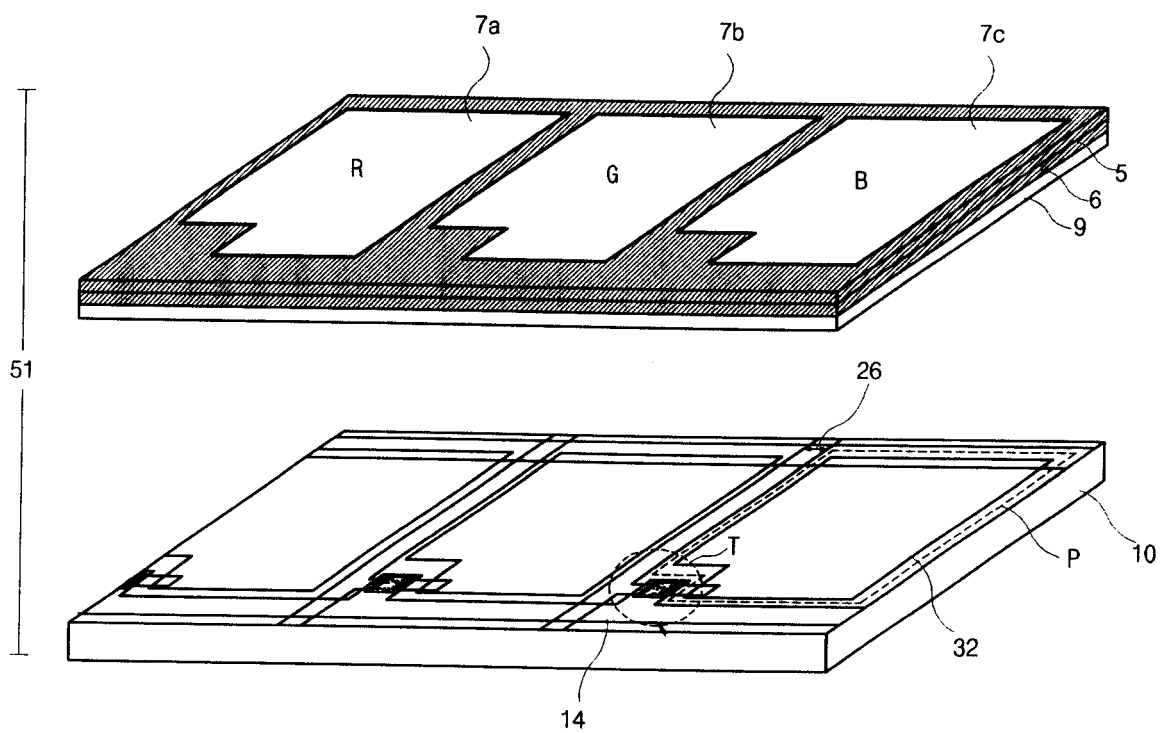


图 1

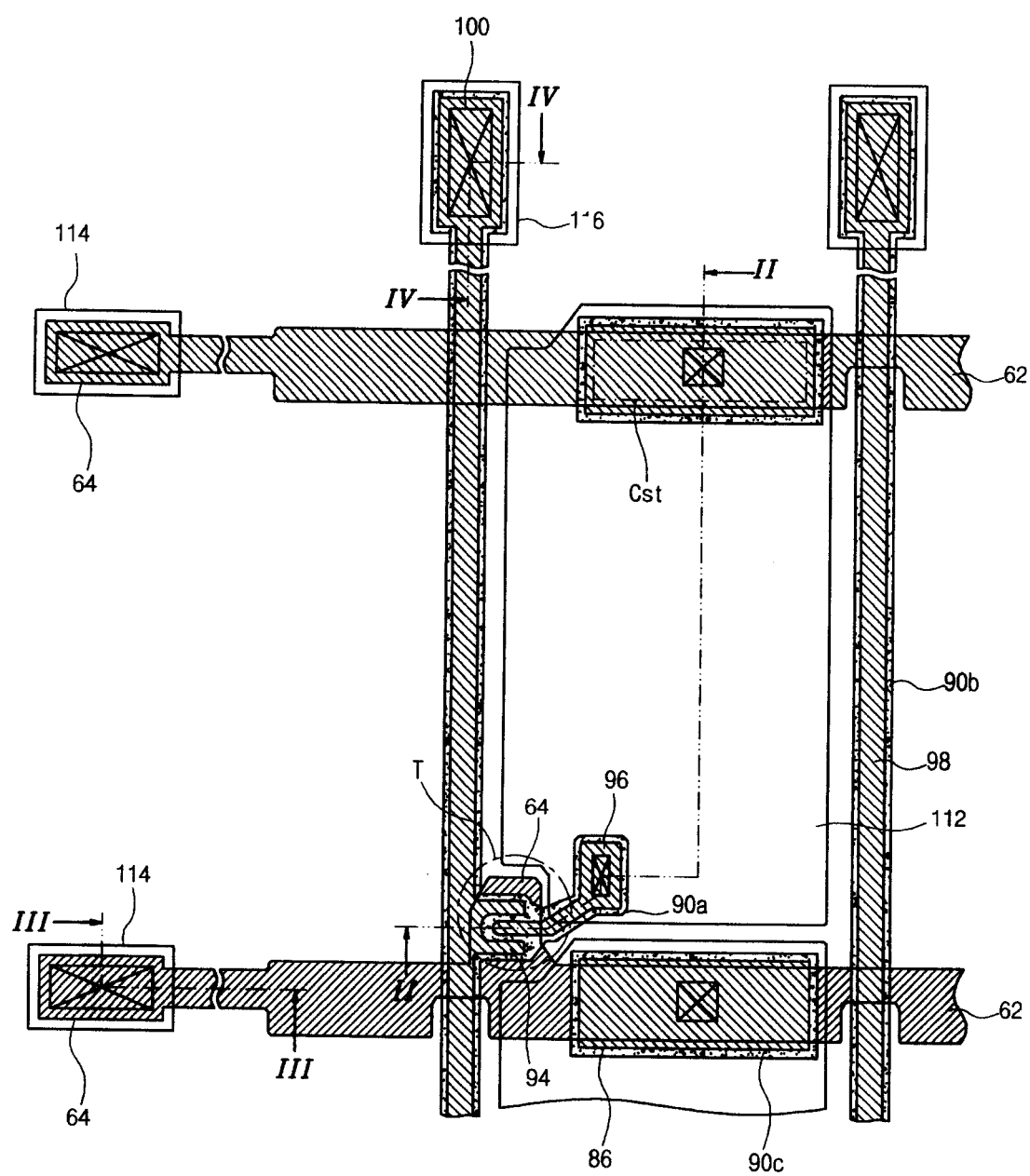


图 2

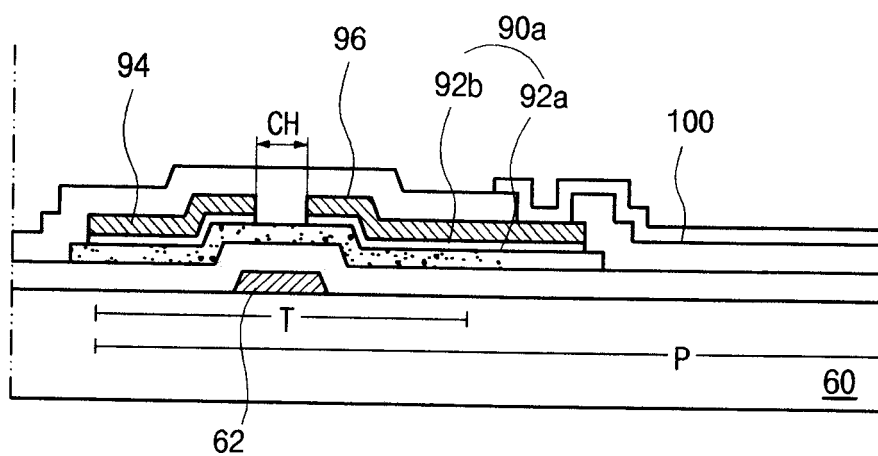


图 3

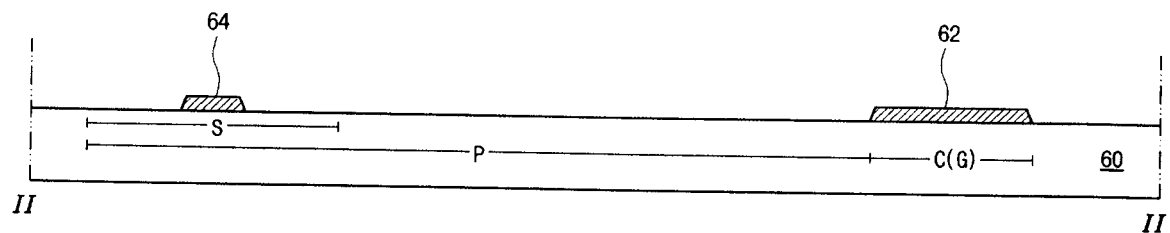


图 4A

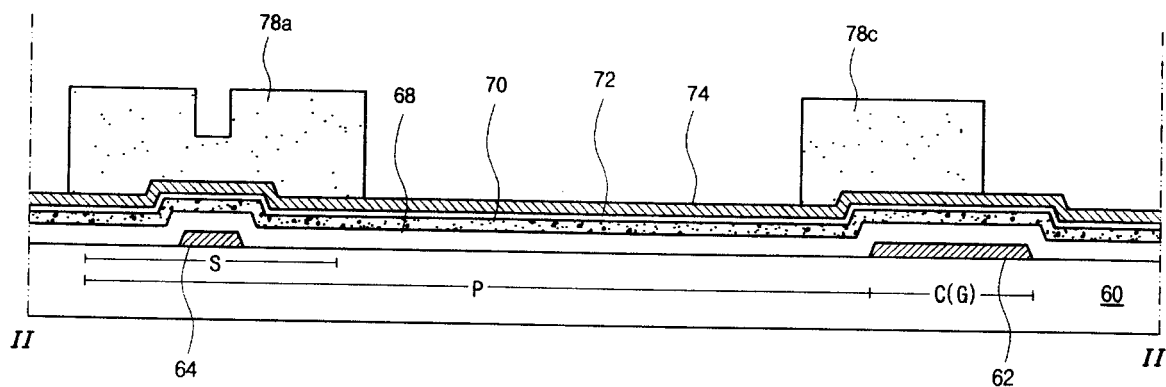


图 4B

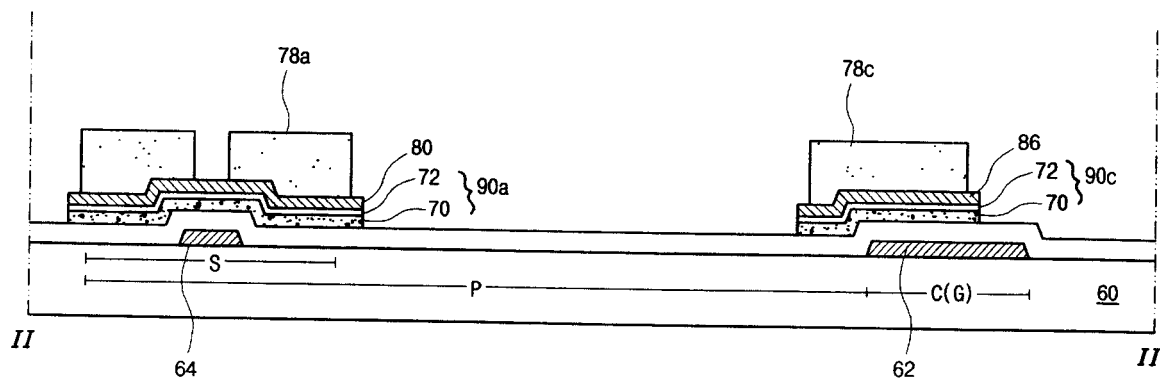


图 4C

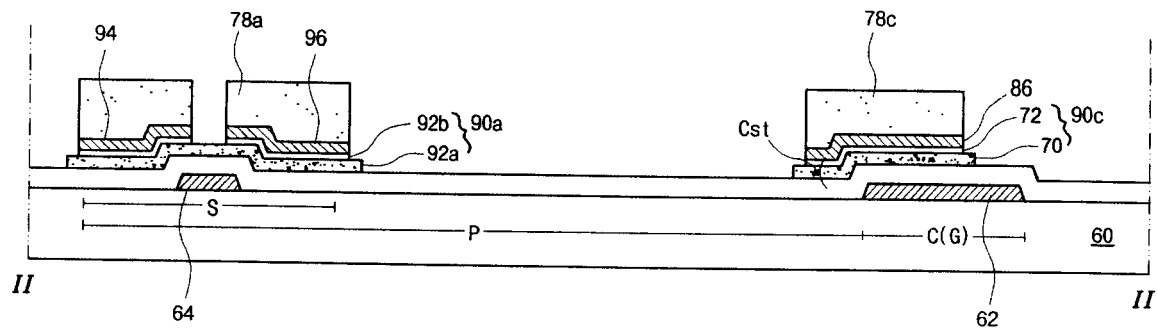


图 4D

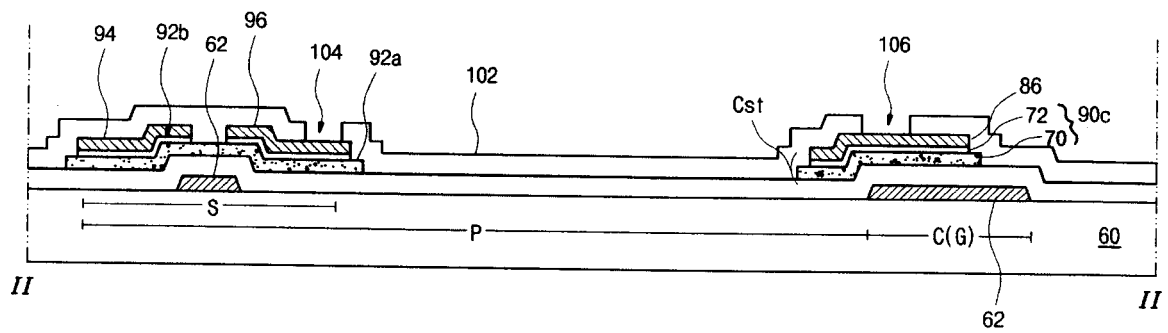


图 4E

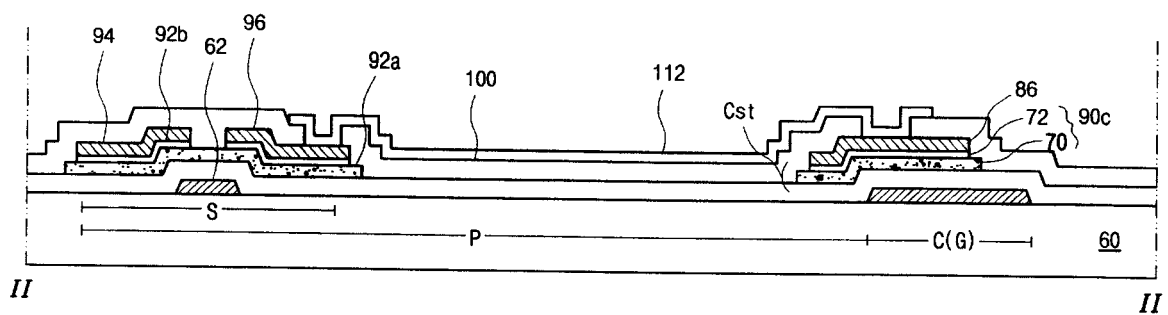


图 4F

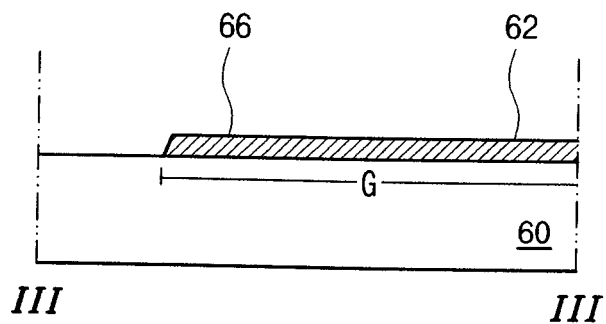


图 5A

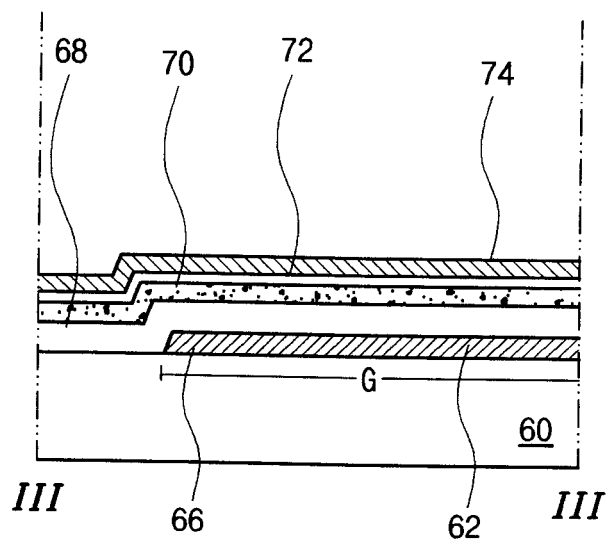


图 5B

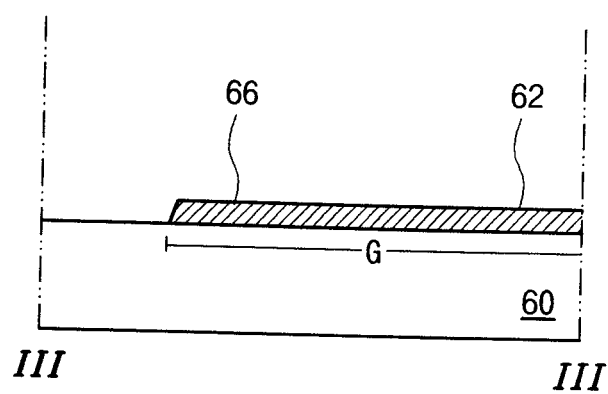


图 5C

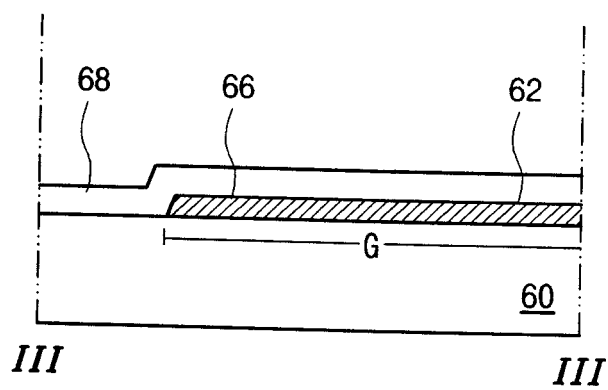


图 5D

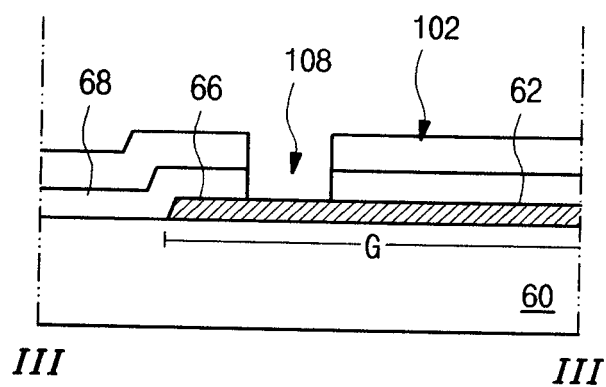


图 5E

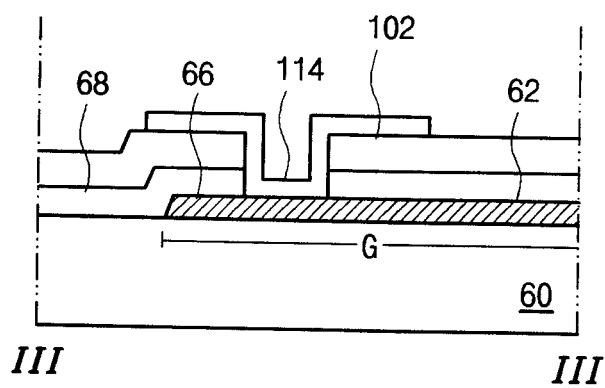


图 5F

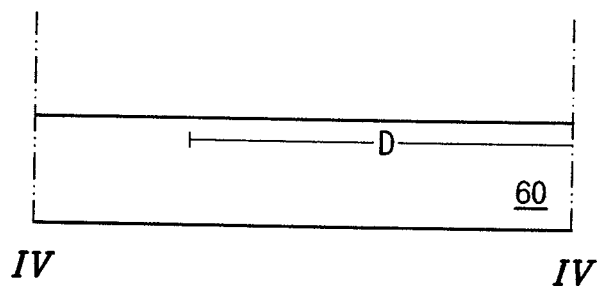


图 6A

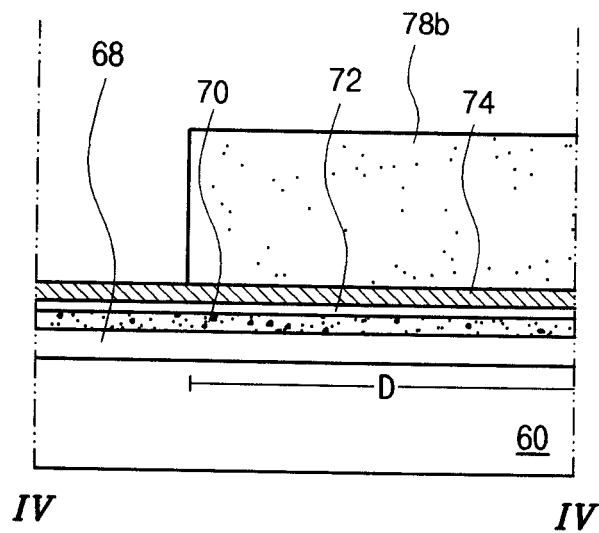


图 6B

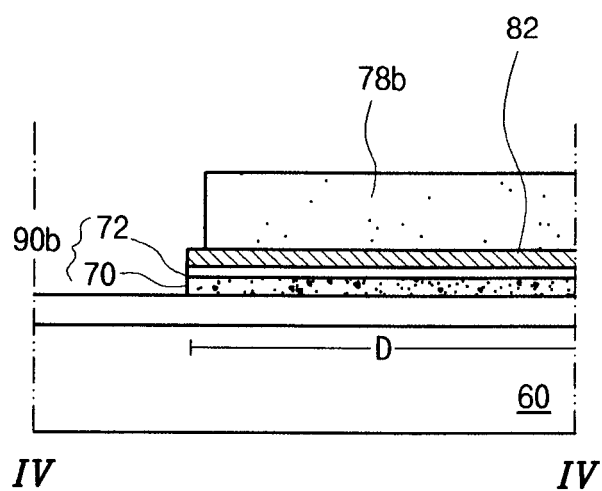


图 6C

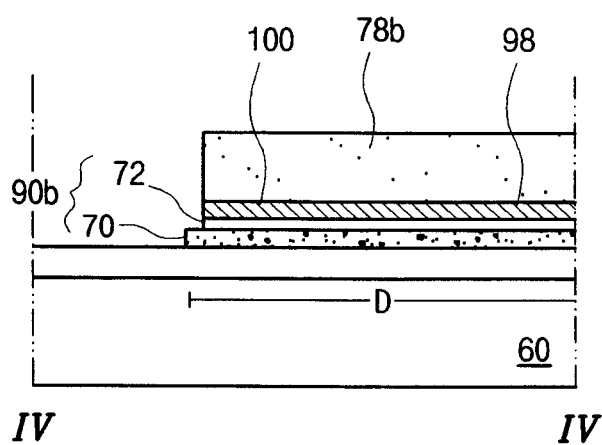


图 6D

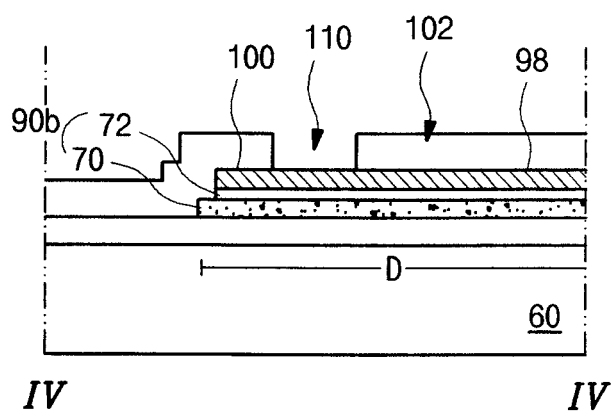


图 6E

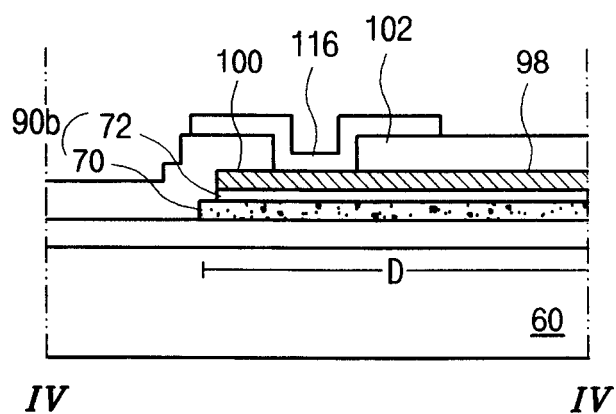


图 6F

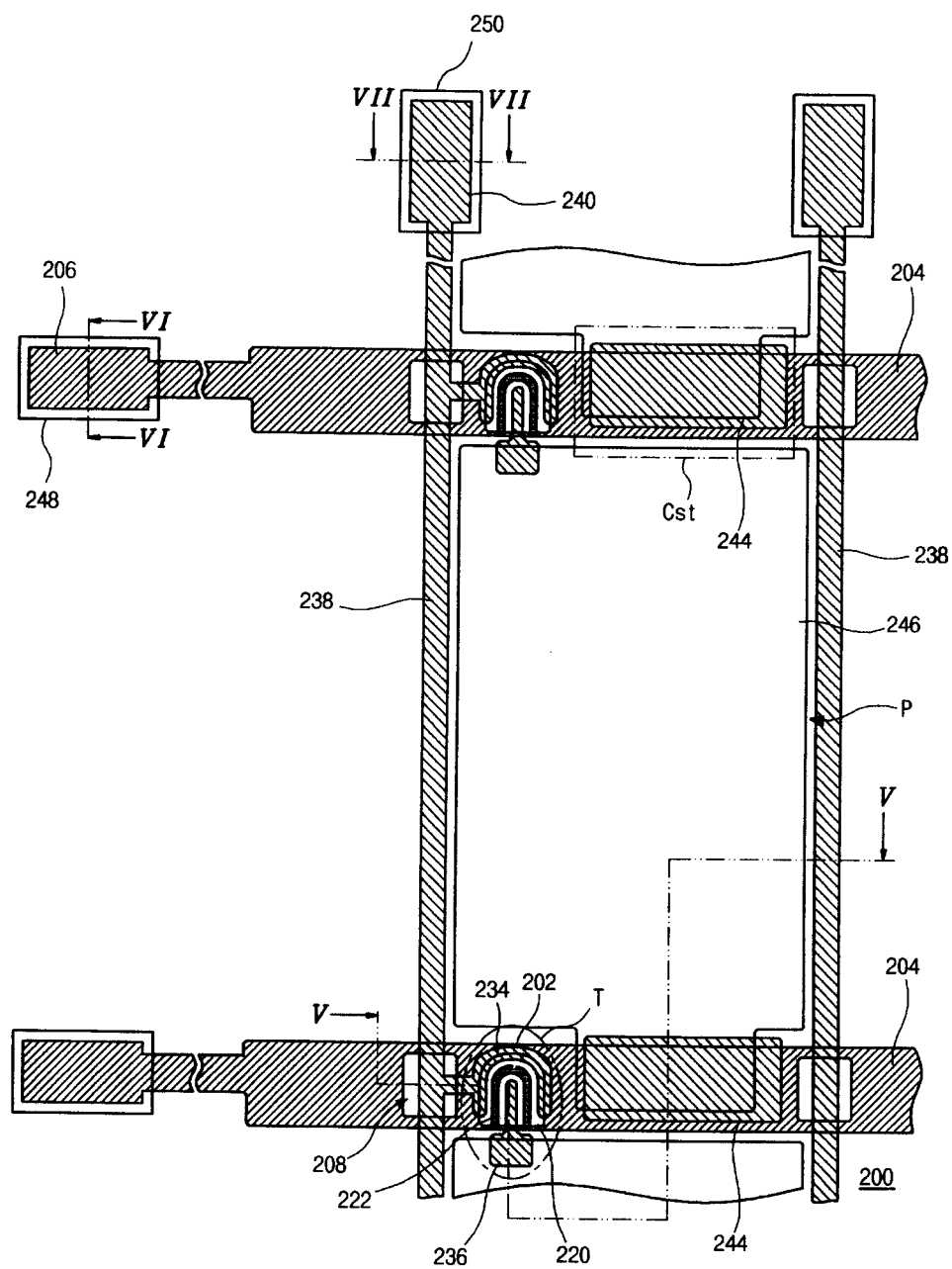


图 7

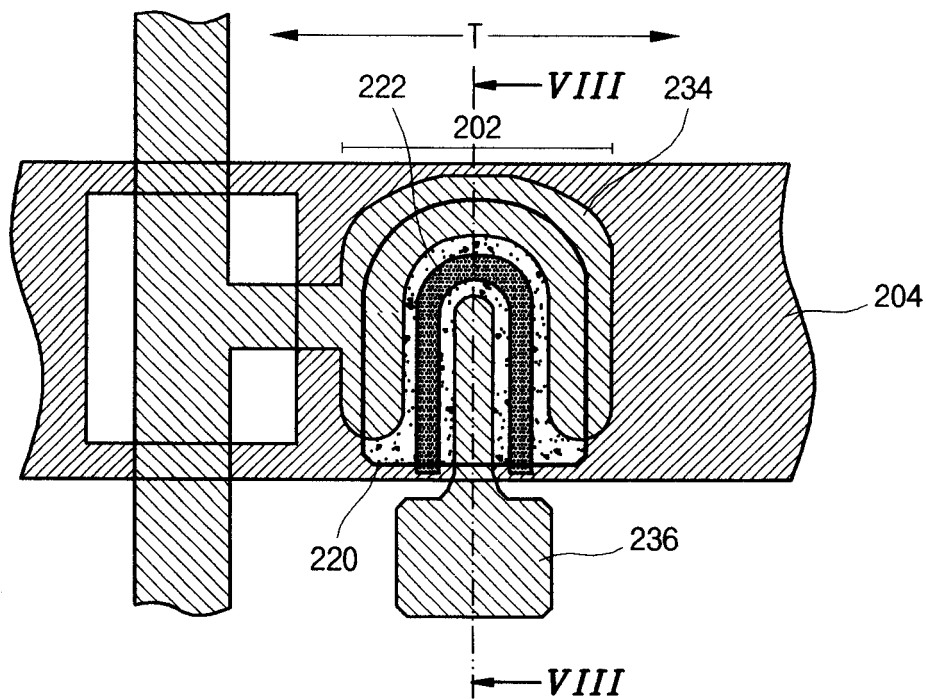


图 8

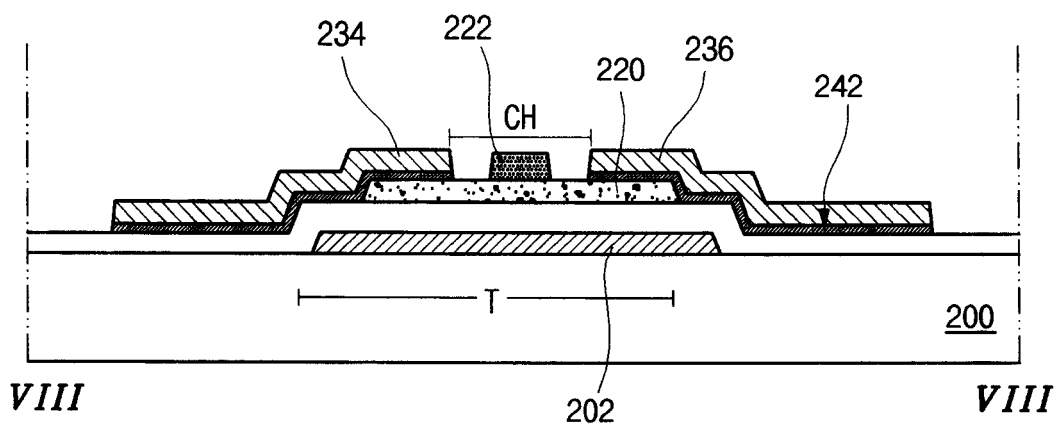


图 9

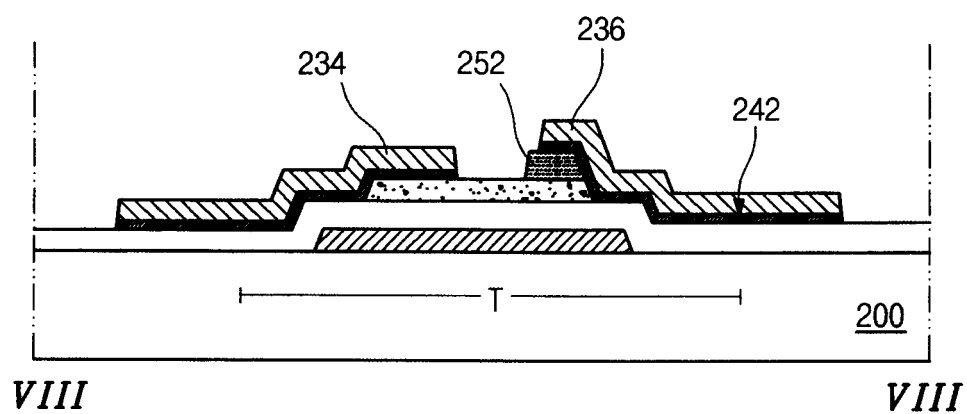


图 10

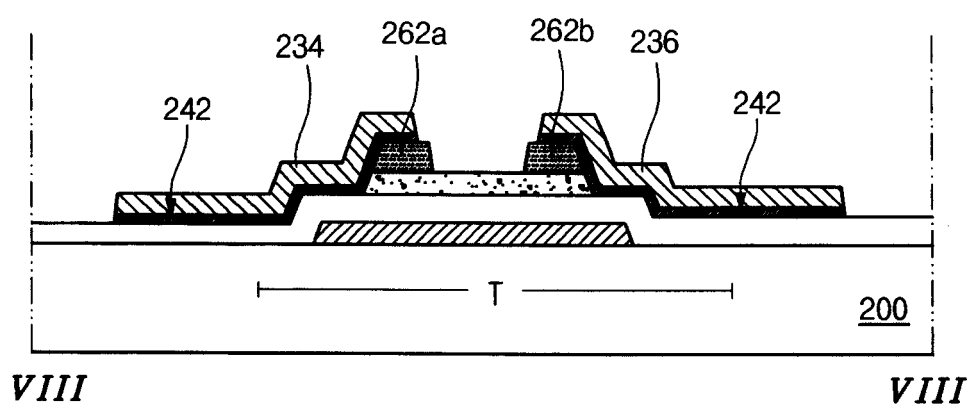


图 11

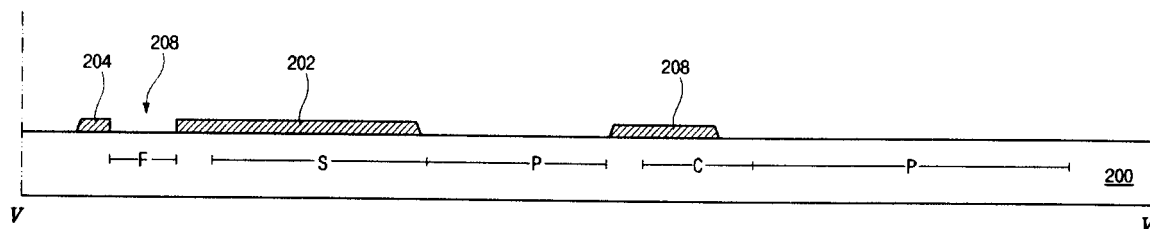


图 12A

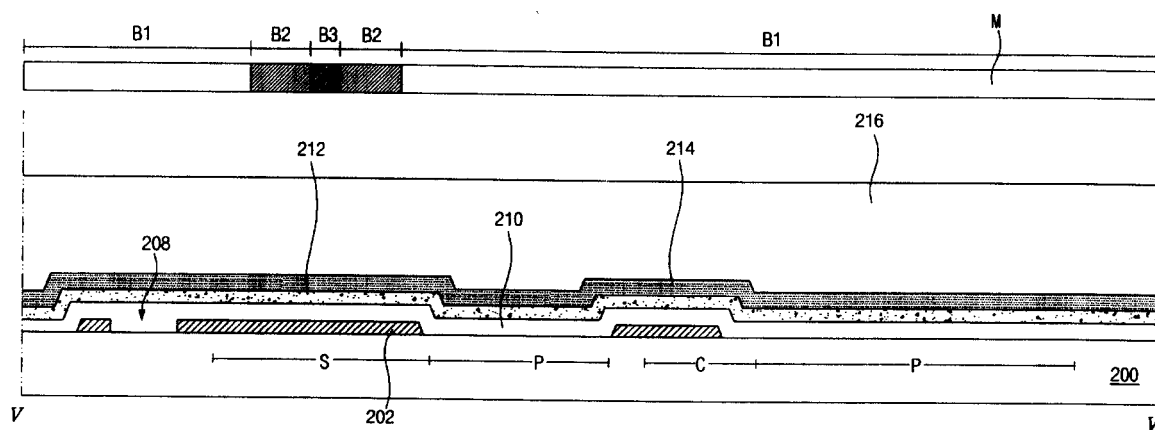


图 12B

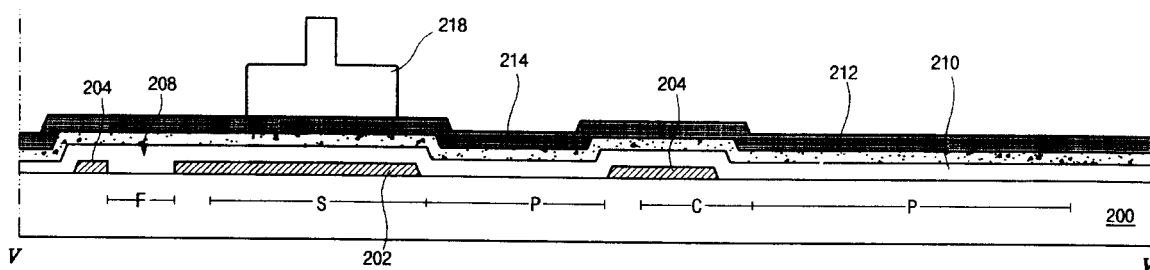


图 12C

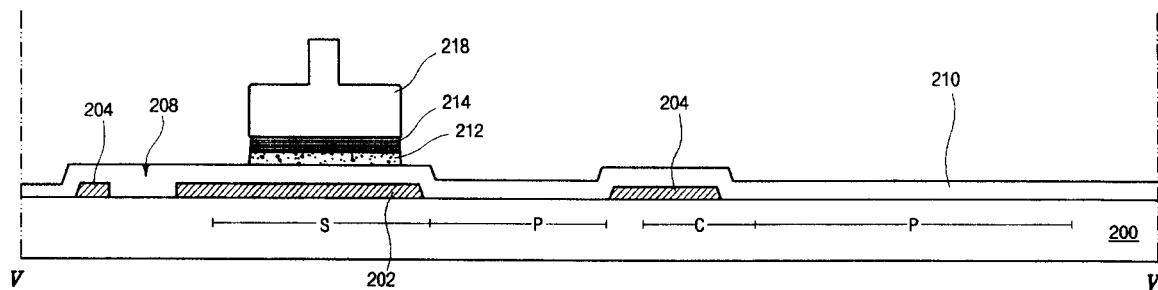


图 12D

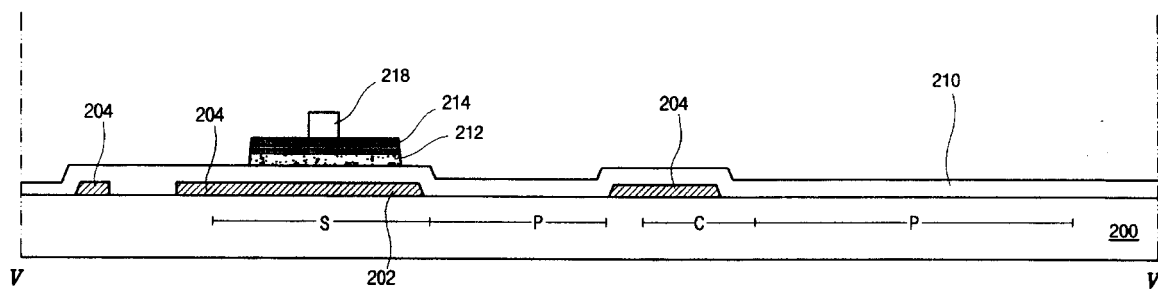


图 12E

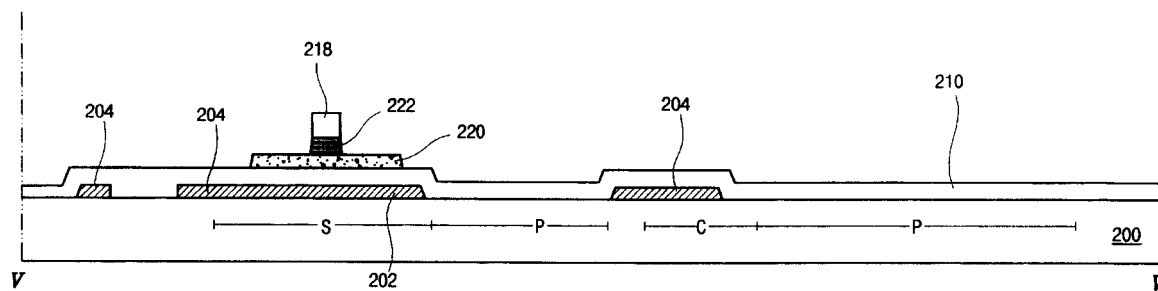


图 12F

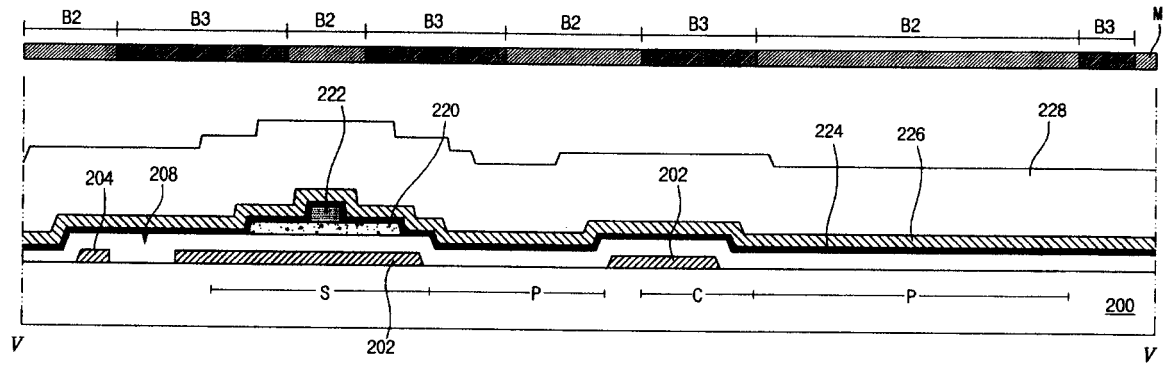


图 12G

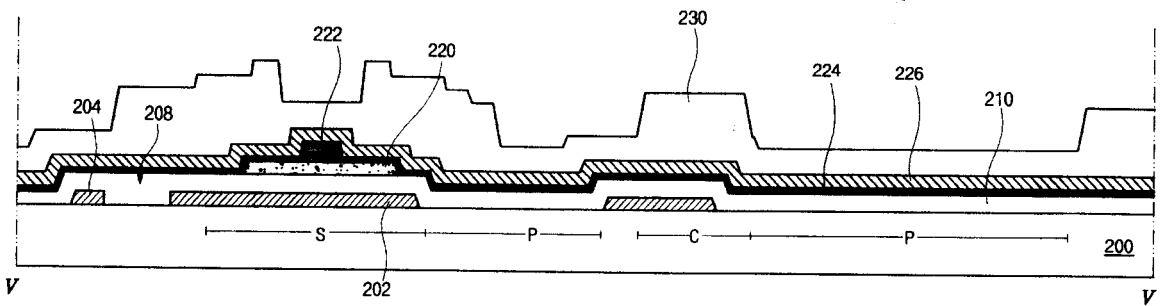


图 12H

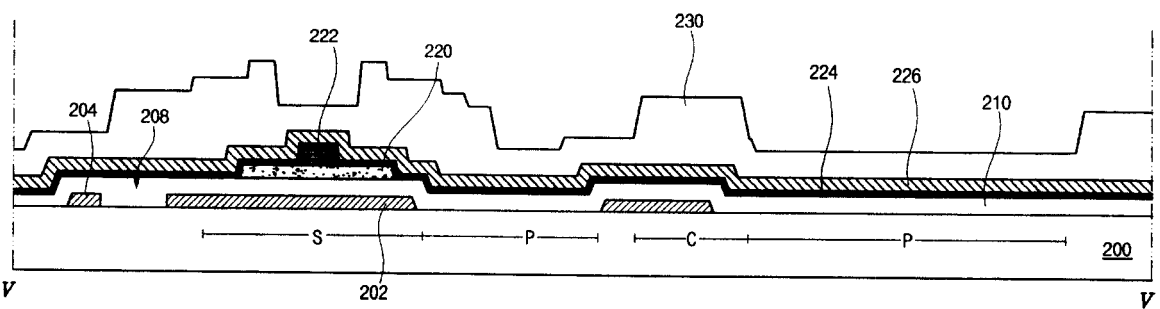


图 12I

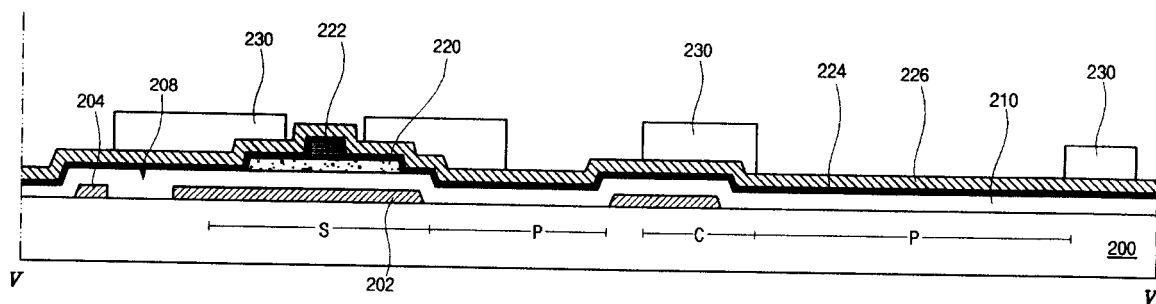


图 12J

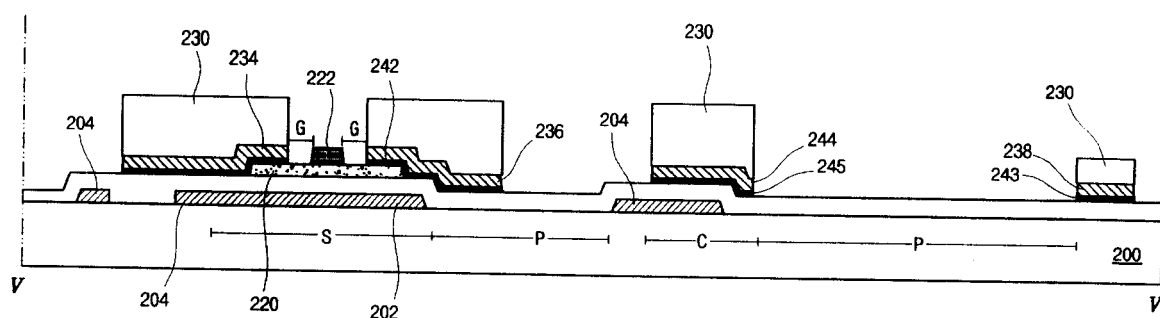


图 12K

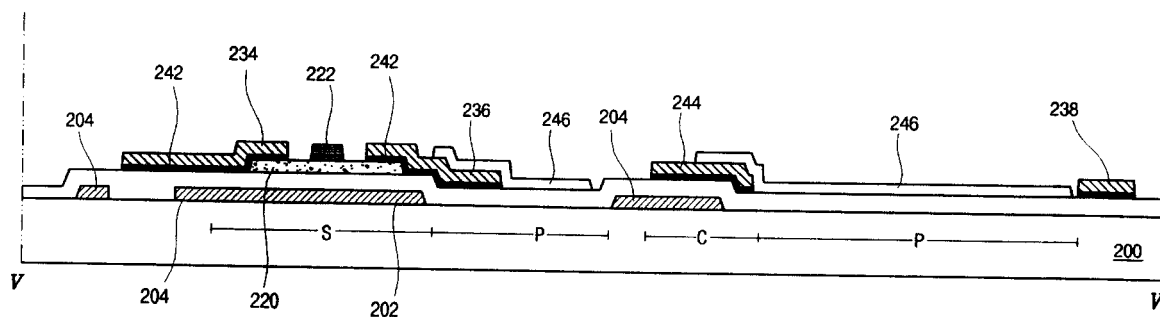


图 12L

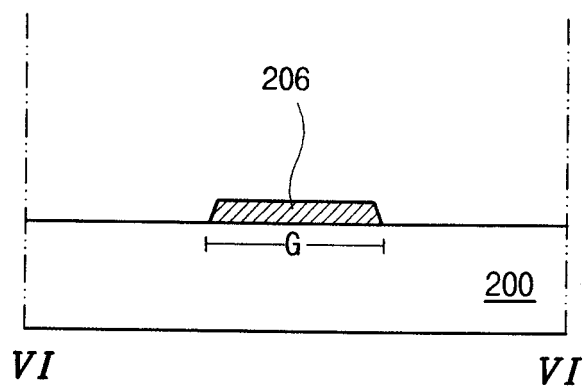


图 13A

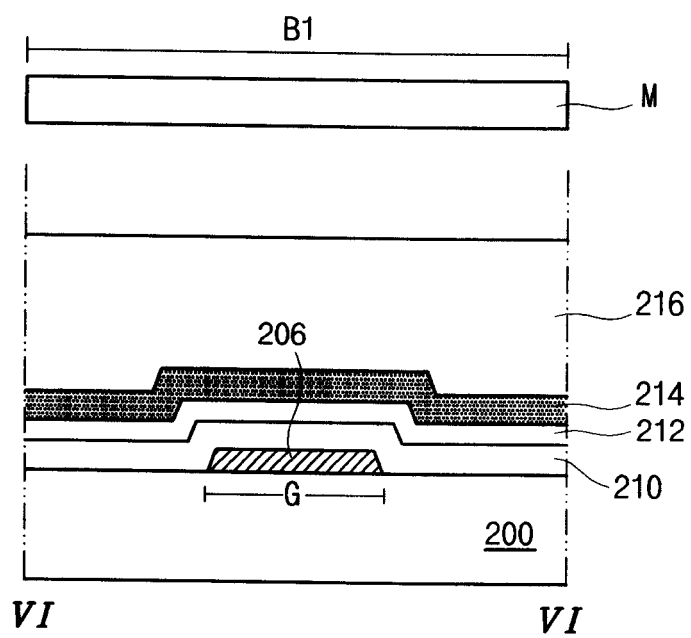


图 13B

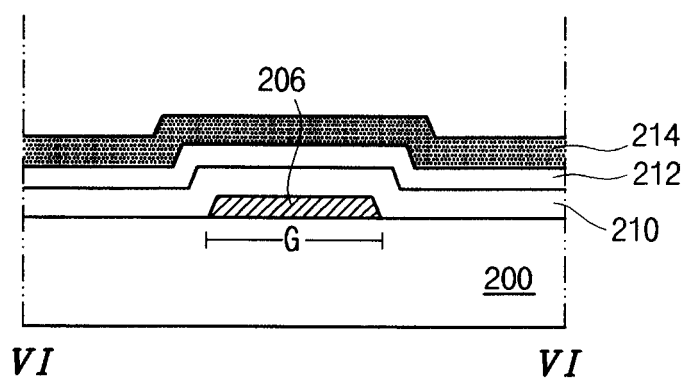


图 13C

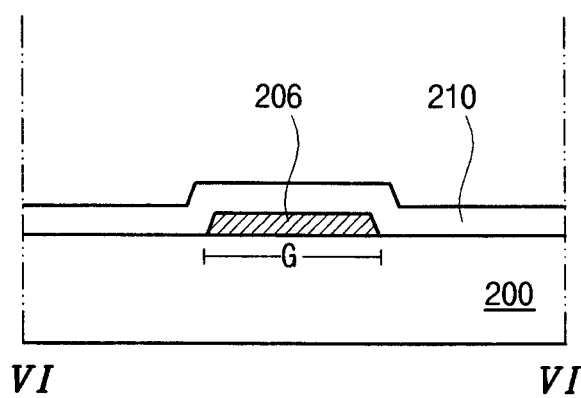


图 13D

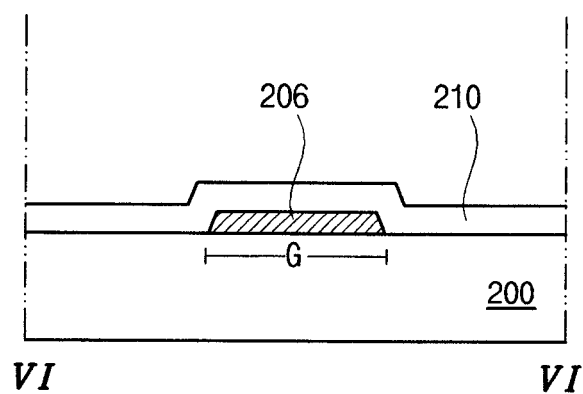


图 13E

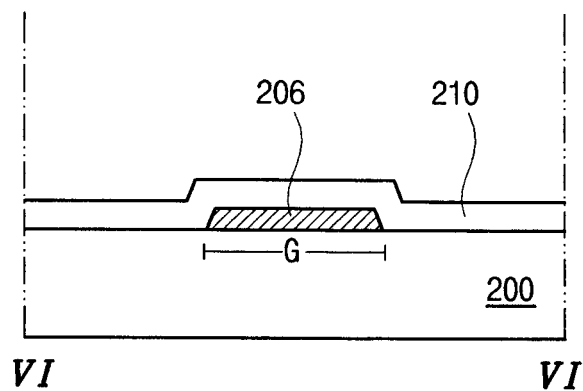


图 13F

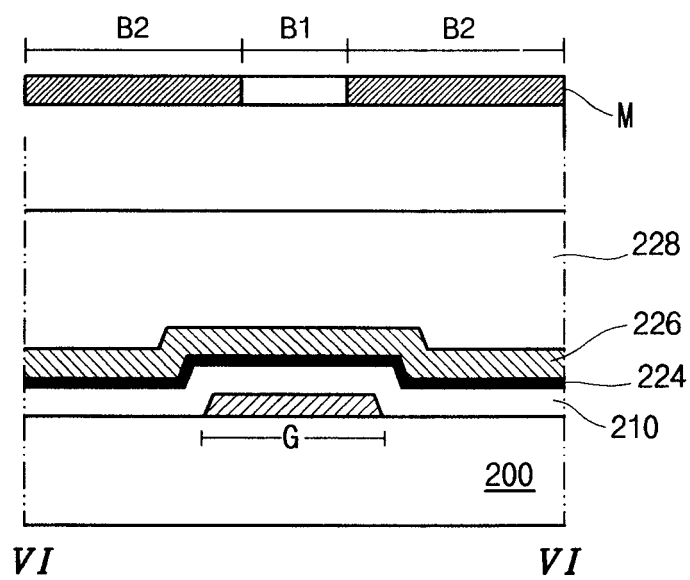


图 13G

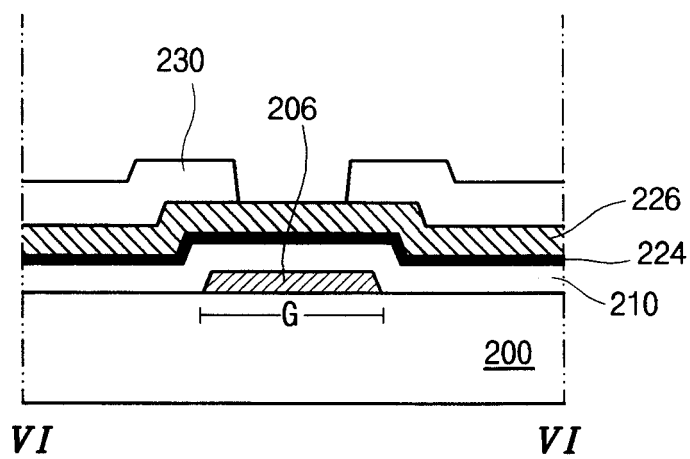


图 13H

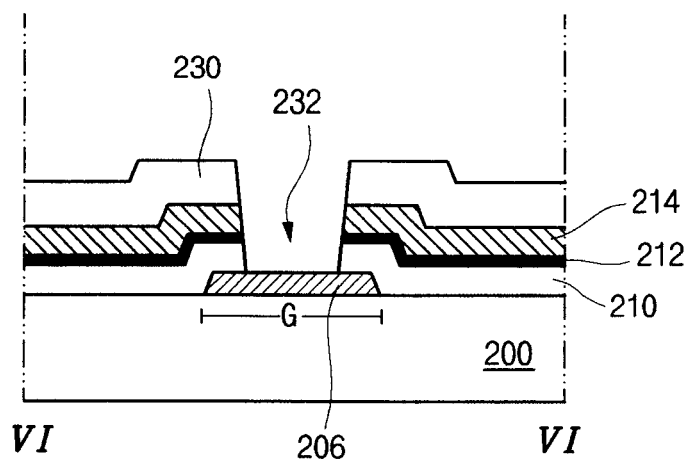


图 13I

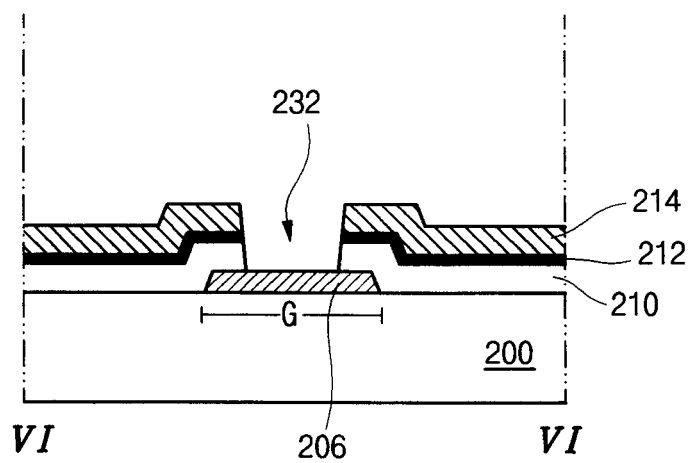


图 13J

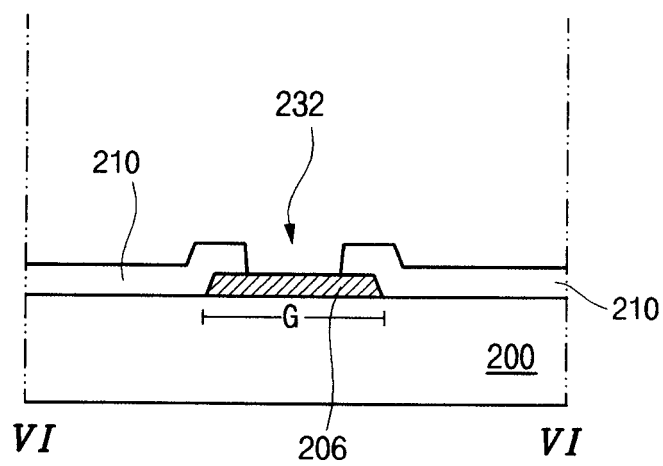


图 13K

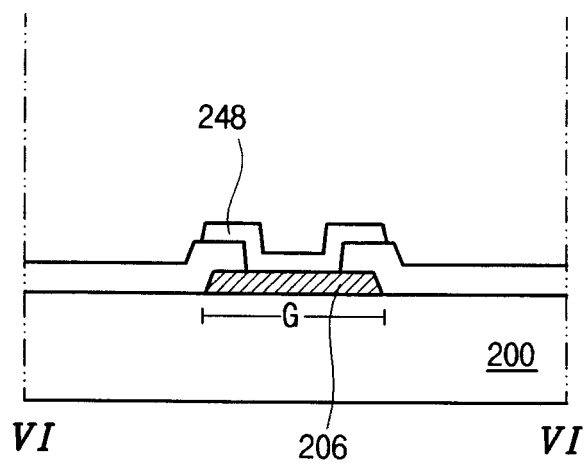


图 13L

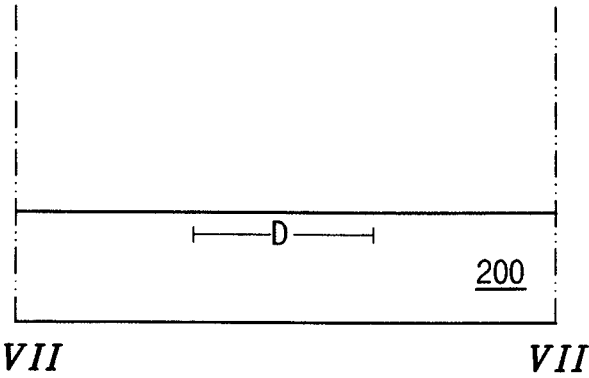


图 14A

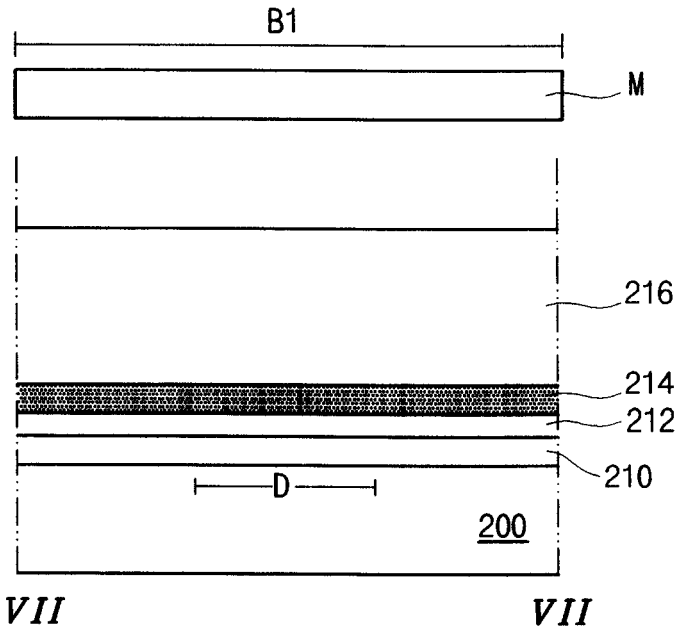


图 14B

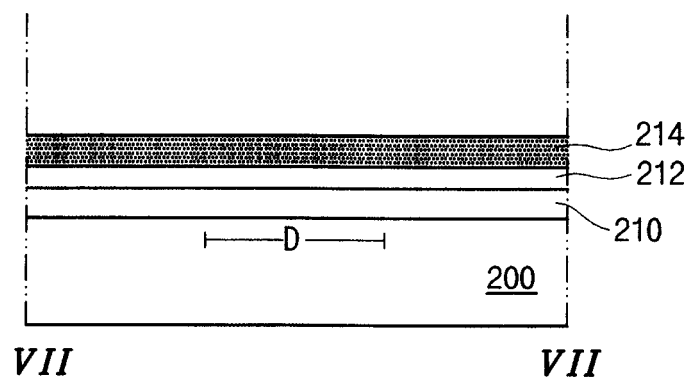


图 14C

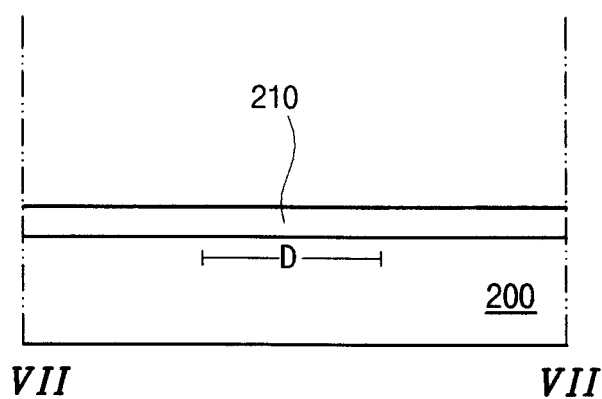


图 14D

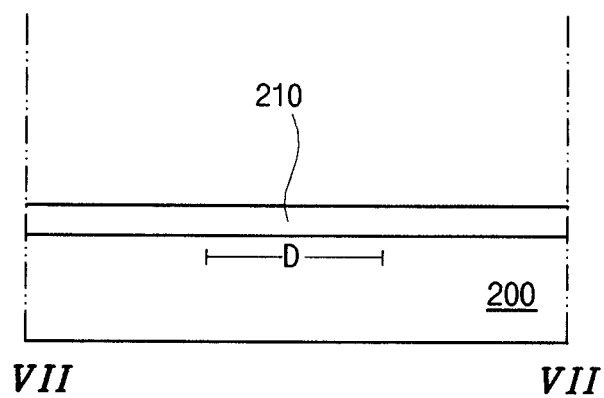


图 14E

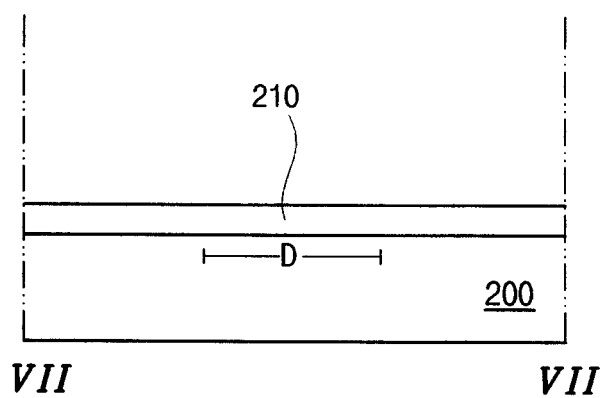


图 14F

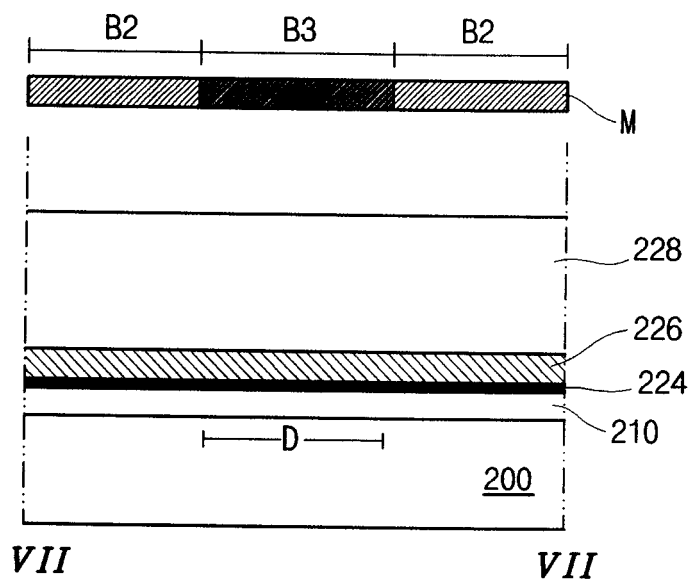


图 14G

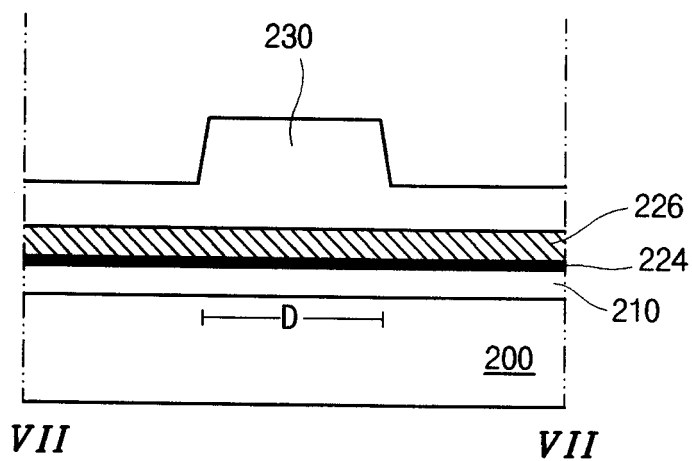


图 14H

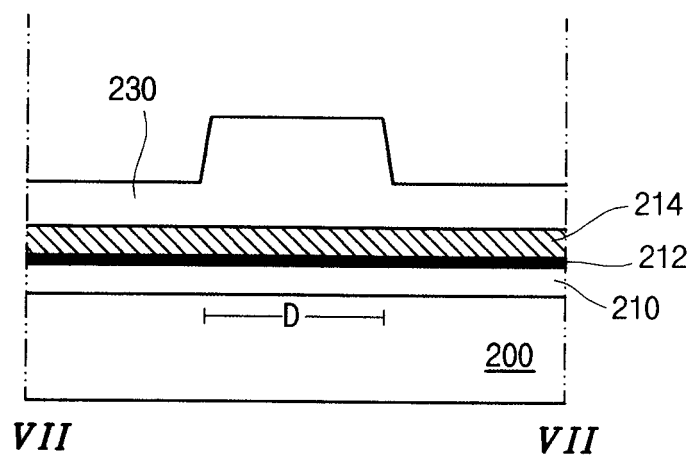


图 14I

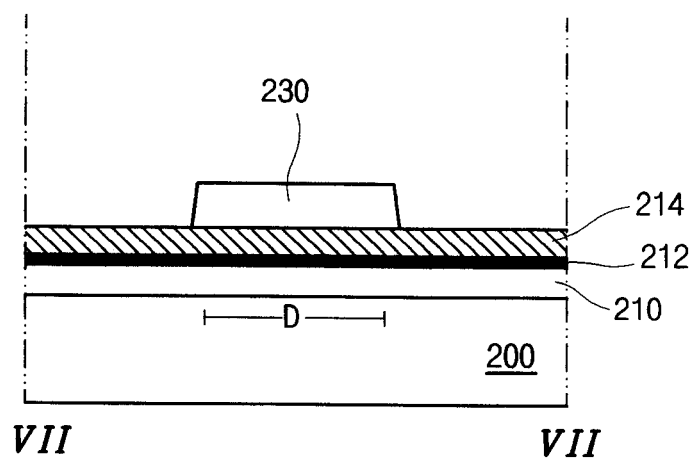


图 14J

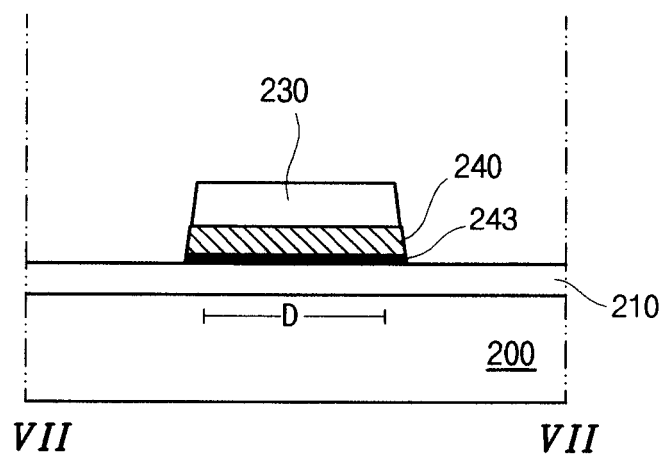


图 14K

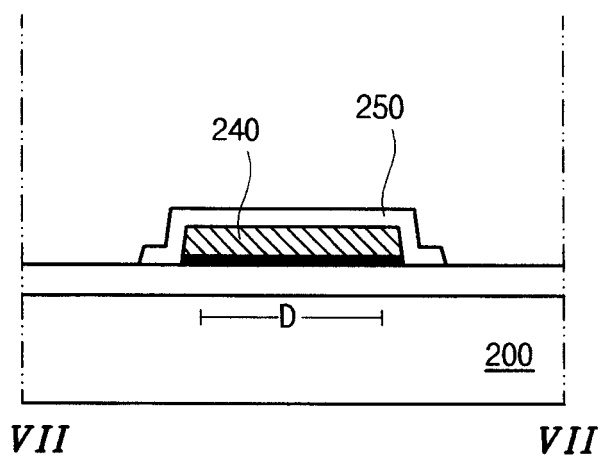


图 14L

专利名称(译)	液晶显示器件及其制造方法		
公开(公告)号	CN101071238A	公开(公告)日	2007-11-14
申请号	CN200610156394.5	申请日	2006-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	金孝昱 林柄昊		
发明人	金孝昱 林柄昊		
IPC分类号	G02F1/136 G02F1/133 G02F1/1333 G03F7/20 H01L21/027 H01L21/00 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	H01L29/78633 H01L27/1288 G02F2001/136236 G02F1/136209 H01L27/1214 H01L27/12 H01L27/124		
代理人(译)	徐金国		
优先权	1020060041600 2006-05-09 KR		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器件，其包括彼此交叉以在基板上限定像素区域的栅线和数据线；连接到栅线的栅极；栅极上的栅绝缘层；栅绝缘层上的有源层；彼此分开并分别具有彼此相面对的内侧的有源层上的源极和漏极，其中源极连接到数据线；在有源层以及各源极和漏极之间的欧姆接触层；在有源层上方并具有外侧的遮蔽图案，其中至少一所述外侧与源极和漏极的至少一所述内侧相面对；以及在像素区域中并连接到漏极的像素电极。

