



(12) 发明专利

(10) 授权公告号 CN 101008724 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200710001795. 8

CN 1530723 A, 2004. 09. 22, 全文.

(22) 申请日 2007. 01. 16

CN 1641728 A, 2005. 07. 20, 全文.

(30) 优先权数据

审查员 焦丽宁

8148/06 2006. 01. 26 KR

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 全珍

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邸万奎

(51) Int. Cl.

G02F 1/133(2006. 01)

G02F 1/1362(2006. 01)

G09G 3/36(2006. 01)

G09G 3/20(2006. 01)

(56) 对比文件

CN 1437175 A, 2003. 08. 20, 全文.

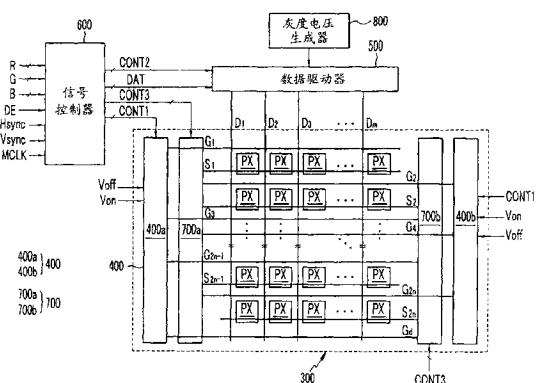
权利要求书 4 页 说明书 17 页 附图 11 页

(54) 发明名称

液晶显示器装置和驱动方法

(57) 摘要

在本发明的一个实施例中,一种显示装置包括:传送栅极信号的多个栅极线;传送数据电压的多个数据线;传送存储信号的多个存储电极线;以及被布置为矩阵的多个像素,每个像素包括连接到栅极线和数据线的切换元件、连接到切换元件和公共电压的液晶电容器、以及连接到切换元件和存储电极线的存储电容器。该显示装置还可包括生成存储信号的多个信号生成电路,其中信号生成电路被连接到第k存储电极线,其中k是自然数。



1. 一种液晶显示装置,被配置为显示多个帧的图像,该液晶显示装置包括:

多个栅极线,适用于传送多个栅极信号;

多个数据线,适用于传送多个数据电压;

多个存储电极线,适用于传输多个存储信号;

多个像素,被布置为具有多个行的矩阵,其中每个像素包括连接到所述栅极线之一和所述数据线之一的切换元件、连接到所述切换元件和公共电压的液晶电容器、以及连接到所述切换元件和所述存储电极线之一的存储电容器;以及

多个信号生成电路,连接到存储电极线,其中每个信号生成电路适用于在紧接着由数据电压对像素的相关行的液晶电容器和存储电容器充电之后、响应于栅极信号而将具有第一或第二电压的存储信号施加到相关联的所述存储电极线,适用于响应于第一控制信号而反转存储信号的电压,并适用于响应于第二控制信号和第三控制信号而将存储信号保持第一预定时间周期。

2. 如权利要求 1 所述的液晶显示装置,其中向相邻存储电极线施加的存储信号具有相互不同的电压电平。

3. 如权利要求 1 所述的液晶显示装置,其中所述第一控制信号适用于反转每个帧的存储信号。

4. 如权利要求 1 所述的液晶显示装置,其中所述公共电压是固定电压。

5. 如权利要求 1 所述的液晶显示装置,其中所述第一控制信号和第三控制信号具有基本相同的相位。

6. 如权利要求 5 所述的液晶显示装置,其中所述第二控制信号和第三控制信号具有基本相反的相位。

7. 如权利要求 6 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有基本相同的周期。

8. 如权利要求 7 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有一个水平周期 (1H) 的周期。

9. 如权利要求 7 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有基本相同的占空比。

10. 如权利要求 9 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有大约 50% 的占空比。

11. 如权利要求 1 所述的液晶显示装置,还包括附加栅极线,适用于将所述栅极信号之一传送到所述信号生成电路之一。

12. 如权利要求 11 所述的液晶显示装置,其中所述附加栅极线被连接到所述信号生成电路的最后一个。

13. 如权利要求 1 所述的液晶显示装置,其中每个栅极信号被配置为提供栅极导通电压和栅极关断电压,其中由两个相邻栅极线传送的栅极信号中的两个的栅极导通电压在第二预定时间周期重叠。

14. 如权利要求 13 所述的液晶显示装置,其中所述第二预定时间周期对应于一个水平周期 (1H)。

15. 如权利要求 1 所述的液晶显示装置,其中每个信号生成电路与相应的一个栅极线

相关联,其中每个信号生成电路还包括第一晶体管,该第一晶体管具有:连接到栅极线之一的控制端、适用于接收第一控制信号的输入端、以及连接到存储电极线之一的输出端。

16. 如权利要求 15 所述的液晶显示装置,其中每个信号生成电路还包括:第二晶体管,具有连接到栅极线之一的控制端、以及适用于接收第二控制信号的输入端;以及第三晶体管,具有连接到栅极线之一的控制端、以及适用于接收第三控制信号的输入端。

17. 如权利要求 16 所述的液晶显示装置,其中每个信号生成电路还包括:

第四晶体管,具有连接到第三晶体管的输出端的控制端、连接到第一驱动电压的输入端、以及连接到存储电极线之一的输出端;

第五晶体管,具有连接到第二晶体管的输出端的控制端、连接到存储电极线之一的输入端、以及连接到第二驱动电压的输出端;

第一电容器,连接在所述第四晶体管的输入端和控制端之间;以及

第二电容器,连接在所述第五晶体管的控制端和输出端之间。

18. 一种液晶显示装置,被配置为显示多个帧的图像,该液晶显示装置包括:

多个栅极线,适用于传送多个栅极信号;

多个数据线,适用于传送多个数据电压;

多个存储电极线,适用于传输多个存储信号;

多个像素,被布置为具有多个行的矩阵,其中每个像素包括连接到所述栅极线之一和所述数据线之一的切换元件、连接到所述切换元件和公共电压的液晶电容器、以及连接到所述切换元件和所述存储电极线之一的存储电容器;以及

多个信号生成电路,连接到存储电极线,其中每个信号生成电路适用于在紧接着由数据电压对像素的相关行的液晶电容器和存储电容器充电之后、响应于第一栅极信号而将具有第一或第二电压的存储信号施加到相关联的一个存储电极线,其中通过与信号生成电路相关联的第一栅极线接收所述第一栅极信号,适用于响应于第一控制信号或响应于通过与信号生成电路相关联的第二栅极线接收的第二栅极信号而反转存储信号的电压,并适用于响应于第二控制信号和第三控制信号而将存储信号保持第一预定时间周期。

19. 如权利要求 18 所述的液晶显示装置,其中向相邻存储电极线施加的存储信号具有相互不同的电压电平。

20. 如权利要求 18 所述的液晶显示装置,其中所述第一控制信号适用于反转每个帧的存储信号。

21. 如权利要求 18 所述的液晶显示装置,其中所述公共电压具有固定电压。

22. 如权利要求 18 所述的液晶显示装置,其中所述第一控制信号和第三控制信号具有基本相同的相位。

23. 如权利要求 22 所述的液晶显示装置,其中所述第二控制信号和第三控制信号具有基本相反的相位。

24. 如权利要求 23 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有基本相同的周期。

25. 如权利要求 24 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有一个水平周期(1H)的周期。

26. 如权利要求 24 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有基

本相同的占空比。

27. 如权利要求 26 所述的液晶显示装置,其中所述第一、第二和第三控制信号具有大约 50%的占空比。

28. 如权利要求 18 所述的液晶显示装置,还包括附加栅极线,适用于将所述栅极信号之一传送到所述信号生成电路之一。

29. 如权利要求 28 所述的液晶显示装置,其中所述附加栅极线被连接到所述信号生成电路的最后一个。

30. 如权利要求 18 所述的液晶显示装置,其中每个信号生成电路还包括:第一晶体管,具有连接到所述第二栅极线的控制端、适用于接收第一控制信号的输入端、以及连接到存储电极线之一的输出端。

31. 如权利要求 30 所述的液晶显示装置,其中每个信号生成电路还包括:第二晶体管,具有连接到所述第二栅极线的控制端、以及适用于接收第二控制信号的输入端;以及第三晶体管,具有连接到所述第二栅极线的控制端、以及适用于接收第三控制信号的输入端。

32. 如权利要求 31 所述的液晶显示装置,其中每个信号生成电路还包括:

第四晶体管,具有连接到第三晶体管的输出端的控制端、连接到第一驱动电压的输入端、以及连接到存储电极线之一的输出端;

第五晶体管,具有连接到第二晶体管的输出端的控制端、连接到存储电极线之一的输入端、以及连接到第二驱动电压的输出端;

第一电容器,连接在所述第四晶体管的输入端和控制端之间;以及

第二电容器,连接在所述第五晶体管的控制端和输出端之间。

33. 如权利要求 32 所述的液晶显示装置,其中每个信号生成电路还包括:第六晶体管,具有适用于接收第一控制信号的输入端、连接到所述第一栅极线的控制端、以及连接到存储电极线之一的输出端。

34. 一种驱动液晶显示装置的方法,该液晶显示装置具有被布置为具有多个行的矩阵的多个像素,其中,每个像素包括连接到多个栅极线之一和多个数据线之一的切换元件、连接到所述切换元件和公共电压的液晶电容器、以及连接到所述切换元件和多个存储电极线之一的存储电容器,该方法包括:

将第一组数据电压施加到数据线;

将第一栅极电压施加到与第一行像素相连接的第一栅极线;

将具有第一电压的第一存储信号施加到与所述第一行像素相连接的第一存储电极线,以保持所述第一行像素的存储电容器上的所述第一电压;

保持所述第一存储信号持续第一预定时间周期;

将第二组数据电压施加到数据线;

将第二栅极电压施加到与第二行像素相连接的第二栅极线;

将具有第二电压的第二存储信号施加到与所述第二行像素相连接的第二存储电极线,以保持所述第二行像素的存储电容器上的所述第二电压;以及

保持所述第二存储信号持续第二预定时间周期。

35. 如权利要求 34 所述的方法,其中所述第一和第二电压近似相等,并在极性上彼此相反。

36. 如权利要求 34 所述的方法,其中所述第一和第二栅极信号在时间上相互重叠。

液晶显示器装置和驱动方法

[0001] 相关申请的交叉引用

[0002] 本申请要求在 2006 年 1 月 26 日向韩国知识产权局提交的韩国专利申请 No. 10-2006-0008148 的优先权和权益,在此通过引用合并其全部内容。

技术领域

[0003] 本发明涉及液晶显示器 (LCD) 装置。

背景技术

[0004] 通常,液晶显示器 (LCD) 装置包括具有像素电极和公共电极的两个显示面板、以及具有在显示面板之间布置的各向异性电介质的液晶层。像素电极被布置为矩阵,并被连接到诸如薄膜晶体管 (TFT) 之类的切换元件,以顺序地逐行接收数据电压。在一个显示面板的整个表面上形成公共电极,其可接收公共电压。通过像素电极、公共电极以及两者之间的液晶层形成液晶电容器。液晶电容器以及连接到液晶电容器的切换元件形成像素单元。

[0005] 在 LCD 装置中,将电压施加到两个电极以在液晶层上形成电场。通过控制电场的强度和控制通过液晶层的光的透射率而获得想要的图像。当将电场在一个方向上施加到液晶层时,可能使得 LCD 装置退化。为防止这样的退化,可对每个帧、行或像素,相对公共电压反转数据电压的极性。

[0006] 由于液晶分子的慢响应速率,所以将液晶电容器充电到目标电压(下文中,“像素电压”)以获得想要的亮度是很花费时间的。此时间取决于目标电压和先前对液晶电容器充电的电压之间的差值。由此,当目标电压和先前电压之间的差值较大且在开始阶段施加目标电压时,不可能在导通切换元件的时间期间达到目标电压。

[0007] 因此,已开发了动态电容补偿 (DCC) 方法。当在液晶电容器的两端之间施加的电压较大时,减少充电时间。DCC 方法将要被施加到每个像素的数据电压提高到大于目标电压的电压。这缩短了像素电压达到目标电压所需的时间。数据电压事实上是数据电压与公共电压之间的差值,但为了方便起见,DCC 方法将公共电压设置为 0V。

[0008] 然而,DCC 方法需要用于执行 DCC 计算的帧存储器和驱动电路。结果,DCC 方法需要改变电路设计,并提高制造成本。

[0009] 小型 LCD 装置,如用于移动电话的那些,执行相对公共电压逐行反转数据电压的极性的行反转,以降低功耗。因为小型 LCD 装置可能需要高分辨率,所以功耗是这样的装置的重要因素。具体地,因为 DCC 方法需要额外的计算或电路,所以在 DCC 计算的执行中会增加功耗。

[0010] 另外,在行反转的情况下,用于显示图像的数据电压范围小于在点反转(其中,相对公共电压逐像素地反转数据电压的极性)下的范围。由此,如果用于驱动液晶的阈值电压较高(如在垂直排列 (VA) 模式液晶显示器中),则用于实际图像显示的灰度表现的数据电压范围变低到阈值电压。由此,在这样的配置中的亮度表现较困难。

[0011] 以上在背景技术段落中公开的信息仅为了提高对本发明的背景的理解,并因此,

其可包含未形成本领域技术人员已知的现有技术的信息。

发明内容

[0012] 根据本发明的各个实施例,可降低液晶显示器装置的功耗,可改善这样的显示装置的液晶层的响应时间,并且可改善这样的显示装置的图像清晰度,而不会显著地提高功耗。

[0013] 根据本发明的实施例,一种被配置为显示多个帧的图像的显示装置,包括:多个栅极线,适用于传送多个栅极信号;多个数据线,适用于传送多个数据电压;多个存储电极线,适用于传输多个存储信号;多个像素,被布置为具有多个行的矩阵,其中每个像素包括连接到栅极线之一和数据线之一的切换元件、连接到切换元件和公共电压的液晶电容器、以及连接到切换元件和存储电极线之一的存储电容器;以及多个信号生成电路,连接到存储电极线,其中每个信号生成电路适用于在紧接着由数据电压对相关行的像素的液晶电容器和存储电容器充电之后、响应于栅极信号而将具有第一或第二电压的存储信号施加到相关联的存储电极线,适用于响应于第一控制信号而反转存储信号的电压,并适用于响应于第二控制信号和第三控制信号而将存储信号保持第一预定时间周期。

[0014] 向相邻存储电极线施加的存储信号具有相互不同的电压电平。

[0015] 所述第一控制信号可适用于反转每个帧的存储信号,其中所述公共电压可以是固定电压。

[0016] 所述第一控制信号和第三控制信号可以具有基本相同的相位。

[0017] 所述第二控制信号和第三控制信号可以具有基本相反的相位。

[0018] 所述第一、第二和第三控制信号可以具有基本相同的周期。

[0019] 所述第一、第二和第三控制信号可以具有大约一个水平周期(1H)的周期。

[0020] 所述第一、第二和第三控制信号可以具有基本相同的占空比。

[0021] 所述第一、第二和第三控制信号可以具有大约50%的占空比。

[0022] 该显示装置还可包括附加栅极线,适用于将所述栅极信号之一传送到信号生成电路之一。

[0023] 所述附加栅极线可被连接到信号生成电路的最后一个。

[0024] 每个栅极信号可被配置为提供栅极导通电压和栅极关断电压,其中由两个相邻栅极线传送的栅极信号中的两个的栅极导通电压在第二预定时间周期内重叠。

[0025] 所述第二预定时间周期可对应于大约一个水平周期(1H)。

[0026] 每个信号生成电路可与相应的一个栅极线相关联,其中每个信号生成电路还可包括:第一晶体管,其具有连接到栅极线之一的控制端、适用于接收第一控制信号的输入端、以及连接到存储电极线之一的输出端。

[0027] 每个信号生成电路还可包括:第二晶体管,具有连接到栅极线之一的控制端、以及适用于接收第二控制信号的输入端;以及第三晶体管,具有连接到栅极线之一的控制端、以及适用于接收第三控制信号的输入端。

[0028] 每个信号生成电路还可包括:第四晶体管,具有连接到第三晶体管的输出端的控制端、连接到第一驱动电压的输入端、以及连接到存储电极线之一的输出端;第五晶体管,具有连接到第二晶体管的输出端的控制端、连接到存储电极线之一的输入端、以及连接到

第二驱动电压的输出端；第一电容器，连接在第四晶体管的输入端和控制端之间；以及第二电容器，连接在第五晶体管的控制端和输出端之间。

[0029] 根据本发明的另一实施例，一种被配置为显示多个帧的图像的显示装置包括：多个栅极线，适用于传送多个栅极信号；多个数据线，适用于传送多个数据电压；多个存储电极线，适用于传送多个存储信号；多个像素，被布置为具有多个行的矩阵，其中每个像素包括连接到栅极线之一和数据线之一的切换元件、连接到切换元件和公共电压的液晶电容器、以及连接到切换元件和存储电极线之一的存储电容器；以及多个信号生成电路，连接到存储电极线，其中每个信号生成电路适用于在紧接着由第一组数据电压对第一行像素的液晶电容器和存储电容器充电之后、响应于第一栅极信号而将具有第一或第二电压的存储信号施加到相关联的存储电极线，其中通过与信号生成电路相关联的第一栅极线接收第一栅极信号，适用于响应于第一控制信号或响应于通过与信号生成电路相关联的第二栅极线接收的第二栅极信号而反转存储信号的电压，并适用于响应于第二控制信号和第三控制信号而将存储信号保持第一预定时间周期。

[0030] 向相邻存储电极线施加的存储信号可具有相互不同的电压电平。

[0031] 所述第一控制信号可适用于反转每个帧的存储信号。

[0032] 所述公共电压可具有固定电压。

[0033] 所述第一控制信号和第三控制信号可具有基本相同的相位。

[0034] 所述第二控制信号和第三控制信号可具有基本相反的相位。

[0035] 所述第一、第二和第三控制信号可具有基本相同的周期。

[0036] 所述第一、第二和第三控制信号可具有大约一个水平周期 (1H) 的周期。

[0037] 所述第一、第二和第三控制信号可具有基本相同的占空比。

[0038] 所述第一、第二和第三控制信号可具有大约 50% 的占空比。

[0039] 该显示装置还可包括附加栅极线，适用于将栅极信号之一传送到信号生成电路之一。

[0040] 所述附加栅极线可被连接到信号生成电路的最后一个。

[0041] 每个信号生成电路还可包括：第一晶体管，其具有连接到第二栅极线的控制端、适用于接收第一控制信号的输入端、以及连接到存储电极线之一的输出端。

[0042] 每个信号生成电路还可包括：第二晶体管，具有连接到第二栅极线的控制端、以及适用于接收第二控制信号的输入端；以及第三晶体管，具有连接到第二栅极线的控制端、以及适用于接收第三控制信号的输入端。

[0043] 每个信号生成电路还可包括：第四晶体管，具有连接到第三晶体管的输出端的控制端、连接到第一驱动电压的输入端、以及连接到存储电极线之一的输出端；第五晶体管，具有连接到第二晶体管的输出端的控制端、连接到存储电极线之一的输入端、以及连接到第二驱动电压的输出端；第一电容器，连接在所述第四晶体管的输入端和控制端之间；以及第二电容器，连接在所述第五晶体管的控制端和输出端之间。

[0044] 每个信号生成电路还可包括：第六晶体管，其具有适用于接收第一控制信号的输入端、连接到第一栅极线的控制端、以及连接到存储电极线之一的输出端。

[0045] 根据本发明的另一实施例，提供了一种驱动显示装置的方法，其中该显示装置包括被布置为具有多个行的矩阵的多个像素，其中每个像素包括连接到多个栅极线之一和多

个数据线之一的切换元件、连接到所述切换元件和公共电压的液晶电容器、以及连接到所述切换元件和多个存储电极线之一的存储电容器。该方法包括：将第一组数据电压施加到数据线；将第一栅极电压施加到与第一行像素相连接的第一栅极线；将具有第一电压的第一存储信号施加到与所述第一行像素相连接的第一存储电极线，以保持所述第一行像素的存储电容器上的所述第一电压；保持所述第一存储信号持续第一预定时间周期；将第二组数据电压施加到数据线；将第二栅极电压施加到与第二行像素相连接的第二栅极线；将具有第二电压的第二存储信号施加到与所述第二行像素相连接的第二存储电极线，以保持所述第二行像素的存储电容器上的所述第二电压；以及保持所述第二存储信号持续第二预定时间周期。

[0046] 所述第一和第二电压可近似相等，并在极性上彼此相反。

[0047] 所述第一和第二栅极信号可在时间上相互重叠。

附图说明

[0048] 参考附图，详细示出本发明的各个实施例。

[0049] 图 1 是根据本发明的实施例的液晶显示器的框图。

[0050] 图 2 是根据本发明的实施例的液晶显示器的像素的等效电路图。

[0051] 图 3 是根据本发明的实施例的信号生成电路的电路图。

[0052] 图 4 是在根据本发明的实施例包括图 3 中示出的信号生成电路的液晶显示器中使用的信号的时序图。

[0053] 图 5 是示出按照根据本发明的实施例的信号生成电路的操作的、与像素电极电压有关的液晶的响应速度的图。

[0054] 图 6 是示出根据传统技术、与像素电极电压有关的液晶的响应速度的图。

[0055] 图 7 是根据本发明的另一实施例的液晶显示器的框图。

[0056] 图 8 是根据本发明的另一实施例的信号生成电路的电路图。

[0057] 图 9 是在根据本发明的实施例的、包括在图 8 中示出的信号生成电路的液晶显示器中使用的信号的时序图。

[0058] 图 10 是根据本发明的实施例的液晶显示器的薄膜晶体管阵列面板的布局图。

[0059] 图 11A 和图 11B 分别是根据本发明的实施例的、图 10 中示出的薄膜晶体管阵列面板沿线 XIA-XIA 和 XIB-XIB 的横截面图。

[0060] 图 12 是根据本发明的实施例的液晶显示器的薄膜晶体管阵列面板的另一布局图。

[0061] 图 13A 和图 13B 分别是根据本发明的实施例的、图 12 中示出的薄膜晶体管阵列面板沿线 XIIIA-XIIIA 和 XIIIB-XIIIB 的横截面图。

具体实施方式

[0062] 在下文中，将参考附图更完整地说明本发明，在附图中示出了本发明的实施例。

[0063] 在附图中，为清楚，夸大了层、膜、面板、区域等的厚度。贯穿说明书，相同的附图标记指示相同的元件。将理解的是，当将诸如层、膜、区域或基底之类的元件被称为在另一元件“之上”时，其可以直接在其他元件之上，也可能存在中间元件。相反，当将元件称为“直

接”在另一元件“之上”时,则不存在中间元件。

[0064] 参考图 1 和图 2,详细解释根据本发明的实施例的液晶显示器。图 1 是根据本发明的实施例的液晶显示器的框图,而图 2 是根据本发明的实施例的液晶显示器的像素的等效电路图。

[0065] 如图 1 所示,根据本发明的示例实施例的液晶显示器包括液晶面板组件 300、栅极驱动器 400、数据驱动器 500、连接到数据驱动器 500 的灰度电压生成器 800、存储信号生成器 700、以及控制上述元件的信号控制器 600。

[0066] 液晶面板组件 300 包括多个信号线 (G_1-G_{2n} 、 G_d 、 D_1-D_m 和 S_1-S_{2n})、以及连接到信号线 G_1-G_{2n} 、 G_d 、 D_1-D_m 和 S_1-S_{2n} 且被基本布置为矩阵的多个像素 PX。如图 2 所示,液晶面板组件 300 包括相互面对的下层和上层面板 100 和 200、以及在面板 100 和 200 之间置入的液晶层 3。

[0067] 信号线包括多个栅极线 G_1-G_{2n} 和 G_d 、多个数据线 D_1-D_m 、以及多个存储电极线 S_1-S_{2n} 。

[0068] 栅极线 G_1-G_{2n} 和 G_d 包括多个正常栅极线 G_1-G_{2n} 、以及附加栅极线 G_d ,用于传送栅极信号(下文中也称为“扫描信号”)。存储电极线 S_1-S_{2n} 被交替连接到正常栅极线 G_1-G_{2n} ,并传送存储信号。数据线 D_1-D_m 传送数据电压。

[0069] 栅极线 G_1-G_{2n} 、 G_d 和存储电极线 S_1-S_{2n} 基本上沿行方向延伸,并基本上相互平行,同时数据线 D_1-D_m 基本上在列方向上延伸,并基本上相互平行。

[0070] 参考图 2,每个像素 PX,例如连接到第 i 正常栅极线 G_i ($i = 1, 2, \dots, 2n$) 和第 j 数据线 D_j ($j = 1, 2, \dots, 2m$) 的像素 PX,包括连接到信号线 G_i 和 D_j 的切换元件 Q、以及连接到切换元件 Q 的液晶电容器 Clc 和存储电容器 Cst。例如,可将切换元件 Q 实现为三端元件,如在下层面板 100 上安置的薄膜晶体管。三端元件具有连接到正常栅极线 G_i 的控制端、连接到数据线 D_j 的输入端、以及连接到液晶电容器 Clc 和存储电容器 Cst 的输出端。

[0071] 下层面板 100 的像素电极 191、以及上层面板 200 的公共电极 270 是液晶电容器 Clc 的两端。在电极 191 与 270 之间布置的液晶层 3 作用为介电材料。像素电极 191 被连接到切换元件 Q。公共电极 270 被布置在整个上层面板 200 上,并接收公共电压 Vcom。例如,公共电压可包括具有预定值的直流(DC)电压。可替换地,可在下层面板 100 上形成公共电极 270。在此情况下,电极 191 和 270 中的至少一个可具有线形或平板形。

[0072] 存储电容器 Cst 协助液晶电容器 Clc,并且通过重叠像素电极 191 和存储电极线 S_i 、以及在它们之间的绝缘体而形成。对于彩色显示器,每个像素 PX 可表现一个基色(空间划分),或者可替换地,可根据时间而表现不同的基色(时间划分)。由此,通过基色的空间与时间总和来显示想要的色彩。基色的例子包括红、绿和蓝。图 2 显示示例的空间划分。每个像素 PX 具有滤色器 230,其在上层面板 200 的对应于像素电极 191 的区域上表现一种基色。可替换地,可在下层面板 100 的像素电极 191 之上或之下形成滤色器 230。

[0073] 将用来偏光的至少一个偏光器(未示出)联接到液晶面板组件 300。

[0074] 参考图 1,灰度电压生成器 800 可生成与像素 PX 的透射率有关的全部数目的栅极电压或限制数目的灰度电压(下文中称为“参考灰度电压”)。一些参考灰度电压具有相对公共电压 Vcom 的正极性,而其他参考灰度电压具有相对公共电压 Vcom 的负极性。

[0075] 栅极驱动器 400 包括第一和第二栅极驱动电路 400a 和 400b,分别布置在液晶面板

组件 300 的两侧上（例如，右侧和左侧）。

[0076] 第一栅极驱动电路 400a 被连接到奇数正常栅极线 G_1 、 G_3 、... 和 G_{2n-1} 、以及附加栅极线 G_d 的末端。第二栅极驱动电路 400b 被连接到偶数正常栅极线 G_2 、 G_4 、... 和 G_{2n} 的末端。可替换地，可将第二栅极驱动电路 400b 连接到奇数正常栅极线 G_1 、 G_3 、... 和 G_{2n-1} 、以及附加栅极线 G_d 的末端，而将第一栅极驱动电路 400a 连接到偶数正常栅极线 G_2 、 G_4 、... 和 G_{2n} 的末端。

[0077] 第一和第二栅极驱动电路 400a 和 400b 中的每一个都合成栅极导通 (gate-on) 电压 V_{on} 和栅极关断 (gate-off) 电压 V_{off} ，以生成应用于栅极线 G_1 - G_{2n} 和 G_d 的栅极信号。

[0078] 将栅极驱动器 400 与信号线 G_1 - G_{2n} 、 G_d 、 D_1 - D_m 和 S_1 - S_{2n} 以及切换元件 Q 一起集成进液晶面板组件 300 中。在一个实施例中，栅极驱动器 400 可包括在 LC 面板组件 300 上、或在联接到面板组件 300 的带载流包 (tape carrier package (TCP)) 中的柔性印刷电路 (FPC) 膜上安装的至少一个集成电路 (IC) 芯片。可替换地，可在单独的印刷电路板（未示出）上安装栅极驱动器 400。

[0079] 存储信号生成器 700 包括第一和第二存储信号生成电路 700a 和 700b，它们被布置在例如液晶面板组件 300 的两侧上，并且相邻于第一和第二栅极驱动电路 400a 和 400b。

[0080] 第一存储信号生成电路 700a 被连接到奇数存储电极线 S_1 、 S_3 、... 和 S_{2n-1} 、以及偶数正常栅极线 G_2 、 G_4 、... 和 G_{2n} ，并且其施加具有高电平电压和低电平电压的存储信号。

[0081] 第二存储信号生成电路 700b 被连接到偶数存储电极线 S_2 、 S_4 、... 和 S_{2n} 、以及奇数正常栅极线 G_3 、... 和 G_{2n-1} （除了第一正常栅极线 G_1 和附加栅极线 G_d 之外），并且其将存储信号施加到存储电极线 S_2 、 S_4 、... 和 S_{2n} 。

[0082] 取代向存储信号生成器 700 提供来自连接到栅极驱动器 400 的附加栅极线 G_d 的信号，而可以向存储信号生成器 700 提供来自诸如信号控制器 600 之类的分离单元、或分离的信号生成器（未示出）的信号。在此情况下，不必在液晶面板组件 300 上形成附加栅极线 G_d 。

[0083] 将存储信号生成器 700 与信号线 G_1 - G_{2n} 、 G_d 、 D_1 - D_m 和 S_1 - S_{2n} 以及切换元件 Q 一起集成进液晶面板组件 300 中。在一个实施例中，存储信号生成器 700 可包括在 LC 面板组件 300 上、或在联接到面板组件 300 的带载流包 (TCP) 中的柔性印刷电路 (FPC) 膜上安装的至少一个集成电路 (IC) 芯片。可替换地，可在单独的印刷电路板（未示出）上安装存储信号生成器 700。

[0084] 数据驱动器 500 被连接到面板组件 300 的数据线 D_1 - D_m ，并且将从灰度电压生成器 800 提供的灰度电压中选择的数据电压施加到数据线 D_1 - D_m 。然而，当灰度电压生成器 800 生成仅仅一些而不是全部灰度电压时，数据驱动器 500 可划分参考灰度电压，以生成灰度电压中的数据电压。在一个实施例中，驱动器 500、600 和 800 可包括在 LC 面板组件 300 上、或在联接到面板组件 300 的带载流包 (TCP) 中的柔性印刷电路 (FPC) 膜上安装的至少一个集成电路 (IC) 芯片。可替换地，可将驱动器 400、500、600 和 800 中的至少一个与信号线 G_1 - G_{2n} 、 G_d 、 S_1 - S_{2n} 和 D_1 - D_m 以及切换元件 Q 一起集成进面板组件 300 中。可替换地，可将所有驱动器 400、500、600 和 800 集成进单个 IC 芯片，但可将驱动器 400、500、600 和 800 中的至少一个、或者驱动器 400、500、600 和 800 的至少一个中的至少一个电路元件布置到单个 IC 芯片之外。

[0085] 信号控制器 600 控制栅极驱动器 400、数据驱动器 500、以及存储信号生成器 700。

[0086] 下面说明液晶显示器的操作。

[0087] 信号控制器 600 从外部图形控制器（未示出）接收输入图像信号 R、G 和 B、以及用于控制输入图像信号的输入控制信号。输入图像信号 R、G 和 B 包含像素 PX 的亮度信息，并且该亮度具有预定数目的灰度，例如， $1024 (= 2^{10})$ 、 $256 (= 2^8)$ 或 $64 (= 2^6)$ 灰度。

[0088] 例如，输入控制信号包括垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK、以及数据使能信号 DE。

[0089] 信号控制器 600 根据液晶面板组件 300 的工作条件，基于输入控制信号和输入图像信号 R、G 和 B 而处理输入图像信号 R、G 和 B；生成栅极控制信号 CONT1、数据控制信号 CONT2、以及存储控制信号 CONT3；以及将栅极控制信号 CONT1 施加到栅极驱动器 400、将数据控制信号 CONT2 和图像信号 DAT 施加到数据驱动器 500、并将存储控制信号 CONT3 施加到存储信号生成器 700。

[0090] 栅极控制信号 CONT1 包括用于指示扫描的开始的扫描开始信号 STV1 和 STV2、以及用于控制栅极导通电压 Von 的输出周期的至少一个时钟信号。栅极控制信号 CONT1 还可包括用于限制栅极导通电压 Von 的时间周期的输出使能信号 OE。

[0091] 数据控制信号 CONT2 包括用于指示像素 PX 的行的数据传输的开始的水平同步开始信号 STH、用来将数据电压施加到数据线 D_1-D_m 的加载信号 LOAD、以及数据时钟信号 HCLK。数据控制信号 CONT2 还可包括用于反转数据电压的极性（相对于公共电压 Vcom）的反转信号 RVS。

[0092] 响应于来自信号控制器 600 的数据控制信号 CONT2，数据驱动器 500 从信号控制器 600 接收像素 PX 的行的数字图像信号 DAT 的分组，将数字图像信号 DAT 转换为从灰度电压中选择的模拟数据电压，并将该模拟数据电压施加到数据线 D_1-D_m 。

[0093] 响应于来自信号控制器 600 的栅极控制信号 CONT1，栅极驱动器 400 将栅极导通电压 Von 施加到相应的一个正常栅极线 G_1-G_{2n} ，例如第 i 正常栅极线 G_i ，并使得连接到正常栅极线 G_i （除了未连接到切换元件 Q 的附加栅极线 G_a 之外）的切换元件 Q 导通。然后，通过激活的切换晶体管 Q，将向数据线 D_1-D_m 施加的数据电压提供到第 i 行的像素 PX，使得对像素 PX 中的液晶电容器 Clc 和存储电容器 Cst 充电。

[0094] 向像素 PX 施加的数据电压与公共电压 Vcom 之间的差被表现为跨越像素 PX 的液晶电容器 Clc 的电压，其被称为像素电压。液晶电容器 Clc 中的液晶分子具有取决于像素电压的幅值的方向性，并且该分子方向性确定通过液晶层 3 的光的偏振。偏光器将光偏振转换为光透射，使得像素 PX 具有由数据电压的灰度所表现的亮度。

[0095] 随着水平周期（也称为“1H”，且等于水平同步信号 Hsync 和数据使能信号 DE 的一个周期）的经过，数据驱动器 500 将数据电压施加到第 (i+1) 行的像素 PX，然后栅极驱动器 400 将向第 i 正常栅极线 G_i 施加的栅极信号改变为栅极关断电压 Voff，并将向下一正常栅极线 G_{i+1} 施加的栅极信号改变为栅极导通电压 Von。然后，关断第 i 行的切换元件 Q，使得像素电极 191 处于浮动状态 (floating state)。

[0096] 存储信号生成器 700 基于存储控制信号 CONT3、以及向第 (i+1) 栅极线 G_{i+1} 施加的栅极信号的电压变化，改变向第 i 存储电极线 S_i 施加的存储信号的电压电平。由此，连接到存储电容器 Cst 的一端的像素电极 191 的电压随着连接到存储电容器 Cst 的另一端的存

储电极线 Si 的电压变化而变化。通过对所有的像素行重复此过程,液晶显示器显示帧的图像。

[0097] 当在一帧结束后开始下一帧时,控制向数据驱动器 500 施加的反转信号 RVS,使得反转数据电压的极性(其被称为“帧反转”)。另外,向一行的像素 PX 施加的数据电压的极性基本相同,而向两个相邻行的像素 PX 施加的数据电压的极性相反(例如,行反转)。

[0098] 在执行帧反转和行反转的本发明的实施例中,向一行的像素 PX 施加的所有数据电压的极性是正或负的,并且以一帧为单位来改变。此时,当由正极性的数据电压对像素电极 191 充电时,将向存储电极线 S_1-S_{2n} 施加的存储信号从低电平电压改变为高电平电压。另一方面,当由负极性的数据电压对像素电极 191 充电时,将存储信号从高电平电压改变为低电平电压。结果,如果由正极性的正数据电压对像素电极 191 充电,则像素电极 191 的电压增高,而如果由负数据电压对像素电极 191 充电,则像素电极 191 的电压降低。结果,像素电极 191 的电压范围比作为数据电压的基础的灰度电压的范围更宽,从而,使用低基本电压的亮度范围可以增加。

[0099] 第一和第二存储信号生成电路 700a 和 700b 可包括分别连接到存储电极线 S_1-S_{2n} 的多个信号生成电路 710。参考图 3 和 4 说明信号生成电路 710 的示例。

[0100] 图 3 是根据本发明的实施例的信号生成电路的电路图,而图 4 是在包括图 3 所示的信号生成电路的液晶显示器中使用的信号的时序图。

[0101] 参考图 3,信号生成电路 710 包括输入端 IP 和输出端 OP。在第 i 信号生成电路中,将输入端 IP 连接到要被提供有第 (i+1) 栅极信号 g_{i+1} (下文中称为“输入信号”)的第 (i+1) 栅极线 G_{i+1} ,并且将输出端 OP 连接到第 i 存储电极线 S_i ,以输出第 i 存储信号 V_{S_i} 。类似地,在第 (i+1) 信号生成电路中,将输入端 IP 连接到要被提供有作为输入信号的第 (i+2) 栅极信号 g_{i+2} 的第 (i+2) 栅极线 G_{i+2} ,并且将输出端 OP 连接到第 (i+1) 存储电极线 S_{i+1} ,以输出第 (i+1) 存储信号 $V_{S_{i+1}}$ 。

[0102] 向信号生成电路 710 提供来自信号控制器 600 的存储控制信号 CONT3 的第一、第二和第三时钟信号 CK1、CK1B 和 CK2,并且还向其提供来自信号控制器 600 或外部装置的高电压 AVDD 和低电压 AVSS。

[0103] 如图 4 所示,第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的周期可以是大约 2H,并且其占空比可以是大约 50%。第一和第二时钟信号 CK1 和 CK1B 具有大约 180° 的相位差,并且相对于彼此而反转。第二时钟信号 CK1B 和第三时钟信号 CK2 基本上具有相同的相位。另外,以帧为单位来反转第一、第二和第三时钟信号 CK1、CK1B 和 CK2。

[0104] 第一和第二时钟信号 CK1 和 CK1B 可具有大约 15V 的高电平电压 V_{h1} 、以及大约 0V 的低电平电压 V_{l1} 。第三时钟信号 CK2 可具有大约 5V 的高电平电压 V_{h2} 和大约 0V 的低电平电压 V_{l2} 。高电压 AVDD 可以是大约 5V,并且约等于第三时钟信号 CK2 的高电平电压 V_{h2} 。低电压 AVSS 可以是大约 0V,并且约等于第三时钟信号 CK2 的低电平电压 V_{l2} 。

[0105] 信号生成电路 710 包括每个都具有控制端、输入端和输出端的五个晶体管 Tr1-Tr5,以及两个电容器 C1 和 C2。将晶体管 Tr1 的控制端连接到输入端 IP,将晶体管 Tr1 的输入端连接到第三时钟信号 CK2,并且将晶体管 Tr1 的输出端连接到输出端 OP。将晶体管 Tr2 和 Tr3 的控制端连接到输入端 IP,并且将晶体管 Tr2 和 Tr3 的输入端分别连接到第一和第二时钟信号 CK1 和 CK1B。

[0106] 将晶体管 Tr4 和 Tr5 的控制端分别连接到晶体管 Tr2 和 Tr3 的输出端,并将晶体管 Tr4 和 Tr5 的输入端分别连接到低和高电压 AVSS 和 AVDD。分别在晶体管 Tr4 和 Tr5 的控制端与低和高电压 AVSS 和 AVDD 之间连接电容器 C1 和 C2。在一个实施例中,可从非晶硅或多晶硅薄膜晶体管形成晶体管 Tr1-Tr5。

[0107] 下面将进一步说明信号生成电路的操作。参考图 4,在预定时间周期(如,大约 1H)上重叠向两个相邻栅极线施加的栅极导通电压 V_{on} 。结果,使用向紧邻的前一行像素施加的数据电压对行的所有像素 PX 充电大约 1H,然后使用数据电压充电剩余的 1H,以正常地显示图像。

[0108] 首先,将说明第 i 信号生成电路。当将向第 $(i+1)$ 栅极线 G_{i+1} 施加的输入信号,即栅极信号 g_{i+1} 改变为栅极导通电压 V_{on} 时,导通第一、第二和第三晶体管 Tr1-Tr3。已导通的第一晶体管 Tr1 将第三时钟信号 CK2 发送到输出端 OP。结果,第 i 存储信号 V_{s_i} 将呈现第三时钟信号 CK2 的低电平电压 V_{12} 。同时,已导通的晶体管 Tr2 将第一时钟信号 CK1 发送到晶体管 Tr4 的控制端,并且导通的晶体管 Tr3 将第二时钟信号 CK1B 发送到晶体管 Tr5 的控制端。

[0109] 因为第一和第二时钟信号 CK1 和 CK1B 呈现反转的关系,所以相反地操作晶体管 Tr4 和 Tr5。即,当导通晶体管 Tr4 时,关断晶体管 Tr5,而当关断晶体管 Tr4 时,导通晶体管 Tr5。当导通晶体管 Tr4 且关断晶体管 Tr5 时,将低电压 AVSS 发送到输出端 OP,并且当关断晶体管 Tr4 且导通晶体管 Tr5 时,将高电压 AVDD 发送到输出端 OP。

[0110] 栅极信号 g_{i+1} 呈现栅极导通电压 V_{on} ,例如持续大约 2H。在图 4 中,由第一周期 T1 表示大约 1H 的第 1 个一半,而由后一周期 T2 表示大约 1H 的第 2 个一半。

[0111] 因为对于第一周期 T1,第一时钟信号 CK1 保持高电平电压 V_{h2} ,而第二和第三时钟信号 CK1B 和 CK2 分别保持低电压 V_{11} 和 V_{12} ,所以由晶体管 Tr1 向其发送第三时钟信号 CK2 的低电平电压 V_{12} 的输出端 OP 被提供有低电压 AVSS。结果,存储信号 V_{s_i} 保持具有等于低电压 V_{12} 和低电压 AVSS 的幅值的低电平电压 V_- 。而且在第一周期 T1 期间,将第一时钟信号 CK1 的高电平电压 V_{h1} 与低电压 AVSS 之间的电压充电到电容器 C1 中,而将第二时钟信号 CK1B 的低电平电压 V_{11} 与高电压 AVDD 之间的电压充电到电容器 C2 中。

[0112] 因为对于后一周期 T2,第一时钟信号 CK1 保持低电平电压 V_{11} ,而第二和第三时钟信号 CK1B 和 CK2 分别保持高电平电压 V_{h1} 和 V_{h2} ,所以导通晶体管 Tr5 并关断晶体管 Tr4。结果,向输出端 OP 提供有通过导通的晶体管 Tr1 发送的第三时钟信号 CK2 的高电平电压 V_{h2} ,使得将存储信号 V_{s_i} 的状态从低电平电压 V_- 改变为具有等于高电平电压 V_{h2} 的幅值的高电平电压 V_+ 。此外,向输出端 OP 提供有通过导通的晶体管 Tr5 而施加的高电压 VADD,其具有等于高电平电压 V_+ 的幅值的幅值。

[0113] 同时,因为向电容器 C1 中充入的电压基本上与第一时钟信号 CK1 的低电平电压 V_{11} 和低电压 AVSS 之间的差相同,所以在第一时钟信号 CK1 的低电平电压 V_{11} 和低电压 AVSS 彼此相同时,不对电容器 C1 充电。因为向电容器 C2 充入的电压基本上与第二时钟信号 CK1B 的高电平电压 V_{h1} 和高电压 AVDD 之间的差相同,所以当高电平电压 V_{h1} 与高电压 AVDD 相互不同时,向电容器 C2 中充入的电压不是 0V。如上所述,当第二时钟信号 CK1B 的高电平电压 V_{h1} 大约为 15V 而高电压 AVDD 大约为 5V 时,向电容器 C2 中充入大约 10V 的电压。

[0114] 当在经过了周期 T2 之后,将栅极信号 g_{i+1} 的阶段从栅极导通电压 V_{on} 改变为栅极关断电压 V_{off} 时,关断晶体管 Tr1-Tr3。结果,将隔离晶体管 Tr1 和输出端 OP 之间的电连接。也将隔离晶体管 Tr4 和 Tr5 的控制端。

[0115] 因为电容器 C1 未充电,所以晶体管 Tr4 保持在关断状态。然而,已将第二时钟信号 CK1B 的高电平 V_{h1} 与高电压 AVDD 之间的电压充电到电容器 C2 中。此时,当充电电压大于晶体管 Tr5 的阈值电压时,晶体管 Tr5 保持在导通状态。结果,将高电压 AVDD 提供到输出端 OP,作为存储信号 V_{s_i} 。因此,存储信号 V_{s_i} 保持高电平电压 $V+$ 。

[0116] 接着,将说明第 (i+1) 信号生成电路的操作。

[0117] 当将具有栅极导通电压 V_{on} 的第 (i+2) 栅极信号 g_{i+2} 施加到第 (i+1) 信号生成电路(未示出)时,操作第 (i+1) 信号生成电路。

[0118] 如图 4 所示,当第 (i+2) 栅极信号 g_{i+2} 切换到栅极导通电压 V_{on} 时,反转第一、第二和第三时钟信号 CK1、CK1B 和 CK2 的状态,使得第 (i+1) 栅极信号 g_{i+1} 具有栅极导通电压 V_{on} 。

[0119] 即,用于第 (i+2) 栅极信号 g_{i+2} 的第一栅极导通电压周期 T1 的操作与第 (i+1) 栅极信号 g_{i+1} 的最后一栅极导通周期 T2 的操作相同,从而导通晶体管 Tr1、Tr3 和 Tr5。因此,将第三时钟信号 CK2 的高电平电压 V_{h2} 和高电压 AVDD 施加到输出端 OP。结果,存储信号 $V_{s_{i+1}}$ 将处于高电平电压 $V+$ 。

[0120] 然而,用于第 (i+2) 栅极信号 g_{i+2} 的最后一栅极导通电压周期 T2 的操作与第 (i+1) 栅极信号 g_{i+1} 的第一栅极导通周期 T1 相同,使得导通晶体管 Tr1、Tr2 和 Tr4。因此,将第三时钟信号 CK2 的低电平电压 V_{l2} 和低电压 AVSS 施加到输出端 OP,而将存储信号 $V_{s_{i+1}}$ 从高电平电压 $V+$ 改变为低电压 $V-$ 。

[0121] 如上所述,当由输入信号的栅极关断电压 V_{off} 将输出端 OP 从晶体管 Tr1 的输出端隔离时,使用电容器 C1 和 C2,晶体管 Tr1 可施加第三时钟信号 CK2 作为存储信号,同时输入信号保持栅极导通电压 V_{on} ,并且其余的晶体管 Tr2-Tr5 可保持存储信号的状态,直到下一帧。即,晶体管 Tr1 可将存储信号施加到相应的存储电极线,并且其余的晶体管 Tr2-Tr5 可一致地保持存储信号。在一个实施例中,晶体管 Tr1 的尺寸比晶体管 Tr2-Tr5 大得多。

[0122] 像素电极电压 V_p 可响应于存储信号 V_s 的电压变化而增加或减少。

[0123] 接着,将说明根据存储信号 V_s 的电压变化的像素电极电压 V_p 的改变。在下文中,使用相同的附图标记表示每个电容器及其电容。

[0124] 可如以下等式 1 所述地确定像素电极电压 V_p :

[0125] (等式 1)

$$[0126] \quad V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_+ - V_-)$$

[0127] 在等式 1 中, C_{lc} 和 C_{st} 分别代表液晶电容器和存储电容器的电容。 V_+ 代表存储信号 V_s 的高电平电压,并且 V_- 代表存储信号 V_s 的低电平电压。

[0128] 如等式 1 所示,通过从数据电压 V_D 加上或减去变化量 Δ 而定义像素电极电压 V_p ,该变化量分别由液晶电容器和存储电容器的电容 C_{lc} 和 C_{st} 、以及存储信号 V_s 的电压变化所定义。

[0129] 在一个实施例中,数据电压 V_D 具有大约 0V 到大约 5V 的范围。可实现像素,使得

C_{st} 和 C_{lc} 的值近似相等。当 $V_{+}-V_{-}$ = 大约 5V 时, 等式 1 变为 $V_p = V_D \pm 2.5$ 。

[0130] 由此, 当改变存储信号 V_s 的电压时, 像素电极电压 V_p 相对于根据数据电压 V_D 的极性而通过相应数据线 D_1-D_m 施加的数据电压 V_D , 改变大约 $\pm 2.5V$ 。当数据电压 V_D 的极性是正 (+) 时, 像素电极电压 V_p 增加大约 $+2.5V$ 。当数据电压 V_D 的极性是负 (-) 时, 像素电极电压 V_p 减少大约 $-2.5V$ 。根据像素电极电压 V_p 的改变, 像素电压的范围也增加。例如, 当将公共电压 V_{com} 固定为大约 2.5V 时, 响应于向像素施加的大约 0 到大约 5V 的数据电压 V_D , 像素电压的范围是大约 $-2.5V$ 到大约 $+2.5V$ 。当将存储信号 V_s 改变为高电平电压 V_{+} 或低电平电压 V_{-} 时, 像素电压的范围扩大为大约 $-5V$ 到大约 $+5V$ 。

[0131] 由此, 由存储信号 V_s 的电压变化 $V_{+}-V_{-}$ 增加的像素电极电压 V_p 的改变 (Δ) 扩大了像素电压的范围。由此, 扩大了灰度表现的电压范围, 并且改善了亮度。

[0132] 另外, 将公共电压固定为预定电压, 并由此, 与交替施加具有低电压或高电压的公共电压的情况相比, 降低了功耗。当向在数据线和公共电极之间生成的公共电极施加的公共电压是寄生电容器中的大约 0 或 5V 时, 向寄生电容器施加的电压最大为大约 $\pm 5V$ 。当将公共电压固定为大约 2.5V 时, 向在数据线和公共电极之间生成的寄生电容器施加的电压最大为大约 $\pm 2.5V$ 。由此, 减少了在数据线和公共电极之间生成的寄生电容器处的功耗, 并由此减少了液晶显示器的总功耗。

[0133] 因为液晶的响应速度较慢, 所以液晶分子不会根据像素电压而快速反应。液晶电容器 C_{lc} 的电容响应于向液晶电容器 C_{lc} 的两端施加的像素电压, 并且根据是否完成了液晶分子的重新排列以及液晶分子是否达到稳定状态而发生改变。由此, 根据液晶分子是否处于稳定状态而改变像素电极电压 V_p 。

[0134] 接着, 解释根据液晶分子是否处于稳定状态的像素电极电压 V_p 的改变。

[0135] 向液晶电容器 C_{lc} 施加的最大像素电压 (例如, 最大灰度, 即, 正常黑中的白灰度) 可能比向液晶电容器 C_{lc} 施加的最小像素电压 (例如, 最小灰度, 即, 正常黑中的黑灰度) 大三倍。如果 $V_{+}-V_{-} = 5V$ 且 $C_{lc} = C_{st}$, 那么, 当将最大灰度的像素电压施加到液晶电容器 C_{lc} , 然后液晶分子达到稳定状态时, 像素电极电压 V_p 如等式 1 所示。因为, 如上所述, $V_{+}-V_{-} = 5V$ 且 $C_{lc} = C_{st}$, 所以像素电极电压 V_p 是 $V_D \pm 2.5$ 。

[0136] 当将最大灰度的像素电压施加到液晶电容器 C_{lc} , 而液晶分子未达到稳定状态时, 像素电极电压 V_p 可以如以下等式 2 所示:

[0137] (等式 2)

$$[0138] \quad V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} (V_{+} - V_{-})$$

$$[0139] \quad = V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3}C_{st}} (V_{+} - V_{-}) = V_D \pm \frac{3}{4} (V_{+} - V_{-})$$

[0140] 其中 $V_{+}-V_{-} = 5V$, 并且 $V_p = V_D \pm 3.75$ 。

[0141] 由此, 当将最大灰度的像素电压施加到液晶电容器 C_{lc} 而液晶分子未达到稳定状态时, 像素电极电压 V_p 保持在将最小灰度的像素电压施加到液晶电容器 C_{lc} 且液晶分子达到稳定状态的情况下的像素电极电压。即, 保持前一帧的状态。由此, 响应于存储信号的电压变化 $V_{+}-V_{-}$ 的像素电极电压 V_p 的改变量 Δ 从 $\pm 2.5V$ 增加到 $\pm 3.75V$ 。

[0142] 结果,当将最小灰度的像素电极电压改变为另一灰度的像素电极电压时,根据等式 2,进一步增加响应于存储信号的电压变化 $V_{+}-V_{-}$ 的像素电极电压 V_p 的改变量 (Δ),直到液晶分子达到稳定状态。例如,在 $V_{+}-V_{-} = 5V$ 的情况下,该改变量最大增加到士 3.75V。

[0143] 在图 6 所示的现有技术方法中,即使对每个帧,在将对应于目标像素电极电压 V_T 的像素电极电压 V_p 施加到相应像素电极时,由于在完成充电操作之后的相邻的数据电压,也会降低在像素电极处充入的像素电极电压。结果,像素电极电压不能在一帧内达到目标像素电极电压 V_T ,而通过数帧才达到目标像素电极电压 V_T 。然而,在图 5 中所示的实施例中,向相应像素电极施加的像素电极电压 V_p 比目标像素电极电压 V_T 高得多。所以在一帧内,相应像素电极达到目标像素电极电压 V_T ,并且与现有技术相比,改善了液晶的响应速度 RC。

[0144] 因此,通过将存储信号 V_s 的电压变化加上数据电压 V_d ,或将其从数据电压 V_d 中减去,在已使用正极性的数据电压对像素充电时,像素电极电压 V_p 增加了电压变化量,并且,相反地,在已使用负极性的数据电压对像素充电时,像素电极电压 V_p 减少了电压变化量。结果,通过增加或减少的像素电极电压 V_p ,像素电压的变化变得比灰度电压的范围更宽,使得所表现的亮度的范围也增加。

[0145] 另外,因为将公共电压固定在预定值,与公共电压在高和低值之间交替的实施例相比,降低了功耗。

[0146] 接着,参考图 7 到图 9,解释根据本发明的另一示例实施例的液晶显示器。

[0147] 图 7 是根据本发明的另一实施例的液晶显示器的框图。图 8 是根据本发明的另一实施例的信号生成电路的电路图。图 9 是在包括图 8 中示出的信号生成电路的液晶显示器中使用的信号的时序图。

[0148] 图 7 所示的液晶显示器具有与图 1 所示的液晶显示器相同的结构,除了:图 7 提供连接到所有正常栅极线 G_1-G_{2n} 以及附加栅极线 Gd1 的单个栅极驱动器 401、以及连接所有存储电极线 S_1-S_{2n} 的单个存储信号生成器 701。在图 1 和图 7 中,对相应的结构使用相同的附图标记。

[0149] 在一个实施例中,通过相同的制造流程,与像素 PX 的切换元件 Q 一起形成栅极驱动器 401 和存储信号生成器 701,并且将它们集成进液晶面板组件 301 中。在另一实施例中,可将每个都直接安装在液晶面板组件 301 上,作为 IC 芯片。在另一实施例中,可将它们安装在柔性印刷电路膜(未示出)上,并且安装为液晶面板组件 301 或附加印刷电路板(PCB)上的带载流包(TCP)。栅极驱动器 401 从第一正常栅极线 G_1 到附加栅极线 Gd1 顺序地施加栅极导通电压 V_{on} ,控制连接到每个正常栅极线 G_1-G_{2n} 的相应像素行的充电,并控制存储信号生成器 701 的操作。

[0150] 存储信号生成器 701 包括连接到存储电极线 S_1-S_{2n} 的多个信号生成电路。每个信号生成电路都具有除输入信号外相同的结构,并执行除输入信号外的相同操作。由此,参考图 8,示出了分别将存储信号 V_{s_i} 和 $V_{s_{i+1}}$ 施加到第 i 和第 (i+1) 存储电极线 S_i 和 S_{i+1} 的第 i 和第 (i+1) 信号生成电路 71_i 和 71_{i+1} 的结构和操作。

[0151] 如图 8 所示,每个信号生成电路 71_i 和 71_{i+1} 与图 3 所示的信号生成电路相同,除了它们还包括晶体管 Tr6 之外。因此,下面省略了对信号生成电路 71_i 和 71_{i+1} 中的晶体管 Tr1-Tr5 的说明。

[0152] 晶体管 Tr6 包括:连接到第三时钟信号 CK2 的输入端、连接到紧邻的前一信号生成

电路的输入端 IP 的控制端、以及连接到输出端 OP 的输出端。类似于晶体管 Tr1-Tr5, 晶体管 Tr6 可包括非晶硅或多晶硅薄膜晶体管。

[0153] 连接到形成于一个像素行的存储电极线的信号生成电路接收向相应像素行施加的栅极信号, 以及向前一像素行施加的栅极信号。由此, 连接到最后的存储电极线 S_{2n} 的信号生成电路被连接到附加栅极线 Gd1, 并且接收栅极信号。可替换地, 连接到最后的存储电极线 S_{2n} 的信号生成电路可以接收来自另一装置如信号控制器 600 而不是栅极驱动器 400、或来自外部的控制信号。

[0154] 参考图 9, 解释信号生成电路 71_i 和 71_{i+1} 的操作。如上所述, 液晶显示器可执行一行反转和帧反转。如图 9 所示, 第一、第二和第三时钟信号 CK1、CK1B 和 CK2 与图 4 中所示的那些相同。如图 9 所示, 向每个栅极线 G_1 - G_{2n} 及 Gd1 顺序施加的栅极导通电压 Von 并不与相邻栅极导通电压 Von 重叠。而是从第一栅极线 G_1 到附加栅极线 Gd1 顺序施加。当要被施加到第 i 栅极线 G_i 的栅极信号 g_i 的状态是栅极导通电压 Von 时, 导通第 i 信号生成电路 71_i 的晶体管 Tr6, 并且将第三时钟信号 CK2 的低电平电压 V12 通过输出端 OP 施加到第 i 存储电极线 S_i , 作为存储信号 V_{S_i} 。由此, 存储信号 V_{S_i} 的状态对应于低电平电压 V-。

[0155] 当在经过 1H 后将栅极导通电压 Von 施加到第 (i+1) 栅极线 G_{i+1} 时, 导通晶体管 Tr1-Tr3。

[0156] 由此, 如图 9 所示, 当导通晶体管 Tr1 时, 将第三时钟信号 CK2 的高电平电压 Vh2 通过输出端 OP 施加到存储电极线 S_i , 作为存储信号 V_{S_i} , 使得将存储信号 V_{S_i} 的状态从低电平电压 V- 改变为高电平电压 V+。

[0157] 当第 (i+1) 栅极信号 g_{i+1} 是栅极导通电压 Von 时, 第一时钟信号 CK1 保持低电平电压 V11, 并且第二时钟信号 CK1B 保持高电平 Vh1。结果, 分别通过导通的晶体管 Tr3 和 Tr2 而将高电平电压 Vh1 和低电平电压 V11 施加到晶体管 Tr5 和 Tr4 的控制端, 使得导通晶体管 Tr5 并关断晶体管 Tr4。还对电容器 C2 充电。由此, 当施加了第 (i+1) 栅极导通电压 Von 时, 将高电平电压 V+ 的存储信号 V_{S_i} 通过导通的晶体管 Tr1 和 Tr5 而施加到输出端 OP。当栅极信号 g_{i+1} (其被施加到第 (i+1) 栅极线 G_{i+1}) 保持栅极关断信号 Voff 时, 通过对电容器 C2 的电压充电而导通晶体管 Tr5。因此, 将高电压 AVDD 施加到输出端 OP, 使得存储信号 V_{S_i} 保持高电平电压 V+。

[0158] 在已通过施加第 i 栅极信号 g_i 的栅极导通电压 Von 而对连接到栅极线 G_i 的像素行充电之后, 将存储信号 V_{S_i} 从低电平电压 V- 改变为高电平电压 V+, 并且将像素电极电压 V_p 增加了根据等式 1 或等式 2 确定的电压变化量。

[0159] 类似于第 i 信号生成电路 71_i 的操作, 如图 9 所示, 导通晶体管 Tr6, 使得当将栅极导通电压 Von 施加到第 i 栅极信号 g_{i+1} 时, 从第 (i+1) 存储电极线 S_{i+1} 输出的存储信号 $V_{S_{i+1}}$ 通过导通的晶体管 Tr6、通过第三时钟信号 CK2 的高电平电压 Vh2, 保持高电平电压 V+。

[0160] 接着, 当将栅极导通电压 Von 施加到第 (i+1) 栅极信号 g_{i+1} 时, 导通晶体管 Tr1、Tr2 和 Tr4, 并对电容器 C1 充电。由此, 由通过导通的晶体管 Tr1 和 Tr4 的低电平电压 V12 和低电压 AVSS, 将存储信号 $V_{S_{i+1}}$ 的状态从高电平电压 V+ 改变为低电平电压 V-。

[0161] 当栅极信号 g_{i+2} 保持栅极关断电压 Voff 时, 由充入到电容器 C1 中的电压导通晶体管 Tr4。结果, 将低电压 AVSS 施加到输出端 OP, 使得存储信号 $V_{S_{i+1}}$ 保持低电平电压 V-。

[0162] 在通过施加第 (i+1) 栅极信号 g_{i+1} 的栅极导通电压 Von 对连接到栅极线 G_{i+1} 的像

素行充电之后,将存储信号 $V_{S_{i+1}}$ 从高电平电压 $V+$ 改变为低电平电压 $V-$,并且将像素电极电压 V_p 减少了根据等式 1 或等式 2 确定的电压变化量。

[0163] 晶体管 Tr6 是用于保持向相应存储电极线施加的存储信号的电压状态的晶体管。在一个实施例中,晶体管 Tr6 的尺寸比晶体管 Tr1 的尺寸小得多。

[0164] 参考图 10 到图 11B,示出了根据本发明的实施例的液晶显示器的薄膜晶体管阵列面板的示例。图 10 是根据本发明的实施例的薄膜晶体管阵列面板的示例的布局图,而图 11A 和图 11B 是图 10 中示出的薄膜晶体管阵列面板沿线 XIA-XIA 和 XIB-XIB 的横截面图。

[0165] 可在由透明玻璃或塑料形成的绝缘基底 110 上形成多个栅极线 121 和多个存储电极线 131。栅极线 121 在水平方向上传输栅极信号并延伸。每个栅极线 121 包括末端部分 129,其具有用于将向下突出的多个栅极电极 124 连接到另一层或外部驱动电路的大区域。

[0166] 可在联接到基底 110 的柔性印刷电路膜(未示出)上形成用于生成栅极信号的栅极驱动电路(未示出),其可直接在基底 110 上形成,或者可以将其与基底 110 一起集成。在与基底 110 一起集成栅极驱动电路的情况下,栅极线 121 可延伸并直接连接到栅极驱动电路。

[0167] 每个存储电极线 131 在水平方向上延伸,并且包括多个扩大部分 137。存储电极线 131 包括末端部分,其具有用来连接到另一层或外部驱动电路的大区域。也可以使用其他形状和排列的存储电极线 131。

[0168] 在逐帧的基础上,将预定电压,如大约 5V 的高电平电压 $V+$ 和大约 0V 的低电平电压 $V-$ 交替施加到每个存储电极线 131。

[0169] 可在联接到基底 110 的柔性印刷电路膜(未示出)上形成用于生成存储信号的信号生成电路(未示出),其可直接在基底 110 上形成,或者可以将其与基底 110 一起集成。在与基底 110 一起集成信号生成电路的情况下,存储电极线 131 可延伸并直接连接到信号生成电路。

[0170] 可以由以下来制造栅极线 121 和存储电极线 131:含铝金属,如铝(Al)或铝合金;含银金属,如银(Ag)或银合金;含铜金属,如铜(Cu)或铜合金;含钼金属,如钼(Mo)或钼合金;铬(Cr);钽(Ta);或者钛(Ti)。可替换地,栅极线 121 和存储电极线 131 可具有包括物理性质不同的两个导电层(未示出)多层结构。一个导电层可以由具有低电阻的金属制成,如含铝金属、含银金属或含铜金属,以减少信号延迟或压降。另一导电层可以由具有相对于其他材料(如铟锡氧化物(ITO)或铟锌氧化物(IZO))的优良物理、化学和电接触特性的材料制成。作为示例,该另一导电层可以由含钼金属、铬、钽、或者钛制成。作为示例组合,可使用铬的下层和铝(合金)的上层的组合、或者可使用铝(合金)的下层和钼(合金)的上层的组合。栅极线 121 和存储电极线 131 可以由其他金属或导体制成。

[0171] 栅极线 121 和存储电极线 131 的侧表面可以相对于基底 110 的表面而倾斜。在一个实施例中,例如,角度可以是大约 30° 到大约 80° 。

[0172] 在栅极线 121 和存储电极线 131 上形成由氮化硅(SiN_x)或氧化硅(SiO_x)制成的栅极绝缘层 140。

[0173] 在栅极绝缘层 140 上形成由氢化非晶硅(将非晶硅缩写为 a-Si)或多晶硅制成的多个半导体条 151。

[0174] 半导体条 151 在垂直方向上延伸,并且包括向栅极电极 124 突出的多个突出部分

154。在靠近栅极线 121 和存储电极线 131 的地方扩大半导体条 151 的宽度,并且半导体条 151 完全覆盖栅极线 121 和存储电极线 131。

[0175] 在半导体 151 上形成多个欧姆接触条 161 和多个欧姆接触岛 165。欧姆接触体 161 和 165 可由诸如 n+ 氢化非晶硅(其上高度集中地掺杂有 n 型杂质)、或硅化物之类的材料制成。欧姆接触条 161 包括多个突出部分 163。在半导体条 151 的突出部分 154 上布置由突出部分 163 和欧姆接触岛 165 构成的对。

[0176] 半导体条 151 和欧姆接触体 161 和 165 的侧表面可以相对于基底 110 的表面而倾斜。在一个实施例中,角度可以是大约 30° 到大约 80°。

[0177] 在欧姆接触条 161 上形成欧姆接触岛 165、栅极绝缘层 140、多个数据线 171 以及多个漏极 175。

[0178] 数据线 171 传输数据信号并在垂直方向上延伸,同时与栅极线 121 和存储电极线 131 相交。每个数据线 171 包括向栅极电极 124 延伸的多个源极 173、以及具有用于连接到另一层或外部驱动电路的大区域的末端部分 179。可在联接到基底 110 的柔性印刷电路膜(未示出)上形成用于生成数据信号的数据驱动电路(未示出),其可直接在基底 110 上安装,或者可以将其与基底 110 一起集成。在与基底 110 一起集成数据驱动电路的情况下,数据线 171 可延伸并连接到数据驱动电路。

[0179] 将漏极 175 与数据线 171 分离,并且漏极 175 面对源极 173,它们之间是栅极电极 124。每个漏极 175 具有一个扩大末端部分和一个具有平板形状的末端部分。扩大末端部分与存储电极线 131 的扩大部分 137 重叠,并且使得弯曲的源极 173 围绕平板型末端部分。

[0180] 一个栅极电极 124、一个源极 173、以及一个漏极 175,与半导体 151 的突出部分 154 一起,形成一个薄膜晶体管(TFT)。在源极 173 和漏极 175 之间的突出部分 154 上形成薄膜晶体管的沟道。

[0181] 数据线 171 和漏极 175 可以由高熔点金属形成,如钼、铬、钽、钛或者它们的合金。数据线 171 和漏极 175 可具有高熔点金属层(未示出)和低电阻导电层(未示出)的多层结构。示例性的多层结构包括具有铬或钼(合金)的下层以及铝(合金)的上层的双层、或具有钼(合金)的下层、铝(合金)的中间层以及钼(合金)的上层的三层。数据线 171 和漏极 175 可以由其他金属或导体制成。

[0182] 数据线 171 和漏极 175 的侧表面可以相对于基底 110 的表面而倾斜。在一个实施例中,角度可以是大约 30° 到大约 80°。

[0183] 欧姆接触体 161 和 165 仅位于半导体 151、与数据线 171 和漏极 175 之间。欧姆接触体 161 和 165 减小它们之间的接触电阻。在大多数地方,半导体条 151 比数据线 171 更窄。如上所述,在半导体条 151 与数据线相交的地方,扩大半导体条 151 的宽度,并展示其光滑表面,由此防止数据线 171 的短路。半导体 151 具有外露部分,例如在源极 173 和漏极 175 之间的接口处,或者未由数据线 171 和漏极 175 覆盖的部分。

[0184] 在数据线 171、漏极 175 以及半导体 151 的外露部分上形成钝化层 180。钝化层 180 可由无机绝缘材料或有机绝缘材料形成。钝化层 180 的表面可以光滑。例如,无机绝缘材料可以包括氮化硅或氧化硅。有机绝缘体可具有感光性,并且有机绝缘体的介电常数可以是大约 4.0 或更低。可替换地,钝化层 180 可具有下面的无机层和上面的有机层的双层结构,以提供绝缘,并防止半导体 151 的外露部分被破坏。

[0185] 在钝化层 180 上形成多个接触孔 182 和 185,用于分别暴露漏极 175 和数据线 171 的末端部分 179。在钝化层 180 和栅极绝缘层 140 上形成用于暴露栅极线 121 的末端部分 129 的多个接触孔 181。

[0186] 在钝化层 180 上形成多个像素电极 191 和多个接触助体 (assistant)81 和 82。像素电极 191 和接触助体 81 和 82 可以由以下形成:透明导电材料,如 ITO 和 IZO;或反射材料,如铝、银、铬或它们的合金。

[0187] 像素电极 191 通过接触孔 185 物理地和电地连接到漏极 175,并从漏极 175 接收数据电压。被施加数据电压的像素电极 191 与被施加公共电压的另一显示面板(未示出)一起,形成电场。由该电场确定在两个电极之间的液晶层(未示出)的液晶分子的方向性。根据液晶分子的方向性来改变通过液晶层的光的偏振。像素电极 191 和公共电极形成液晶电容器并在关断薄膜晶体管之后保持所施加的电压。

[0188] 由在像素电极 191 和电连接到像素电极 191 的漏极 175、以及存储线 131 之间的重叠而形成存储电容器。存储电容器提高了液晶电容器的电压存储容量。存储电极线 131 的扩大部分 137 增加了重叠面积,并因此,增加了存储电容器的存储容量。

[0189] 接触助体 81 和 82 分别通过接触孔 181 和 182 连接到栅极线 121 的末端部分 129、以及数据线 171 的末端部分 179。接触助体 81 和 82 保护并利于栅极和数据线 121 和 171 的末端部分 129 和 179 与外部装置之间的接触。

[0190] 参考图 12 到图 13B,详细解释根据本发明的示例实施例的薄膜晶体管阵列面板的另一示例。

[0191] 图 12 是根据本发明的另一实施例的液晶显示器的薄膜晶体管阵列面板的布局图,并且图 13A 和图 13B 分别是在图 12 中所示的薄膜晶体管阵列面板沿线 XIIIA-XIIIA 和 XIIIB-XIIIB 的横截面图。

[0192] 根据本发明的实施例的薄膜晶体管阵列面板的另一示例具有与图 10 到图 11B 中示出的薄膜晶体管阵列面板相似的结构。在基底 110 上形成具有栅极电极 124 和末端部分 129 的多个栅极线 121、以及具有多个扩大部分 137 的多个存储电极线 131。在栅极线 121 和存储电极线 131 上顺序形成栅极绝缘层 140、具有突出部分 154 的多个半导体条 151、具有突出部分 163 的多个欧姆接触条 161、以及多个欧姆接触岛 165。在欧姆接触体 161 和 165 上形成具有源极 173 和末端部分 179 的多个数据线 171、以及多个漏极 175。在数据线 171 和漏极 175 上形成钝化层 180。在钝化层 180 和栅极绝缘层 140 上形成多个接触孔 181、182 和 185,并且在接触孔 181 和 182 上形成多个像素电极 191 和多个接触助体 81 和 82。

[0193] 在根据本实施例的薄膜晶体管阵列面板中,与图 10 到图 11B 所示的薄膜晶体管阵列面板不同的是,除了在其上布置有薄膜晶体管的突出部分 154 之外,半导体 151 具有与数据线 171、漏极 175、以及在数据线 171 和漏极 175 之下布置的欧姆接触体 161 和 165 基本上相同的表面。半导体条 151 具有在数据线 171、漏极 175 及欧姆接触体 161 和 165 之下布置的未外露部分,以及在源极 173 和漏极 175 之间的、未由源极 173 和漏极 175 覆盖的外露部分。

[0194] 根据本发明的各个实施例,将公共电压固定在预定电压,然后将具有改变了预定周期的电压的存储信号施加到存储电极线。将不同的存储信号施加到相邻的存储电极线。结果,增加了像素电极电压和像素电压的范围。由此,扩大了表现灰度的电压范围,并且改

善了清晰度。

[0195] 在施加相同范围的数据电压的情况下生成的像素电压的范围比在施加预定值的存储信号的情况下生成的像素电压的范围更大。由此,可降低功耗。因为将公共电压固定在预定值,所以还可以进一步降低功耗。

[0196] 另外,在完成液晶的充电之前的像素电极电压的范围比在完成液晶的充电之后的像素电极电压的范围更大。由此,可在液晶驱动的一开始就施加比目标电压更大或更小的电压,并且可改善液晶的响应速度。

[0197] 尽管已联系目前考虑为实践性的示例实施例的内容来描述本发明,但应理解的是,本发明不限于所公开的实施例,而是相反地,希望覆盖在所附权利要求的精神和范围内包括的各种修改和等价配置。

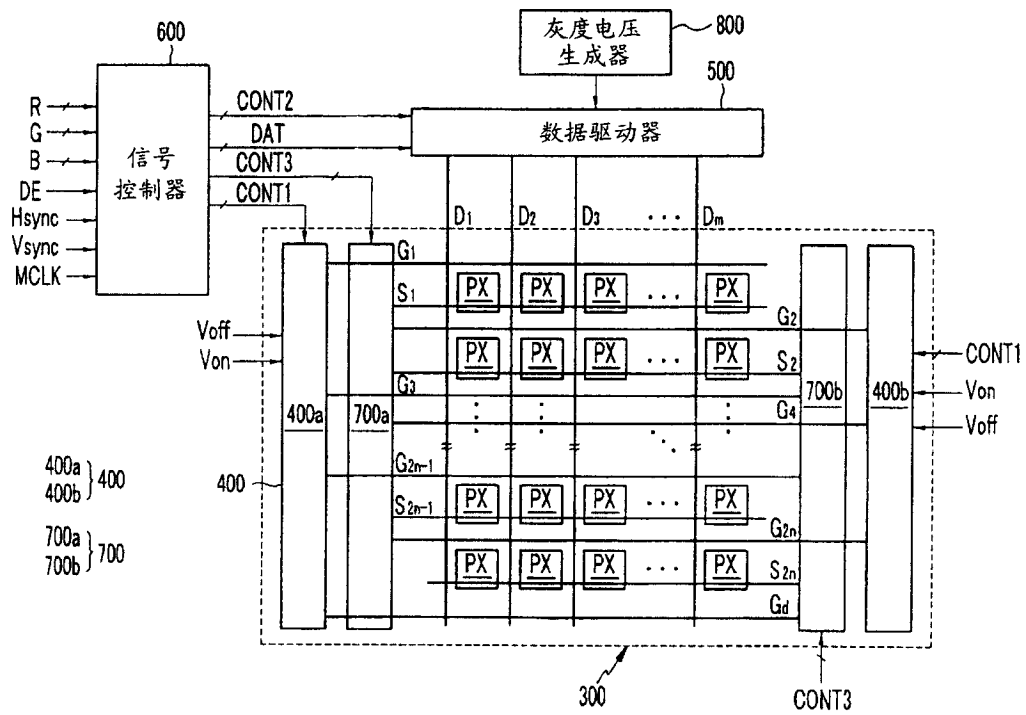


图 1

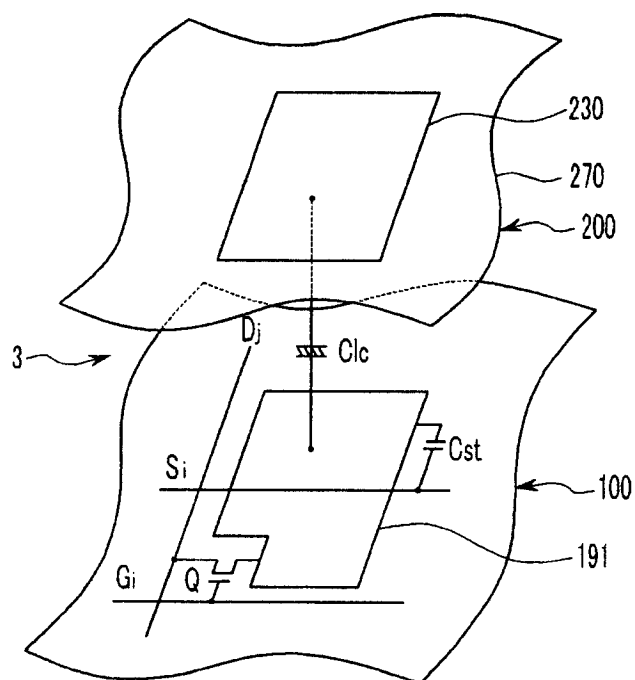


图 2

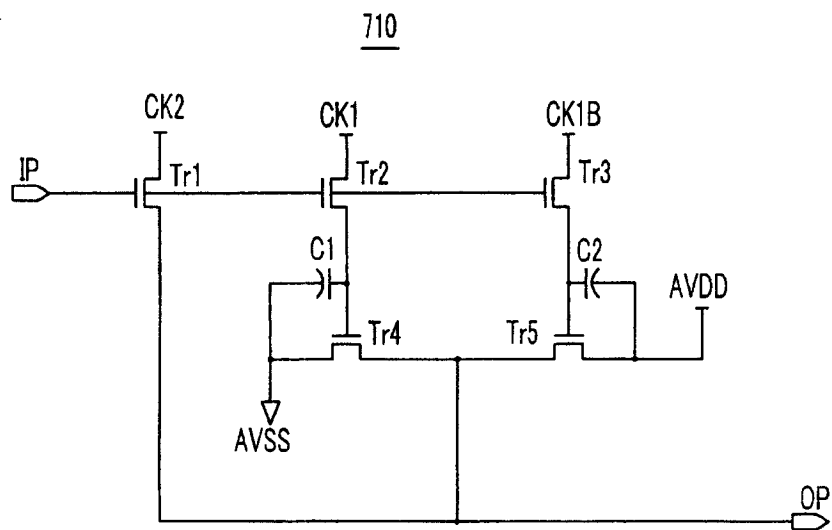


图 3

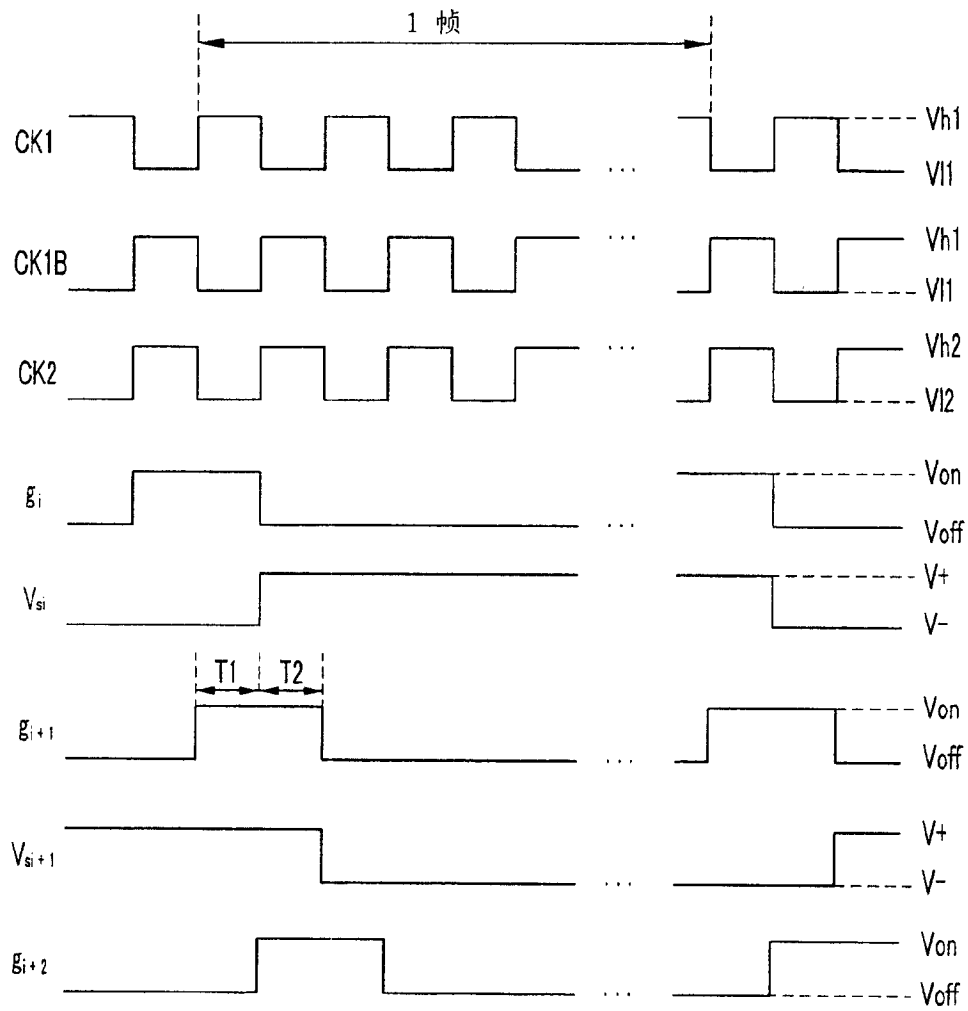


图 4

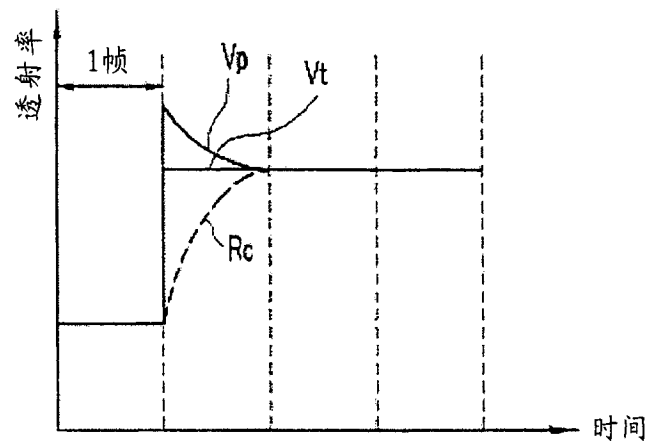


图 5

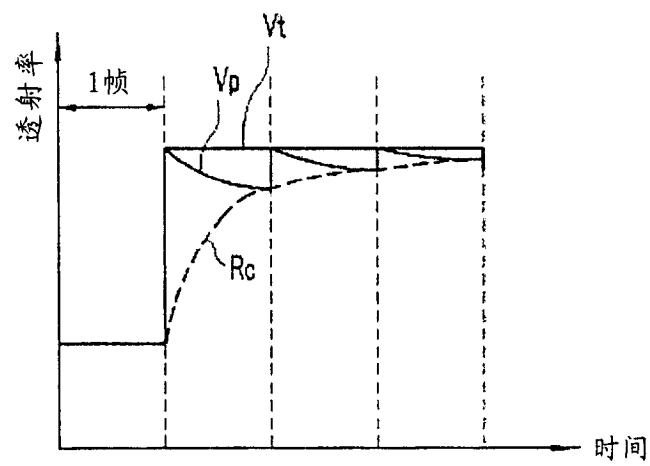


图 6

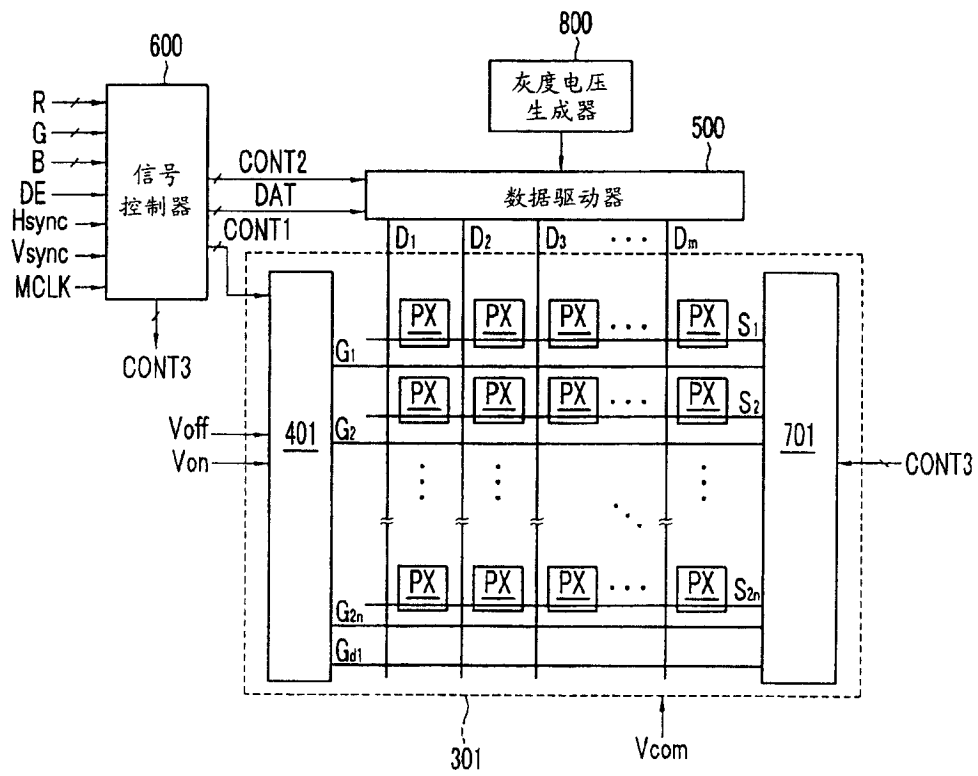


图 7

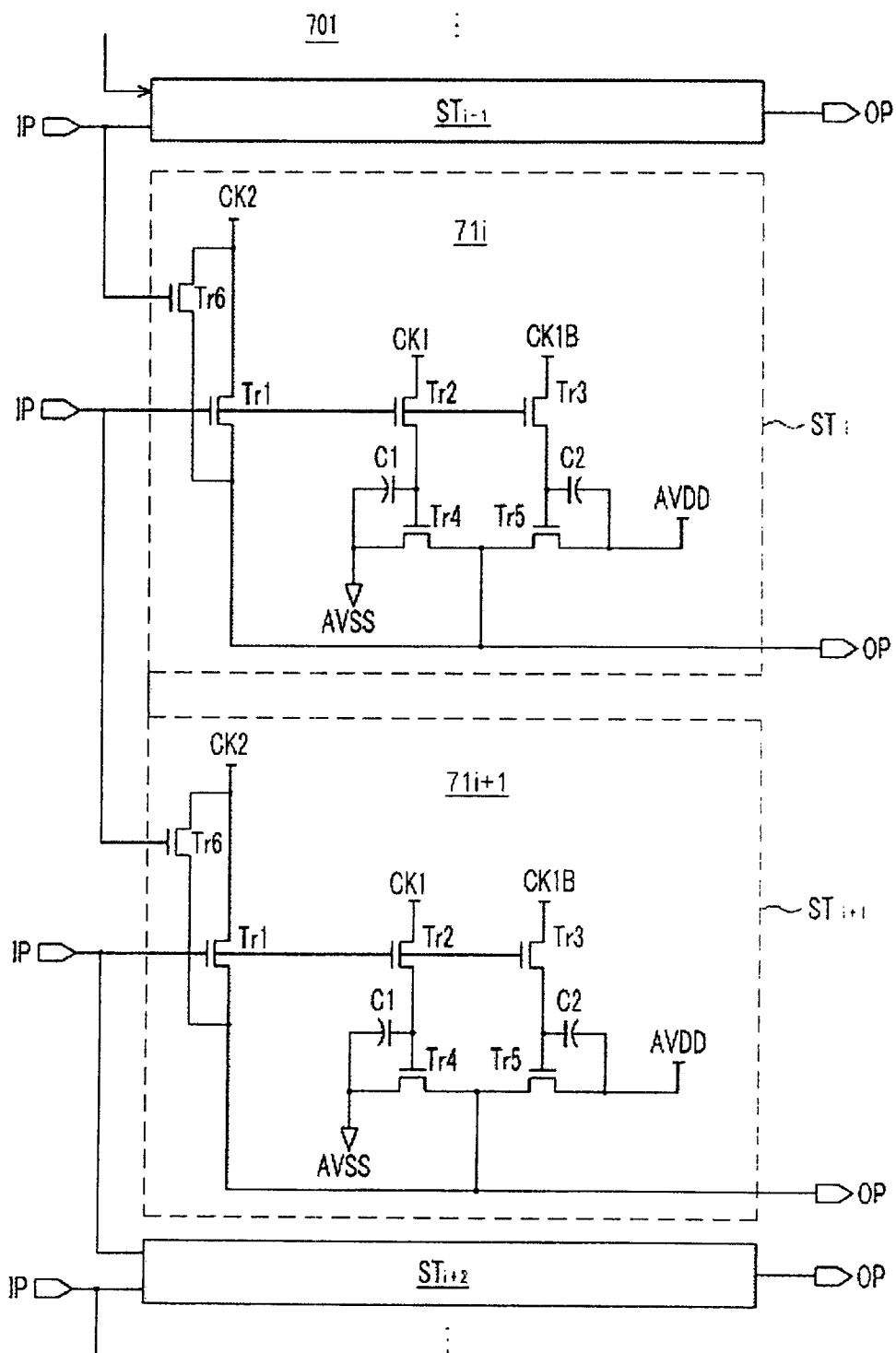


图 8

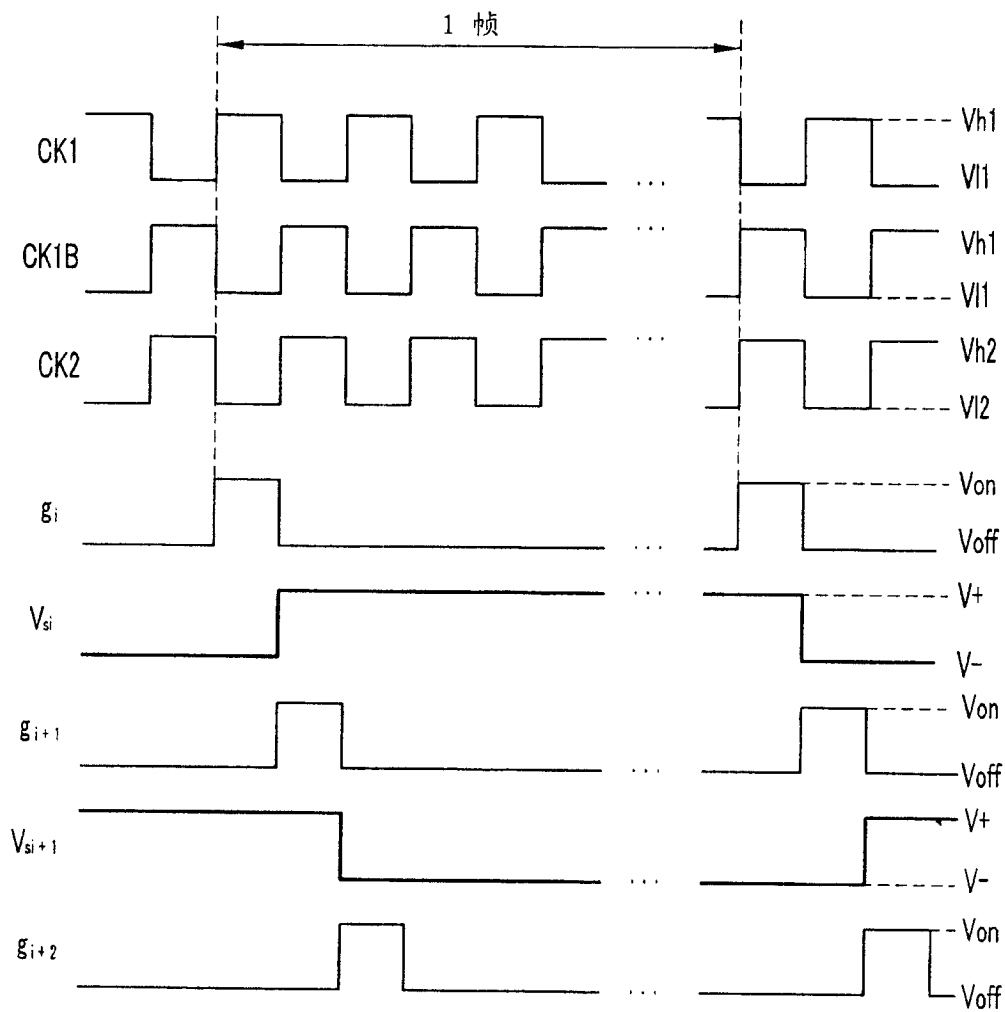


图 9

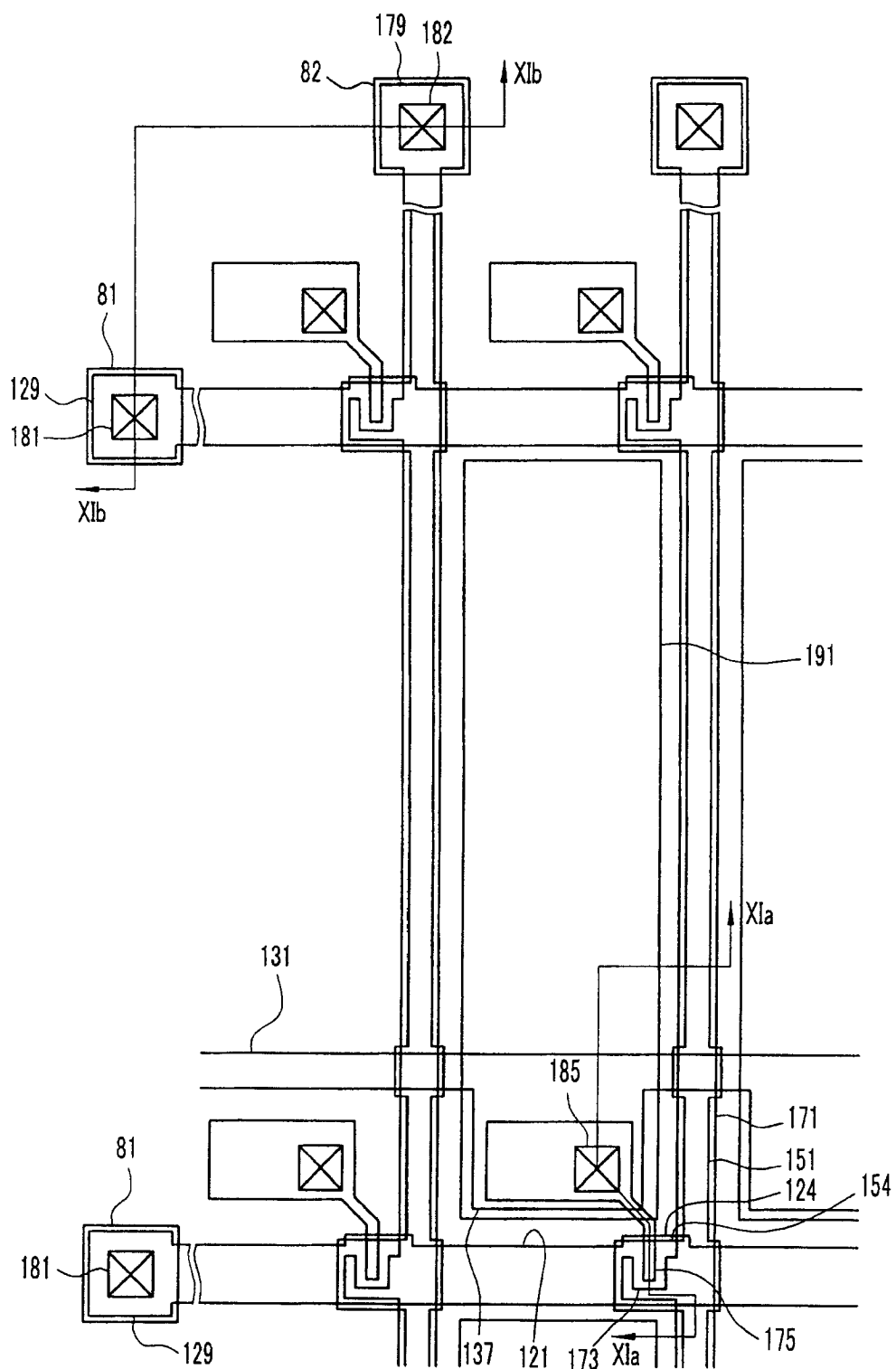


图 10

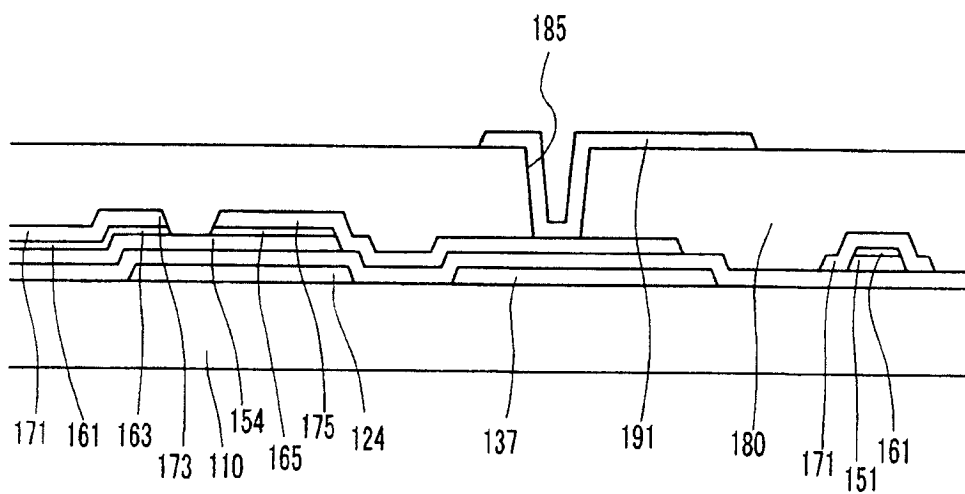


图 11A

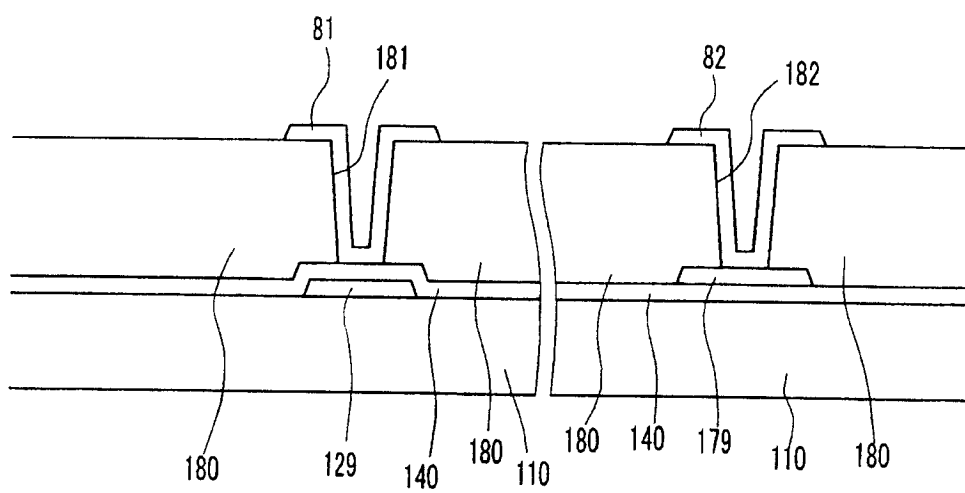


图 11B

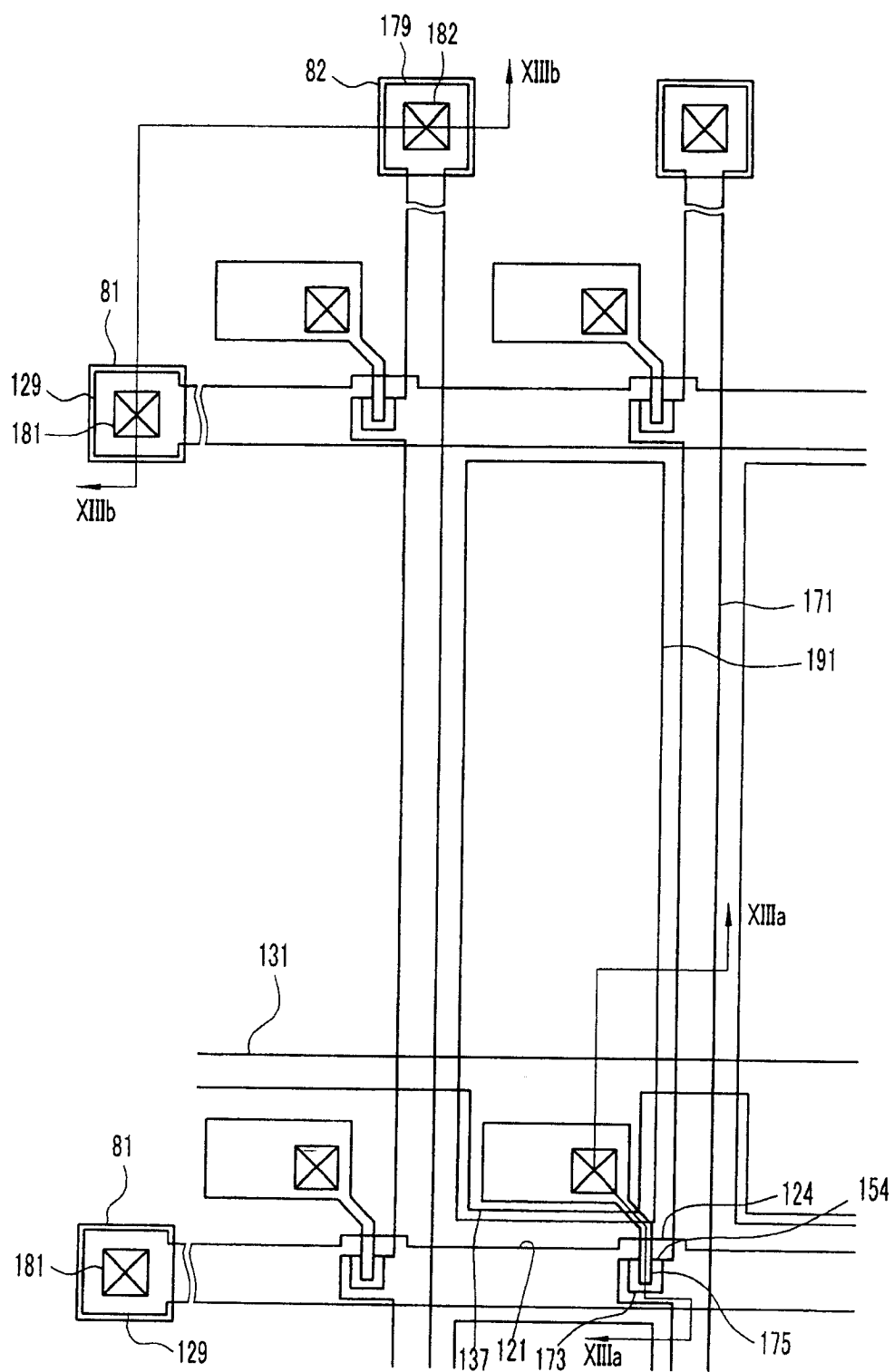


图 12

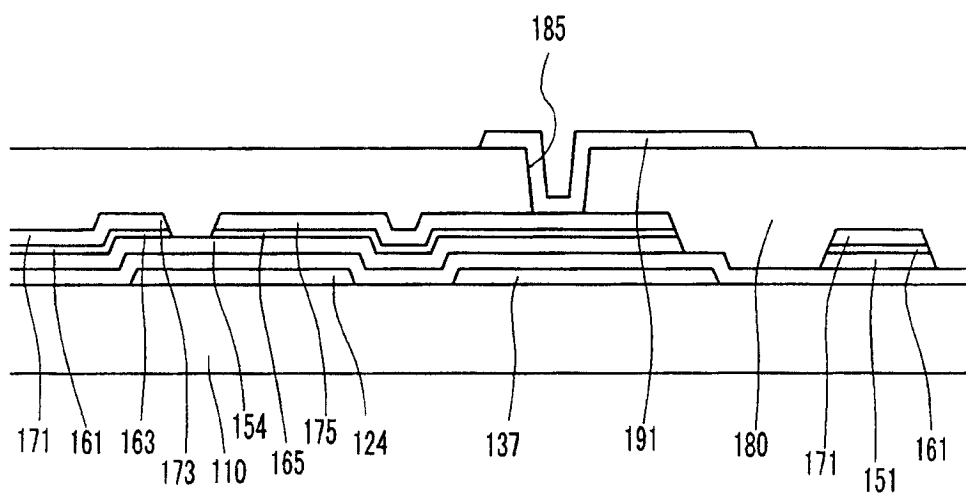


图 13A

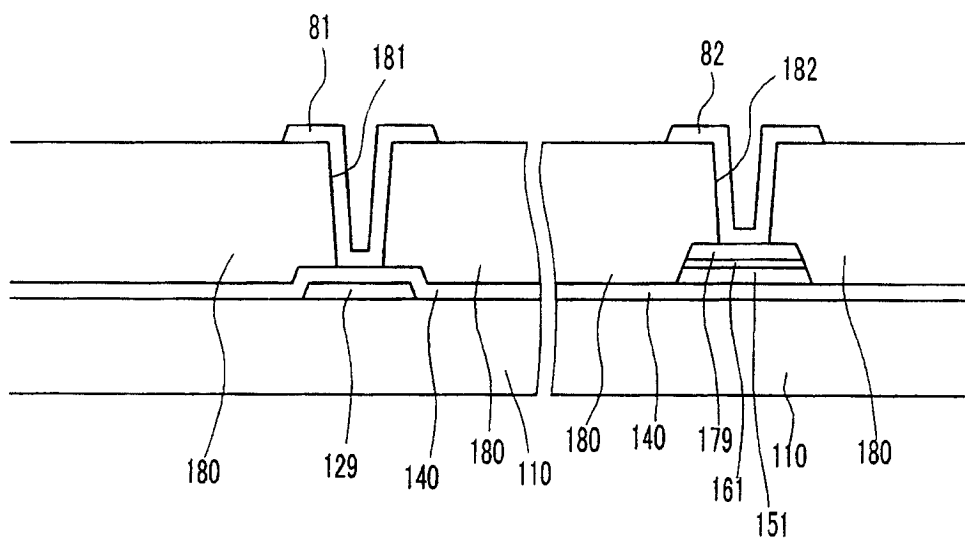


图 13B

专利名称(译)	液晶显示器装置和驱动方法		
公开(公告)号	CN101008724B	公开(公告)日	2010-10-13
申请号	CN200710001795.8	申请日	2007-01-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍		
发明人	全珍		
IPC分类号	G02F1/1362 G09G3/20 G02F1/133 G09G3/36		
CPC分类号	G09G3/3677 G09G3/3614 G09G2330/021 G09G2320/0252 G09G2310/08 G09G2300/0426 G02F1/136213		
优先权	1020060008148 2006-01-26 KR		
其他公开文献	CN101008724A		
外部链接	Espacenet SIPO		

摘要(译)

在本发明的一个实施例中，一种显示装置包括：传送栅极信号的多个栅极线；传送数据电压的多个数据线；传送存储信号的多个存储电极线；以及被布置为矩阵的多个像素，每个像素包括连接到栅极线和数据线的切换元件、连接到切换元件和公共电压的液晶电容器、以及连接到切换元件和存储电极线的存储电容器。该显示装置还可包括生成存储信号的多个信号生成电路，其中信号生成电路被连接到第k存储电极线，其中k是自然数。

