

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/133 (2006.01)
G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610168309.7

[45] 授权公告日 2009 年 7 月 29 日

[11] 授权公告号 CN 100520509C

[22] 申请日 2006.12.18

[21] 申请号 200610168309.7

[30] 优先权

[32] 2006.6.21 [33] KR [31] 10-2006-0055800

[73] 专利权人 乐金显示有限公司

地址 韩国首尔

[72] 发明人 文秀焕 金度宪 蔡志恩

[56] 参考文献

US2006071891A1 2006.4.6

CN1453761A 2003.11.5

审查员 赵曦鹏

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

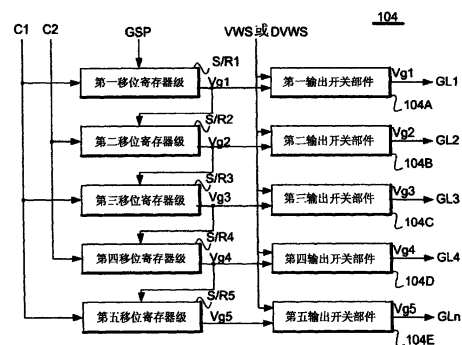
权利要求书 3 页 说明书 13 页 附图 6 页

[54] 发明名称

液晶显示器件及其驱动方法

[57] 摘要

本发明公开了一种具有仅在面板上的部分区域显示图像的功能的液晶显示器件及该液晶显示器件的驱动方法。该液晶显示器件包括：液晶面板；用于供应栅信号到液晶面板上的栅线的栅驱动器；用于供应数据电压到液晶面板上的数据线的的数据驱动器；以及用于控制栅驱动器以拦截待供应到栅线的部分栅信号的局部控制器。



1、一种液晶显示器件，包括：

液晶面板；

栅驱动器，用于供应栅信号到在所述液晶面板上的栅线；

数据驱动器，用于供应数据电压到在所述液晶面板上的数据线；以及

局部控制器，用于控制所述栅驱动器，以拦截待供应到所述栅线的部分所述栅信号，

其中所述局部控制器还控制所述数据驱动器以在所述液晶面板上对应其余的栅信号用黑色显示部分像素。

2、根据权利要求1所述的液晶显示器件，其特征在于，所述栅驱动器包括：

多个移位寄存器级，彼此相关地连接并用于产生所述栅信号；以及

多个输出开关部件，用于响应所述局部控制器的控制，选择性地拦截从多个移位寄存器级待供应到对应的栅线的所述栅信号。

3、根据权利要求2所述的液晶显示器件，其特征在于，所述局部控制器共同地供应垂直窗脉冲到所述多个输出开关部件，并且所述垂直窗脉冲具有垂直同步信号的部分时间周期。

4、根据权利要求3所述的液晶显示器件，其特征在于，在所述垂直窗脉冲的时间周期期间，所述多个输出开关部件拦截所述栅信号。

5、根据权利要求1所述的液晶显示器件，其特征在于，所述栅驱动器安装在所述液晶面板上。

6、根据权利要求1所述的液晶显示器件，其特征在于，所述局部控制器还控制所述数据驱动器以在所述液晶面板上对应于所述部分所述栅信号用黑色初始化像素。

7、根据权利要求6所述的液晶显示器件，其特征在于，还包括：

延迟部件，用于将从所述局部控制器供应到所述栅驱动器的控制信号延迟预定的时间周期。

8、根据权利要求7所述的液晶显示器件，其特征在于，所述延迟部件将所述控制信号延迟垂直同步信号的时间周期。

9、一种液晶显示器件，包括：

液晶面板；

栅驱动器，用于供应栅信号到所述液晶面板上的栅线；

数据驱动器，用于供应数据电压到所述液晶面板上的数据线；

时序控制器，用于控制所述栅驱动器和所述数据驱动器的驱动时序，并供应像素数据流到所述数据驱动器；以及

局部控制器，用于控制所述栅驱动器以拦截待供应到所述栅线的部分所述栅信号，

其中所述局部控制器还控制所述时序控制器以在所述液晶面板上对应其余的栅信号用黑色显示部分像素。

10、根据权利要求 9 所述的液晶显示器件，其特征在于，所述栅驱动器包括：

多个移位寄存器级，用于响应来自所述时序控制器的栅起始脉冲有关联地产生所述栅信号；以及

多个输出开关部件，用于响应所述局部控制器的控制，选择性地拦截从所述多个移位寄存器级待供应到相应的栅线的所述栅信号。

11、根据权利要求 10 所述的液晶显示器件，其特征在于，所述局部控制器共同地供应垂直窗脉冲到所述多个输出开关部件，且所述垂直窗脉冲具有垂直同步信号的部分时间周期。

12、根据权利要求 11 所述的液晶显示器件，其特征在于，在所述垂直窗脉冲的所述时间周期期间，所述多个输出开关部件拦截所述栅信号。

13、根据权利要求 9 所述的液晶显示器件，其特征在于，所述局部控制器还控制所述时序控制器在所述液晶面板上对应于所述部分所述栅信号用黑色初始化像素。

14、根据权利要求 13 所述的液晶显示器件，其特征在于，还包括：

延迟部件，用于将从所述局部控制器供应到所述栅驱动器的控制信号延迟预定的时间周期。

15、一种驱动液晶显示器件的方法，所述液晶显示器件包括用于供应栅信号到液晶面板上的栅线的栅驱动器和用于供应数据电压到所述液晶面板上的数据线的数据驱动器，所述方法包含：

控制所述栅驱动器，以拦截待供应到所述栅线的部分所述栅信号，
控制所述数据驱动器，以在所述液晶面板上对应于其余的所述栅信号用黑色显示部分像素。

16、根据权利要求 15 所述的方法，其特征在于，还包含控制所述数据驱动器，以在所述液晶面板上对应于所述部分栅信号用黑色初始化像素。

液晶显示器件及其驱动方法

本申请要求享有2006年6月21日提出的韩国专利申请第10-2006-0055800号的优先权，在此结合其全部内容作为参考。

技术领域

本发明涉及一种液晶显示器件，尤其涉及具有仅在面板上部分区域内显示图像的功能的液晶显示器件及其驱动方法。

背景技术

随着信息社会的发展，对于显示器件的需要以各种方式增加。因此，已经开发了各种平板显示器件诸如液晶显示器件(LCD)、等离子体显示面板(PDP)和电致发光显示器件(ELD)，并且部分已经用于各种设备的显示器件。

在这些显示器件之中，由于液晶显示器件优越的图像质量、轻重量、小体积和低能耗，液晶显示器件取代了阴极射线管最广泛地用作便携型图像显示器件。正在将液晶显示器件不同地发展为电视监控，以及用于诸如笔记本型计算机的监视器的便携型用途。

近来，为了降低生产成本，已经提出了玻上栅(gate-on-glass 以下称为“GOG”)型LCD。这里，GOG型LCD包括在其上安装有栅驱动器的液晶面板。在GOG型LCD中，将栅驱动器与液晶面板同时制造。另外，GOG型LCD可以包括在其上安装有数据驱动器的液晶面板。现在将参照图1描述GOG型LCD。

参照图1，传统的GOG型LCD包括在其上显示图像的液晶面板2。液晶面板2包括显示区域22和栅驱动器4。栅驱动器4设置在显示区域22的一侧的边缘(左边缘)处，以靠近显示区域22。液晶面板2的显示区域22包括薄膜晶体管TFT，其分别形成在通过多条栅线(未示出)和多条数据线(未示出)划分的像素区域处。每个薄膜晶体管与对应的数据线和栅线电连接。栅驱动器4与在显示区域22上的各条栅线电连接。

图 1 的 GOG 型 LCD 包括通过带载封装（以下称为“TCP”）7A 至 7C 与液晶面板 2 连接的印刷电路板 12。相应的数据驱动器集成电路（IC）芯片 6A 至 6C 安装在 TCP 7A 至 7C 上。数据驱动器 IC 芯片 6A 至 6C 分开驱动在液晶面板 2 上的多条数据线。为此，通过对应的 TCP 7A 至 7C，数据驱动器 IC 芯片 6A 至 6C 与在液晶面板 2 上的多条数据线的一部分电连接。将时序控制器 8 安装在印刷电路板 12 上。时序控制器 8 控制栅驱动器 4 和数据驱动器 IC 芯片 6A 至 6C。为此，在印刷电路板 12 上的时序控制器 8 与在 TCP 7A 至 7C 上的数据驱动器 IC 芯片 6A 至 6C 电连接。另外，经由 TCP 7A 至 7C 其中之一，时序控制器 8 与在液晶面板 2 上的栅驱动器 4 电连接。

如图 2 所示，安装在液晶面板 2 上的栅驱动器 4 包括彼此相关地耦接的多个移位寄存器级 S/R1 至 S/Rn。在液晶面板 2 处出现对应于移位寄存器级 S/R1 至 S/Rn 的数目相同数目的栅线。将从每个移位寄存器级 S/R1 至 S/Rn 产生的输出信号供应到下一个移位寄存器级的输入端以驱动它。另外，将从每个移位寄存器级 S/R1 至 S/Rn 产生的输出信号供应到对应的栅线。如图 3 所示，移位寄存器级 S/R1 至 S/Rn 的输出信号每个都不同地包括顺序延迟的使能信号。

栅起始脉冲 GSP 输入到在彼此相关地耦接的移位寄存器级 S/R1 至 S/Rn 中的第一移位寄存器级 S/R1 的输入端。移位寄存器级 S/R1 至 S/Rn 根据栅起始脉冲 GSP 执行移位操作。栅起始脉冲 GSP 与垂直同步信号同步，并具有对应于水平同步信号的时间周期的宽度。

然而，两个时钟 C1 和 C2 其中之一输入到移位寄存器级 S/R1 至 S/Rn。将第一时钟 C1 输入到奇数移位寄存器级 S/R1、S/R3、……、S/Rn-1，而将第二时钟 C2 输入到偶数移位寄存器级 S/R2、S/R4、……、S/Rn。两个时钟 C1 和 C2 具有彼此相反的相位。与此相反，将至少 3 个时钟（例如，3 个或 4 个时钟）共同输入到移位寄存器级 S/R1 至 S/Rn，或者将 3 个时钟的一部分选择性地供应到移位寄存器级 S/R1 至 S/Rn。在这种情况下，至少 3 个时钟具有顺序延迟的相位。

移位寄存器级 S/R1 至 S/Rn 响应输入时钟 C1 或 C2，锁存供应到输入端的栅起始脉冲 GSP 或前一个移位寄存器级的输出信号。如图 3 所示，通过移位寄存器级 S/R1 至 S/Rn 的锁存操作，将顺序移位的栅信号 GL1 至 GLn 相应地供应到在液晶面板 2 上的多条栅线。

来自移位寄存器级 S/R1 至 S/Rn 的栅信号 GL1 至 GLn 顺序地使能在液晶面板 2 上的多条栅线，以逐行地依次导通薄膜晶体管。因此，在多条数据线上的数据电压依次逐行地供应到在液晶面板 2 上的像素，以显示图像。

在 LCD 中，图像经常在液晶面板 2 的部分显示区域 22 内显示。例如，作为例子，图像可以在液晶面板 2 的显示区域 22 的中央显示。在这种情况下，GOG 型 LCD 应该执行用于栅驱动器 4、数据驱动器 IC 芯片 6A 至 6C 和时序控制器 8 的复杂控制，以在液晶面板 2 中的显示区域 22 的非图像部分写入黑电平的数据电压。由于这个，GOG 型 LCD 增加不必要的能耗。

发明内容

因此，本发明涉及一种液晶显示器件及其驱动方法，其中该液晶显示器件基本上克服由于现有技术的局限和缺点造成的一个问题或多个问题。

本发明的一个目的是提供一种能够在部分屏幕上容易地显示图象的液晶显示器件及其驱动方法。

本发明的另一个目的是提供一种能够在部分屏幕上容易地显示图象而不需要不必要的能耗的液晶显示器件及其驱动方法。

本发明的附加优点和特征将在后面的描述中得以阐明，通过以下描述，将使它们对于本领域普通技术人员在某种程度上显而易见，或者可通过实践本发明来认识它们。本发明的这些和其他优点可通过书面描述及其权利要求以及附图中具体指出的结构来实现和得到。

为了获得上述的目的，提供一种液晶显示器件包含：液晶面板；用于供应栅信号到液晶面板上的栅线的栅驱动器；用于供应数据电压到液晶面板上的数据线的数据驱动器；以及用于控制栅驱动器以拦截待供应到栅线的部分栅信号的局部控制器。

根据本发明的另一实施方式，提供一种液晶显示器件包括：液晶面板；用于供应栅信号到液晶面板上的栅线的栅驱动器；用于供应数据电压到液晶面板上的数据线的数据驱动器；用于控制栅驱动器和数据驱动器的驱动时序并且用于供应像素数据流到数据驱动器的时序控制器；以及用于控制栅驱动器以拦截待供应到栅线的部分栅信号的局部控制器。

根据本发明的另一方案，提供一种用于驱动液晶显示器件的方法，其中该

液晶显示器件包括用于供应栅信号到液晶面板上的栅线的栅驱动器和用于供应数据电压到液晶面板上的数据线的数据驱动器，所述方法包含步骤：控制栅驱动器，以拦截待供应到栅线的部分栅信号。

应当理解本发明的前述的概括性描述和以下的详细描述都是示意性和解释性的，意欲提供对本发明权利要求的进一步解释。

附图说明

申请所包括提供对本发明的进一步理解，并且结合在本申请中构成说明书一部分的附图示出了本发明的具体实施例并与说明书一起解释本发明的原理。

图 1 是示出传统 LCD 的方块图；

图 2 是详细示出在图 1 中示出的栅驱动器的方块图；

图 3 是示出在图 1 中的栅驱动器的输出信号的时序图；

图 4 是示出根据本发明的一个实施方式的 LCD 的方块图；

图 5 是详细示出在图 4 中示出的栅驱动器的方块图；以及

图 6 是详细示出在图 5 中示出的第一移位寄存器的方块图。

具体实施方式

以下，将参照附图描述根据本发明的优先实施方式。

图 4 是示出根据本发明的一个实施方式的 LCD 的方块图。参照图 4，根据本发明的一个实施方式的 LCD 包括印刷电路板 112，其通过 TCP 107A 至 107C 与液晶面板 102 连接。

液晶面板 102 包括显示区域 122 和栅驱动器 104。在显示区域 122 上显示图像。栅驱动器 104 设置在显示区域 122 的一侧的边缘（即，左边缘），以靠近显示区域 122。多条栅线（未示出）和多条数据线（未示出）形成为在显示区域 122 内彼此交叉。在通过多条栅线和多条数据线划分的像素区域处形成薄膜晶体管 TFT。薄膜晶体管 TFT 分别与对应的栅线和数据线电连接。响应对应的栅线上的栅信号，对应的数据线上的数据电压选择性地写到对应的像素。在显示区域 122 上的栅线延伸到液晶面板 102 的左边缘，以与栅驱动器 104 电连接。

将数据驱动器 IC 芯片 106A 至 106C 分别安装到 TCP 107A 至 107C 上。

数据驱动器 IC 芯片 106A 至 106C 分开驱动液晶面板 102 上的数据线。TCP 107A 至 107C 将安装在其上的数据驱动器 IC 芯片 106A 至 106C 电连接到印刷电路板 112 和液晶面板 102 上的数据线上, 并且将印刷电路板 112 电连接到液晶面板 102。为此, TCP 107A 至 107C 每个都包括在其上形成有配线图案的柔性绝缘膜。

印刷电路板 112 包括时序控制器 108, 其控制栅驱动器 104 和数据驱动器 IC 芯片 106A 至 106C。时序控制器 108 通过 TCP 107A 至 107C 与栅驱动器 104 和数据驱动器 IC 芯片 106A 至 106C 电连接。时序控制器 108 供应栅控制信号 GCS 到栅驱动器 104。栅控制信号 GCS 包括至少一个时钟信号 CLK 和栅起始脉冲 GSP。至少一个时钟信号 CLK 具有与水平同步信号的时间周期的相等或者至少两倍的时间周期。在每一个垂直同步信号的时间周期内产生一个栅起始脉冲 GSP。数据控制信号 DCS 和像素数据流 VDs 供应到数据驱动器 IC 芯片 106A 至 106C。像素数据流 VDs 串行地提供到数据驱动器 IC 芯片 106A 至 106C, 以逐行地分类像素数据。

图 4 的 LCD 包括局部控制器 110。局部控制器 110 安装在印刷电路板 112 上, 以控制仅在液晶面板 102 的部分显示区域 122 上显示的图像。通过 TCP 107A 至 107C 中的一个(即, 第一 TCP 107A), 局部控制器 110 将垂直窗控制信号 VWS 提供到设置在液晶面板 102 边缘处的栅驱动器 104。在这里, 垂直窗控制信号 VWS 起控制栅驱动器 104 的输出时间周期的作用。垂直窗控制信号 VWS 具有低逻辑的垂直窗脉冲, 用于表示在垂直同步信号的时间周期(当显示一个图像的时间周期)内栅信号的输出限制周期。

响应垂直窗控制信号 VWS, 栅驱动器 104 使将要供应到多条栅线的信号中在垂直窗脉冲的时间周期使能的栅信号不供应到对应的栅线。与此相反, 在垂直窗控制信号 VWS 中的特定逻辑(例如, 高逻辑)的使能时间周期内栅驱动器 104 产生的栅信号提供到对应的栅线。每个垂直同步时间周期, 只有在液晶面板 102 的显示区域上多条栅线的一部分才驱动一次, 并且不驱动其余部分的栅线。因此, 仅在液晶面板 102 的部分显示区域上显示图像。根据使用者的选择或者由图像程序设置的窗数据的逻辑值, 可以改变在垂直窗控制信号 VWS 中包括的垂直窗脉冲的宽度和位置。窗数据由时序控制器 108 或者外部系统(未示出), 例如来自计算机系统的显卡或者电视机接收器的图像解调模

块, 提供给局部控制器 110。换句话说, 局部控制器 110 产生垂直窗控制信号 VMS, 其具有对应于来自时序控制器 108 或外部系统的窗数据的逻辑值的宽度和相位的垂直窗脉冲信号 VWS, 并通过第一 TCP 107A 提供垂直窗控制信号 VMS 到液晶面板 102 上的栅驱动器 104。因此, 栅驱动器 104 供应栅信号到部分栅线, 但是不会将待要提供给栅线的栅信号供应到其余部分。从而, 在液晶面板 102 上显示区域 122 的垂直宽度减小。结果, 图像在液晶面板中的显示区域的中央部分、上部分和下部分显示。因为没有驱动对应于垂直窗脉冲的时间周期的液晶面板上的部分栅线, 在局部显示期间没有消耗不必要的能量。与此相反, 在对应于垂直窗脉冲的显示区域的垂直周期内, 可以显示退化的图像或噪声分量。

在另一实施方式中, 可以将由局部控制器 110 产生的垂直窗控制信号 VMS 供应到时序控制器 108。在这种情况下, 在局部控制器 110 和栅驱动器 104 之间还提供帧延迟部件 110A。帧延迟部件 110A 将来自局部控制器 110 要供应到栅驱动器 104 的垂直窗控制信号 VWS 延迟一个帧的时间周期(即, 一个垂直同步信号)。通过帧延迟部件 110A, 在第一帧(即, 第一垂直同步信号的时间周期)期间, 初始化在显示面板上的显示区域的垂直窗周期, 其中在该第一帧周期开始局部显示。在垂直窗周期的初始化周期(即, 在其中产生第一垂直窗脉冲的垂直同步信号的时间周期)期间, 时序控制器 108 供应黑电平和视频信息的像素数据到数据驱动器 IC 芯片 106A 至 106C。在垂直窗控制信号 VWS 的垂直窗脉冲的时间周期内包括的水平同步信号的时间周期期间, 将来自时序控制器 108 的黑电平的像素数据供应到数据驱动器 IC 芯片 106A 至 106C。与此相反, 在垂直窗控制信号 VWS 使能时间周期(即, 特定逻辑周期)中包括的其余水平同步信号的时间周期期间, 来自时序控制器 108 的视频信息的像素数据供应到数据驱动器 IC 芯片 106A 至 106C。因此, 在对应于在液晶面板 102 上的显示区域 122 的垂直窗脉冲的宽度的局部垂直周期期间, 显示黑色, 而对应于在垂直窗控制信号 VWS 的使能周期的其余周期期间, 显示视频图像。在帧(即, 垂直同步信号)的时间周期(即, 局部显示周期)期间, 在该周期中在垂直窗周期的初始化之后延迟的垂直窗控制信号 DVWS 包括垂直窗脉冲, 仅在垂直窗控制信号 VWS 的使能时间周期, 时序控制器 108 供应对应于视频信号的像素数据到数据驱动器 IC 芯片 106A 至 106C。与此相反, 在垂直窗脉

冲的时间周期期间,时序控制器 108 不驱动数据驱动器 IC 芯片 106A 至 106C,即以不供应像素数据到数据驱动器 IC 芯片 106A 至 106C。换句话说,时序控制器不更新对应于在液晶面板 102 上的显示区域 122 的垂直窗脉冲的时间周期的垂直周期的黑电平的像素数据,但是仅更新对应于在液晶面板 102 上的显示区域 122 的垂直窗控制信号 VWS 的使能周期的其余周期的视频信息的像素数据。

因此,对应于在液晶面板 102 上的显示区域 122 的垂直窗脉冲的时间周期期间的垂直周期显示黑图像。另外,对应于在液晶面板 102 上的显示区域 122 的垂直窗控制信号 VWS 的使能周期的其余周期期间显示视频信息。另一方面,栅驱动器 104 仅提供在所显示的垂直窗控制信号 VWS 中的特定逻辑的使能周期期间产生的栅信号到对应的栅线。换句话说,栅驱动器 104 使将要供应到多条栅线的栅信号中在垂直窗脉冲的时间周期期间使能的栅信号不供应到对应的栅线。因此,不驱动显示面板 102 上显示区域 122 的多条栅线中对应垂直窗周期的部分栅线,而是每垂直同步周期仅驱动对应于延迟的垂直窗控制信号 DVWS 的使能周期的其余栅线一次。由于周期性地不驱动数据驱动器 IC 芯片 106A 至 106C,在局部显示期间逐渐降低能耗。

另外,局部控制器 110 可以产生并提供水平窗控制信号 HWS 到时序控制器 108。供应到时序控制器 108 的水平窗控制信号 HWS 具有低逻辑的水平窗脉冲,以表示在水平同步信号的时间周期(将一行像素写入到液晶面板 102 的显示区域 122 的时间周期)期间像素数据的输出限制周期。响应水平窗控制信号 HWS,在每个水平同步信号周期,时序控制器 108 供应包括黑电平的像素数据和视频信息的像素数据的一行像素数据。在水平窗控制信号 HWS 的水平窗脉冲的时间周期(即,低逻辑周期)期间,将来自时序控制器 108 的黑电平的像素数据供应到数据驱动器 IC 芯片 106A 至 106C。与此相反,在水平窗控制信号 HWS 的使能时间周期(即,特定逻辑周期)期间,将来自时序控制器 108 的视频信息的像素数据供应到数据驱动器 IC 芯片 106A 至 106C。仅在垂直窗控制信号 VWS 的使能周期期间,可以输出包括黑电平和视频信息的像素数据的一行的像素数据流。在对应于液晶面板 102 上显示区域 122 的水平窗脉冲的宽度的局部水平周期期间,显示黑图像,而在对应于水平窗控制信号 HWS 的使能周期的其余水平周期期间,显示视频图像。因此,可以仅在液晶

面板 102 上的显示区域 122 中左上部分、中上部分、右上部分、左下部分、中下部分、右下部分、以及在上端和下端之间的中部的左部分、中央部分和右部分其中之一处局部显示图像。

图 5 是详细示出图 4 中示出的栅驱动器的方块图。参照图 5, 栅驱动器 104 包括多个移位寄存器级 S/R1 至 S/R5 和多个输出开关部件 104A 至 104E。多个移位寄存器级 S/R1 至 S/R5 独立地耦接到栅起始脉冲 GSP 的输入线。多个输出开关部件 104A 至 104E 耦接到移位寄存器级 S/R1 至 S/R5。第一和第二时钟 CLK1 和 CLK2 其中之一交替地输入到移位寄存器级 S/R1 至 S/R5。换句话说, 第一时钟 CLK1 输入到奇数移位寄存器级 S/R1、S/R3 和 S/R5, 而第二时钟 CLK2 输入到偶数移位寄存器级 S/R2 和 S/R4。第一和第二时钟 CLK1 和 CLK2 具有彼此相反的相位和水平同步信号的一半的频率 (两倍的时间周期)。

移位寄存器级 S/R1 至 S/R5 响应第一时钟 CLK1 或第二时钟 CLK2 锁存栅起始脉冲 GSP 或来自前级移位寄存器级 (S/R1 至 S/Rn 其中之一) 的栅信号 (Vg1 至 Vg5 其中之一), 并产生要供应到相应栅线 GL1 至 GL5 的栅信号 Vg1 至 Vg5。第一移位寄存器级 S/R1 响应第一时钟 CLK1 锁存栅起始脉冲 GSP, 并产生第一栅信号 Vg1。第一栅信号 Vg1 提供到第一输出开关部件 104A 和第二移位寄存器级 S/R2。第二移位寄存器级 S/R2 响应第二时钟 CLK2 锁存来自作为前级移位寄存器的第一移位寄存器级 S/R1 的第一栅信号 Vg1, 并产生第二栅信号 Vg2。第二栅信号 Vg2 提供到第二输出开关部件 104B 和作为下一级的第三移位寄存器级 S/R3。第三移位寄存器级 S/R3 响应第一时钟 CLK1 锁存来自作为前级的第二移位寄存器级 S/R2 的第二栅信号 Vg2, 并产生第三栅信号 Vg3。将第三栅信号 Vg3 提供到第三输出开关部件 104C 和作为下一级的第四移位寄存器级 S/R4。按这种方法, 第四和第五移位寄存器级 S/R4 和 S/R5 分别响应第一时钟 CLK1 和第二时钟 CLK2 锁存来自作为前级的第三和第四移位寄存器级 S/R3 和 S/R4 的第三栅信号 Vg3 和第四栅信号 Vg4, 并产生第四和第五栅信号 Vg4 和 Vg5。由移位寄存器级 S/R1 至 S/R5 产生的栅信号 Vg1 至 Vg5 顺序地使能为特定逻辑 (例如, 高逻辑) 一水平同步信号的时间周期。

多个输出开关部件 104A 至 104E 与在液晶面板 102 的显示区域 122 上的栅线 GL1 至 GL5 电连接。另外, 多个输出开关部件 104A 至 104E 共同地接收来自图 4 中示出的局部控制器 110 的垂直窗控制信号 VWS 或来自延迟部件

110A 的延迟的垂直窗控制信号 DVWS。响应垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS，多个输出开关部件 104A 至 104E 转换从移位寄存器级 S/R1 至 S/R5 待供应到栅线 GL1 至 GL5 的栅信号 Vg1 至 Vg5。在垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS 的垂直窗脉冲的时间周期（低逻辑）期间，输出开关部件 104A 至 104E 拦截来自移位寄存器级 S/R1 至 S/R5 待供应到相应的栅线 GL1 至 GL5 的相应的栅信号 Vg1 至 Vg5。与此相反，在垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS 的使能时间周期（特定逻辑）期间，输出开关部件 104a 至 104e 将来自移位寄存器级 S/R1 至 S/R5 的对应的栅信号 Vg1 至 Vg5 提供到对应的栅线 GL1 至 GL5。

例如，当在垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS 中包括的低逻辑的垂直窗脉冲具有在垂直同步信号中的两个初始水平同步信号的时间周期时，第一和第二输出开关部件 104A 和 104B 截取从第一移位寄存器级 S/R1 和第二移位寄存器级 SR/2 待供应到第一和第二栅线 GL1 和 GL2 的第一和第二栅信号 Vg1 和 Vg2，但是提供在第三移位寄存器级 S/R3 至第五移位寄存器级 S/R5 产生的第三至第五栅信号 Vg3 至 Vg5 到第三至第五栅线 GL3 至 GL5。没有驱动在第一和第二栅线 GL1 和 GL2 上的像素，而正常驱动在第三至第五栅线 GL3 至 GL5 上的像素。结果，仅在液晶面板 102 上的显示区域 122 的下半部分上显示图像。

与此相反，当在垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS 中包括的低逻辑的垂直窗脉冲具有在垂直同步信号中的两个最后的水平同步信号的时间周期时，第四和第五输出开关部件 104D 和 104E 截取从第四移位寄存器级 S/R4 和第五移位寄存器级 SR/5 待供应到第四和第五栅线 GL4 和 GL5 的第四和第五栅信号 Vg4 和 Vg5，但是提供在第一移位寄存器级 S/R1 至第三移位寄存器级 S/R3 产生的第一至第三栅信号 Vg1 至 Vg3 到第一至第三栅线 GL1 至 GL3。没有驱动在第四和第五栅线 GL4 和 GL5 上的像素，而正常驱动在第一至第三栅线 GL1 至 GL3 上的像素。结果，仅在液晶面板 102 上的显示区域 122 的上半部分上显示图像。

通过具有垂直同步信号的部分时间周期的垂直窗控制信号 VWS 或延迟的垂直窗控制信号 DVWS 的垂直窗脉冲的位置和宽度，在液晶面板 102 上的显示区域 122 的上部分、下部分和中央部分其中之一上显示图像。用于切换对应

的栅信号 V_{g1} 至 V_{g5} 的多个输出开关部件 104A 至 104E 可以包括控制开关，其可以通过垂直窗控制信号 VWS 或延迟的垂直窗控制信号 $DVWS$ 控制。在不同的方式中，多个输出开关部件 104A 至 104E 可以包括缓冲器，其通过垂直窗控制信号 VWS 或延迟的垂直窗控制信号 $DVWS$ 选择性驱动。在这种情况下，控制开关或缓冲器耦接在对应的移位寄存器级和对应的栅线之间。

如图 5 所示，已经描述了本发明，其中栅驱动器 104 包括第一至第五移位寄存器级 $S/R1$ 至 $S/R5$ 和第一至第五输出开关部件 104A 至 104E。然而，为了描述方便，在图 5 中仅示出了部分栅驱动器。对于本领域的普通技术人员来讲是显而易见的，即可以增加移位寄存器级和输出开关部件的数目。另外，尽管具有第一和第二时钟 $CK1$ 和 $CK2$ 的 2-相时钟用于图 5 的栅驱动器 104，但是它仅仅是一个实施方式。本领域的普通技术人员可以容易地使用多于 2 相的时钟（例如，3-相时钟或 4-相时钟）。

图 6 是详细示出在图 5 中示出的第一移位寄存器的方块图。参照图 6，第一移位寄存器级 $S/R1$ 包括第一至第七晶体管 $TR1$ 至 $TR7$ 。第一晶体管 $TR1$ 包括与栅起始脉冲 GSP 的输入线连接的栅端、与第一电源电压 V_{dd} 的输入线连接的源端和与第三晶体管 $TR3$ 的栅端连接的漏端。在除了第一移位寄存器级 $S/R1$ 的移位寄存器级的情况下，第一晶体管 $TR1$ 的栅端与前级移位寄存器级的输出线连接。第二晶体管的栅端和源端与第一电源电压 V_{dd} 的输入线连接。第二晶体管 $TR2$ 的漏端与反相节点 QB 连接。如上所述，第三晶体管 $TR3$ 的栅端与第一晶体管 $TR1$ 的漏端连接。第三晶体管 $TR3$ 包括与反相节点 QB 连接的源端和连接到第四、第五和第七晶体管 $TR4$ 、 $TR5$ 和 $TR7$ 的漏端和第二电源电压 V_{ss} 的输入线的漏端。换句话说，第二晶体管 $TR2$ 的漏端和源端共同连接到反相节点 QB 。第四晶体管 $TR4$ 包括与栅起始脉冲 GSP 的输入线连接的栅端和与反相节点 QB 连接的源端。在除了第一移位寄存器级 $S/R1$ 的其余移位寄存器级 $S/R2$ 至 $S/R5$ 的情况下，第四晶体管 $TR4$ 的栅端与来自前级移位寄存器级 $S/R1$ 至 $S/R4$ 的栅信号 V_{g1} 至 V_{g4} 的输入线耦接。第五晶体管 $TR5$ 包括与反相节点 QB 连接的栅端和与正相节点 QB 连接的源端。第六晶体管 $TR6$ 的源端与第一时钟 $CLK1$ 的输入线耦接。在奇数移位寄存器级 $S/R3$ 和 $S/R5$ 以及第一移位寄存器级 $S/R1$ 的情况下，第六晶体管 $TR6$ 的源端与第一时钟 $CLK1$ 的输入线耦接。

在不同的方式下，在偶数移位寄存器级 SR/2 和 SR/4 中，第六晶体管 TR6 的源端与第二时钟 CLK2 的输入线耦接。第六晶体管 TR6 的漏端与第一输出开关部件 104A 的输入端和前级移位寄存器级 SR/2 的输入端连接。第七晶体管 TR7 的栅端与反相节点 QB 连接。第七晶体管 TR7 的源端与第六晶体管 TR6 的漏端、第一输出开关部件 104A 的输入端和前级移位寄存器级 SR/2 的输入端连接。

现在将描述具有以上描述的构造的第一移位寄存器级 SR/1 的工作原理。第一时钟 CLK1 和第二时钟 CLK2 具有彼此相反的相位。栅起始脉冲 GSP 可以相应于第一时钟 CLK1 的低逻辑间隔或者部分地重叠第一时钟 CLK1 的高逻辑间隔的起始部分。当产生高电平的栅起始脉冲 GSP 时，第一和第四晶体管 TR1 和 TR4 导通。高电平的第一电源电压 Vdd 通过导通的第一晶体管 TR1 向正相节点 Q 充电，以增加在正相节点 Q 上的电压。当在正相节点 Q 上的电压与阈值电压相等或者高于阈值电压时，第六晶体管 TR6 将第一时钟 CLK1 的输入线电连接到前级移位寄存器和相应的输出开关部件（即，第一输出开关部件 104A）的输入线。

另一方面，响应高逻辑的栅起始脉冲，第四晶体管 TR4 将在反相节点 QB 上充电的电压释放到第二电源电压 Vss 的输入线方向，以减小在反相节点 QB 上的电压。另外，当在正相节点 Q 上的电压与阈值电压相等或者高于阈值电压时，第三晶体管 TR3 导通以将在反相节点 QB 上的电压释放到第二电源电压 Vss 的输入线方向。因此，通过第三和第四晶体管 TR3 和 TR4，迅速减小在反相节点 QB 上的电压。当在反相节点 QB 上的电压减小到小于或等于阈值电压的值时，第五晶体管 TR5 截止以不释放在非反相节点 QB 上的电压。响应减小到小于或等于阈值电压的值的反相节点 QB 上的电压，第七晶体管 TR7 截止，使得第二电源电压 Vss 的输入线与前级移位寄存器级 S/R2 和对应的输出开关部件 104A 的输入端电隔离。

尽管栅起始脉冲 GSP 改变到低逻辑状态，正相节点 Q 上保持等于或高于阈值电压的电压以及反相节点 QB 的电压减小到小于或等于阈值电压的状态一直保持到第一时钟 CLK1 在其升到高逻辑状态之后改变到低逻辑状态。在这种情况下，当第一时钟 CLK1 升到高逻辑状态时，在下一级移位寄存器级 S/R2 和相应的输出开关部件 104A 的输入端处产生高电平的栅信号 Vg1。在下一级

移位寄存器 S/R2 和相应的输出开关部件 104A 的输入端处高电平电压的作用下, 在正相节点 Q 上的电压增加, 以将第一时钟 CLK1 的高逻辑电压没有衰减地提供到下一级移位寄存器 S/R2 和相应的输出开关部件 104A 的输入端。因此, 具有与第一时钟 CLK1 的高逻辑间隔的宽度(水平同步信号的时间周期)相同宽度的高电平的栅信号 Vg 提供到下一级移位寄存器 S/R2 和相应的输出开关部件 104A。

当栅起始脉冲 GSP 改变到低状态时, 第一和第四晶体管 TR1 和 TR4 截止。因此, 通过第一晶体管 TR1 拦截供应到正相节点 Q 的第一电源电压 Vdd, 但是从反相节点 QB 通过第四晶体管 TR4 至第二电源电压 Vss 的输入线的放电路径开通。因此, 通过经第二晶体管 TR2 供应的第一电源电压 Vdd 增加在反相节点 QB 处的电压。当在反相节点 QB 处的电压达到阈值电压时, 第五和第七晶体管 TR5 和 TR7 导通。将正相节点 Q 的电压充电到第二电源电压 Vss 的输入线方向, 并缓慢减小。通过第七晶体管 TR7, 低电平的第二电源电压提供到下一级移位寄存器级 S/R2 和相应的输出开关部件 104A 的输入端。当正相节点 Q 的电压减小到小于或等于阈值电压的值时, 第三和第六晶体管 TR3 和 TR6 截止。由于第六晶体管 TR6 截止, 第一时钟 CLK1 的输入线与下一级移位寄存器级 S/R2 和相应的输出开关部件 104A 的输入端电隔离。另外, 从反相节点 QB 经第三晶体管 TR3 到第二电源电压 Vss 的输入线的放电路径开通, 而不释放反相节点 QB 的电压。因此, 小于或等于阈值电压的正相节点 Q 的电压以及等于或高于阈值电压的反相节点 QB 的电压保持到提供高逻辑的栅起始脉冲 GSP。

第一移位寄存器 S/R1 在每帧(每个垂直同步信号的时间周期)执行一次产生栅信号的操作。然而, 通过第一移位寄存器级 S/R1 产生栅信号的操作之后, 其余的移位寄存器级 S/R2 至 S/R5 顺序执行产生栅信号的操作。因此, 在每个帧(每个垂直同步信号的时间周期)多个移位寄存器 S/R1 至 S/R5 输出一顺序移位的栅信号。

通过这个结构, 根据本发明的 LCD 器件通过具有垂直同步信号的部分时间周期的垂直窗脉冲拦截部分栅信号, 而不驱动在液晶面板上的部分显示区域。因此, 图像仅在液晶面板上的显示区域的上部分、下部分和中央部分显示其中之一上显示。另外, 可以在局部显示期间防止不必要的能耗。在根据本发

明的 LCD 中, 根据垂直窗脉冲, 数据驱动器的操作可以周期性地停止。因此, 在局部显示期间还可以防止不必要的能耗。

此外, 在根据本发明的 LCD 中, 当局部显示开始时, 用在对应于垂直窗脉冲的时间周期的显示区域的部分部件上显示黑色初始化图像。因此, 可以去除在液晶面板上的显示区域非驱动间隔中的噪声。

然而, 在根据本发明的 LCD 中, 由于根据具有水平同步信号的部分时间周期的水平窗脉冲, 部分数据电压具有黑电平, 所以可以仅在液晶面板上的显示区域的左部分、右部分和中央部分其中之一上显示图像。

另外, 根据本发明的 LCD 可以使用垂直和水平窗脉冲驱动部分栅线, 并用黑电平显示待供应到在驱动的栅线上的像素的部分数据电压。因此, 可以在液晶面板上显示区域的左上部分、中上部分、右上部分、左下部分、中下部分、右下部分、以及在上下端之间的中部分的左部分、中部分和右部分其中之一上局部显示图像。

尽管示出并描述了本发明的优选实施方式, 但是本领域的熟练技术人员在不脱离本发明原理和精神的范围内可以对本发明做出各种改进和变型, 其中本发明的范围由权利要求书及其等效物限定。

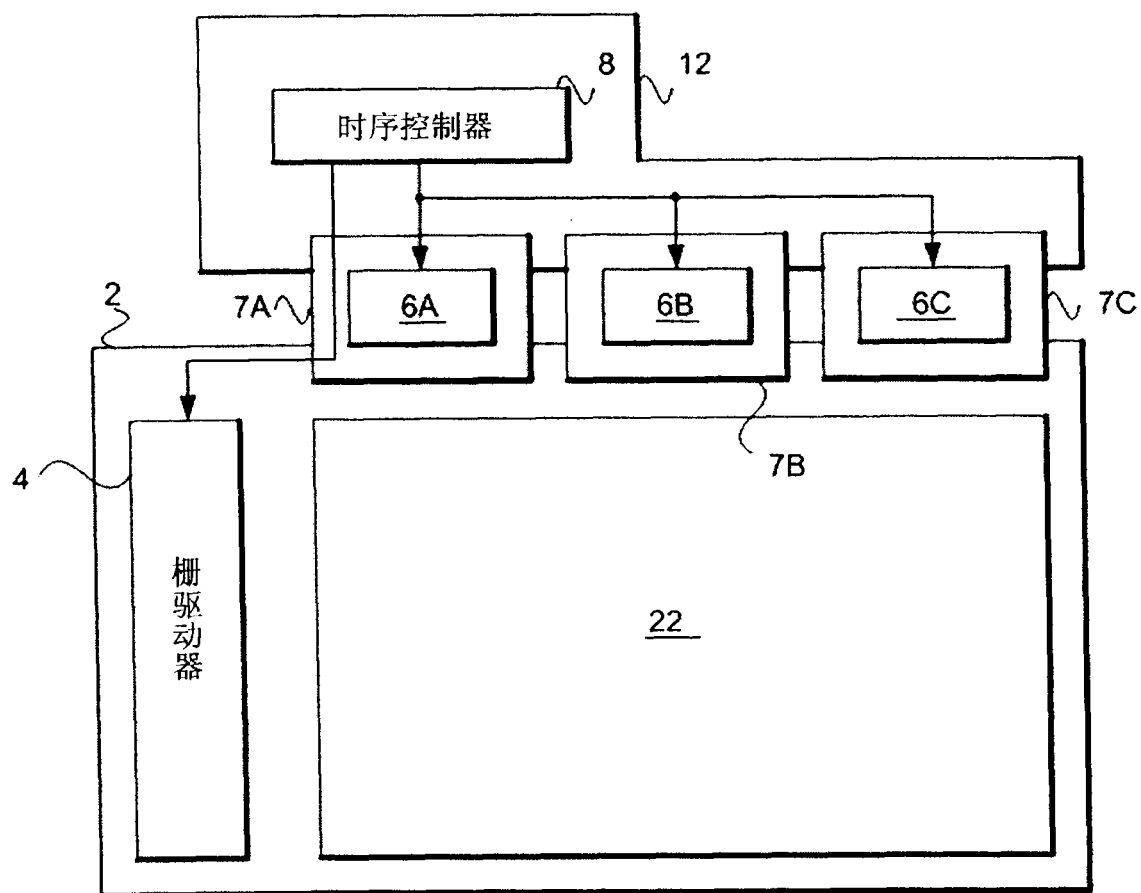


图 1

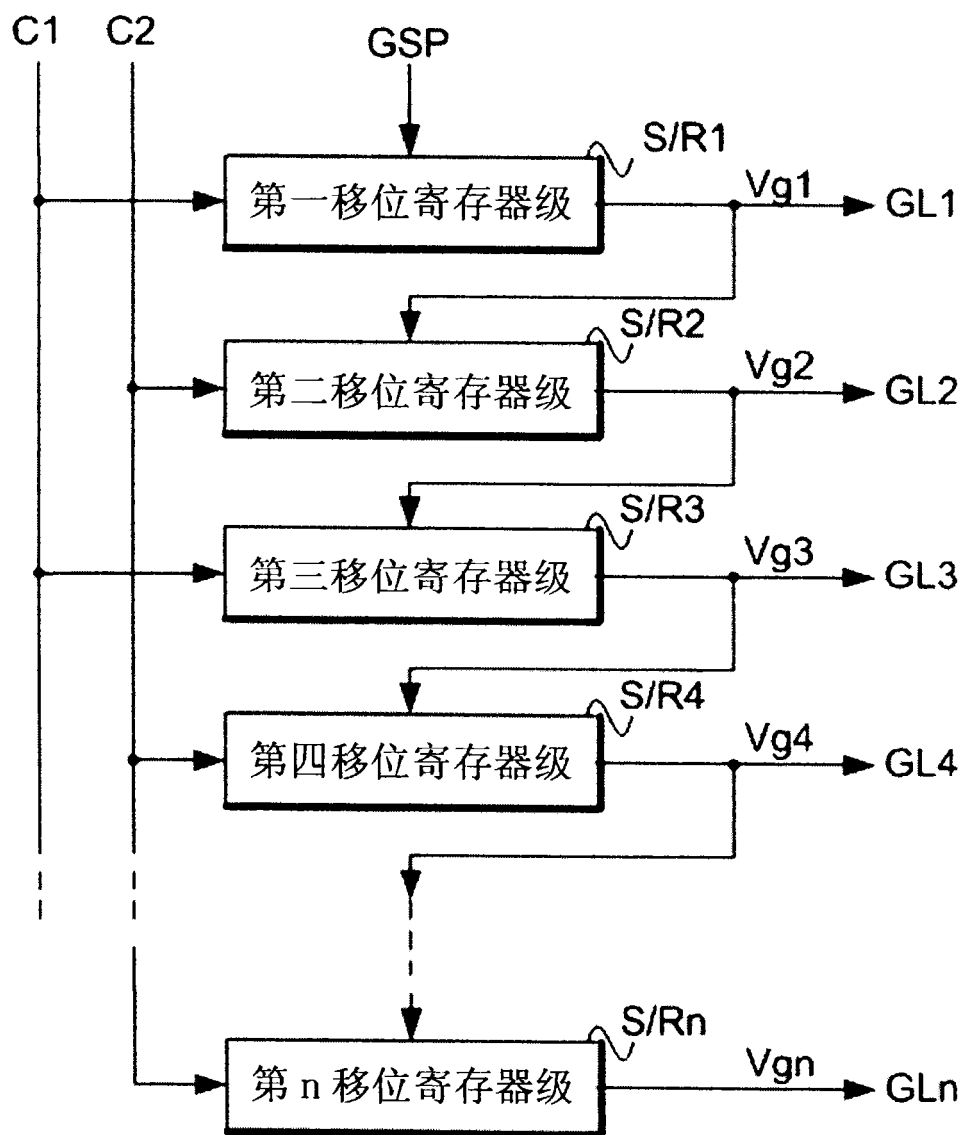


图 2

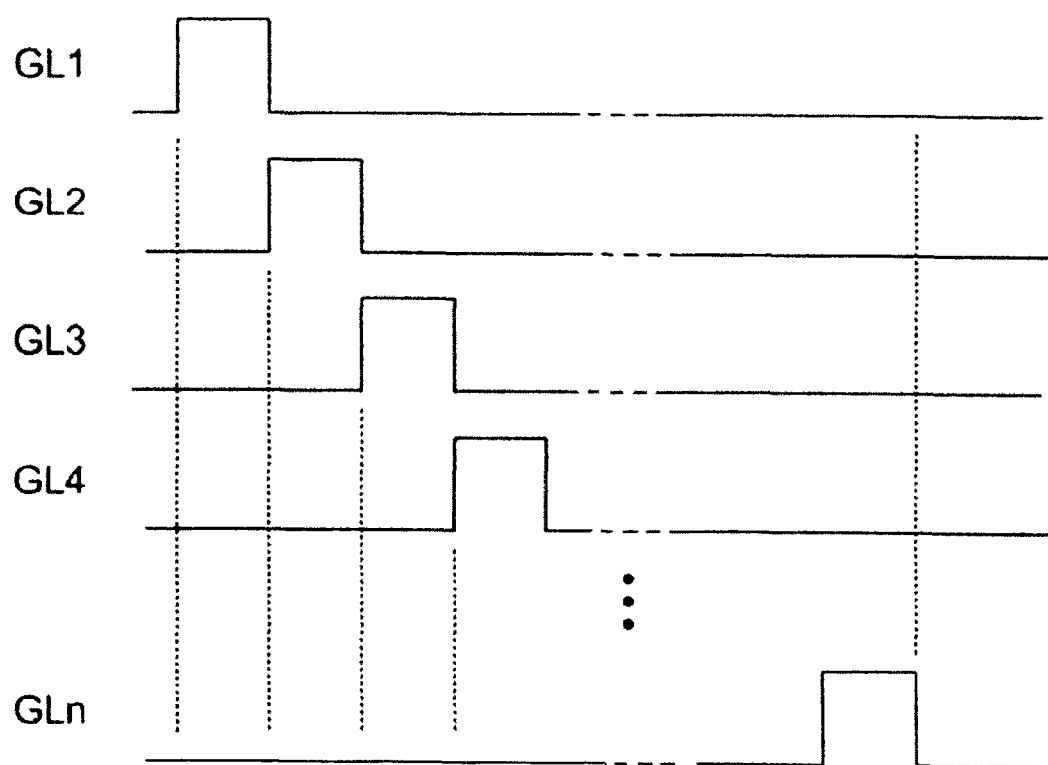


图 3

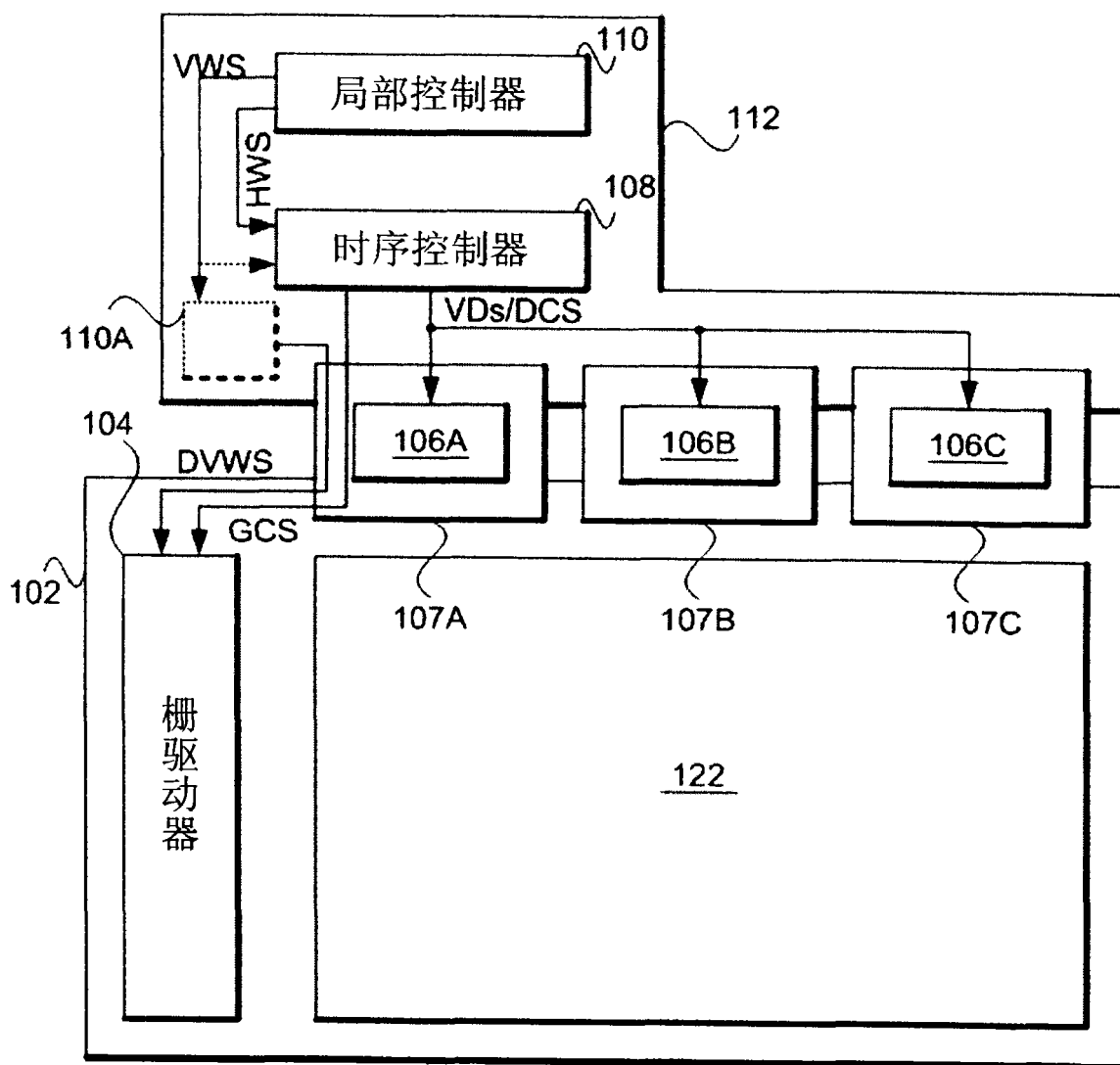


图 4

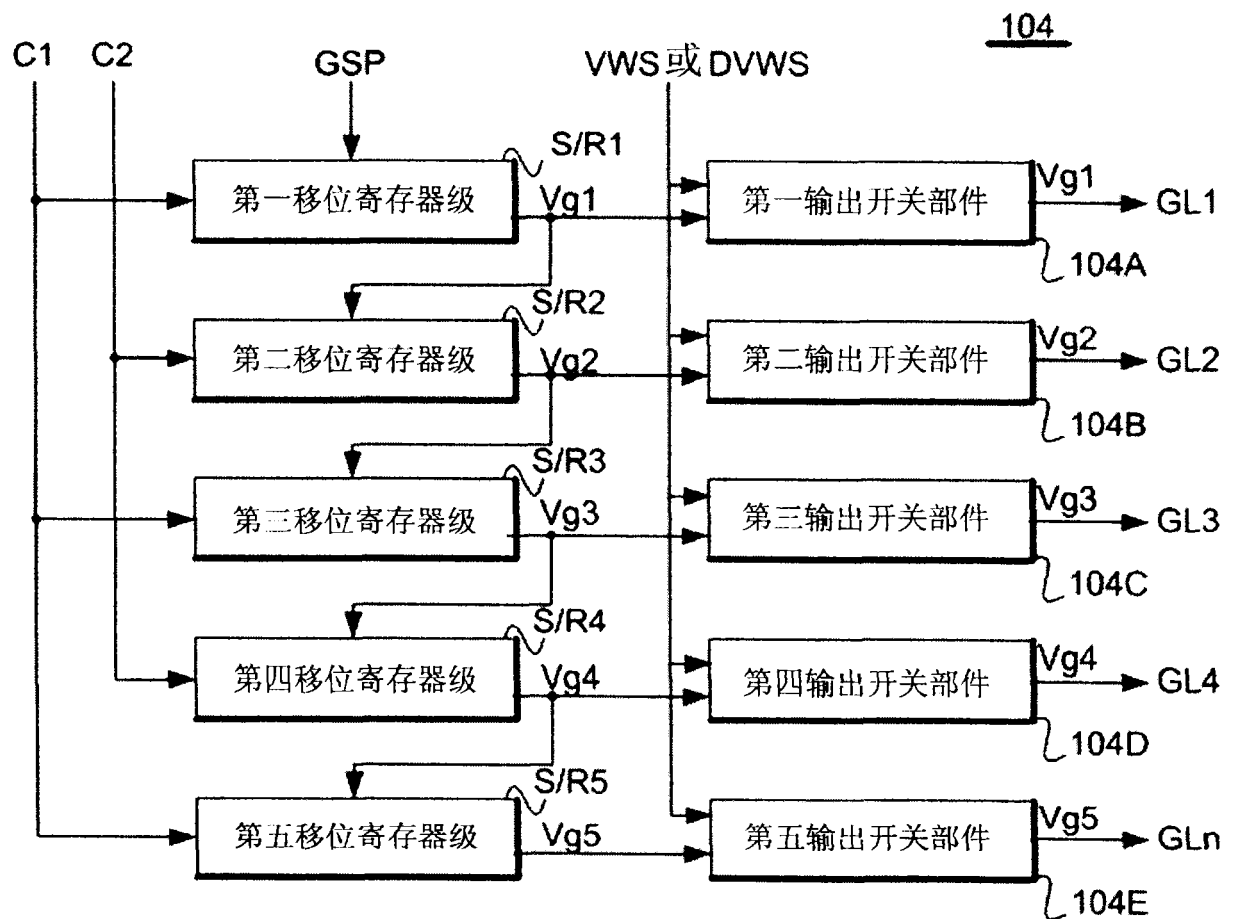


图 5

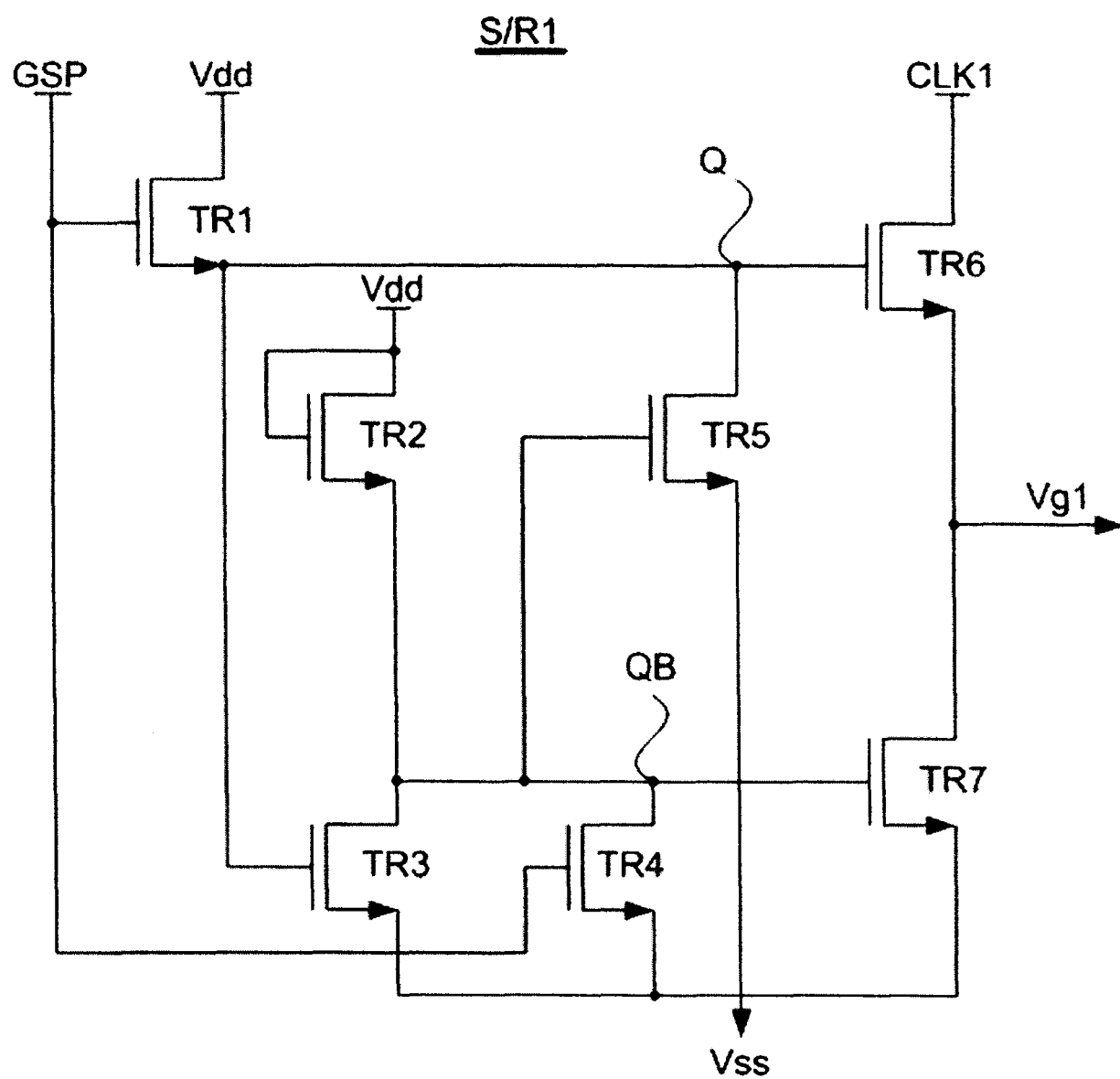


图 6

专利名称(译)	液晶显示器件及其驱动方法		
公开(公告)号	CN100520509C	公开(公告)日	2009-07-29
申请号	CN200610168309.7	申请日	2006-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.菲利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	文秀焕 金度宪 蔡志恩		
发明人	文秀焕 金度宪 蔡志恩		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G2310/04 G09G3/3677 G11C19/28 G09G2300/0408 G09G2310/0286 G09G2330/021		
代理人(译)	徐金国		
优先权	1020060055800 2006-06-21 KR		
其他公开文献	CN101093299A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种具有仅在面板上的部分区域显示图像的功能的液晶显示器件及该液晶显示器件的驱动方法。该液晶显示器件包括：液晶面板；用于供应栅信号到液晶面板上的栅线的栅驱动器；用于供应数据电压到液晶面板上的数据线的的数据驱动器；以及用于控制栅驱动器以拦截待供应到栅线的部分栅信号的局部控制器。

