



[12] 发明专利申请公开说明书

[21] 申请号 200510082050. X

[43] 公开日 2005 年 12 月 21 日

[11] 公开号 CN 1710480A

[22] 申请日 2005. 7. 5

[21] 申请号 200510082050. X

[71] 申请人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 赖明升

[74] 专利代理机构 北京市柳沈律师事务所

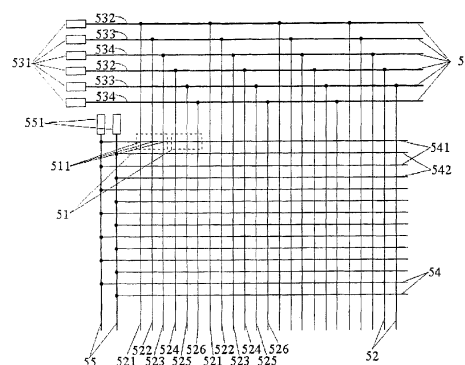
代理人 吕晓章 马 莹

权利要求书 2 页 说明书 10 页 附图 8 页

[54] 发明名称 液晶显示器测试线路以及测试方法

[57] 摘要

本发明揭露一种液晶显示器测试线路以及测试方法，液晶显示器测试线路包括一基板、其上具有多个像素结构、多条数据线以及 p 个短路杆，其中，每一像素结构具有 n 个子像素，并对应连接于这些多条数据线，而 p 个短路杆则分别连结至第 $(p \times m) + 1$ 、 $(p \times m) + 2$ 、 $(p \times m) + 3 \dots$ 、 $(p \times m) + p$ 条数据线，当 n 为奇数时， $p = 2 \times n$ ，当 n 为偶数时， $p = n$ ，而 m 则为零或正整数。此外，该液晶显示器测试方法，是利用前述的液晶显示器测试线路，将该 p 个短路杆以 n 为基数进行分组，以及分别输入测试信号至各组短路杆以进行测试；亦可以将 p 个短路杆依排列的奇偶顺序分为 2 组，分别输入测试信号至各组短路杆以进行测试，如此可有效地提升液晶显示器阵列段及晶胞段的测试效率。



1. 一种液晶显示器测试线路，其中，该线路包含：
一基板；
- 5 多个像素结构为形成于该基板上，且每一像素结构具有 n 个子像素；
多条数据线，形成于该基板上，并对应连接于这些子像素；以及
 p 个短路杆为形成于该基板上，且该 p 个短路杆为分别连结至第 $(p \times m) + 1$ 、 $(p \times m) + 2$ 、 $(p \times m) + 3 \dots$ 、 $(p \times m) + p$ 条数据线，其中，
当 n 为奇数时， $p = 2 \times n$ ，
10 当 n 为偶数时， $p = n$ ，
而 m 为零或正整数。
2. 如权利要求 1 所述的液晶显示器测试线路，其中，更包含多个测试垫形成于该基板上，且这些测试垫对应连结至这些短路杆。
3. 如权利要求 1 所述的液晶显示器测试线路，其中，更包含多条栅极线
15 形成于该基板上，并对应连接于这些子像素。
4. 如权利要求 3 所述的液晶显示器测试线路，其中，更包含两条栅极短路杆形成于该基板上，且该两个栅极短路杆为分别连结至该奇数条的栅极线及该偶数条的栅极线。
5. 如权利要求 1 所述的液晶显示器测试线路，其中，更包含一第一汇集
20 短路杆以及一第二汇集短路杆形成于该基板上。
6. 如权利要求 5 所述的液晶显示器测试线路，其中， p 个短路杆依奇偶顺序分别连接至该第一汇集短路杆以及该第二汇集短路杆。
7. 一种液晶显示器测试线路，至少包含：
一基板；
- 25 多个像素结构形成于该基板上，且每一像素结构具有 n 个子像素， n 为奇数；
多条数据线，形成于该基板上，并对应连接于这些子像素；以及
 n 个短路杆形成于该基板上，且该 n 个短路杆为分别连结至第 $(n \times m) + 1$ 、 $(n \times m) + 2$ 、 $(n \times m) + 3 \dots$ 、 $(n \times m) + n$ 条数据线，其中， m 为零或正整数。
- 30 8. 如权利要求 7 所述的液晶显示器测试线路，其中，更包含多个测试垫形成于该基板上，且这些测试垫为对应连结至这些短路杆。

9. 如权利要求 7 所述的液晶显示器测试线路, 其中, 更包含多条栅极线形成于该基板上, 并对应连接于这些子像素。

10. 如权利要求 9 所述的液晶显示器测试线路, 其中, 更包含两条栅极短路杆形成于该基板上, 且该两个栅极短路杆为分别连结至该奇数条的栅极线及该偶数条的栅极线。

11. 一种液晶显示器测试方法, 适用于一液晶显示器, 该液晶显示器具有 n 个子像素的多个像素结构, 多条数据线为对应连接于这些子像素且分组连接至 p 个短路杆, 当 n 为奇数时, $p=2 \times n$, 当 n 为偶数时, $p=n$, 其中, 该液晶显示器测试方法至少包含:

10 将该 p 个短路杆, 以 n 为基数进行分组; 以及
分别输入测试信号至各组的短路杆。

12. 如权利要求 11 所述的液晶显示器测试方法, 其中该测试信号为同时输入至各组连结相同颜色子像素的短路杆。

13. 如权利要求 11 所述的液晶显示器测试方法, 更包含:
15 将该 p 个短路杆为依排列的奇偶顺序分为 2 组; 以及
分别输入测试信号至各组的短路杆。

14. 如权利要求 11 所述的液晶显示器测试方法, 其中, 该 p 个短路杆更依排列的奇偶顺序分组连接至一第一汇集短路杆以及一第二汇集短路杆。

15. 如权利要求 14 所述的液晶显示器测试方法, 其中, 更包含分别输入
20 测试信号至该第一汇集短路杆以及该第二汇集短路杆。

液晶显示器测试线路以及测试方法

5 技术领域

本发明涉及一种液晶显示器测试线路，特别涉及一种利用子像素的数目来进行分组的液晶显示器测试线路。

背景技术

- 10 在制作液晶显示器的前段过程中，一般是使用磊晶的方法在一基板上形成数百万颗的薄膜晶体管作为像素结构的子像素的控制单元，其中该基板可为一玻璃基板、一可挠式基板或是一硅材质基板。若是有部分的薄膜晶体管在制作时品质不如预期，导致无法表现出其开关控制特性，则会产生如亮点及暗点的缺陷，大幅地降低液晶显示器的品质，而如何有效率地对此数百万
- 15 颗薄膜晶体管进行测试乃成为液晶显示器制作时非常重要的课题。

- 请参阅图 1，其为现有的液晶显示器测试线路示意图，包含多条平行的数据线 11 以及多条平行的栅极线 12 形成于基板上，而数据线 11 与栅极线 12 交错点更包含一薄膜晶体管为作为像素结构 13 的子像素 131 的控制单元而该像素结构 13 通常包含三个子像素 131，这些子像素 131 可分别对应红(R)、
- 20 绿(G)、蓝(B)三种颜色，藉由调配红绿蓝三种颜色的强度比例，可以使像素结构 13 显示出各种颜色。又，在数据线 11 的一端可连接一测试垫 111，而栅极线 12 的一端亦可连接一测试垫 121，以供测试装置的探测端接触进行测试。

- 当欲测试某一特定的薄膜晶体管的特性表现时，将该特定的薄膜晶体管
- 25 连接的数据线 11 连接的测试垫 111 与测试装置的一第一探测端接触，而将该特定的薄膜晶体管连接的栅极线 12 连接的测试垫 121 与测试装置的一第二探测端接触。测试装置可以经由第一及第二探测端将测试信号经由相连接的数据线 11 与栅极线 12 送入该薄膜晶体管，藉此判断该薄膜晶体管的特性及品质是否符合标准。

- 30 但此测试方式在测试上需要不断移动探测端与特定的测试垫 111、121 接触，而使得测试时间加长。其虽亦可增加测试装置上的探测端数量以减少测

试时间，但在成本考虑上仍不为理想的方法。

请参阅图 2，其为现有的另一种液晶显示器测试线路示意图，乃试图解决图 1 的测试线路所面临的问题，其中特别将所有数据线 11 的一端连接至一短路杆 21，将所有栅极线 12 的一端连接至一栅极短路杆 22。而短路杆 21 的一端更可连接一测试垫 211，且栅极短路杆 22 的一端亦可连接一测试垫 221，以供测试装置的探测端接触进行测试。当进行测试时，将测试装置的一第一探测端与连接至短路杆 21 的测试垫 211 相接触，以及将测试装置的一第二探测端与连接至栅极短路杆 22 的测试垫 221 相接触后，测试装置可以经由第一及第二探测端将测试信号经由短路杆 21 与栅极短路杆 22 送入所有的薄膜晶体管中以驱动所有的薄膜晶体管，再利用液晶板可将送入薄膜晶体管的测试信号转为光信号。当有部分薄膜晶体管因制作上的瑕疵而无法被驱动时，测试装置的光学检测系统便可以将其检测出来，如此便可大大地减少测试的时间。而在完成测试后，利用现有的切割技术沿着虚线 23 将数据线 11 与栅极线 12 与短路杆 21 与栅极短路杆 22 分离，完成液晶显示器的制作。

但若任相邻的两条数据线 11 或是栅极线 12 在制作上便已短路，则上述的测试方式是无法测试出该短路缺陷的问题，为试图解决上述测试方式的问题，可以依序将数据线 11 与栅极线 12 分组连接至相对应的短路杆。

请参阅图 3，其为现有的再一种液晶显示器测试线路示意图，乃试图解决图 2 的测试线路所面临无法测试出任相邻两条信号线或是栅极线在制作上短路瑕疵的问题，一般现有上称为 2G2D 的测试线路。其中包含多条数据线 11、多条栅极线 12 以及两个短路杆 31 形成于基板上，且该两个短路杆 31 为分别连结至奇数条的数据线 32 及偶数条的数据线 33，又包含两条栅极短路杆 34 形成于基板上，而两个栅极短路杆 34 为分别连结至奇数条的栅极线 35 及偶数条的栅极线 36，最后将短路杆 31 与栅极短路杆 34 的一端更分别连接至相对应的测试垫 311、341，以供测试装置的探测端接触进行测试。当进行测试时，测试装置可藉由多个探测端与相对应的测试垫 311、341 相接触后，将测试信号经由短路杆 31 与栅极短路杆送入特定的多个薄膜晶体管中以进行测试。在此测试方式中，由于任相邻的两条数据线 11 或是栅极线 12 均没有连接至相同的短路杆，因此当任相邻的两条数据线 11 或是栅极线 12 在制作上便已短路，使用此测试方式可将此制造瑕疵给测试出来。

此测试线路设计方式一般适用在液晶显示器制作的阵列段测试过程，由

于在阵列制作上较常发生短路的瑕疵，故此测试方式能最有效率的将线路制作上的缺陷给测试出来。但进入液晶显示器的晶胞段制作时，由于已经将彩色滤光片贴合于基板并注入液晶材料，故此时薄膜晶体管在驱动时会将测试信号透过液晶材料转为光信号后，再透过彩色滤光片将光信号转为红、蓝、绿三种颜色，分别对应一像素结构的三个子像素，一般可称红、蓝、绿三种颜色为基本原色，利用控制此三个基本原色的光强度大小混色成所需的颜色（例如紫、黄、青等颜色）进而建立影像。故在液晶显示器制作的晶胞段测试过程中，希望能以基本原色，亦即以像素结构的子像素数目作分类才可进行最有效率的测试，由于基本原色的分类可与信号线相对应，故可以依序将信号线分成三组连接至相对应的短路杆。

请参阅图 4，其为现有的又一种液晶显示器测试线路示意图，主要试图提升在液晶显示器制作的晶胞段测试过程中的测试效率，一般现有上称为 2G3D 的测试线路。其中包含多条数据线 11 以及多条栅极线 12 形成于基板上，且更包含三条短路杆 41 形成于基板上，而三个短路杆 41 为分别连结至第 $3m+1$ 、 $3m+2$ 、 $3m+3$ 条的数据线 42、43、44，其中 m 为零或正整数。亦即将数据线以三为基数分成三组后连接至短路杆 41，其中第 1、4、7... 条数据线 42 为一组，而第 2、5、8... 条数据线 43 为另一组，且第 3、6、9... 条数据线 44 为再一组。另又包含两条栅极短路杆 34 形成于基板上，而两个栅极短路杆 34 分别连结至奇数条的栅极线 35 及偶数条的栅极线 36，最后将短路杆 41 与栅极短路杆 34 的一端更分别连接至相对应的测试垫 411、341，以供测试装置的探测端接触进行测试。当进行测试时，测试装置可藉由多个探测端与相对应的测试垫 411、341 相接触后，将测试信号经由短路杆 41 以与栅极短路杆 34 送入特定的多个薄膜晶体管中以进行测试。在此测试方式中，由于已将数据线 11 分类成与基本原色相对应，故可以经由特定的短路杆 41 输入测试信号后输出特定的基本原色，因此可大幅提升测试色彩表现上的效率，故此测试线路设计方式一般适用在液晶显示器制作的晶胞段测试过程。但此测试线路设计方式若要测试任相邻的两条信号线 11 在制作上是否短路，则必需要将第 $3m+1$ 、 $3m+2$ 、 $3m+3$ 条的数据线 42、43、44 两两分别测试，以得知任相邻的两条数据线 11 是否短路，大幅增加测试时间，而导致降低液晶显示器制作时的阵列段测试效率。

由前所述，无论是采用如图三或是图四示意的液晶显示器测试线路，均

无法有效地同时提升液晶显示器制作时阵列段及晶胞段测试效率，亦即若采用图三的面板线路设计，势必会降低液晶显示器制作时的晶胞段测试效率，而若采用图四的面板线路设计，势必会降低液晶显示器制作时的阵列段测试效率，在此变化迅速、时间便代表竞争力的液晶显示器产业中，若是因为测试设计方法不佳导致测试时间过长，进而影响到出货的进度，无异是降低产业的竞争力。所以在液晶显示器产业迅速发展的今日，若能够试图解决上述问题使出货进度可以因应快速变动的产业特性，将可大幅提升液晶显示器产业的竞争力。

藉此，开发一种液晶显示器测试线路，藉由设置子像素的数目的倍数的短路杆，使得该液晶显示器测试线路可同时有效地提升液晶显示器制作时阵列段及晶胞段的测试效率以解决上述现有的液晶显示器测试线路在进行测试时效率不佳的问题，实为液晶显示器使用者殷切盼望及本发明人念兹在兹者，而本发明人基于多年从事于液晶显示器研究开发与诸多实务经验，乃思及改良的意念，穷其个人的专业知识，并且经多方研究设计与专题探讨，至此提出一种利用子像素的数目分组的液晶显示器测试线路以作为上述问题一解决方式与依据。

发明内容

本发明提供的一种液晶显示器测试线路，包含一基板、多个像素结构、多条数据线以及 p 个短路杆，其中多个像素结构为形成于基板上，且每一像素结构具有 n 个子像素，而多条数据线为形成于基板上，并对应连接于这些子像素，又 p 个短路杆为形成于该基板上，而 p 个短路杆为分别连结至第 $(p \times m) + 1$ 、 $(p \times m) + 2$ 、 $(p \times m) + 3 \dots$ 、 $(p \times m) + p$ 条数据线，其中，当 n 为奇数时， $p = 2 \times n$ ，当 n 为偶数时， $p = n$ ，而 m 为零或正整数。

又本发明次要提供的一种液晶显示器测试方法，为利用前述的液晶显示器测试线路，将该 p 个短路杆以 n 为基数进行分组，以及分别输入测试信号至各组的短路杆。亦可以将 p 个短路杆依排列的奇偶顺序分为 2 组，以及分别输入测试信号至各组的短路杆。

以 $n=3$ 的实施例作说明，由于 3 为奇数，因此设置 6 个短路杆 ($p=2 \times 3$)，而此 6 个短路杆为分别连结至第 $(6 \times m) + 1$ 、 $(6 \times m) + 2$ 、 $(6 \times m) + 3 \dots$ 、 $(6 \times m) + 6$ 条数据线。当欲进行液晶显示器制作时的晶胞段测试时，可将该 6 个短路杆

以 3 为基数进行分组，亦即第 1、4 个短路杆为一组，第 2、5 个短路杆为一组，而第 3、6 个短路杆为一组。接着分别输入测试信号至各组的短路杆，由于短路杆已以子画数的数目 3 再进行分组，因此同组内的短路杆均对应相同颜色子像素，如此在检测上即可独立产生基本原色以利检测，此乃液晶显示器制作时的晶胞段测试的最有效率的测试方式。当欲进行液晶显示器制作时的阵列段测试时，可将该 6 个短路杆为依排列的奇偶顺序分为 2 组，接着分别输入测试信号至各组的短路杆，如此即可检测出任相邻两条信号线短路的瑕疵，以进行最有效率的测试。

以 $n=4$ 的实施例作说明，由于 4 为偶数，因此设置 4 个短路杆 ($p=4$)，而此 4 个短路杆为分别连结至第 $(4 \times m)+1$ 、 $(4 \times m)+2$ 、 $(4 \times m)+3$ 以及 $(4 \times m)+4$ 条数据线。当欲进行液晶显示器制作时的晶胞段测试时，可将该 4 个短路杆以 4 为基数进行分组，亦即各个短路杆自成一组。接着分别输入测试信号至各组的短路杆，由于短路杆已以子画数的数目 4 再进行分组，因此同组内的短路杆均对应相同颜色子像素，如此在检测上即可独立产生基本原色以利检测，此乃液晶显示器制作时的晶胞段测试的最有效率的测试方式。当欲进行液晶显示器制作时的阵列段测试时，可将该 4 个短路杆为依排列的奇偶顺序分为 2 组，接着分别输入测试信号至各组的短路杆，如此即可检测出任相邻两条信号线短路的瑕疵，以进行最有效率的测试。

上述的实施例说明均只为举例性，而非限制性，当 $n=5$ 、6、7... 时，亦可套用上述的法则，以使得以进行最有效率的测试方式。

又本发明另一次要提供的一种液晶显示器测试线路，包含一基板、多个像素结构、多条数据线以及 n 个短路杆，其中多个像素结构为形成于基板上，且每一像素结构具有 n 个子像素， n 为奇数，而多条数据线为形成于基板上，并对应连接于这些子像素，又 n 个短路杆为形成于该基板上，而 n 个短路杆为分别连结至第 $(n \times m)+1$ 、 $(n \times m)+2$ 、 $(n \times m)+3$...、 $(n \times m)+n$ 条数据线，其中 m 为零或正整数。

综合上述，本发明提供的液晶显示器测试线路及方法，可以同时有效地提升液晶显示器制作时阵列段及晶胞段的测试效率，亦即可大幅增加出货进度的弹性。不仅可以直接降低液晶显示器制作时的测试成本，而可配合快速变动的显示器产业的高度弹性出货进度，更可以提升液晶显示器产业的竞争力。

为使能够对本发明的技术特征及所达成的功效有更进一步的了解与认识，下文谨提供较佳的实施例及相关附图以为辅佐之用，并以详细的说明文字配合说明如后。

5 附图说明

图 1 为现有的一种液晶显示器测试线路示意图；

图 2 为现有的另一种液晶显示器测试线路示意图；

图 3 为现有的再一种液晶显示器测试线路示意图；

图 4 为现有的又一种液晶显示器测试线路示意图；

10 图 5 为依据本发明的一种液晶显示器测试线路示意图；

图 6 为修改图 5 的液晶显示器测试线路示意图；

图 7 为依据本发明的另一种液晶显示器测试线路示意图；以及

图 8 为依据本发明的再一种液晶显示器测试线路示意图。

附图符号说明：

15	11 : 数据线；	43 : 数据线；
	111: 测试垫；	44 : 数据线；
	12 : 栅极线；	51 : 像素结构；
	121: 测试垫；	511: 子像素；
	13 : 像素结构；	52 : 数据线；
20	131: 子像素；	521: 数据线；
	21 : 短路杆；	522: 数据线；
	211: 测试垫；	523: 数据线；
	22 : 栅极短路杆；	524: 数据线；
	221: 测试垫；	525: 数据线；
25	23 : 虚线；	526: 数据线；
	31 : 短路杆；	53 : 短路杆；
	311: 测试垫；	531: 测试垫；
	32 : 数据线；	532: 短路杆；
	33 : 数据线；	533: 短路杆；
30	34 : 栅极短路杆；	534: 短路杆；
	341: 测试垫；	54 : 栅极线；

	35 : 栅极线;	541: 栅极线;
	36 : 栅极线;	542: 栅极线;
	41 : 短路杆;	55 : 栅极短路杆;
	411: 测试垫;	551: 测试垫;
5	42 : 数据线;	61 : 第一汇集短路杆;
	611: 测试垫;	823: 数据线;
	62 : 第二汇集短路杆;	824: 数据线;
	621: 测试垫;	825: 数据线;
	63 : 虚线;	83 : 短路杆;
10	71 : 像素结构;	831: 测试垫;
	711: 子像素;	84 : 栅极线;
	72 : 数据线;	841: 栅极线;
	721: 数据线;	842: 栅极线;
	722: 数据线;	85 : 栅极短路杆; 以及
15	723: 数据线;	851: 测试垫。
	724: 数据线;	73 : 短路杆;
	731: 测试垫;	74 : 栅极线;
	741: 栅极线;	742: 栅极线;
	75 : 栅极短路杆;	751: 测试垫;
20	81 : 像素结构;	811: 子像素;
	82 : 数据线;	821: 数据线;
	822: 数据线;	

具体实施方式

25 由于本发明的液晶显示器测试线路为为依据子像素数目而用以进行分组的概念, 在此仅举当子像素数目为 3 以及 4 时的实施例作为说明, 其余的子像素数目亦可依据本发明分组的概念而得以具体实施, 故即不予赘述。

请参阅图 5, 其为依据本发明的一种液晶显示器测试线路示意图, 其特别为子像素数目为 3 的实施例, 包含一基板、多个像素结构 51、多条数据线 52 以及 6 个短路杆 53, 其中基板可为一玻璃基板或为一可挠式基板, 而多个像素结构 51 形成于基板上, 且每一像素结构 51 具有 3 个子像素 511, 又多

- 条数据线 52 为形成于基板上，并对应连接于这些子像素 511，且 6 个短路杆 53 形成于该基板上，而该 6 个短路杆 53 分别连结至第 $(6 \times m) + 1$ 、 $(6 \times m) + 2$ 、 $(6 \times m) + 3$ 、 $(6 \times m) + 4$ 、 $(6 \times m) + 5$ 以及 $(6 \times m) + 6$ 条数据线 521、522、523、524、525、526，其中 m 为零或正整数。亦即将数据线以 6 为基数分成六组后连接至短路杆 53，其中第 1、7、13... 条数据线 521 为一组，第 2、8、14... 条数据线 522 为一组，第 3、9、15... 条数据线 523 为一组，第 4、10、16... 条数据线 524 为一组，第 5、11、17... 条数据线 525 为一组，以及第 6、12、18... 条数据线 526 为一组。又此液晶显示器测试线路更可包含多条栅极线 54 形成于基板上，并对应连接于这些子像素 511，且包含两条栅极短路杆 55 形成于该基板上，而该两个栅极短路杆 55 分别连结至奇数条的栅极线 541 及偶数条的栅极线 542。最后将短路杆 53 与栅极短路杆 55 的一端更分别连接至相对应的测试垫 531、551，以供测试装置的探测端接触进行测试。当进行测试时，测试装置可藉由多个探测端与相对应的测试垫 531、551 相接触后，输入测试信号至短路杆 53 以与栅极短路杆 55 以进行测试。
- 当欲进行液晶显示器制作时的晶胞段测试时，可将该 6 个短路杆 53 以 3 为基数进行分组，亦即第 1、4 个短路杆 532 为一组，第 2、5 个短路杆 533 为一组，而第 3、6 个短路杆 534 为一组。接着分别输入测试信号至各组的短路杆 53，由于短路杆 53 已以子画数的数目 3 再进行分组，亦即测试信号为同时输入至各组连结相同颜色子像素的短路杆 532、533、534，如此在检测上即可独立产生基本原色以利检测，此乃液晶显示器制作时的晶胞段测试的最有效率的测试方式。当欲进行液晶显示器制作时的阵列段测试时，可将该 6 个短路杆 53 为依排列的奇偶顺序分为 2 组，接着分别输入测试信号至各组的短路杆，如此即可检测出任相邻两条信号线短路的瑕疵，以进行最有效率的测试。
- 请一并参阅图 6，其为修改图 5 的液晶显示器测试线路示意图，其中更包含一第一汇集短路杆 61 以及一第二汇集短路杆 62 形成于基板上，且该 6 个短路杆 53 更依奇偶顺序分别连接至第一汇集短路杆 61 及第二汇集短路杆 62，又第一汇集短路杆 61 及第二汇集短路杆 62 的一端更可分别连接至相对应的测试垫 611、621，以供测试装置的探测端接触进行测试。由于该 6 个短路杆 53 已依排列的奇偶顺序分为 2 组，故进行阵列段测试时，只需分别输入测试信号至第一汇集短路杆 61 及第二汇集短路杆 62，即可检测出任相邻两

条信号线短路的瑕疵，以进行最有效率的测试。当测试完成后，利用现有的切割技术沿着虚线 63 将短路杆 53 与第一汇集短路杆 61 及第二汇集短路杆 62 分离，则可如前述的测试方法以进行晶胞段测试。

请参阅图 7，其为依据本发明的另一种液晶显示器测试线路示意图，其特别为子像素数目为 4 的实施例，包含一基板、多个像素结构 71、多条数据线 72 以及 4 个短路杆 73，其中基板可为一玻璃基板或为一可挠式基板，而多个像素结构 71 为形成于基板上，且每一像素结构 71 具有 4 个子像素 711，又多条数据线 72 为形成于基板上，并对应连接于这些子像素 711，且 4 个短路杆 73 为形成于该基板上，而该 4 个短路杆 73 为分别连结至第 $(4 \times m) + 1$ 、 $(4 \times m) + 2$ 、 $(4 \times m) + 3$ 以及 $(4 \times m) + 4$ 条数据线 721、722、723、724，其中 m 为零或正整数。亦即将数据线以 4 为基数分成四组后连接至短路杆 73，其中第 1、5、9... 条数据线 721 为一组，第 2、6、10... 条数据线 722 为一组，第 3、7、11... 条数据线 723 为一组，以及第 4、8、12... 条数据线 724 为一组。又此液晶显示器测试线路更可包含多条栅极线 74 形成于基板上，并对应连接于这些子像素 711，且包含两条栅极短路杆 75 形成于该基板上，而该两个栅极短路杆 75 分别连结至奇数条的栅极线 741 及偶数条的栅极线 742。最后将短路杆 73 与栅极短路杆 75 的一端更分别连接至相对应的测试垫 731、751，以供测试装置的探测端接触进行测试。当进行测试时，测试装置可藉由多个探测端与相对应的测试垫 731、751 相接触后，输入测试信号至短路杆 73 以与栅极短路杆 75 以进行测试。

当欲进行液晶显示器制作时的晶胞段测试时，可将该 4 个短路杆 73 以 4 为基数进行分组，亦即各个短路杆 73 自成一组。接着分别输入测试信号至各组的短路杆 73，由于短路杆 73 已以子画数的数目 4 再进行分组，亦即测试信号为同时输入至各组连结相同颜色子像素的短路杆，如此在检测上即可独立产生基本原色以利检测，此乃液晶显示器制作时的晶胞段测试的最有效率的测试方式。当欲进行液晶显示器制作时的阵列段测试时，可将该 4 个短路杆 73 为依排列的奇偶顺序分为 2 组，接着分别输入测试信号至各组的短路杆，如此即可检测出任相邻两条信号线短路的瑕疵，以进行最有效率的测试。

又此液晶显示器测试线路亦可同前述的稍加修改，将该 4 个短路杆 73 再依奇偶顺序分别连接至第一汇集短路杆及第二汇集短路杆，故即不再予赘述。

最后，再举一实施例以使本发明的另一次要提供的液晶显示器测试线路

方便说明, 由于子像素的个数 n 为奇数, 在此仅以 $n=5$ 为例, 当 $n=7、9、11...$ 时, 亦可套用此法则。请参阅图 8, 其为乃依据本发明的再一种液晶显示器测试线路示意图, 其特别为子像素数目为 5 的实施例, 包含一基板、多个像素结构 81、多条数据线 82 以及 5 个短路杆 83, 其中基板可为一玻璃基板或为一可挠式基板, 而多个像素结构 81 为形成于基板上, 且每一像素结构 81 具有 5 个子像素 811, 又多条数据线 82 形成于基板上, 并对应连接于这些子像素 811, 且 5 个短路杆 83 形成于该基板上, 而该 8 个短路杆 83 分别连结至第 $(5 \times m)+1、(5 \times m)+2、(5 \times m)+3、(5 \times m)+4$ 以及 $(5 \times m)+5$ 条数据线 821、822、823、824、825, 其中 m 为零或正整数。亦即将数据线以 5 为基数分成五组后连接至短路杆 83, 其中第 1、6、11... 条数据线 821 为一组, 第 2、7、12... 条数据线 822 为一组, 第 3、8、13... 条数据线 823 为一组, 第 4、9、14... 条数据线 824 为一组, 以及第 5、10、15... 条数据线 825 为一组。又此液晶显示器测试线路更可包含多条栅极线 84 形成于基板上, 并对应连接于这些子像素 811, 且包含两条栅极短路杆 85 形成于该基板上, 而该两个栅极短路杆 85 为分别连结至奇数条的栅极线 841 及偶数条的栅极线 842。最后将短路杆 83 与栅极短路杆 85 的一端更分别连接至相对应的测试垫 831、851, 以供测试装置的探测端接触进行测试。当进行测试时, 测试装置可藉由多个探测端与相对应的测试垫 831、851 相接触后, 输入测试信号至短路杆 83 以与栅极短路杆 85 以进行测试。

由上述的实施例说明, 利用本发明提供的一种液晶显示器测试线路, 可以同时有效地提升液晶显示器制作时阵列段及晶胞段的测试效率。虽然上述的实施例只以特定的子像素数目揭露, 但是本发明亦可广泛套用于任意子像素数目的液晶显示器测试线路。

虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何熟习此技艺者, 在不脱离本发明的精神和范围内, 当可作各种的更动与润饰, 因此本发明的保护范围当视后附的专利申请范围所界定者为准。

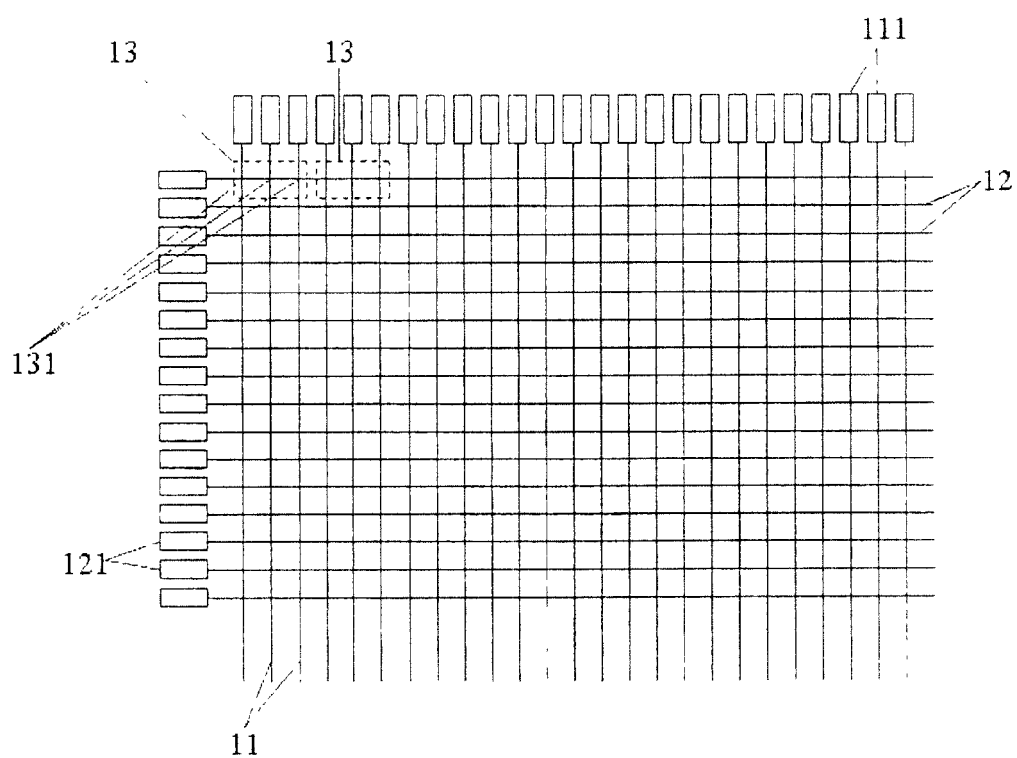


图 1

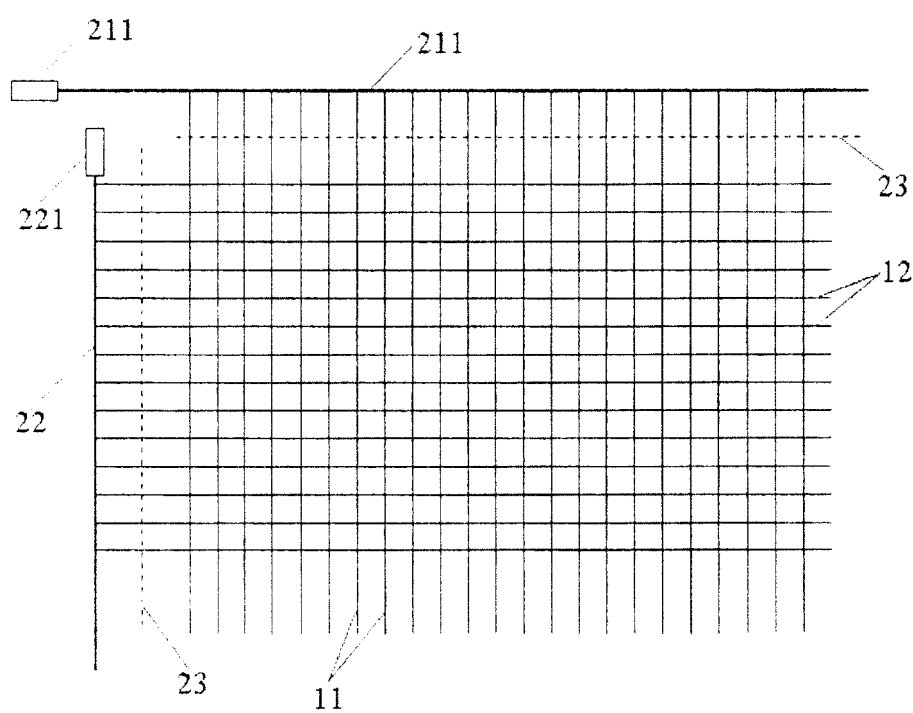


图 2

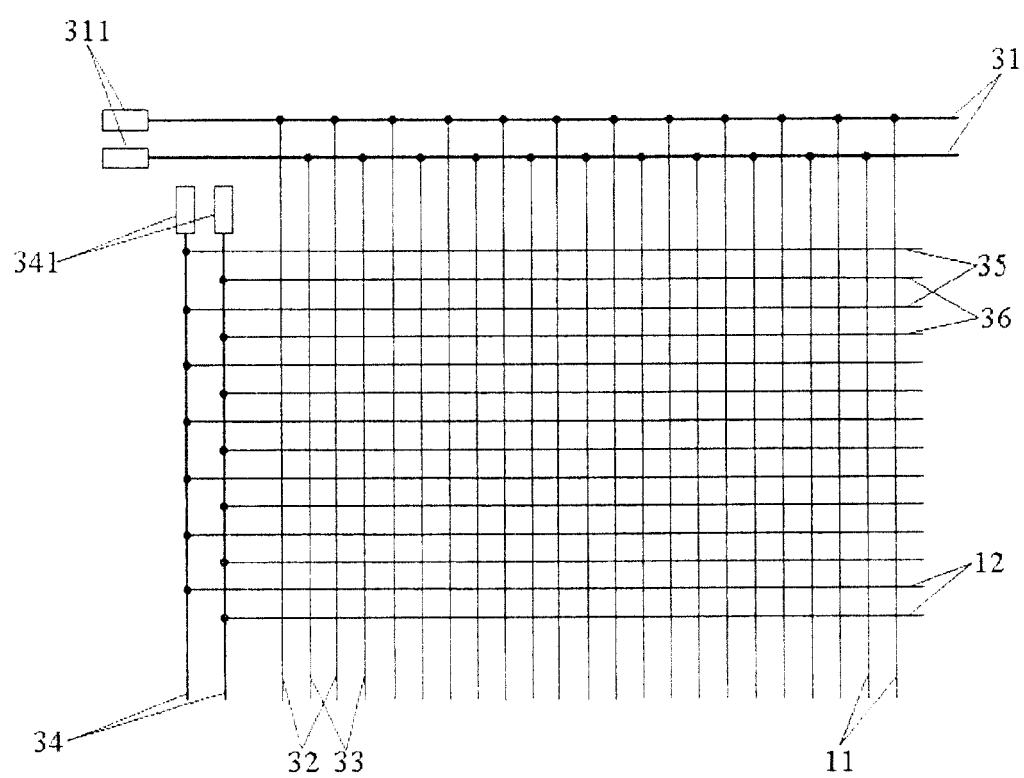


图 3

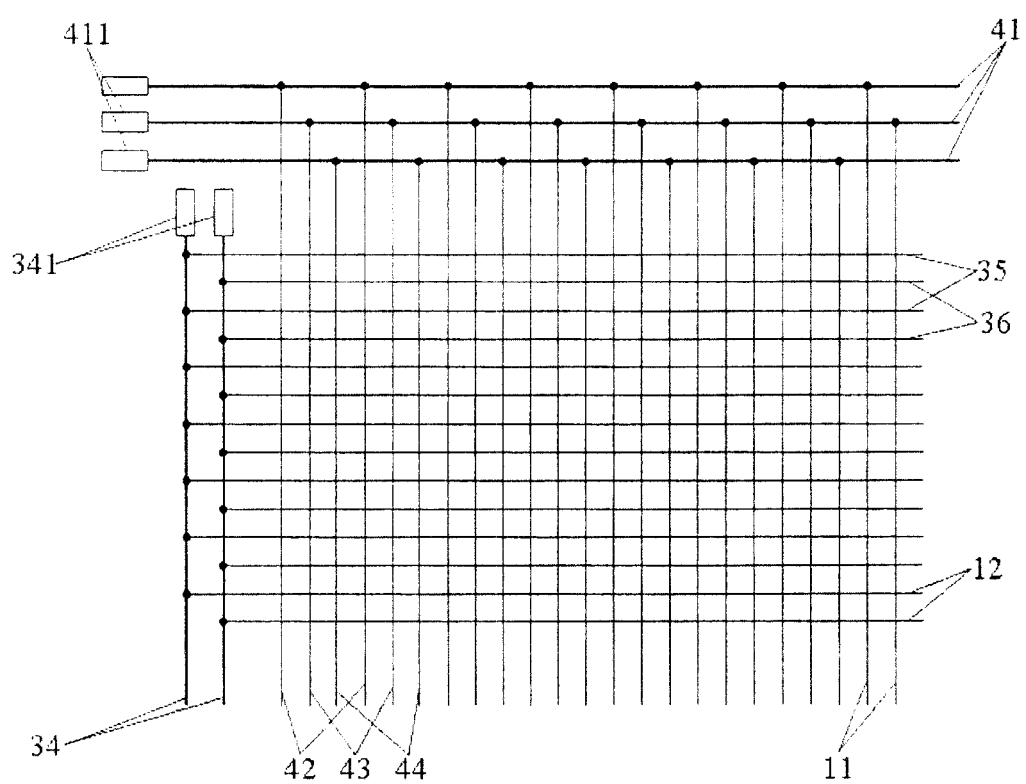


图 4

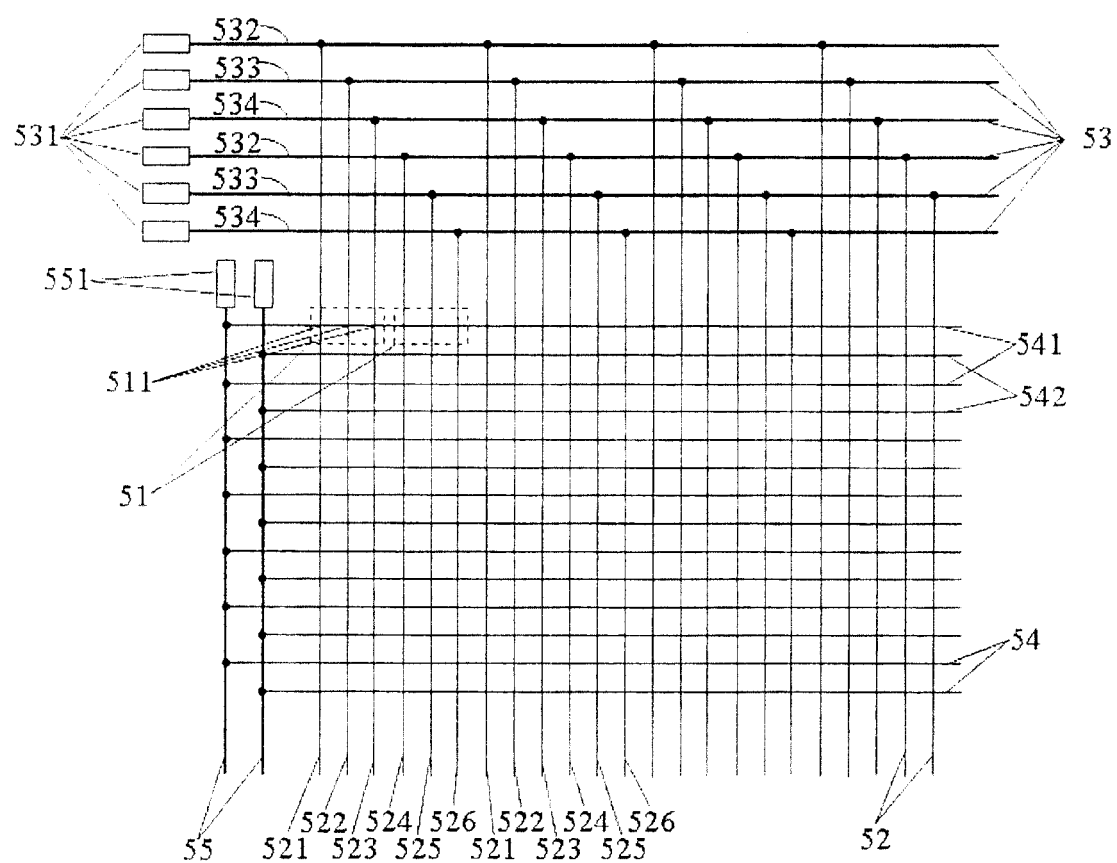


图 5

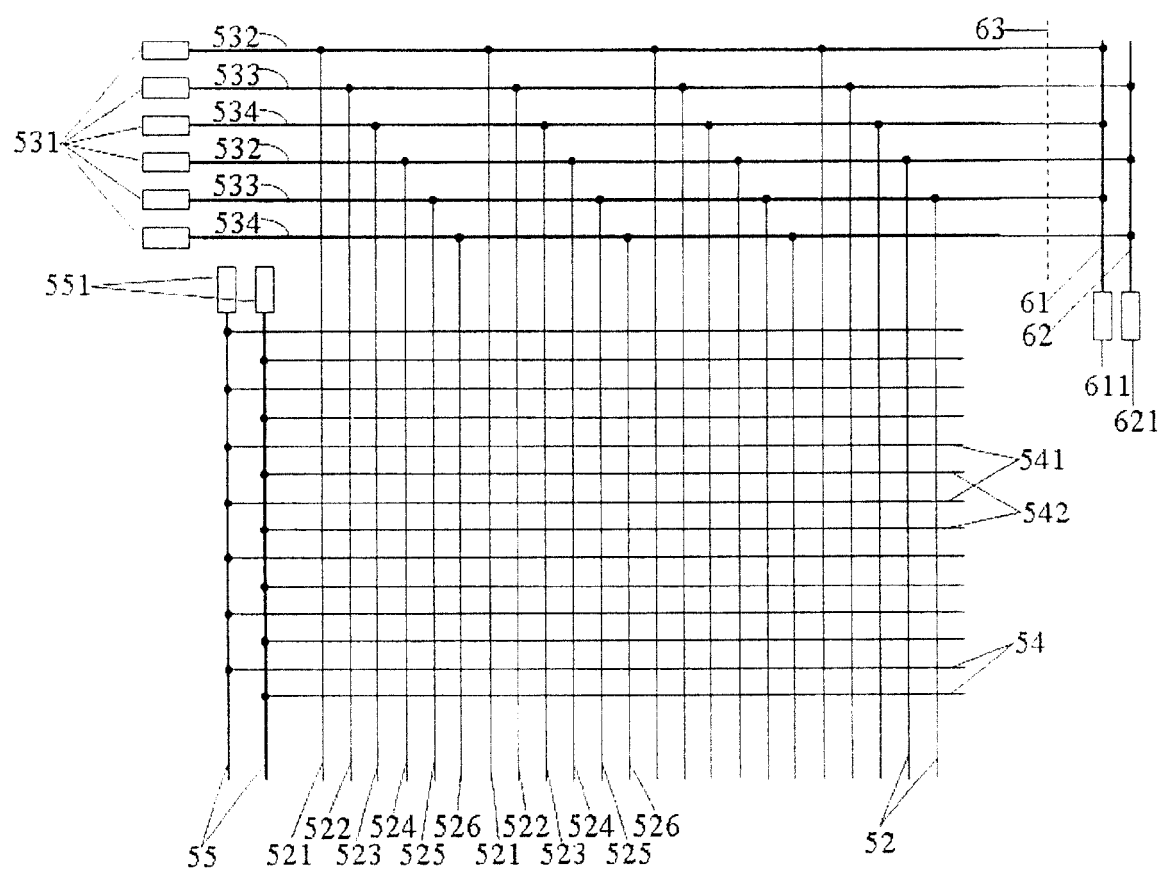


图 6

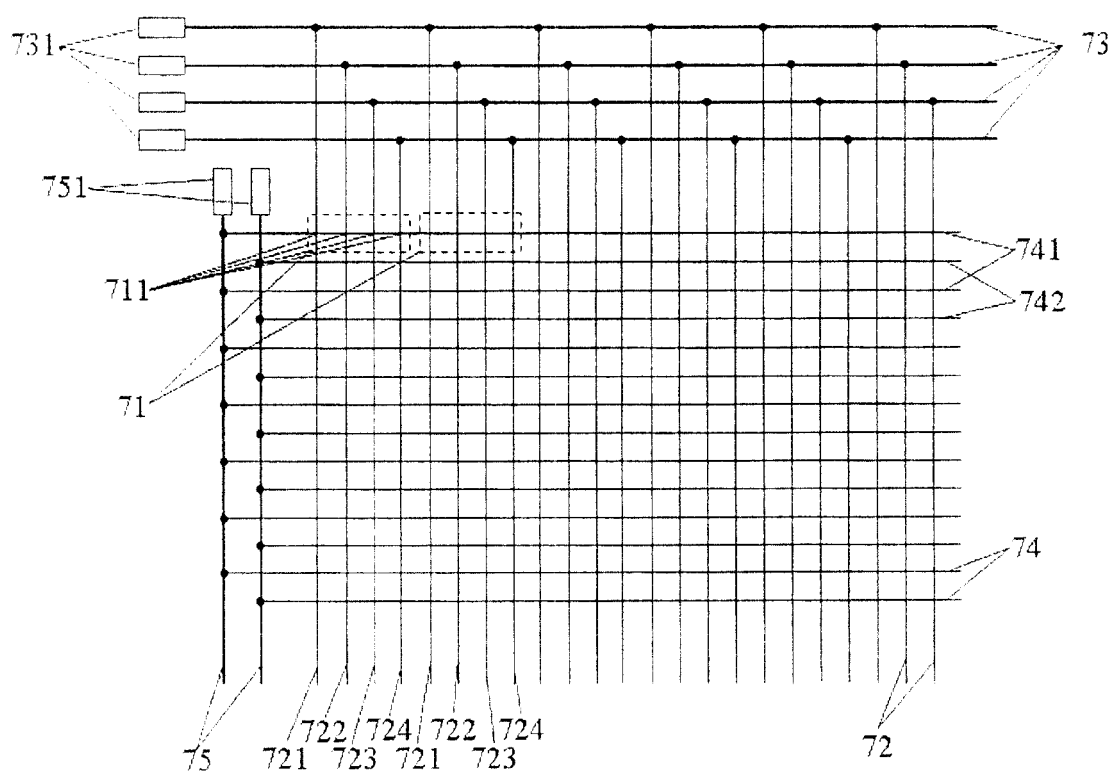


图 7

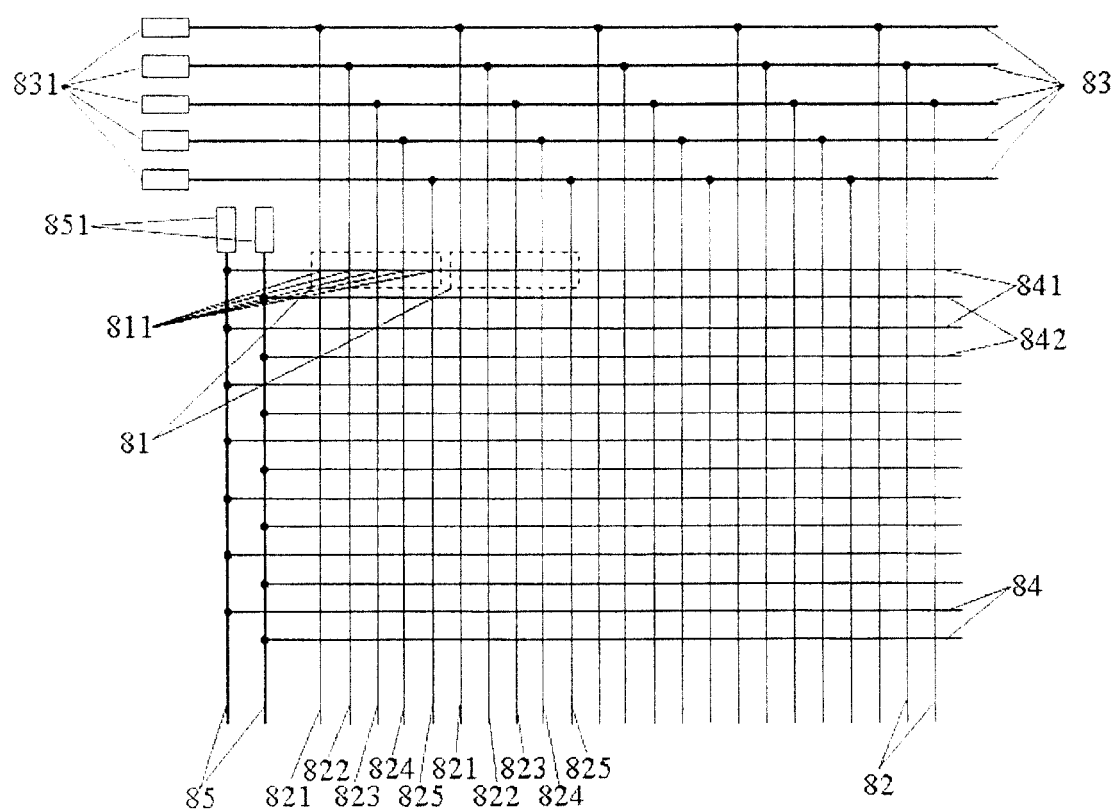


图 8

专利名称(译)	液晶显示器测试线路以及测试方法		
公开(公告)号	CN1710480A	公开(公告)日	2005-12-21
申请号	CN200510082050.X	申请日	2005-07-05
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	赖明升		
发明人	赖明升		
IPC分类号	G02F1/136		
代理人(译)	马莹		
其他公开文献	CN100547471C		
外部链接	Espacenet SIPO		

摘要(译)

本发明揭露一种液晶显示器测试线路以及测试方法，液晶显示器测试线路包括一基板、其上具有多个像素结构、多条数据线以及p个短路杆，其中，每一像素结构具有n个子像素，并对应连接于这些多条数据线，而p个短路杆则分别连结至第 $(p \times m) + 1$ 、 $(p \times m) + 2$ 、 $(p \times m) + 3 \dots$ 、 $(p \times m) + p$ 条数据线，当n为奇数时， $p = 2 \times n$ ，当n为偶数时， $p = n$ ，而m则为零或正整数。此外，该液晶显示器测试方法，是利用前述的液晶显示器测试线路，将该p个短路杆以n为基数进行分组，以及分别输入测试信号至各组短路杆以进行测试；亦可以将p个短路杆依排列的奇偶顺序分为2组，分别输入测试信号至各组短路杆以进行测试，如此可有效地提升液晶显示器阵列段及晶胞段的测试效率。

