



[12] 发明专利申请公开说明书

[21] 申请号 02816894.1

[43] 公开日 2004 年 11 月 24 日

[11] 公开号 CN 1549947A

[22] 申请日 2002.6.20 [21] 申请号 02816894.1
 [30] 优先权
 [32] 2002. 5.16 [33] KR [31] 2002/27105
 [86] 国际申请 PCT/KR2002/001175 2002. 6. 20
 [87] 国际公布 WO2003/098334 英 2003. 11. 27
 [85] 进入国家阶段日期 2004. 2. 27
 [71] 申请人 三星电子株式会社
 地址 韩国京畿道
 [72] 发明人 李昇祐

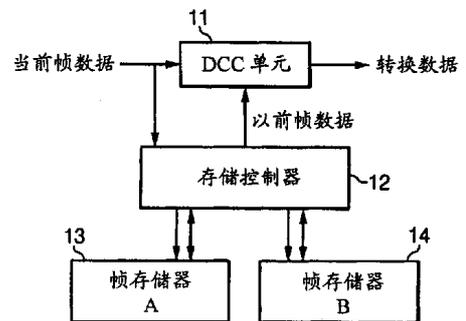
[74] 专利代理机构 北京康信知识产权代理有限责
 任公司
 代理人 余 刚 彭 焱

权利要求书 8 页 说明书 14 页 附图 9 页

[54] 发明名称 液晶显示器及用于驱动该液晶显示器的方法

[57] 摘要

本发明涉及一种使用动态电容补偿(“DCC”)的高分辨率双路输入模式液晶显示器。根据本发明实施例的液晶显示器包括:本发明的液晶显示器只对某些液晶屏的数据施用 DCC,更具体地说,只对一半像素施用 DCC。双路输入模式液晶显示器施用 DCC 只用两个帧存储器实现。此外,因为在定时控制器的帧存储器中用于数据处理所需的时钟频率优选与用于定时控制器的时钟频率相同,所以没有增加电磁干扰(EMI)。



1. 一种液晶显示器，包括：

液晶面板，包括设置在多条栅极线和多条数据线的交叉区域内的多个像素；

栅极驱动器，为顺次扫描所述液晶面板的所述栅极线提供信号；

源极驱动器，根据像素数据选择并输出给相应像素施加的灰度电压；以及

定时控制器，包括只对来自外部图形源的一部分所述图像数据施用动态电容补偿（以下称“DCC”）的 DCC 处理装置、将来自所述 DCC 处理装置的所述施加 DCC 的数据转化成具有适合于通过所述源极驱动器进行处理的格式的定时再分配单元、以及产生用于显示图像的控制信号的控制信号产生单元。

2. 根据权利要求 1 所述的液晶显示器，其特征在于，所述 DCC 处理装置在显示所述图像数据的液晶屏的奇像素行中只对用于奇像素的奇数据施用 DCC 并且在所述液晶屏的偶像素行中只对用于偶像素的偶数据施用 DCC。

3. 根据权利要求 1 所述的液晶显示器，其特征在于，所述 DCC 处理装置在显示所述图像数据的液晶屏的奇数行中只对用于偶像素的偶数据施用 DCC 并且在所述液晶屏的偶数行只对用于奇像素的奇数据施用 DCC。

4. 根据权利要求 2 所述的液晶显示器，其特征在于，所述 DCC 处理装置包括：

DCC 单元，在输入施用 DCC 的当前帧数据时比较所述当前帧数据和最以前帧数据，并且从查找表中选择相关数据以输出作为相应的转换数据；

旁路单元，在所述 DCC 施用期间延迟输入数据后输出所述输入数据；

分配器，在接收奇数据和偶数据后根据所述图像数据的行奇偶信息将所述奇数据和所述偶数据分配到所述 DCC 单元和所述旁路单元中的一个；

合成器，在接收通过所述 DCC 单元和所述旁路单元处理的数据后，根据所述图像数据的行奇偶信息选择所述 DCC 单元和所述旁路单元中的一个的输出，以输出作为转换偶数据和转换奇数据；

行计数器，计算所述液晶屏的每行以给所述分配器和所述合成器提供所述行奇偶信息；

两个帧存储器，分别储存所述当前帧数据和所述以前帧数据；以及

存储控制器，储存由所述两个帧存储器之一中的所述分配器给所述 DCC 单元提供的数据作为所述当前帧数据并且将储存在另一个所述帧存储器中的所述以前帧数据传送到所述 DCC 单元。

5. 根据权利要求 4 所述的液晶显示器，其特征在于，所述分配器包括两个多路调制器，在同时接收所述偶数据和所述奇数据后根据所述行奇偶信息选择所述偶数据和所述奇数据中的一个，而所述合成器包括两个多路调制器，在同时接收所述 DCC 单

元和所述旁路单元的输出后，根据所述行奇偶信息选择所述 DCC 单元和所述旁路单元的输出中的一个。

6. 根据权利要求 1 所述的液晶显示器，其特征在于，所述 DCC 处理装置只对在于相应对的两个行连续像素的各对奇数据和偶数据中的一个数据施用 DCC，在连续数据对中的所述施用 DCC 的数据的奇偶性彼此不同，并且沿着列方向施用 DCC 的数据的奇偶性至少以一行为单位变更。

7. 根据权利要求 6 所述的液晶显示器，其特征在于，所述 DCC 处理装置包括：

DCC 单元，在输入施用 DCC 的当前数据时通过比较所述当前帧数据和以前帧数据进行 DCC 转换；

旁路单元，在所述 DCC 转换期间延迟输入数据；

分配器，在接收所述数据后根据所述数据的行/列序数信息向所述 DCC 单元和所述旁路单元中的一个交替地分配所述数据对各数据；

合成器，在接收所述 DCC 单元和旁路单元处理的输出数据后，根据所述输出数据的行/列序数信息选择所述 DCC 单元和所述旁路单元中的一个的输出数据，以输出作为转换偶数据和转换奇数据；

行/列计数器，计算显示所述图像数据的液晶屏的行和列的序数，以提供给所述分配器和所述合成器所述行/列序数信息；

两个帧存储器，分别储存当前数据和以前数据；以及

存储控制器，储存由所述分配器提供到所述 DCC 单元的所述图像数据作为所述当前数据，并且将储存在另一个所述帧存储器中的所述以前数据传送到所述 DCC 单元。

8. 根据权利要求 7 所述的液晶显示器, 其特征在于, 所述行/列计数器计算显示输入的偶数据和奇数据的液晶屏的每行或多行。
9. 根据权利要求 7 所述的液晶显示器, 其特征在于, 所述分配器包括两个多路调制器, 同时接收所述偶数据和所述奇数据, 并根据所述行/列计数器的输出选择每对两个连续像素的所述偶数据和所述奇数据中的一个, 而所述合成器包括两个多路调制器, 同时接收所述 DCC 单元和所述旁路单元的输出, 并根据所述行/列计数器的输出选择所述 DCC 单元和所述旁路单元的输出中的一个。
10. 根据权利要求 1 所述的液晶显示器, 其特征在于, 所述 DCC 交替地施加给显示所述图像数据的液晶屏的两个连续像素对并以至少一行为单位改变交替顺序。
11. 根据权利要求 10 所述的液晶显示器, 其特征在于, 进行所述 DCC 处理装置的所述 DCC 处理, 以便在给另一个所述数据对施加所述 DCC 时, 延迟用于最初两个连续像素的一对数据中的一个, 对于邻接的两个连续像素的一对数据施用旁路而不对其施用所述 DCC, 并且在施用所述旁路时对于所述最初两个连续像素的所述数据对中的一个施用 DCC。
12. 根据权利要求 11 所述的液晶显示器, 其特征在于, 所述 DCC 处理装置包括:

DCC 单元, 在输入施用 DCC 的数据时, 通过比较当前数据和以前数据进行 DCC 转换;

旁路单元, 在所述 DCC 转换期间延迟所述输入数据;

分配器，接收包括奇数据和偶数据的像素数据，并根据所述数据的行/列序数信息，分配每对所述奇数据和所述偶数据给所述 DCC 单元和所述旁路单元中的一个；

合成器，接收通过所述 DCC 单元和所述旁路单元处理的数据并根据所述数据的行/列序数信息选择所述 DCC 单元和所述旁路单元中的一个的输出，以输出转换偶数据和转换奇数据；

第一行/列计数器，计算显示所述图像数据的液晶屏的行及列的序数以给所述分配器和所述合成器提供所述行/列序数信息；

第一延迟装置，连接于所述分配器和所述合成器之间，并且将来自所述分配器的每对所述数据中的一个延迟预定时间；

第一多路调制器，根据行/列序数信息顺次选择并提供用于所述 DCC 单元的另外的各对数据和所述第一延迟装置的输出；

第二延迟装置，连接于所述 DCC 单元和所述合成器之间并且延迟用于所述 DCC 单元的另外的各对数据而没有时间延迟；

第二多路调制器，根据行/列序数信息选择向所述第二延迟装置传送哪一个来自所述 DCC 单元的各对数据；

第二行/列计数器，计算显示所述图像数据的液晶屏的行及列的序数以向所述第一和第二多路调制器提供各对数据的行/列序数信息；

两个帧存储器，分别储存当前帧数据和以前帧数据；以及

存储控制器，将由所述分配器提供给所述 DCC 单元的数据作为当前帧数据储存到所述两个帧存储器中的一个，并将储存在另一个所述帧存储器中的以前帧数据传送到所述 DCC 单元。

13. 根据权利要求 12 所述的液晶显示器，其特征在于，所述第一行/列计数器以显示所述输入的偶数据和奇数据的液晶屏的一行或多行为单位进行计算。
14. 根据权利要求 12 所述的液晶显示器，其特征在于，所述分配器包括多路调制器，同时接收所述偶数据和所述奇数据，根据所述第一行/列计数器的输出给所述旁路单元和所述 DCC 单元中的一个分配各对数据，而所述合成器包括多路调制器，同时接收所述 DCC 单元和所述旁路单元的输出，并且根据所述第一行/列计数器的输出选择所述 DCC 单元和所述旁路单元的输出中的一个。
15. 一种用于驱动液晶显示器的方法，接收来自外部图形源的图像数据，在显示所述图像数据的液晶屏的奇数行只对奇数据施用 DCC，在偶数行只对偶数据施用 DCC，所述方法包括以下步骤：

在接收所述奇数据和所述偶数据并根据所述数据的行序数信息决定对所述奇数据和所述偶数据是否施用 DCC 后，分配所述图像数据的所述奇数据和所述偶数据；

在所述当前帧数据输入时通过比较当前帧数据和以前帧数据，DCC 转换确定施用 DCC 的当前帧数据并且在查找表上输出相应转换数据；

将决定不施用 DCC 的当前帧数据延迟预定时间；以及

在接收所述 DCC 转换数据和所述延迟数据后，根据所述数据行序数信息将所述 DCC 转换数据和所述延迟数据合成为转换偶数据和转换奇数据。

16. 一种用于驱动液晶显示器的方法，接收包括来自外部图形源的多对偶数据和奇数据的图像数据，并且在由显示所述图像数据的液晶屏相应行的两个连续像素中只对一个施用 DCC，通过至少以一行为单位改变所述变更顺序，所述方法包括以下步骤：

在接收所述奇数据和所述偶数据并且根据所述数据的行/列序数信息决定对两个连续像素的所述奇数据和所述偶数据是否施用 DCC 后，分配所述图像数据的所述奇数据和所述偶数据；

在所述当前帧数据输入时通过比较当前帧数据和以前帧数据 DCC 转换确定施用 DCC 的当前帧数据并且在查找表上输出相应的转换数据；

将决定不施用 DCC 的数据延迟预定时间；以及

在接收施用所述 DCC 的输出数据和所述延迟数据后，根据所述数据的行/列序数信息将所述施用 DCC 的数据和所述延迟数据合成为转换偶数据和转换奇数据。

17. 一种用于驱动液晶显示器的方法，接收包括来自外部图形源的多对偶数据和奇数据的图像数据，并且以由显示所述图像数据的液晶屏的一对两个连续像素为单位交替地施用 DCC，至少以一行为单位变更交替顺序，所述方法包括以下步骤：

在接收奇数据和偶数据并根据所述数据的行/列序数信息决定是否施用 DCC 后，分配各对所述奇数据和所述偶数据；

通过给各对数据的当前帧数据连续施加 DCC，进行 DCC 转换确定施用 DCC 的所述当前帧数据，同时在所述当前帧数

据输入时延迟各数据对的所述当前帧数据中的一个,其中所述 DCC 施用包括比较所述当前帧数据和以前帧数据以及输出查找表中相应的转换数据;

在施用 DCC 期间将决定不施用 DCC 的数据延迟;

在所述 DCC 转换中将无时间延迟的施用 DCC 的数据延迟预定时间; 以及

根据行/列序数信息将所述 DCC 转换数据和没有 DCC 转换的所述延迟数据合成为转换偶数据和转换奇数据。

液晶显示器及用于驱动该液晶显示器的方法

技术领域

本发明涉及一种液晶显示器，更具体地涉及一种使用动态电容补偿（“DCC”）的高分辨率双路输入模式液晶显示器。

背景技术

最近几年中，随着个人电脑或电视变轻质和变薄，需要轻且薄的显示器。因此，开发了可满足这种需求的诸如液晶显示器这样的平板显示器并且替代阴极射线管（“CRTs”）逐渐应用在各个领域。

在两个面板之间，典型的液晶显示器通过给具有介电各向异性的液晶层施加电场并且通过调节该电场强度以控制面板上入射光的透过比，显示所需要的图像。

目前，这种液晶显示器的使用不限于笔记本式电脑，其使用已逐渐扩大到台式电脑。现在电脑使用者具有在发达的多媒体环境中利用电脑欣赏动画片的愿望，为了满足这种愿望，需要提高液晶显示器的响应速度。

用于提高液晶显示器响应速度这种技术的已知例子是动态电容补偿（dynamic capacitance compensation）（以下称作“DCC”）。现在，将对 DCC 进行详细说明。

该 DCC 通过比较在以前帧和当前帧中的像素灰度值并将大于两灰度值之差的预定值加到以前帧的灰度值上来处理 RGB 数据。

一般一帧持续时间为 16.7msec (毫秒)。因为任意一个像素向液晶材料两端施加电压时液晶材料响应需要时间, 所以为了显示所需要的灰度必然发生时间的延迟。对于给定灰度 (gray) 而言, 该 DCC 通过给像素施加比预定电压大的电压使该时间延迟变得最小。

图 1 示出了传统单路输入模式液晶显示器的典型 DCC 处理装置, 其内置在液晶显示器的定时控制器内。

如图 1 所示出的装置, 其位于液晶显示器的定时控制器内, 并且是数据处理单元的一部分。单路输入模式是指每一个时钟同步传送一个数据, 而双路输入模式是指每一个时钟同步传送两个数据。双路输入模式具有比单路输入模式减少 1/2 时钟同步频率的优点。因此, 对于一个时钟而言, 双路输入模式同时传送奇数图像数据和偶数图像数据。

参照图 1, 该 DCC 处理装置包括 DCC 单元 11、存储控制器 12、以及两个帧存储器 13 和 14。

该 DCC 单元 11 接收来自外部图形源的当前帧数据和由存储控制器 12 储存在帧存储器 14 中的以前帧数据。该 DCC 单元 11 比较当前帧数据和以前帧数据, 并根据其比较结果在内置的查找表 (look-up table) (“LUT”) 中选择输出 DCC 转换数据。在该查找表中给定用于当前帧数据和以前帧数据的最佳 DCC 数据。在存储控制器 12 的控制下, 将当前帧数据储存到帧存储器 13 中。如上所述, 施用 DCC 的传统单路输入模式液晶显示器需要用于分别储存当前帧数据和以前帧数据的两个帧存储器。通常, 具有诸如 VGA 或 WXGA 等级分辨率这样的低分辨率的液晶显示器使用单路输入模式, 但具有等于或高于 SXGA 等级分辨率的高分辨率液晶显示器, 其具有数目增加的数据线, 因此需要用于数据处理的高时钟频率, 在这种情况下使用双路输入模式。

图 2 示出了双路输入模式液晶显示器的典型 DCC 处理装置，其内置在液晶显示器的定时控制器内。

如图 2 所示的 DCC 处理装置包括分别用于处理偶数据和奇数据的两个单元，每个单元的结构与图 1 所示的 DCC 处理装置基本相同。即，为了处理当前帧偶数据，使用了 DCC 单元 21、存储控制器 22、帧存储器 23、以及帧存储器 24，而为了处理当前帧奇数据，使用了 DCC 单元 31、存储控制器 32、帧存储器 33、以及帧存储器 34。

如图 2 所示，在双路输入模式液晶显示器上使用 DCC 时需要四个帧存储器，因而存在增加帧存储器数目的问题。为了解决处理数据必需的这种帧存储器数目增加的问题，建议高分辨率液晶显示器使用单路输入模式，同时其定时控制器提高数据处理的时钟同步频率。然而，这种方法在数据处理时因高频率发生电磁干扰 (EMI) 问题，为了解决电磁干扰，需要在定时控制器和帧存储器之间加设滤波器。安装定时控制器的印刷电路板面积会变大，还会造成产品成本上升。

发明内容

本发明是在上述技术背景下设计的，本发明的目的是提供一种使用动态电容补偿 (DCC) 的高分辨率双路输入模式液晶显示器，该 DCC 使用与传统单路输入模式液晶显示器相同数目的帧存储器，通过给所有像素的一半施用 DCC 形成由预定方式确定的液晶屏 (liquid crystal screen)，同时不增加用于数据处理的时钟频率 (clock frequency)。

提供了一种根据本发明实施例的液晶显示器，该液晶显示器包括：液晶面板，包括设置在多条栅极线和多条数据线的交叉区域内的多个像素；栅极驱动器，为顺次扫描液晶面板的栅极线提供信号；

源极驱动器，根据像素数据选择并输出给相应像素施加的灰度电压；以及定时控制器，包括只对来自外部图形源的一部分图像数据施用动态电容补偿（以下称“DCC”）的 DCC 处理装置、将来自 DCC 处理装置的施加 DCC 的数据转化成具有适合于通过源极驱动器进行处理的格式的定时再分配单元、以及产生用于显示图像的控制信号的控制信号产生单元。

根据本发明实施例的只使用两个存储器的 DCC 通过只给某些液晶屏施用 DCC，更具体地说，只对一半像素施用 DCC，即可容易地用于双路输入模式液晶显示器。

此外，因为在定时控制器的帧存储器中用于数据处理所需的时钟频率优选与用于定时控制器的时钟频率相同，所以没有增加电磁干扰（EMI）。

根据本发明的特点，提供各种用于给液晶屏的一半像素施用 DCC 的像素排列（pixel arrangements）。

参照下列的详细描述，本发明更全面的评价及其许多伴随的优点将变得显而易见，同时变得更易于理解。

附图说明

图 1 示出了一种使用 DCC 的典型的传统单路输入模式液晶显示器；

图 2 示出了一种使用 DCC 的典型的传统单路输入模式液晶显示器；

图 3 示出了根据本发明实施例的液晶显示器的整体结构；

图 4 示出了根据本发明第一实施例的像素排列；

图 5 示出了用于说明本发明原理的亮度曲线;

图 6 示出了根据本发明第一实施例的液晶显示器的 DCC 处理装置的详细结构;

图 7A 及图 7B 分别示出了根据本发明第二实施例的像素排列;

图 8 示出了实现根据本发明第二实施例的液晶显示器的 DCC 处理装置的详细结构;

图 9A 及图 9B 分别示出了根据本发明第三实施例的像素排列;

图 10 示出了本发明第三实施例中的数据输入和输出关系;

图 11 示出了本发明第三实施例中的数据处理步骤;

图 12 示出了根据本发明第三实施例的液晶显示器的 DCC 处理装置的详细结构; 以及

图 13A 及图 13B 分别示出了根据本发明第四实施例的像素排列。

表示主要元件的附图标号说明

611、612、651、和 652: 多路调制器	621: 旁路单元
631: DCC 单元	641: 线计数器
661: 存储控制器	671 和 672: 帧存储器

具体实施方式

下面，参照附图更为详细地说明本发明的优选实施例。

图3示出了根据本发明实施例的液晶显示器的整体结构。

如图3所示，根据本发明的液晶显示器包括液晶面板组合件1、栅极驱动器2、源极驱动器3、电压发生器4、以及定时控制器5。

虽然没有在图3中详细地示出，但该液晶面板组合件1包括相互交叉的多条栅极线及多条数据线、以及设置在栅极线和数据线交叉区域的多个像素。当栅极线顺次扫描时通过数据线给像素施加用于显示图像的模拟电压。

该定时控制器5包括DCC处理装置51、定时再分配单元52、以及控制信号产生单元53。从外部图形源向该定时控制器5输入RGB数据、数据启动信号DE、同步信号SYNC、以及时钟信号CLK。将该RGB数据输入到定时控制器5的DCC处理装置51上以进行DCC转换。定时再分配单元52将DCC转换的数据转换成适合于提供给源极驱动器3的格式。同时，在控制信号产生单元53中产生利用上述数据启动信号DE、同步信号SYNC、以及时钟信号CLK控制显示动作的各种控制信号，这些控制信号再传送到液晶显示器的适当部件上。

该电压发生器4产生用于扫描栅极线的栅极开/关电压并输出到栅极驱动器2上，并且将模拟电压输出到灰度电压发生器（未示出）。源极驱动器3根据定时控制器5传送的RGB数据选择与其相匹配的灰度电压施加到液晶面板组合件1上。

根据本发明的实施例，不是给液晶显示器的全部像素使用 DCC，而是对预定的一半像素施用 DCC。本发明第一至第四实施例具有不同的施用 DCC 的像素排列。

首先，将参照图 4 至图 6 说明本发明的第一实施例。

图 4 示出了根据本发明第一实施例的像素排列，图 5 示出了根据本发明用于施用 DCC 的像素及普通像素的平均亮度曲线，而图 6 示出了根据本发明第一实施例的液晶显示器的 DCC 处理装置的详细结构。

参照图 4，本发明第一实施例采用了 1×1 （像素）施用 DCC。具体地说，在奇数行中只对奇数据施用 DCC，而在偶数行中只对偶数据施用 DCC。因此，双路输入模式液晶显示器，当将 RGB 数据中的奇数据和偶数据同时输入到定时控制器时，可以对奇数据和偶数据当中一个使用 DCC。

因此，本发明的具体实施例具有如下优点：

第一，由于定时控制器只对奇数据和偶数据中的一个施用 DCC，因此即使在双路输入模式液晶显示器中施用 DCC，也与单路输入模式液晶显示器一样只需要两个帧存储器。

第二，用于通过定时控制器的帧存储器传送 RGB 数据的时钟频率可以与液晶显示器的主时钟频率相同。

第三，由于只对所有 RGB 数据的一半施用 DCC，被储存到帧存储器中的数据依次减少一半，因此帧存储器所需要的容量减少了一半。

如图 5 所示, 本发明不是对所有图像数据施用 DCC, 而是对 1/2 图像数据施用 DCC, 从而根据施用 DCC 的像素和普通像素的平均响应速度显示图像。

在对于传统单路输入模式液晶显示器施用 DCC 时, 通过适当选择比查找表中的值更大的值可以调节平均亮度曲线的所需要水平。即, 在具有传统单路输入模式液晶显示器中对所有像素施用 DCC 得到了与图 5 所示基本一样的平均亮度曲线, 尽管只对图像数据的一半施用 DCC, 但本发明的实施例可以通过适当选择用于施用 DCC 的查找表中的值获得相同的效果。

下面, 参照图 6 说明根据本发明第一实施例的液晶显示器的 DCC 处理装置。参照图 4 的如上描述, 在本发明第一实施例中, 在奇数行中只对奇数据施用 DCC, 在偶数行中只对偶数据施用 DCC。

如图 6 所示, 根据本发明第一实施例的 DCC 处理装置包括: 两个多路调制器 611 和 612, 同时接收奇数据和偶数据并且根据是否施用 DCC 来分配该奇数据和偶数据; 旁路单元 621, 连接于多路调制器 611 的输出端; DCC 单元 631, 连接于多路调制器 612 的输出端; 两个多路调制器 651 和 652, 同时接收旁路单元 621 和 DCC 单元 631 的输出并合成为转换奇数据和转换偶数据; 存储控制器 661, 接收多路调制器 612 的输出并给 DCC 单元 631 提供以前帧数据; 两个帧存储器 671 和 672, 可拆卸地连接于存储控制器 661 并且分别存储施用 DCC 的当前帧数据和施用 DCC 的以前帧数据; 以及行计数器 641, 用于控制多路调制器 611、612、651、和 652。

操作开始后, RGB 数据输入到定时控制器并到达根据本发明第一实施例的 DCC 处理装置。该 RGB 数据包括当前帧的偶数据和奇数据。在下文中, 偶数据表示在各像素行中用于偶像素的数据, 而奇数据表示在各像素行中用于奇像素的数据。

当前偶数据和当前奇数据同时提供给各多路调制器 611 或 612。多路调制器 611 和 612 分别根据可告知数据的行奇偶性的行计数器 641 的输出，即，提供关于数据与偶数行相关还是与奇数行相关的奇偶信息，选择偶数据和奇数据其中的一个。如上所述，在本发明第一实施例中只对奇数行的奇数据和偶数行的偶数据施用 DCC。因此，当前帧数据为奇数行时，奇数据输入到 DCC 单元 631，而偶数据输入到旁路单元 621 上。与此相反，当前帧数据与偶数行相关时，偶数据输入到 DCC 单元 631，而奇数据输入到旁路单元 621。在当前帧数据中，多路调制器 611 选择输入到旁路单元 621 的数据，而多路调制器 612 选择输入到 DCC 单元 631 的数据。

旁路单元 621 在 DCC 单元 631 中进行 DCC 处理期间暂时延迟数据。多路调制器 612 输出的数据不仅输入到 DCC 单元 631，而且通过存储控制器 661 储存到帧存储器 671 中。同时，在存储控制器 661 的控制下，将储存在帧存储器 672 中的以前帧的施用 DCC 的数据传送到 DCC 单元 631。将储存在帧存储器 671 中的数据通过存储控制器 661 每个帧都移送到帧存储器 672 上。DCC 单元 631 接收当前帧数据和以前帧数据以进行 DCC。DCC 转换值为预定值用于根据当前帧数据和以前帧数据来最大限度地提高液晶的响应速度。

提供连接旁路单元 621 和 DCC 单元 631 的多路调制器 621 用于将施用 DCC 的数据和旁路数据重新排列成偶数据和奇数据。例如，对于如图 4 所示结构的第一行，当前帧的奇数据通过 DCC 单元 631 施用 DCC，而将当前帧的偶数据通过旁路单元 621 延迟预定时间。在接收 DCC 单元 631 和旁路单元 621 的输出后，多路调制器 651 选择旁路单元 621 的输出以输出作为转换偶数据。与之相反，多路调制器 652 接收 DCC 单元 631 和旁路单元 621 的输出并选择 DCC 单元 631 的输出以输出作为转换奇数据。多路调制器 651 和 652 的选择取决于来自行计数器 641 的数据的行奇偶信息。如图 4 所示，在像素排列中的用于第二行的数据中，偶数据通过 DCC 单

元 631 进行 DCC，而奇数据通过旁路单元 621 延迟预定时间。多路调制器 651 选择 DCC 单元 631 的输出以输出作为转换偶数据，而多路调制器 652 选择旁路单元 621 的输出以输出作为转换奇数据。

结果，根据第一实施例的 DCC 处理装置只对全部图像数据的一半施用 DCC，使用两个帧存储器，从而可以在等于或高于 SXGA 分辨率才能适用的双路输入模式液晶显示器上施用 DCC。根据第一实施例的 DCC 处理装置使用与单路输入模式的时钟频率相同的频率，不增加电磁干扰。上述技术特征可以通过简单结构的多路调制器、行计数器、以及旁路单元来实现。

下面，参照图 7 及图 8 说明根据本发明第二实施例的 DCC 处理装置。

图 7A 及图 7B 示出了根据本发明第二实施例的像素排列，而图 8 示出了根据本发明第二实施例液晶显示器的 DCC 处理装置的详细结构。

参照图 7A，本发明第二实施例采用了 2×1 (像素) 施用 DCC。例如，在用于第一行的一对两个相邻像素中只对偶数据施用 DCC，而在用于第二行的一对两个相邻像素中只对奇数据施用 DCC。当然，与其相反情况也能适用它是显而易见的。在本发明的第二实施例中，在两个相邻像素对中交替地选择偶数据或奇数据，并且，若换行则选择顺序也改变。可以看出是对所有像素的一半施用 DCC。

图 7B 示出采用 2×2 (像素) 施用 DCC。对于本领域技术人员来说，通过简单的设计变更而改变具有相同选择规律的行数是显而易见的。

图 8 示出了根据本发明第二实施例的 DCC 处理装置。

参照图 8,根据本发明第二实施例的 DCC 处理装置与第一实施例的 DCC 处理装置不同之处在于,它不具有行计数器而具有行/列(row/column)计数器 841。即,行/列计数器 841 检测出当前数据的相应行和相应列的序数(ordinals),并且根据行/列计数器 841 的输出进行多路调制器 812、851、和 852 的选择。

作为实施例,在如图 7A 所示的像素排列中,行/列计数器 841 计算各行和计算像素行中的各对两个连续像素中的两个像素。多路调制器 811 和 812 根据行/列计数器 841 的计算信息交替地选择用于连续两个像素对的奇数据和偶数据,以将用于连续两个像素的数据交替地分配给旁路单元 821 和 DCC 单元 831。更具体地说,根据通过行/列计数器 841 计算的如图 7A 所示的最初两个像素,奇数据通过多路调制器 811 选择并传送到旁路单元 821,而偶数据通过多路调制器 812 选择并传送到 DCC 单元 831。对于邻接的两个像素,奇数据通过多路调制器 812 选择并传送到 DCC 单元 831,而偶数据通过多路调制器 811 选择并传送到旁路单元 821。在输出端,两个多路调制器 851 和 852 根据来自行/列计数器 841 的计算信息选择旁路单元 821 和 DCC 单元 831 的输出以重新配置帧数据。就如图 7A 所示的上述像素排列而言,用于最初两个像素的奇数据通过旁路单元 821 处理,而偶数据通过 DCC 单元 831 处理。因此,根据行/列计数器的计算信息,多路调制器 851 选择 DCC 单元 831 的输出并输出转换偶数据,而多路调制器 852 选择旁路单元 821 的输出并输出转换奇数据。

如图 7B 所示的像素排列通过对图 7A 所示的像素排列以每两行施用 DCC 就可以实现。因此,在图 8 所示的 DCC 处理装置的行/列计数器 841 以每两行为单位进行计算,而基于其上控制多路调制器 811、812、851、和 852 的选择。

如图 8 所示的 DCC 处理装置的其它部件，其具有与根据第一实施例的 DCC 处理装置基本相同的功能和连接关系。

上述的第二实施例提供了对全部像素的一半施用 DCC 的另一实施例。

下面，参照图 9 至图 12 说明根据本发明第三实施例的 DCC 处理装置。

图 9A 及图 9B 分别示出了根据本发明第三实施例的像素排列，图 10 示出了根据本发明第三实施例的数据输入/输出关系，图 11 示出了根据本发明第三实施例的数据处理步骤，而图 12 示出了根据本发明第三实施例的典型 DCC 处理装置的详细结构。

本发明的第三实施例，给两个连续像素对交替地施用 DCC。如前面所述，本发明涉及一种具有等于或高于 SXGA 等级的高分辨率双路输入模式液晶显示器产品，并且同时给输入的偶数据和奇数据施用 DCC。由于给连续两个像素对反复交替地施用 DCC，一旦最初两个像素施用 DCC，则对邻接的两个像素不施用 DCC。因此，本发明的第三实施例，延迟了施用 DCC 的两个像素数据中一个，而当输入用于邻接的两个像素（其不施用 DCC）的像素数据时对上述延迟像素数据进行 DCC。

图 9A 所示的像素排列表示给两个连续的像素对和像素行交替地施用 DCC。例如，给第一行中的最初两个像素施用 DCC，而下一行中的最初两个像素不施用 DCC。图 9B 所示的像素排列表示给两个连续行对交替地施用 DCC。

图 10 示出了图 9A 所示的用于第一行的输入数据和输出数据之间的关系。图 10 所示的标号表示像素的序数（位置 ordinals）。参照图 10，对第一、第二、第五、和第六输入数据施用 DCC。图 11

示出了用于获得图 10 所示的输出数据的数据处理步骤。在图 11 中，假定两个时钟用于施用 DCC。

参照图 11，对同时输入的第一和第二像素数据施用 DCC。首先，对第一像素数据施用 DCC，同时对第二像素数据延迟一个时钟同步后施用 DCC。因为对用于第三和第四像素的数据不施用 DCC，所以这是可能的。将用于第一和第二像素的数据处理步骤同样地施加给用于第五和第六像素的数据。

图 12 示出了根据本发明第三实施例的 DCC 处理装置的详细结构。

如图 12 所示，根据本发明第三实施例的 DCC 处理装置主要包括旁路单元 931、DCC 单元 934、存储控制器 961、以及两个帧存储器 971 和 972。

在输入端设置多路调制器 911，将偶数据和奇数据分配给旁路单元 931 和 DCC 单元 934 中的一个，并且行/列计数器 912 提供每对像素的行/列计算信息，以便多路调制器 911 选择两个像素数据对。与此类似，在输出端设置多路调制器 951，其重新配置 (reconfigures) 旁路单元 931 和 DCC 单元 934 的输出作为转换偶数据和转换奇数据。行/列计数器 952 提供两个像素对的行/列计算信息以控制多路调制器 951 的选择。在图 9A 所示的像素排列中以一行为单位交替地施用 DCC，而图 9B 所示的像素排列以相邻的两行为单位交替地施用 DCC。以一行或两行为单位进行顺序的变化通过变更行/列计数器 912 和 952 的内部设定可容易地实现。

同时，多路调制器 911 的输出通过多路调制器 933 提供给 DCC 单元 934。通过延迟装置 921 延迟一时钟同步后两个输出中的一个提供给多路调制器 933，而另外一个直接输入到多路调制器 933。多路调制器 933 根据来自行/列计数器 932 的行/列计算信息，首先

选择未延迟的输入以提供给 DCC 单元 934，然后，选择延迟一个时钟同步的输入以提供给 DCC 单元 934。行/列计数器 (row/column counter) 932 提供决定施用 DCC 的两个像素中对哪个先施用 DCC 的行/列计算信息。与此类似，在 DCC 单元 934 的输出端，首先施用 DCC 的像素数据通过数据延迟装置 941 延迟一个时钟同步 (clock)。因此，多路调制器 935 选择首先施用 DCC 的像素数据以提供给延迟装置 941。除了上述说明之外，其它部件均具有与第一实施例基本相同的结构和操作。

下面，将参照图 13 说明本发明的第四实施例。

图 13A 及图 13B 示出了根据本发明第四实施例的像素排列。第四实施例的像素排列混合了第二实施例和第三实施例的像素排列。用于对根据如图 13 所示的第四实施例的像素排列施用 DCC 的 DCC 处理装置可以通过略微变更根据图 11 所示的第三实施例的 DCC 处理装置的内部硬件很容易获得。

参照图 13A，可以看出在一列中的三个或多个连续像素中的某些是没有施用 DCC 的。如果在不施用 DCC 的一组连续像素中的像素数目增加，那么该组连续像素可能显示为带状。因此，在这样一组中限制像素数目等于或小于四个对于可见度尤为有益。

综上所述，通过只对全部图像数据的一半施用 DCC，可以给分辨率等于或高于 SXGA 等级的双路输入模式液晶显示器适当地施用使用两个帧存储器的 DCC。此外，因为用于单路输入模式液晶显示器的时钟频率可同样地用于双路输入模式液晶显示器，所以不需要在定时控制器和帧存储器之间设置其它部件。上述技术特征可以通过简单结构的多路调制器、行计数器、以及旁路单元来实现。

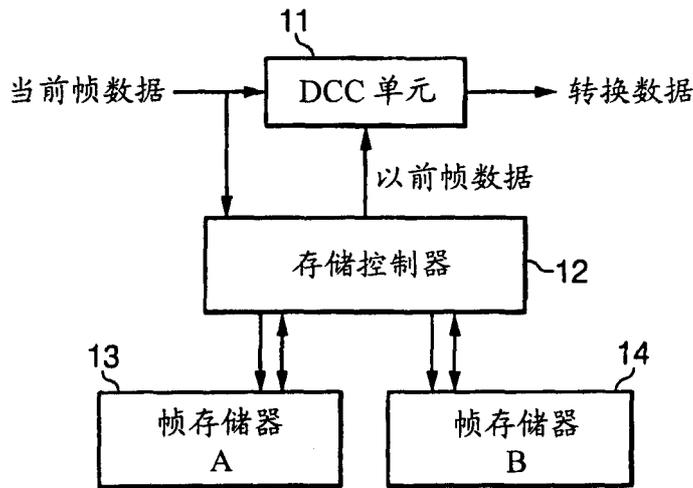


图 1

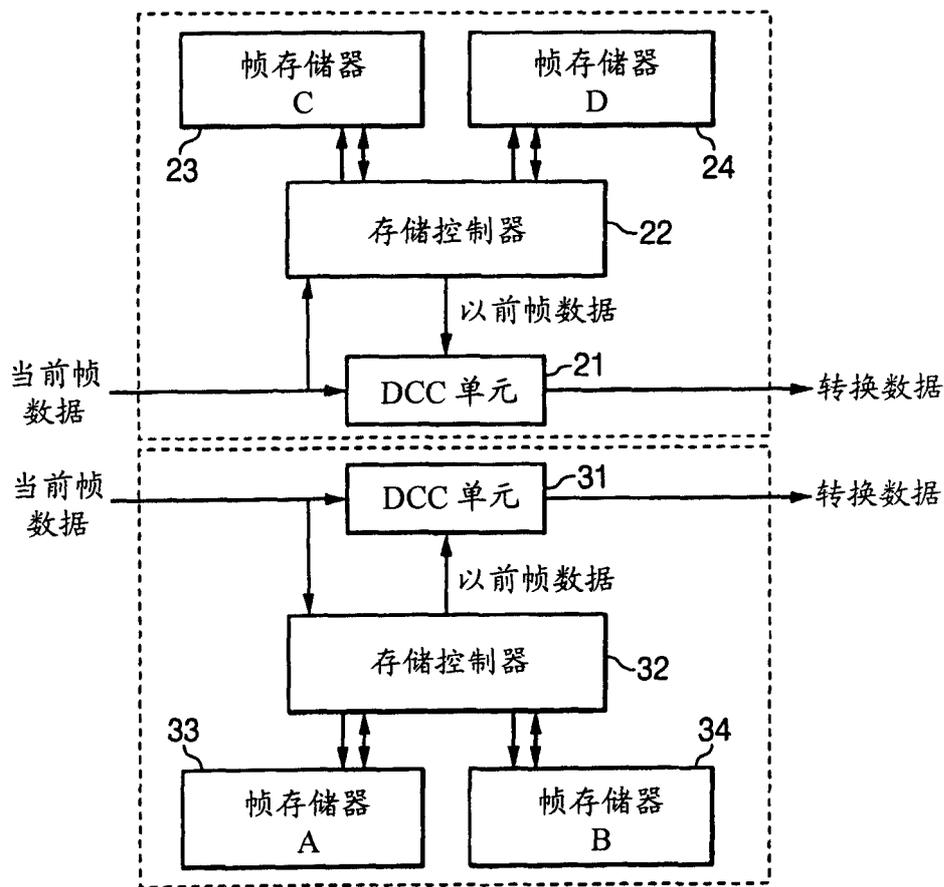


图 2

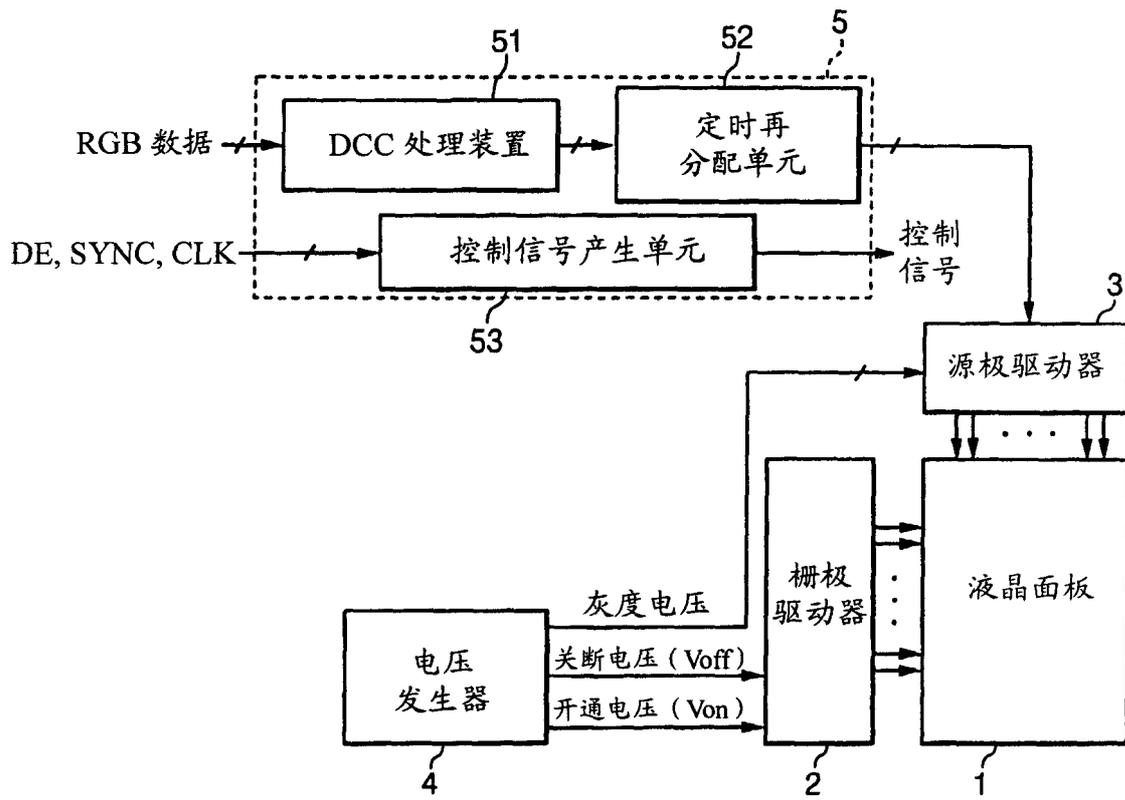


图 3

 施用 DCC 的像素
  没有施用 DCC 的像素

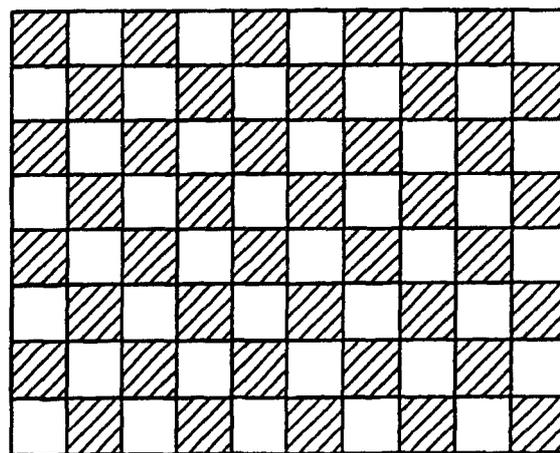


图 4

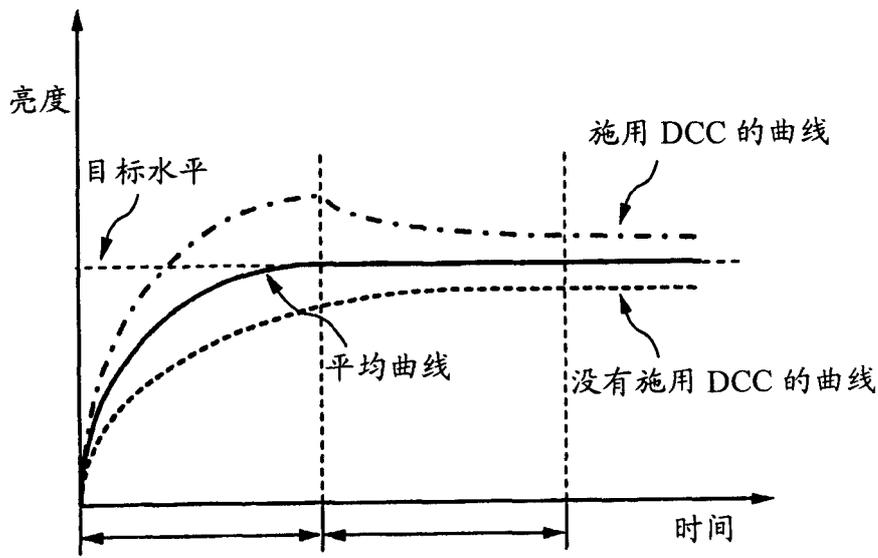


图 5

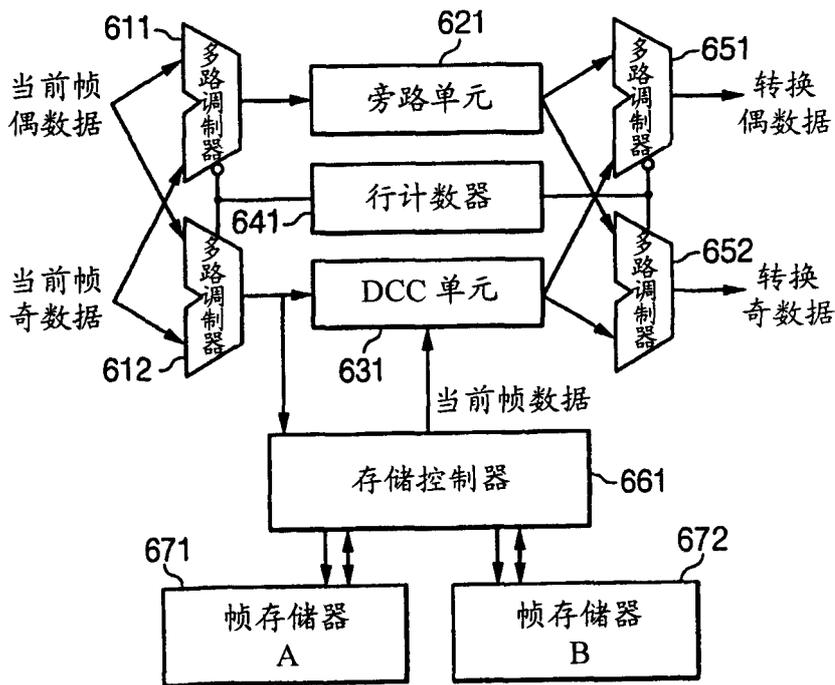


图 6

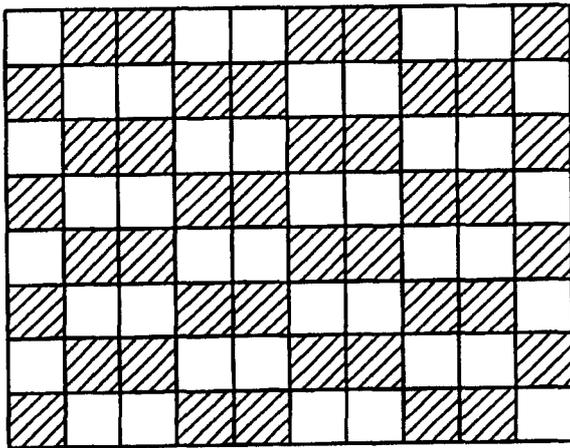


图 7A

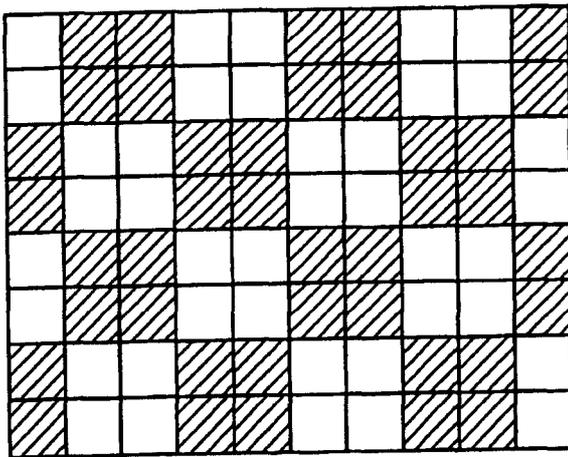


图 7B

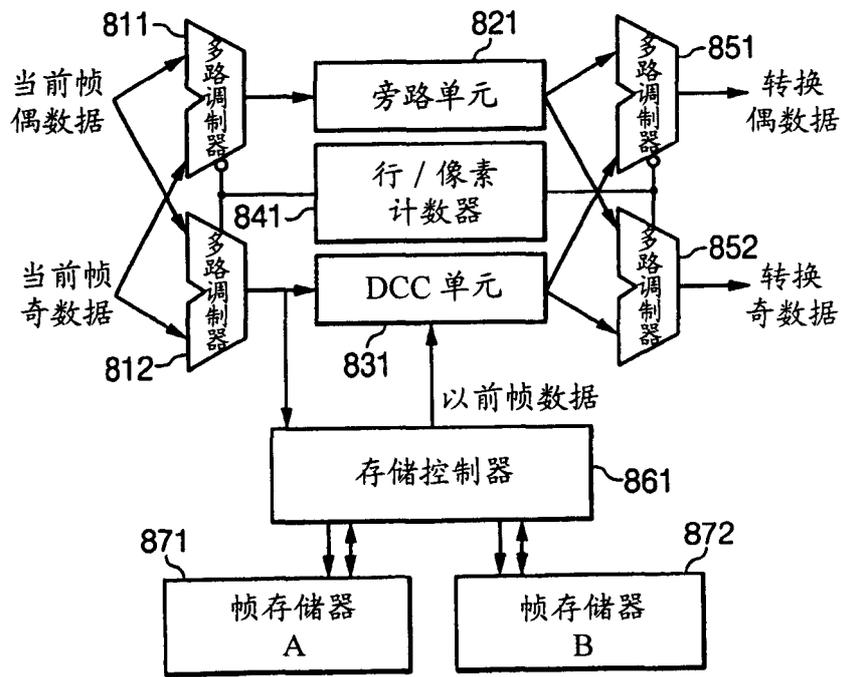


图 8

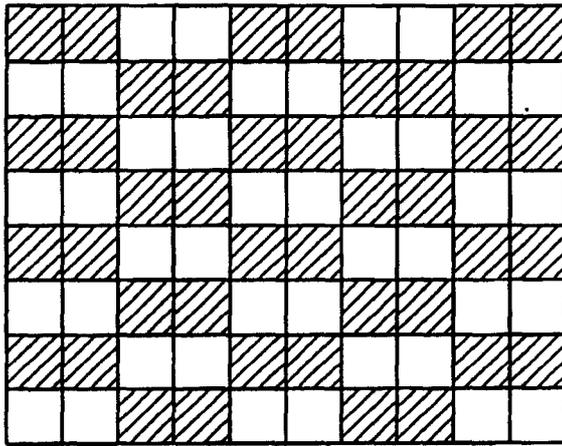


图 9A

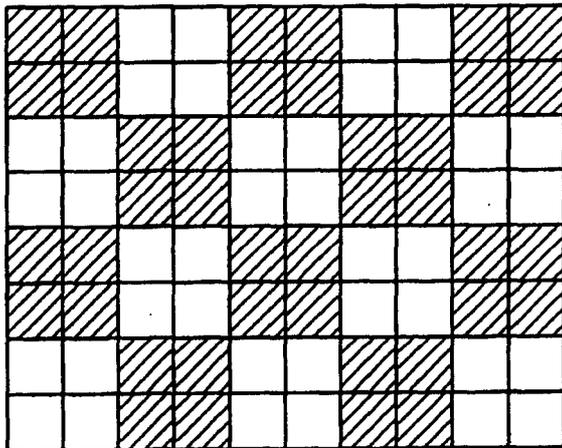


图 9B



图 10

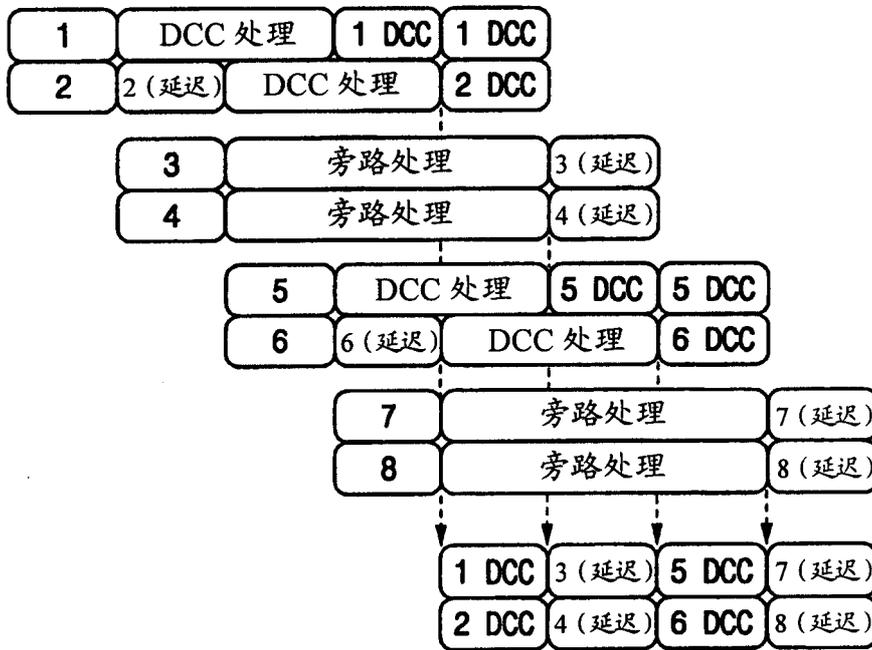


图 11

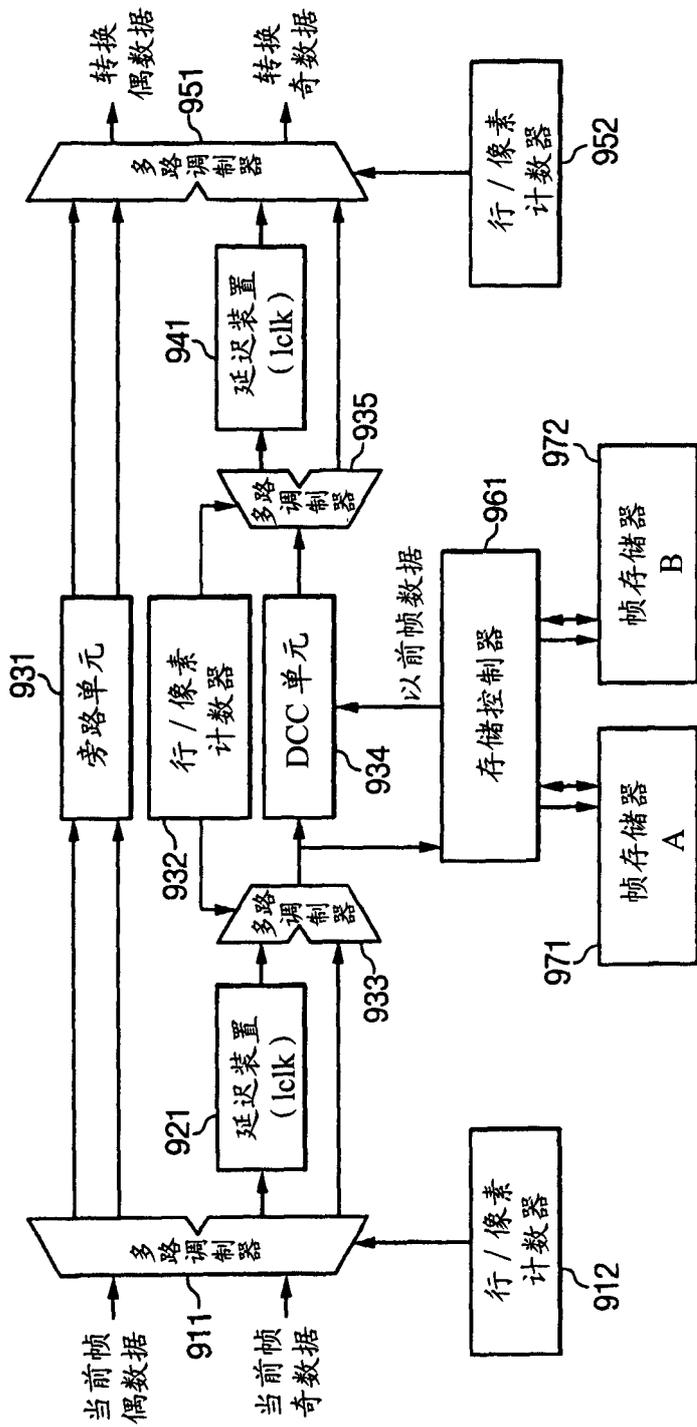


图 12

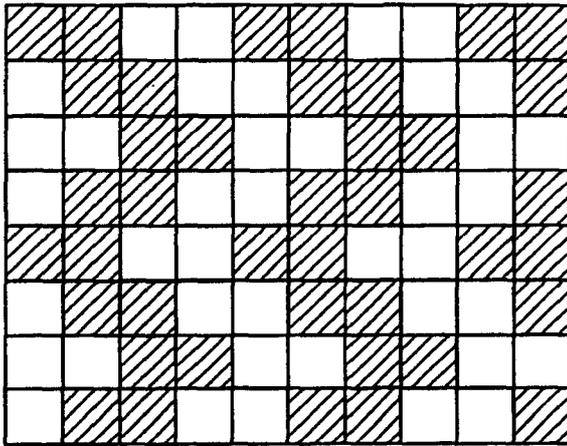


图 13A

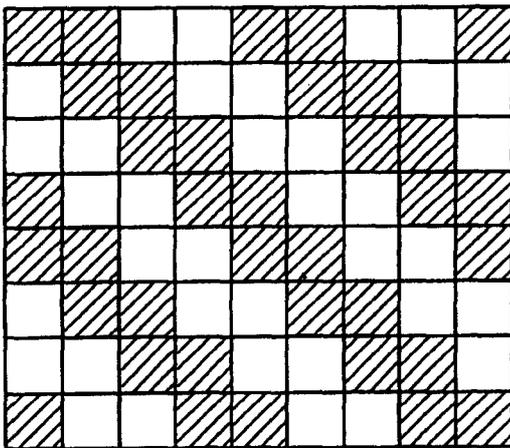


图 13B

专利名称(译)	液晶显示器及用于驱动该液晶显示器的方法		
公开(公告)号	CN1549947A	公开(公告)日	2004-11-24
申请号	CN02816894.1	申请日	2002-06-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李昇祐		
发明人	李昇祐		
IPC分类号	G09G3/36 G09G3/20 H04N5/66 G02F1/133		
CPC分类号	G09G3/3648 G09G2340/16 G09G2320/0252 G09G2310/0297 G09G2352/00		
代理人(译)	余刚 彭焱		
优先权	1020020027105 2002-05-16 KR		
其他公开文献	CN100349202C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种使用动态电容补偿("DCC")的高分辨率双路输入模式液晶显示器。根据本发明实施例的液晶显示器包括：本发明的液晶显示器只对某些液晶屏的数据施用DCC，更具体地说，只对一半像素施用DCC。双路输入模式液晶显示器施用DCC只用两个帧存储器实现。此外，因为在定时控制器的帧存储器中用于数据处理所需的时钟频率优选与用于定时控制器的时钟频率相同，所以没有增加电磁干扰(EMI)。

