



(12) 发明专利申请

(10) 申请公布号 CN 101944337 A

(43) 申请公布日 2011. 01. 12

(21) 申请号 200910262044. 0

(22) 申请日 2009. 12. 23

(30) 优先权数据

10-2009-0060803 2009. 07. 03 KR

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 闵雄基 宋鸿声 李东学

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09F 9/35 (2006. 01)

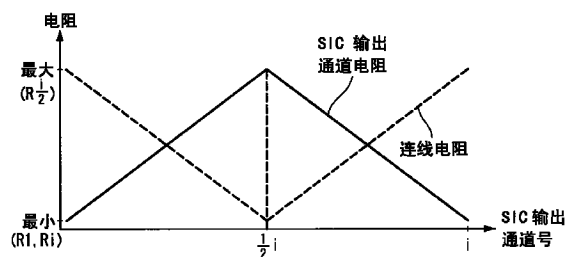
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

液晶显示器

(57) 摘要

公开了一种液晶显示器。该液晶显示器包括：包括彼此交叉的数据线和栅极线以及像素阵列的液晶显示面板，所述像素阵列包括根据栅极线和数据线的交叉结构以矩阵形式布置的液晶单元；通过多个输出通道给所述数据线供给数据电压的源极驱动电路；顺序地给所述栅极线供给栅极脉冲的栅极驱动电路。所述液晶显示面板包括分别将所述数据线连接到所述源极驱动电路的所述输出通道的连线。所述源极驱动电路包括在所述输出通道与所述连线之间连接的多个输出通道电阻器。每个输出通道电阻器都包括可变电阻电路。



1. 一种液晶显示器,包括:

液晶显示面板,其包括彼此交叉的数据线和栅极线、以及像素阵列,所述像素阵列包括根据栅极线和数据线的交叉结构以矩阵形式布置的液晶单元;

包括多个输出通道的源极驱动电路,所述源极驱动电路经由所述多个输出通道,将数据电压供应到所述数据线;

栅极驱动电路,其顺序地将栅极脉冲供应到所述栅极线,

其中所述液晶显示面板包括分别将所述数据线连接到所述源极驱动电路的输出通道的连线,

其中所述源极驱动电路包括在所述输出通道与所述连线之间连接的多个输出通道电阻器,

其中每个输出通道电阻器包括可变电阻电路。

2. 根据权利要求1所述的液晶显示器,所述输出通道电阻器的电阻与所述连线的电阻成反比。

3. 根据权利要求1所述的液晶显示器,其中所述源极驱动电路包括将数据电压供应到所述像素阵列内的所有数据线的环形集成驱动电路芯片。

4. 根据权利要求3所述的液晶显示器,其中所述环形集成驱动电路芯片包括将数字视频数据转换为数据电压的数字-模拟转换器,和将所述数字-模拟转换器的输出经由输出缓冲器连接到所述输出通道电阻器的输出电路。

5. 根据权利要求4所述的液晶显示器,其中所述输出电路包括多通道选择电路,其响应于预定的多通道选择信号而使所述输出通道中的至少一些被禁用,从而所述输出通道的至少一些被用作虚拟输出通道。

6. 根据权利要求1所述的液晶显示器,其中所述源极驱动电路包括:

经由所述输出通道与所述数据线连接的至少一个源极驱动器集成电路(IC);和

时序控制器,其将数字视频数据提供给所述至少一个源极驱动IC供,并产生用于控制所述至少一个源极驱动IC的操作时序和所述栅极驱动电路的操作时序的时序控制信号。

7. 根据权利要求6所述的液晶显示器,其中所述至少一个源极驱动IC包括将数字视频数据转换为所述数据电压的数字-模拟转换器,和将所述数字-模拟转换器的输出经由输出缓冲器连接到所述输出通道电阻器的输出电路。

8. 根据权利要求7所述的液晶显示器,其中所述输出电路包括多通道选择电路,其响应于预定的多通道选择信号使所述输出通道中的至少一些被禁用,从而所述输出通道中的至少一些用作虚拟输出通道。

9. 根据权利要求1所述的液晶显示器,其中所述可变电阻电路包括:

多路复用器,通过所述多路复用器的输入端输入所述数据电压;

在所述多路复用器的第一输出端与所述数据线之间连接的第一电阻器;和

在所述多路复用器的第二输出端与所述数据线之间连接的第二电阻器,

其中所述多路复用器响应于预定的电阻选择信号将所述输入端连接到所述第一和第二电阻器之一。

10. 根据权利要求9所述的液晶显示器,其中所述第一电阻器的电阻大致等于或不同于所述第二电阻器的电阻。

11. 根据权利要求 1 所述的液晶显示器,其中所述可变电阻电路包括:
被输入所述数据电压的第一电阻器;
输入端与所述第一电阻器连接的多路复用器;和
与所述多路复用器的多个输出端之一连接的第二电阻器,
其中所述第二电阻器和所述多路复用器的所述多个输出端子中的另一输出端串联到所述数据线,
- 其中所述多路复用器响应于预定的电阻选择信号将所述第一电阻器连接到所述第二电阻器和所述数据线之一。
12. 根据权利要求 11 所述的液晶显示器,其中所述第一电阻器的电阻大致等于或不同于所述第二电阻器的电阻。
13. 根据权利要求 1 所述的液晶显示器,其中所述多个输出通道电阻器之中的相邻的 j 个输出通道电阻器具有相同的电阻,其中 j 是等于或大于 2 且小于 5 的整数。

液晶显示器

[0001] 本申请要求 2009 年 7 月 3 日提交的韩国专利申请 10-2009-0060803 的优先权,为了所有目的在此援引该专利申请的全部内容作为参考,就像在这里全部列出一样。

技术领域

[0002] 本发明涉及一种能使用具有每个都有不同电阻的多个输出通道的源极驱动电路来获得均匀显示质量的液晶显示器。

背景技术

[0003] 有源矩阵型液晶显示器使用薄膜晶体管 (TFT) 作为开关元件来显示运动图像。由于有源矩阵型液晶显示器的薄外形,有源矩阵型液晶显示器已应用在电视以及诸如办公设备和计算机这样的便携设备中的显示设备。因此,阴极射线管 (CRT) 正快速被有源矩阵型液晶显示器取代。

[0004] 液晶显示器一般包括液晶显示面板、给液晶显示面板提供光的背光单元、给液晶显示面板的数据线供给数据电压的源极驱动器集成电路 (IC)、给液晶显示面板的栅极线 (即扫描线) 供给栅极脉冲 (即扫描脉冲) 的栅极驱动器 IC、控制源极驱动器 IC 和栅极驱动器 IC 的控制电路、驱动背光单元的光源的光源驱动电路等。

[0005] 在液晶显示器中,每个源极驱动器 IC 的尺寸远远小于由每个源极驱动器 IC 驱动的像素阵列部分的尺寸。此外,源极驱动器 IC 的输出通道之间的间距比数据线之间的间距小。由此,如图 1 中所示,在源极驱动器 IC SIC 的输出通道与像素阵列 PIXA 的数据线之间形成连线 LINK,以便分别将源极驱动器 IC SIC 的输出通道连接到数据线。随着源极驱动器 IC SIC 的输出通道与数据线之间的距离增加时,连线 LINK 的长度增加。因此,随着连线 LINK 向像素阵列 PIXA 的两端延伸,连线 LINK 的电阻 (之后称作“连线电阻”) 增加。根据电阻测量的实验结果,连线电阻可以根据液晶显示面板的尺寸和分辨率而变化。然而,连线电阻的最小值与最大值之间的差可增加到几 k Ω 。

[0006] 像素阵列 PIXA 的液晶单元的电压充电量根据连线电阻而变化。换句话说,与具有大的连线电阻的数据线连接的液晶单元的电压充电量比与具有相对较小的连线电阻的数据线连接的液晶单元的电压充电量小。液晶单元的电压充电量与连线电阻成反比。结果,因为液晶单元的电压充电量由于连线电阻的偏差而变化,所以很难在整个像素阵列上显示具有均匀亮度的图像。

发明内容

[0007] 本发明提供了一种能使用具有多个输出通道的源极驱动电路获得均匀显示质量的液晶显示器,所述多个输出通道中的每一个都有不同的电阻。

[0008] 在一个方面中,提供了一种液晶显示器,其包含:包括彼此交叉的数据线和栅极线以及像素阵列的液晶显示面板,所述像素阵列包括根据栅极线和数据线的交叉结构以矩阵形式布置的液晶单元;包括多个输出通道的源极驱动电路,所述源极驱动电路通过所述多

个输出通道给所述数据线供给数据电压；顺序地给所述栅极线供给栅极脉冲的栅极驱动电路，其中所述液晶显示面板包括分别将所述数据线连接到所述源极驱动电路的所述输出通道的连线，其中所述源极驱动电路包括在所述输出通道与所述连线之间连接的多个输出通道电阻器，其中每个输出通道电阻器都包括可变电阻电路。

[0009] 所述输出通道电阻器的电阻与所述连线的电阻成反比。

[0010] 所述源极驱动电路包括给所述像素阵列内的所有数据线供给数据电压的环形(circular)集成驱动电路芯片。

[0011] 所述源极驱动电路包括通过所述输出通道与所述数据线连接的至少一个源极驱动器集成电路(IC)和，给所述至少一个源极驱动IC供给数字视频数据并产生用于控制所述至少一个源极驱动IC的操作时序和所述栅极驱动电路的操作时序的时序控制信号的时序控制器。

[0012] 所述环形集成驱动电路芯片和所述至少一个源极驱动IC的每一个都包括将所述数字视频数据转换为所述数据电压的数字-模拟转换器，和将所述数字-模拟转换器的输出通过输出缓冲器连接到所述输出通道电阻器的输出电路。

[0013] 所述输出电路包括多通道选择电路，其响应于预定的多通道选择信号使至少一些输出通道禁用，使得所述至少一些输出通道用作虚拟输出通道。

[0014] 所述可变电阻电路包括：多路复用器，通过所述多路复用器的输入端输入所述数据电压；在所述多路复用器的第一输出端与所述数据线之间连接的第一电阻器；和在所述多路复用器的第二输出端与所述数据线之间连接的第二电阻器。所述多路复用器响应于预定的电阻选择信号将所述输入端连接到所述第一和第二电阻器之一。

[0015] 所述可变电阻电路包括：被输入所述数据电压的第一电阻器；输入端与所述第一电阻器连接的多路复用器；和与所述多路复用器的多个输出端之一连接的第二电阻器。所述第二电阻器和所述多路复用器的所述多个输出端子中的另一个输出端串联到所述数据线。所述多路复用器响应于预定的电阻选择信号将所述第一电阻器连接到所述第二电阻器和所述数据线之一。

[0016] 所述第一电阻器的电阻大致等于或不同于所述第二电阻器的电阻。

[0017] 在所述多个输出通道电阻器中的相邻的j个输出通道电阻器具有相同的电阻，其中j是大于等于2且小于5的整数。

附图说明

[0018] 给本发明提供进一步理解并组成说明书一部分的附图图解了本发明的实施方式并与说明书一起用于解释本发明的原理。在附图中：

[0019] 图1图解了液晶显示面板的连线电阻；

[0020] 图2图解了根据一个实施方式的液晶显示器；

[0021] 图3图解了根据另一个实施方式的液晶显示器；

[0022] 图4到6是详细图解图2和3中所示的像素阵列的电路图；

[0023] 图7是图解图2和3中分别所示的集成驱动电路芯片和源极驱动器集成电路(IC)每一个的输出单元的电路构造的方块图；

[0024] 图8和9图解了图2和3中分别所示的集成驱动电路芯片和源极驱动器IC每一

个的输出通道的电阻和液晶显示面板的连线电阻；

[0025] 图 10 是用于实现图 2 和 3 中分别所示的集成驱动电路芯片和源极驱动器 IC 每一个的输出通道电阻器的可变电阻电路的电路图；

[0026] 图 11 是用于实现图 2 和 3 中分别所示的集成驱动电路芯片和源极驱动器 IC 每一个的输出通道电阻器的另一可变电阻电路的电路图。

具体实施方式

[0027] 现在将详细描述实施方式，附图中图解了该实施方式的例子。

[0028] 如图 2 中所示，根据一个实施方式的液晶显示器包括其上形成有像素阵列 10 的液晶显示面板、环形集成驱动电路芯片 11、和栅极驱动电路 13A 和 13B。背光单元可以位于液晶显示面板下面，从而给液晶显示面板均匀地提供光。

[0029] 液晶显示面板包括彼此相对设置的上玻璃基板和下玻璃基板，在上玻璃基板和下玻璃基板之间夹有液晶层。像素阵列 10 包括根据液晶显示面板的数据线和栅极线的交叉结构以矩阵形式布置的用于显示视频数据的液晶单元。像素阵列 10 包括在数据线和栅极线的每个交点处形成的薄膜晶体管 (TFT) 和与 TFT 连接的像素电极。可如图 4 到 6 中所示地以不同方式实现像素阵列 10。液晶显示面板通过按照在经由 TFT 施加到像素电极的像素电压和经由 TFT 施加到公共电极的公共电压之间的差来驱动像素阵列 10 的每个液晶单元，以控制光的透射量，由此显示视频数据的图像。

[0030] 在液晶显示面板的上玻璃基板上形成黑矩阵、滤色器和公共电极。在垂直电场型驱动方式，如扭曲向列 (TN) 模式和垂直取向 (VA) 模式中，公共电极形成在上玻璃基板上。在水平电场型驱动方式，如平面转换 (IPS) 模式和边缘场开关 (FFS) 模式中，公共电极和像素电极形成在下玻璃基板上。

[0031] 在液晶显示面板的上下玻璃基板上分别附着有偏振片。在上下玻璃基板上分别形成有助于设置液晶的预倾角的取向层。

[0032] 可用于本实施方式的液晶显示面板可以以任何液晶模式以及 TN、VA、IPS 和 FFS 模式实现。根据本实施方式的液晶显示器可以包括背光液晶显示器、透反型液晶显示器和反射型液晶显示器在内的任何类型的液晶显示器实现。在背光液晶显示器和透反型液晶显示器中背光单元是必需的。背光单元可由直下型背光单元或边缘型背光单元实现。

[0033] 集成驱动电路芯片 11 的多个数据输出通道通过连线 15 分别与像素阵列 10 的数据线连接。集成驱动电路芯片 11 将从外部系统板（没有示出）接收的数字视频数据转换为正和负的模拟数据电压，以通过数据输出通道将正和负的模拟数据电压供给到像素阵列 10 的数据线。集成驱动电路芯片 11 给栅极驱动电路 13A 和 13B 供给驱动栅极驱动电路 13A 和 13B 所需的栅极时序控制信号和驱动电压。集成驱动电路芯片 11 可安装在柔性电路板 12 上，如柔性扁平电缆 (FFC) 和柔性印刷电路板 (FPCB)。柔性电路板 12 可通过各向异性导电膜 (ACF)，与液晶显示面板的下玻璃基板上形成的连线 15 连接。现有的时序控制器和现有的源极驱动集成电路 (IC) 被集成到集成驱动电路芯片 11 中。在与本申请人对应的韩国专利申请 No. 10-2007-0010487, 10-2007-0013378, 10-2007-0021605 和 10-2007-0030309 中详细公开了集成驱动电路芯片 11 的电路构造和操作的例子，在此援引这些专利申请的全部内容作为参考。此外，将简要作出或完全省略进一步的描述。

[0034] 栅极驱动电路 13A 和 13B 响应于从集成驱动电路芯片 11 接收的栅极时序控制信号,顺序给像素阵列 10 的栅极线供给栅极脉冲。栅极驱动电路 13A 和 13B 可安装在载带封装 (TCP) 上,并可通过自动带载焊接 (TAB) 工序将其附装到液晶显示面板的下玻璃基板。此外,可通过板内栅极 (GIP) 工序,在形成像素阵列 10 的同时,将栅极驱动电路 13A 和 13B 直接形成在液晶显示面板的下玻璃基板上。栅极驱动电路 13A 和 13B 可如图 2 中所示地设置于像素阵列 10 的两侧,或者可以设置于像素阵列 10 的一侧。

[0035] 随着液晶显示面板与集成驱动电路芯片 11 之间的距离增加,液晶显示面板的连线电阻增加。为了补偿连线电阻的增加,本实施方式使集成驱动电路芯片 11 的输出通道的至少一些电阻彼此不同。为此,集成驱动电路芯片 11 包括如图 7 到 11 中所示的多个输出通道电阻器。与形成在与像素阵列 10 的 $1/2$ 横向长度对应的位置处的数据线连接的集成驱动电路芯片 11 的中间输出通道的电阻设为最大值,如图 8 和 9 中所示。另一方面,如图 8 和 9 中所示,随着集成驱动电路芯片 11 的输出通道从集成驱动电路芯片 11 的中间向两侧延伸,该集成驱动电路芯片 11 的输出通道的电阻逐渐降低。因此,位于集成驱动电路芯片 11 两侧的输出通道的电阻被设为最小值。因此,因为集成驱动电路芯片 11 的输出通道的电阻与液晶显示面板的连线电阻成反比,如图 8 中所示,所以能够减小供给到像素阵列 10 的数据线的数据电压的压降量的偏差。结果,在根据本实施方式的液晶显示器中,被充到像素阵列 10 的所有液晶单元中的数据电压的充电量是均匀的,且液晶显示器的显示质量在整个像素阵列 10 上是均匀的。

[0036] 图 3 图解了根据另一个实施方式的液晶显示器。

[0037] 如图 3 中所示,液晶显示器包括其上形成有像素阵列 10A 和 10B 的液晶显示面板、多个源极驱动器 IC 21A 和 21B、栅极驱动电路 13A 和 13B、和时序控制器 23。背光单元可以位于液晶显示面板下面,从而给液晶显示面板均匀地提供光。

[0038] 液晶显示面板包括彼此相对设置的上玻璃基板和下玻璃基板,在上玻璃基板和下玻璃基板之间夹有液晶层。液晶显示面板包括像素阵列 10A 和 10B,每个像素阵列都具有与图 4 到 6 中所示相同的用于显示视频数据的电路构造。图 3 中所示的液晶显示面板的结构基本上与图 2 和图 4 到 6 中所示的相同,因此可以简要进行进一步的描述,或完全省略进一步的描述。

[0039] 源极驱动器 IC 21A 和 21B 的多个数据输出通道通过连线 15 分别与像素阵列 10 的数据线相连接。每个源极驱动器 IC 21A 和 21B 从时序控制器 23 接收数字视频数据。然后,每个源极驱动器 IC 21A 和 21B 响应于从时序控制器 23 接收的源极时序控制信号,将该数字视频数据转换为正和负的模拟数据电压,以通过数据输出通道将正和负的模拟数据电压供给到像素阵列 10 的数据线。每个源极驱动器 IC 21A 和 21B 可通过玻上芯片 (COG) 工序附装到液晶显示面板的下玻璃基板。此外,每个源极驱动器 IC 21A 和 21B 可通过 TAB 工序附装到液晶显示面板的下玻璃基板。

[0040] 栅极驱动电路 13A 和 13B 响应于从时序控制器 23 接收的栅极时序控制信号,顺序地给像素阵列 10 的栅极线供给栅极脉冲。栅极驱动电路 13A 和 13B 可安装在 TCP 上,并可通过 TAB 工序附装到液晶显示面板的下玻璃基板。此外,可通过 GIP 工序,在形成像素阵列 10 的同时,将栅极驱动电路 13A 和 13B 直接形成在液晶显示面板的下玻璃基板上。栅极驱动电路 13A 和 13B 可被设置于像素阵列 10 的两侧,或者设置于像素阵列 10 的一侧。

[0041] 时序控制器 23 给每个源极驱动器 IC 21A 和 21B 供给从外部系统板（没有示出）接收的数字视频数据。时序控制器 23 产生用于控制源极驱动器 IC 21A 和 21B 的操作时序的源极时序控制信号和用于控制栅极驱动电路 13A 和 13B 的操作时序的栅极时序控制信号。时序控制器 23 安装在控制印刷电路板 (PCB) 24 上。控制 PCB 24 的输入接头通过柔性电路板与外部系统板连接, 控制 PCB 24 的输出焊盘通过各向异性导电膜 (ACF) 分别与源极 TCP22A 和 22B 的输入焊盘连接。

[0042] 随着液晶显示面板与源极驱动器 IC 21A 和 21B 之间的距离增加, 液晶显示面板的连线电阻增加。为了补偿连线电阻的增加, 本实施方式使每个源极驱动器 IC 21A 和 21B 的输出通道的电阻具有不同的值。为此, 每个源极驱动器 IC 21A 和 21B 中包括如图 7 到 11 中所示的多个输出通道电阻器。在本实施方式中, 像素阵列 10 的从第一源极驱动器 IC 21A 接收数据的左半部分被称作第一像素阵列 10A, 像素阵列 10 的从第二源极驱动器 IC 21B 接收数据的右半部分被称作第二像素阵列 10B。与形成在与第一像素阵列 10A 的 $1/2$ 横向长度对应的位置处（或在与包括第一和第二像素阵列 10A 和 10B 的整个像素阵列的 $1/4$ 横向长度对应的位置处）的数据线连接的第一源极驱动器 IC 21A 的中间输出通道的电阻被设为最大值, 如图 8 和 9 中所示。另一方面, 如图 8 和 9 中所示, 随着第一源极驱动器 IC 21A 的输出通道从第一源极驱动器 IC 21A 的中间向两侧延伸, 第一源极驱动器 IC 21A 的输出通道的电阻逐渐降低。因此, 位于第一源极驱动器 IC 21A 两侧的输出通道的电阻被设为最小值。与形成在与第二像素阵列 10B 的 $1/2$ 横向长度对应的位置处（或在与整个像素阵列的 $3/4$ 横向长度对应的位置处）的数据线连接的第二源极驱动器 IC 21B 的中间输出通道的电阻被设为最大值, 如图 8 和 9 中所示。另一方面, 如图 8 和 9 中所示, 随着第二源极驱动器 IC 21B 的输出通道从第二源极驱动器 IC 21B 的中间向两侧延伸, 第二源极驱动器 IC 21B 的输出通道的电阻逐渐降低。因此, 位于第二源极驱动器 IC 21B 两侧的输出通道的电阻被设为最小值。因此, 因为每个源极驱动器 IC 21A 和 21B 的输出通道的电阻与液晶显示面板的连线电阻成反比, 如图 8 中所示, 所以能够减小供给到第一和第二像素阵列 10A 和 10B 的数据线的数据电压的压降量的偏差。结果, 在所述液晶显示器中, 被充到第一和第二像素阵列 10A 和 10B 的所有液晶单元中的数据电压的充电量是均匀的, 且液晶显示器的显示质量在整个第一和第二像素阵列 10A 和 10B 上是均匀的。

[0043] 集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个中都包括多通道选择电路。多通道选择电路响应于通过集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的选项引脚供给的多通道选择信号, 选择性地使输出通道中的一些启动或禁用。通过多通道选择电路启动的输出通道与数据线连接, 因而用作能给数据线正常供给数据电压的数据输出通道。另一方面, 通过多通道选择电路禁用的输出通道用作不输出数据电压的虚拟输出通道。在每个都包括多通道选择电路的集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 中, 一些输出通道可用作虚拟输出通道。在该情形中, 集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出通道的电阻可不具有如图 8 和 9 中所示的电阻模式。例如, 如果多通道选择电路使集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的右端处的输出通道禁用, 则该右端处的被禁用的输出通道（即虚拟输出通道）的电阻可以大于集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的左端处的输出通道的电阻。换句话说, 在每个都包括多通道选择电路的集成驱动电路芯片 11 以及源极驱动

器 IC21A 和 21B 中,根据虚拟输出通道的位置,在左端处的输出通道的电阻可大致等于或不同于右端处的输出通道的电阻。在与本申请人对应的韩国专利申请 No. 10-2004-0029611, 10-2004-0029612, 10-2004-0029615 和 10-2003-0090301 以及美国专利 No. 7, 492, 343 和 7, 495, 648 中详细公开了多通道选择电路的例子,在此援引这些专利申请的全部内容作为参考。

[0044] 图 4 到 6 图解了图 2 和 3 中所示的像素阵列 10、10A 和 10B 的各种例子。更具体地说,图 4 到 6 是像素阵列的一部分的等效电路图。

[0045] 图 4 中所示的像素阵列具有可用于一般液晶显示器的结构。更具体地说,图 4 中所示的像素阵列具有下述结构,其中数据线 D1 到 D6 与栅极线 G1 到 G4 交叉,且在列方向上布置有红色子像素 R 的液晶单元、绿色子像素 G 的液晶单元和蓝色子像素 B 的液晶单元。在图 4 中所示的像素阵列中,每个 TFT 响应于来自栅极线 G1 到 G4 的栅极脉冲,将数据电压从数据线 D1 到 D6 供给到数据线 D1 到 D6 中每一条的左侧(或右侧)上的液晶单元的像素电极。此外,在图 4 中所示的像素阵列中,1 个像素包括沿着与列方向正交的行方向(或线方向)彼此相邻布置的红色子像素 R、绿色子像素 G 和蓝色子像素 B。当图 4 中所示的像素阵列的分辨率是 $m \times n$ 时,需要 $m \times 3$ (其中“3”对应于组成 1 个像素的三个子像素 R, G 和 B)条数据线和 n 条栅极线。顺序地给图 4 中所示的像素阵列的栅极线供给与数据电压同步的 1 个水平周期的栅极脉冲。

[0046] 在相同的分辨率时,图 5 中所示的像素阵列中所需的数据线数量减少为图 4 中所示的像素阵列中所需的数据线数量的一半。此外,图 5 的像素阵列中所需的源极驱动器 IC 的数量可以减少为图 4 的像素阵列中所需的源极驱动器 IC 的数量的一半。在图 5 中所示的像素阵列中,在列方向上布置有红色子像素 R 的液晶单元、绿色子像素 G 的液晶单元和蓝色子像素 B 的液晶单元。此外,1 个像素包括沿着与列方向正交的行方向(或线方向)彼此相邻布置的红色子像素 R、绿色子像素 G 和蓝色子像素 B。在图 5 中所示的像素阵列中,以时分方式将一条数据线两侧的液晶单元依次充电到经由同一条数据线供给的数据电压。在图 5 中所示的像素阵列中,在数据线 D1 到 D4 中每一条的左侧的液晶单元和 TFT 分别称作第一液晶单元和第一 TFT T1,在数据线 D1 到 D4 中每一条的右侧的液晶单元和 TFT 分别称作第二液晶单元和第二 TFT T2。每个第一 TFT T1 响应于来自奇数栅极线 G1、G3、G5 和 G7 的栅极脉冲,将数据电压从数据线 D1 到 D4 供给到第一液晶单元的像素电极。在每个第一 TFT T1 中,栅极电极与奇数栅极线 G1、G3、G5 和 G7 连接,漏极电极与数据线 D1 到 D4 连接,源极电极与第一液晶单元的像素电极连接。每个第二 TFT T2 响应于来自偶数栅极线 G2、G4、G6 和 G8 的栅极脉冲,将数据电压从数据线 D1 到 D4 供给到第二液晶单元的像素电极。在每个第二 TFT T2 中,栅极电极与偶数栅极线 G2、G4、G6 和 G8 连接,漏极电极与数据线 D1 到 D4 连接,源极电极与第二液晶单元的像素电极连接。当图 5 中所示的像素阵列的分辨率是 $m \times n$ 时,需要 $(m \times 3)/2$ (其中“3”对应于组成 1 个像素的三个子像素 R, G 和 B)条数据线和 $2n$ 条栅极线。顺序地给图 5 中所示的像素阵列的栅极线供给与数据电压同步的 $1/2$ 个水平周期的栅极脉冲。

[0047] 在相同的分辨率时,图 6 中所示的像素阵列中所需的数据线数量可以减少为图 4 中所示的像素阵列中所需的数据线数量的 $1/3$ 。此外,图 6 的像素阵列中所需的源极驱动器 IC 的数量减少为图 4 的像素阵列中所需的源极驱动器 IC 的数量的 $1/3$ 。在图 6 中所示

的像素阵列中,在线方向中布置有红色子像素 R 的液晶单元、绿色子像素 G 的液晶单元和蓝色子像素 B 的液晶单元。在图 6 中所示的像素阵列中,1 个像素包括沿列方向彼此相邻布置的红色子像素 R、绿色子像素 G 和蓝色子像素 B。在图 6 中所示的像素阵列中,每个 TFT 响应于来自栅极线 G1 到 G6 的栅极脉冲,将数据电压从数据线 D1 到 D6 供给到数据线 D1 到 D6 中每一条的左侧(或右侧)的液晶单元的像素电极。当图 6 中所示的像素阵列的分辨率是 $m \times n$ 时,需要 m 条数据线和 $3n$ 条栅极线。顺序给图 6 中所示的像素阵列的栅极线供给与数据电压同步的 $1/3$ 个水平周期的栅极脉冲。

[0048] 图 7 图解了集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个中包含的输出通道电阻器。更具体地说,图 7 仅图解了与本实施方式相关的集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出单元。除了该输出单元之外,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的构造基本上与公知的构造相同。

[0049] 如图 7 中所示,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出单元包括数字-模拟转换器(DAC)71 和输出电路 72。

[0050] DAC 71 接收正和负的伽马基准电压和数字视频数据。DAC 71 使用正和负的伽马基准电压,将从锁存器(没有示出)接收的数字视频数据转换为正和负的模拟数据电压。DAC 71 响应于极性控制信号,通过交替选择正和负的模拟数据电压的多路复用器,给输出电路 72 交替供给正和负的模拟数据电压。该极性控制信号在图 2 中的集成驱动电路芯片 11 内的逻辑电路中产生。此外,在时序控制器 23 中产生该极性控制信号,然后将其输入到图 3 中的源极驱动器 IC 21A 和 21B。

[0051] 输出电路 72 包括上述多通道选择电路和具有偏移移除功能的输出缓冲器。输出电路 72 中可省略该多通道选择电路。输出电路 72 的输出通道分别与用于补偿液晶显示面板的连接电阻的输出通道电阻器 R_1 到 R_i 连接。多通道选择电路响应于多通道选择信号,选择性地使集成驱动电路芯片 11 的输出通道或源极驱动器 IC 21A 和 21B 的输出通道启动或禁用。输出缓冲器从输出通道的数据电压中移除偏移分量,由此减小信号衰减,并将该数据电压提供给数据线 D1 到 D_i ,其中“ i ”是正整数。数据线不与经由多通道选择电路禁用的虚拟输出通道连接,因而数据电压不输出到虚拟输出通道。输出通道电阻器 R_1 到 R_i 分别与集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出通道连接,因而每个都具有与液晶显示面板的连线电阻成反比的电阻,如图 7 和 8 中所示。例如,在与具有最小连线电阻的连线连接的中间输出通道电阻器 $R_{i/2}$ 的电阻被设为最大值的同时,与液晶显示面板两侧处的具有最大连线电阻的连线连接的两端输出通道电阻器 R_1 和 R_i 的电阻被设为最小值。随着输出通道电阻器 R_1 到 R_i 从中间输出通道电阻器 $R_{i/2}$ 向两端输出通道电阻器 R_1 和 R_i 的每一个延伸,输出通道电阻器 R_1 到 R_i 具有如图 8 中所示的线性降低的电阻。此外,如图 9 中所示,输出通道电阻器 R_1 到 R_i 中的 j (其中 j 是等于或大于 2 且小于 5 的整数)个输出通道电阻器具有相同的电阻,因而,输出通道电阻器 R_1 到 R_i 的电阻可呈阶梯式降低。

[0052] 图 8 和 9 是图解集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出通道的电阻和液晶显示面板的连线电阻的曲线。

[0053] 如图 8 中所示,在与集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的中间输出通道对应的位置处的液晶显示面板的连线被测量为具有最小连线电阻。另一

方面,随着连线从集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的中间输出通道向两端输出通道延伸,连线具有线性增加的连线电阻。因而,与集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的两端输出通道对应的两端连线被测量为具有最大连线电阻。为了通过补偿该连线电阻而使整个像素阵列 10 上的液晶单元的数据电压的充电量均匀化,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的中间输出通道的电阻被设为最大值,且随着从集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的中间输出通道向两端输出通道延伸,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的每一个的输出通道具有线性降低的电阻,因而,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的两端输出通道被设为最大电阻。

[0054] 如图 8 中所示,因为集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的输出通道的电阻具有线性,所以制造集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 的难度级别相对较高。为了获得与图 8 中所示的输出通道的电阻特性类似的连线电阻补偿效果、且为了降低制造难度的级别,在本实施方式中,如图 9 中所示,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的输出通道可具有阶梯式变化的电阻。更具体地说,在集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个中,2 到 5 个输出通道可具有相同的电阻,如图 9 中所示。在图 9 中,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的中间输出通道的电阻必须被设为最大值,且随着从集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的中间输出通道向两端输出通道延伸,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的输出通道必须具有阶梯式降低的电阻,因而集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的两端输出通道必须被设为最大电阻。

[0055] 在输出通道电阻器 R1 到 Ri 的电阻与连线电阻成反比的情况下,集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的每个输出通道电阻器 R1 到 Ri 均可具有固定的电阻。然而,根据液晶显示面板的分辨率、像素阵列的结构等,不同类型的液晶显示器中的连线电阻特性彼此不同。集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的输出通道电阻器的电阻必须被调整为适于不同的连线电阻特性,从而集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 可通用于具有不同连线电阻特性的不同类型的液晶显示器中。

[0056] 集成驱动电路芯片 11 以及源极驱动器 IC 21A 和 21B 每一个的每个输出通道电阻器可如图 10 和 11 中所示的可变电阻电路的形式实现,从而集成驱动电路芯片 11 与源极驱动器 IC 21A 和 21B 可通用于且兼容于具有不同连线电阻特性的不同类型的液晶显示器中。

[0057] 如图 10 中所示,可变电阻电路包括多路复用器 MUX,在多路复用器 MUX 的第一输出端与第 N 条数据线之间连接的第一电阻器 R11,和在多路复用器 MUX 的第二输出端与第 N 条数据线之间连接的第二电阻器 R12。第一和第二电阻器 R11 和 12 的电阻彼此不同,第一和第二电阻器 R11 和 12 的电阻中的至少一个电阻可被设为可变电阻。

[0058] 集成驱动电路芯片 11 或源极驱动器 IC 21A 和 21B 的输出电路 72 将第 N 个正 / 负的数据电压 Data#N 输出到多路复用器 MUX 的输入端。多路复用器 MUX 响应于输入到多路复用器 MUX 的控制端的电阻选择信号 SEL,将多路复用器 MUX 的输入端连接到与多路复用器 MUX 的第一输出端连接的第一电阻器 R11,或将所述输入端连接到与多路复用器 MUX 的第

二输出端连接的第二电阻器 R12。如果电阻选择信号 SEL 是高逻辑电压,则多路复用器 MUX 将多路复用器 MUX 的输入端连接到具有相对较大(或较小)电阻的第一电阻器 R11。如果电阻选择信号 SEL 是低逻辑电压,则多路复用器 MUX 将多路复用器 MUX 的输入端连接到具有相对较小(或较大)电阻的第二电阻器 R12。

[0059] 如图 11 中所示,可变电阻电路包括第一电阻器 R11,输入端和第一输出端分别与第一电阻器 R11 和第 N 条数据线连接的多路复用器 MUX,和连接在多路复用器 MUX 的第二输出端与第 N 条数据线之间的第二电阻器 R12。第一和第二电阻器 R11 和 R12 的电阻彼此大致相等或不同,第一和第二电阻器 R11 和 R12 的电阻中的至少一个电阻可被设为可变电阻。

[0060] 集成驱动电路芯片 11 或源极驱动器 IC 21A 和 21B 的输出电路 72 将第 N 个正/负的数据电压 Data#N 输入到第一电阻器 R11。多路复用器 MUX 响应于输入到多路复用器 MUX 的控制端的电阻选择信号 SEL,将第一电阻器 R11 串联连接到第二电阻器 R12,或者将第一电阻器 R11 连接到第 N 条数据线。如果电阻选择信号 SEL 是高逻辑电压,则多路复用器 MUX 将第一电阻器 R11 串联到第二电阻器 R12。在该情形中,集成驱动电路芯片 11 和源极驱动器 IC 21A 和 21B 每一个的输出通道的电阻增加为 $R11+R12$ 。如果电阻选择信号 SEL 是低逻辑电压,则多路复用器 MUX 将第一电阻器 R11 连接到第 N 条数据线。在该情形中,集成驱动电路芯片 11 和源极驱动器 IC 21A 和 21B 每一个的输出通道的电阻降低为 R11。

[0061] 在图 10 和 11 中,多路复用器 MUX 的控制端可以经由在集成驱动电路芯片 11 和源极驱动器 IC 21A 和 21B 每一个中安装的选项引脚和双列直插式开关,连接到电源电压源或地电平电压源。如果电源电压源给多路复用器 MUX 的控制端供给电源电压,则高逻辑电压的电阻选择信号 SEL 被输入到多路复用器 MUX 的控制端。如果地电平电压源给多路复用器 MUX 的控制端供给地电平电压,则低逻辑电压的电阻选择信号 SEL 被输入到多路复用器 MUX 的控制端。

[0062] 电阻选择信号 SEL 可在系统板中产生,并且可被输入到集成驱动电路芯片 11 的电阻选择选项引脚。此外,电阻选择信号 SEL 可在系统板中产生,并且可以经由时序控制器 23 输入到源极驱动器 IC 21A 和 21B 的电阻选择选项引脚。

[0063] 如上所述,液晶显示器可通过将每个都具有可变电阻的输出通道电阻器连接到源极驱动器 IC 的输出通道,来补偿液晶显示面板的连线电阻的偏差。因此,可在整个像素阵列上获得均匀的显示质量。

[0064] 尽管已经参照多个示例性的实施方式描述了本发明,但应当理解的是,本领域技术人员能构思出属于本发明的原理的范围内的多种其他修改例和实施方式。更具体地说,在说明书、附图和所附权利要求的范围内,可以对所请求保护的组合方案的各个组成部件和/或构造可进行各种变化和修改。除了这些组成部件和/或构造中的变化和修改之外,替换使用对于本领域技术人员来说也将是显而易见的。

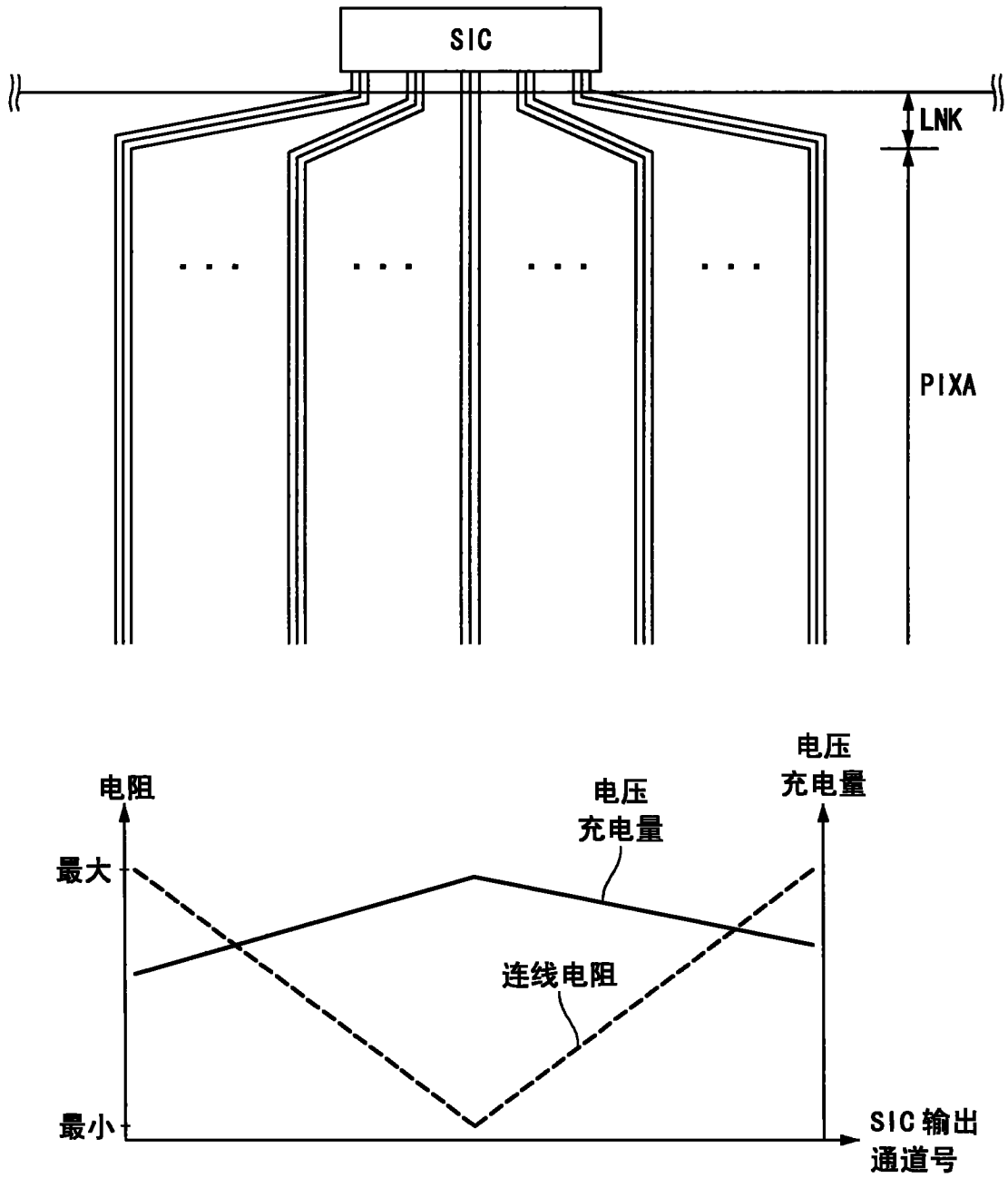


图 1

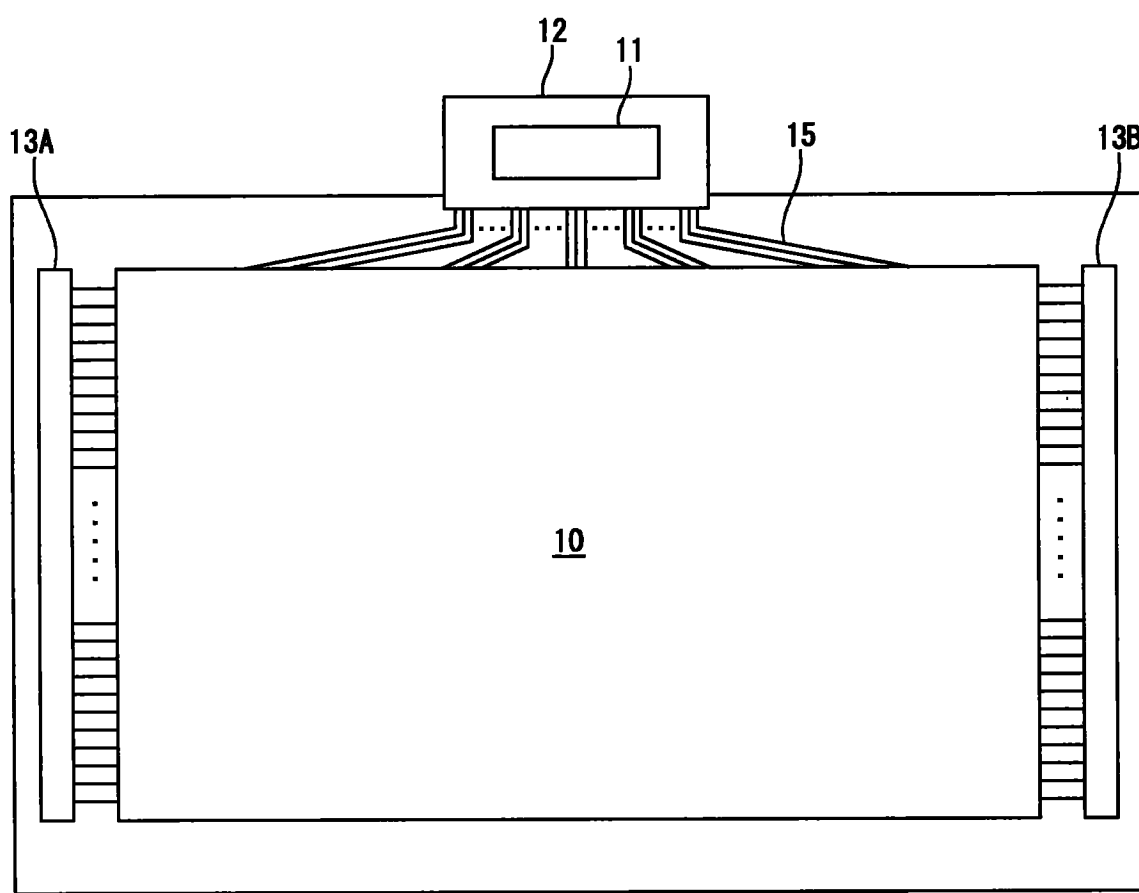


图 2

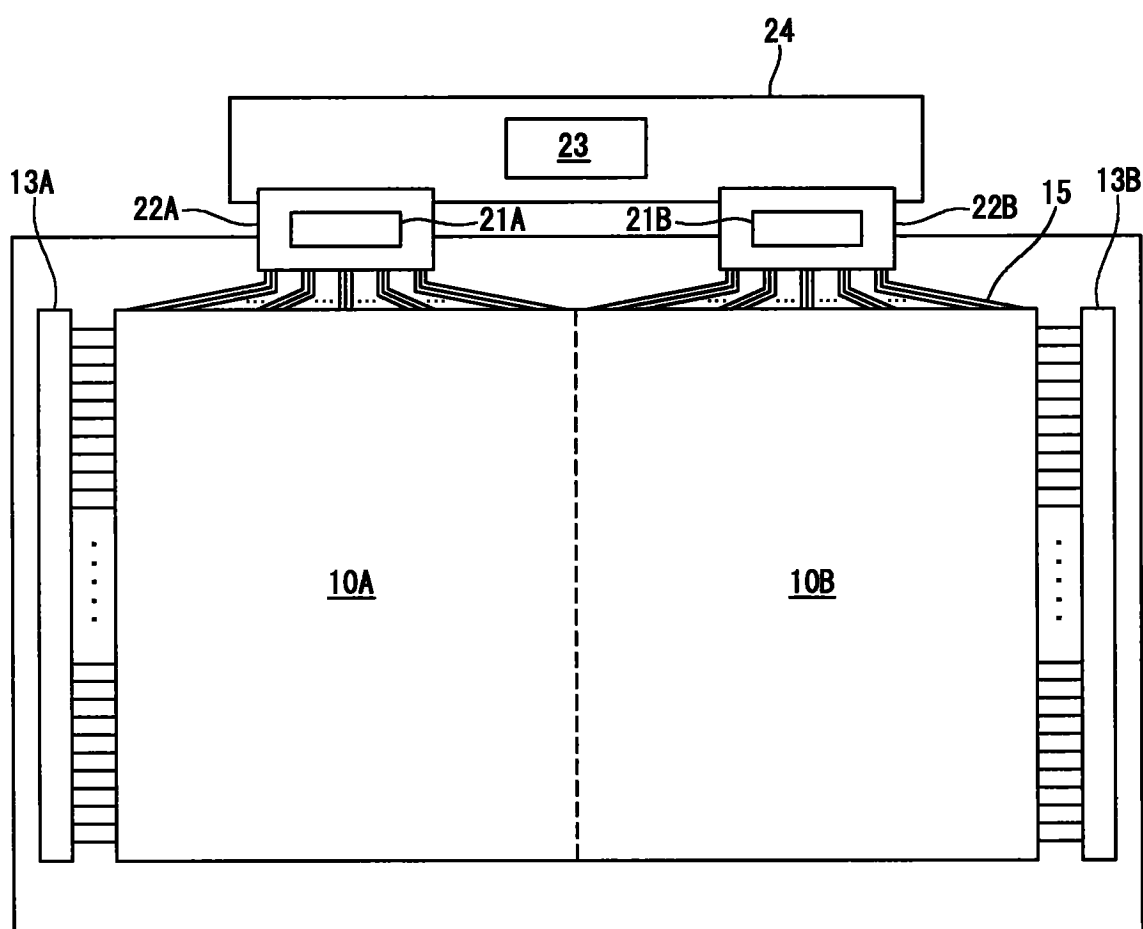


图 3

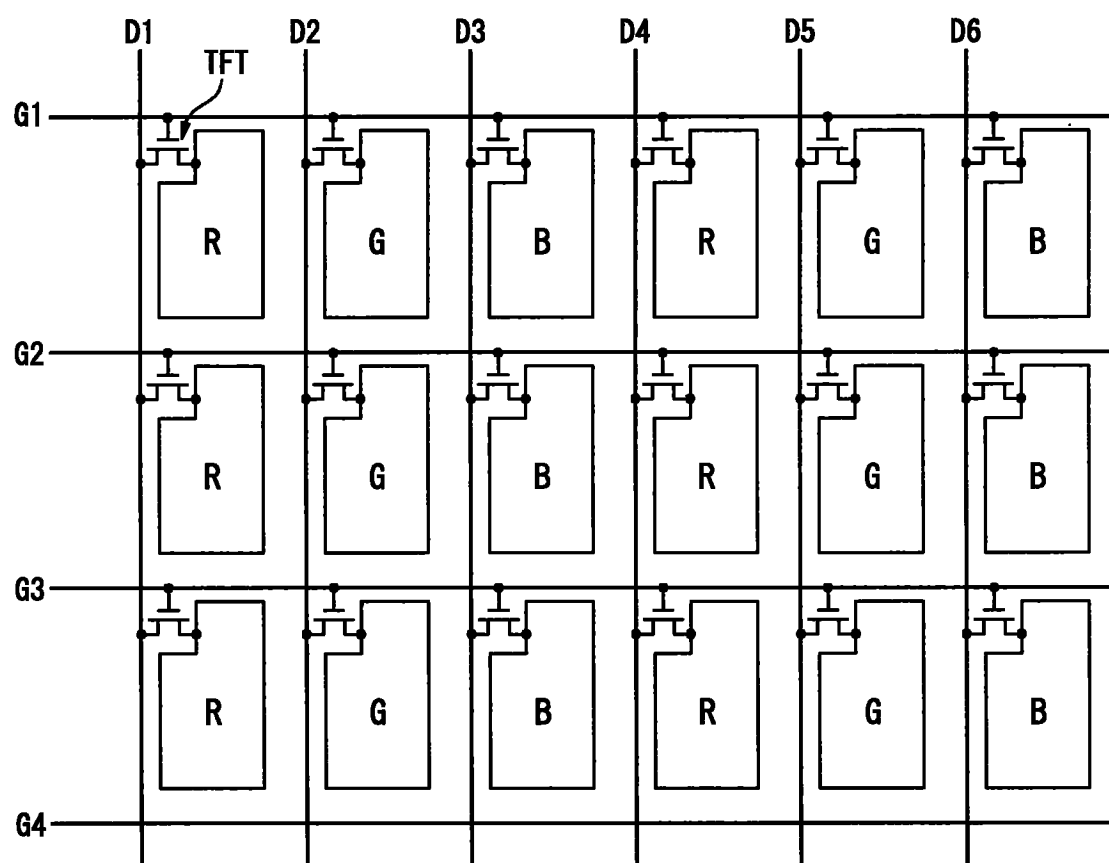


图 4

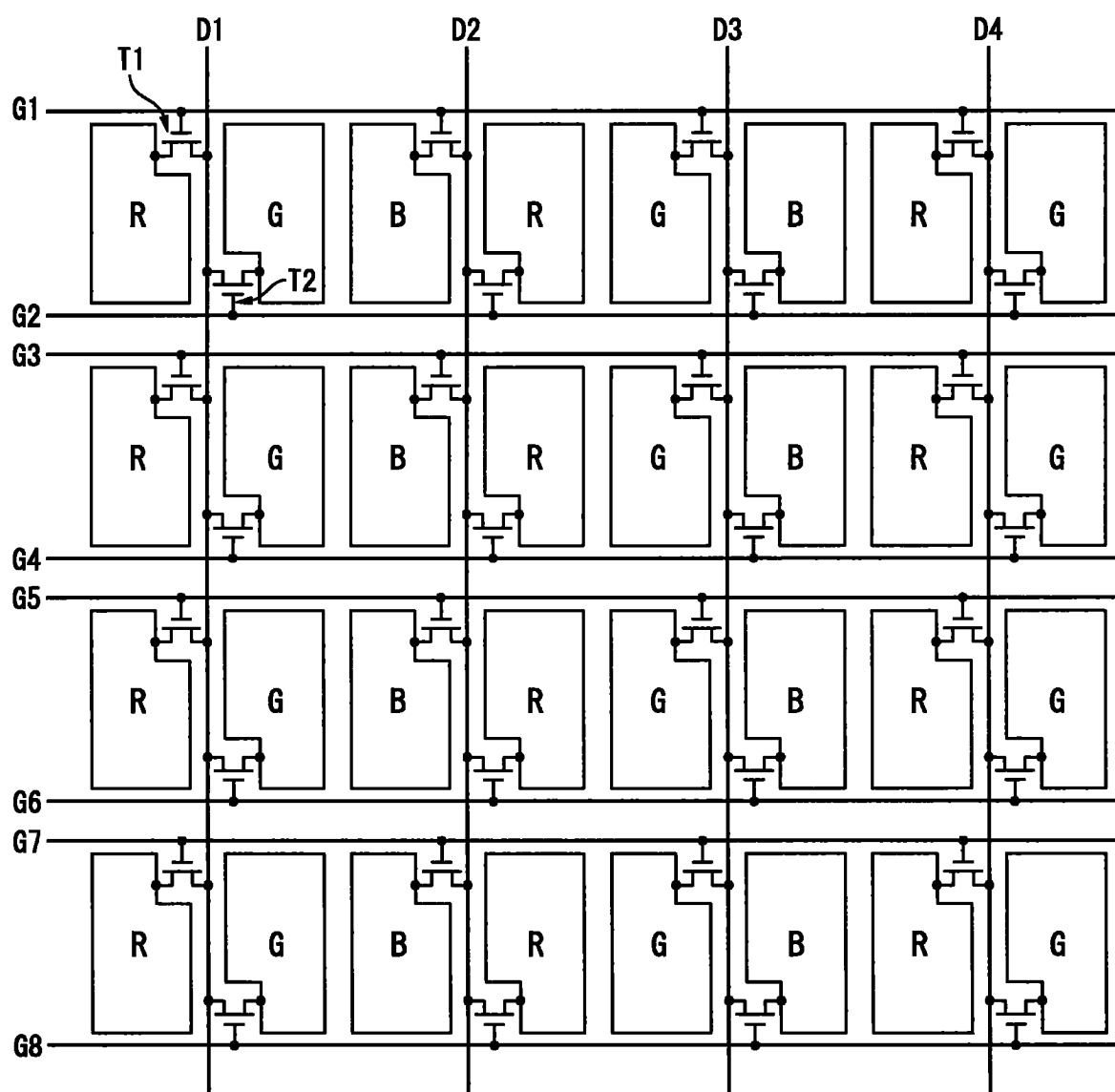


图 5

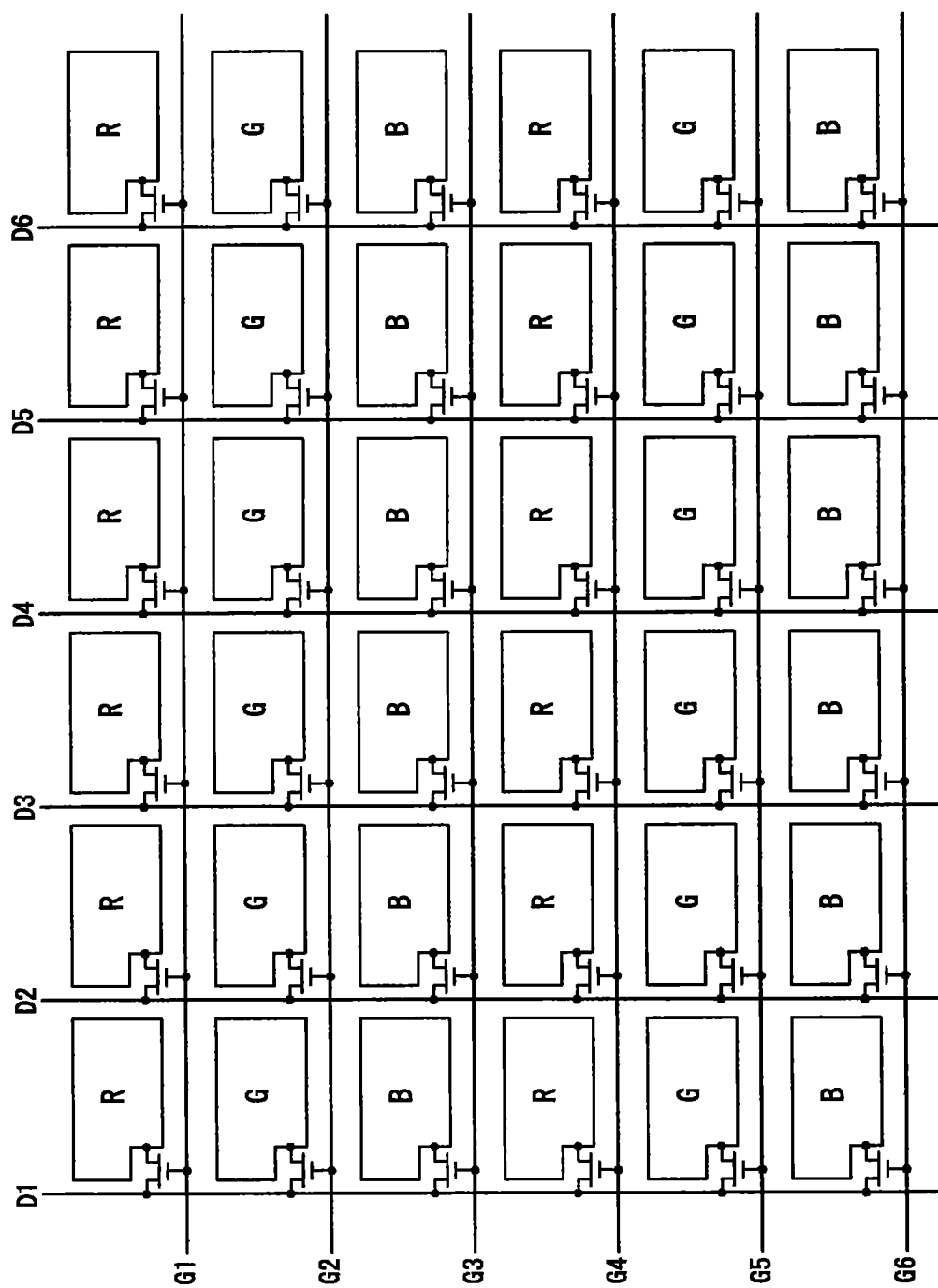


图 6

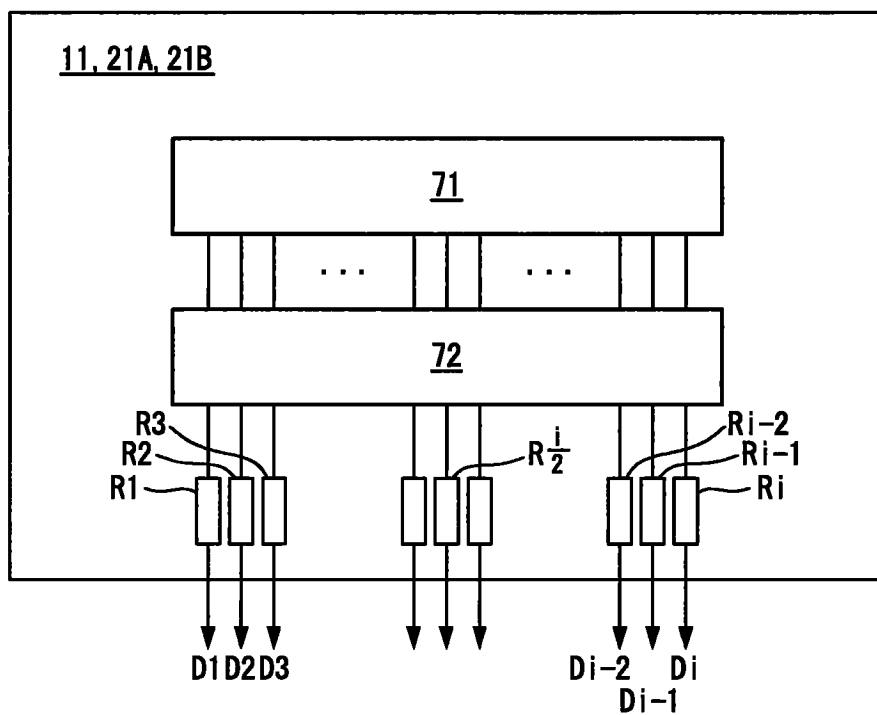


图 7

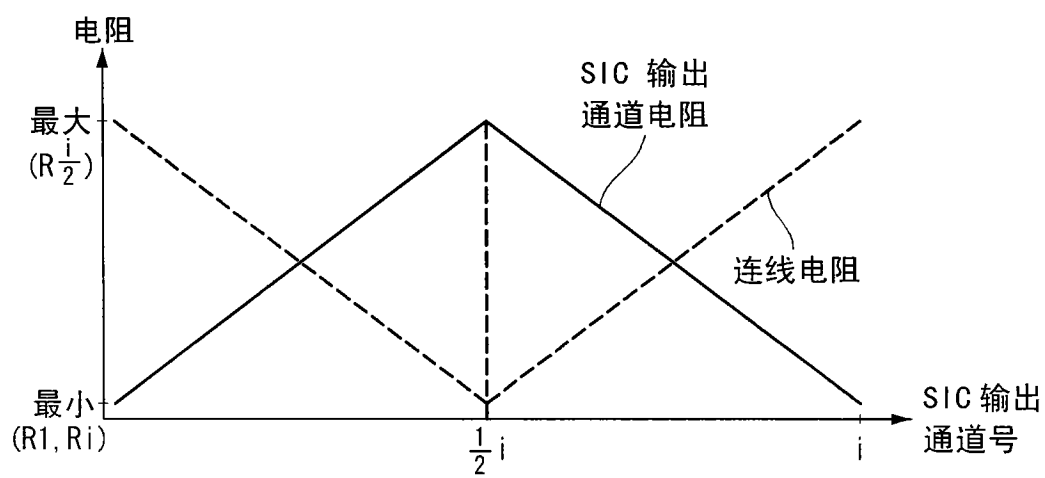


图 8

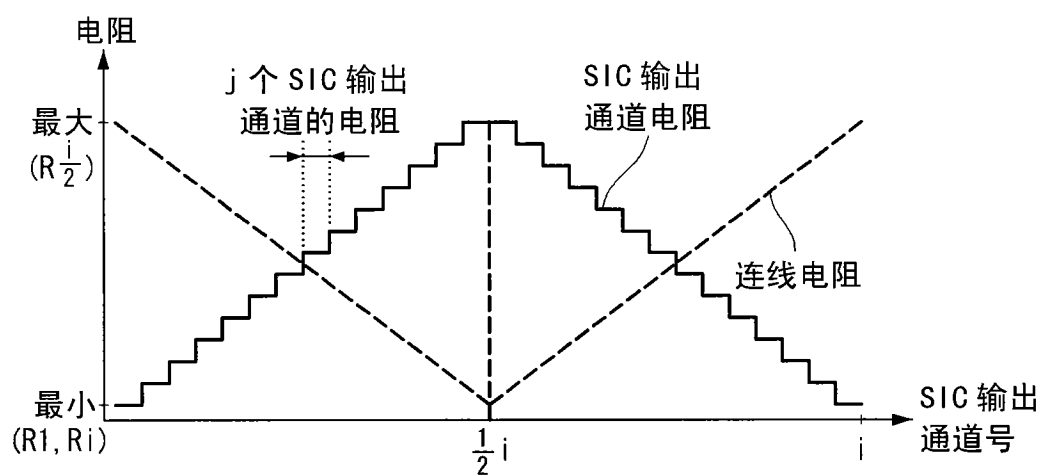


图 9

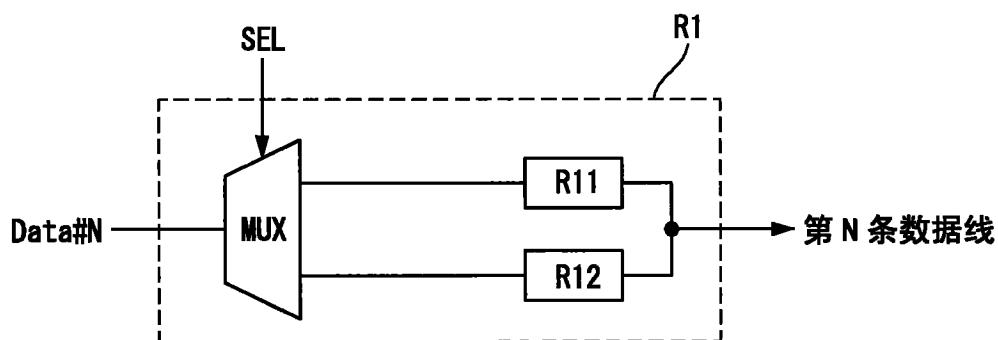


图 10

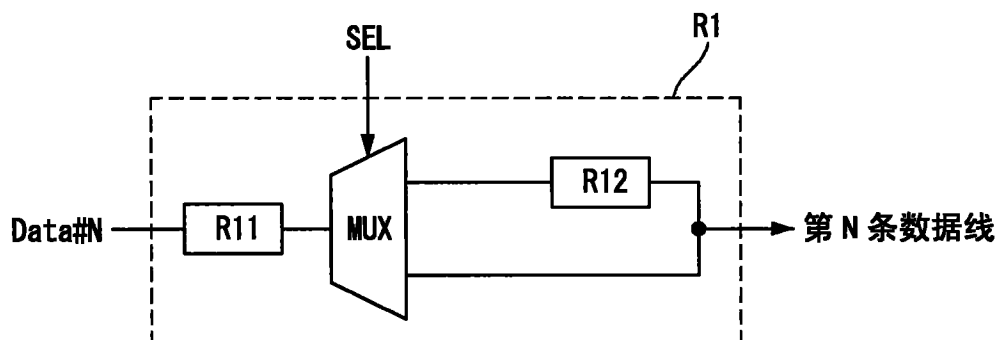


图 11

专利名称(译)	液晶显示器		
公开(公告)号	CN101944337A	公开(公告)日	2011-01-12
申请号	CN200910262044.0	申请日	2009-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	闵雄基 宋鸿声 李东学		
发明人	闵雄基 宋鸿声 李东学		
IPC分类号	G09G3/36 G09F9/35		
CPC分类号	G09G2320/0223 G09G3/3607 G09G3/3688 G09G2300/0426		
代理人(译)	徐金国		
优先权	1020090060803 2009-07-03 KR		
其他公开文献	CN101944337B		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种液晶显示器。该液晶显示器包括：包括彼此交叉的数据线和栅极线以及像素阵列的液晶显示面板，所述像素阵列包括根据栅极线和数据线的交叉结构以矩阵形式布置的液晶单元；通过多个输出通道给所述数据线供给数据电压的源极驱动电路；顺序地给所述栅极线供给栅极脉冲的栅极驱动电路。所述液晶显示面板包括分别将所述数据线连接到所述源极驱动电路的所述输出通道的连线。所述源极驱动电路包括在所述输出通道与所述连线之间连接的多个输出通道电阻器。每个输出通道电阻器都包括可变电阻电路。

