



(12) 发明专利

(10) 授权公告号 CN 101661173 B

(45) 授权公告日 2011.03.16

(21) 申请号 200810043736.1

(22) 申请日 2008.08.27

(73) 专利权人 上海天马微电子有限公司

地址 201201 上海市浦东新区汇庆路 889 号
5 层

(72) 发明人 李元

(51) Int. Cl.

G02F 1/133 (2006.01)

G09G 3/36 (2006.01)

审查员 李慧

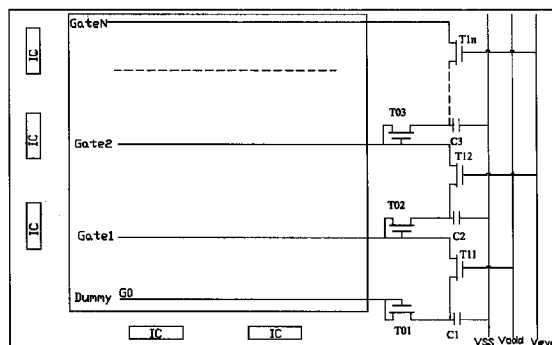
权利要求书 1 页 说明书 5 页 附图 5 页

(54) 发明名称

液晶显示面板

(57) 摘要

本发明涉及一种液晶显示面板,该液晶显示面板包含多条栅极线,所述多条栅极线的末端分别与各级栅信号延迟补偿装置相连,所述各级栅信号延迟补偿装置的每一级包括充电控制元件,与前级所述栅极线末端相连;电荷存储元件,一端与所述充电控制元件相连,另一端与低电平电压相连;以及放电控制元件,与所述电荷存储元件相连,用以控制所述电荷存储元件对本级所述栅极线放电。本发明的液晶显示面板可以有效避免由于栅信号延迟而引起的显示效果不良。



1. 一种液晶显示面板,包含多条栅极线,所述多条栅极线的末端分别与各级栅信号延迟补偿装置相连,其中,所述各级栅信号延迟补偿装置的每一级包括:

充电控制二极管,所述充电控制二极管其电流输入端与前级所述栅极线的末端相连,其电流输出端与所述电荷存储元件相连;

电荷存储元件,一端与所述充电控制二极管相连,另一端与低电平电压相连;以及

放电控制元件,与所述电荷存储元件相连,用以控制所述电荷存储元件对本级所述栅极线放电。

2. 根据权利要求1所述的液晶显示面板,其中所述放电控制元件为第一切换元件,所述第一切换元件包括控制端、第一切换端和第二切换端,所述第一切换端与所述电荷存储元件相连,所述第二切换端与本级所述栅极线的末端相连,并且奇数级放电控制元件的控制端与奇数级电平电压相连,偶数级放电控制元件的控制端与偶数级电平电压相连。

3. 根据权利要求2所述的液晶显示面板,其中当奇数级栅极线输入栅信号时,奇数级电平电压输入高电平,并且当偶数级栅极线输入栅信号时,偶数级电平电压输入高电平。

4. 根据权利要求2所述的液晶显示面板,其中所述第一切换元件为薄膜晶体管。

5. 根据权利要求1所述的液晶显示面板,其中所述电荷存储元件为电容器。

6. 根据权利要求1所述的液晶显示面板,其中所述每一级栅信号延迟补偿装置还包括:

防止反向导通二极管,其电流输入端与所述放电控制元件相连,并且其电流输出端与本级所述栅极线末端相连。

7. 根据权利要求1所述的液晶显示面板,其中所述每一级栅信号延迟补偿装置还包括电荷清空元件,用以在所述电荷存储元件对栅极线放电后,清空所述电荷存储元件中的电量。

8. 根据权利要求7所述的液晶显示面板,其中所述电荷清空元件为二极管,其电流输入端与电容器相连,奇数级栅信号延迟补偿装置的电荷清空元件的电流输出端与第二电平电压相连,偶数级栅信号延迟补偿装置的电荷清空元件的电流输出端与第一电平电压相连。

9. 根据权利要求8所述的液晶显示面板,其中当奇数级栅极线输入栅信号时,第一电平电压为高电平电压,当偶数级栅极线输入栅信号时,第二电平电压为高电平电压。

10. 根据权利要求9所述的液晶显示面板,其中在奇数级栅极线输入栅信号的一个周期内,与奇数级栅信号延迟补偿装置的电荷清空元件相连的第二电平电压在前半个周期内维持高电平电压,在后半个周期内输入低电平电压。

液晶显示面板

技术领域

[0001] 本发明涉及一种液晶显示面板及其驱动方法。特别地本发明涉及一种在不增加制造工艺情况下补偿栅信号延迟的液晶显示面板。

背景技术

[0002] 薄膜晶体管液晶显示器 (TFT-LCD) 是主要的液晶显示器之一,这种液晶显示器的发展趋势为更大尺寸以及更高的分辨率。液晶显示器面板的尺寸越大分辨率越高就要求在面板中的栅极线越长,从而增加了线的电阻,导致了栅信号延迟现象的出现。

[0003] 图 1(a) 所示为现有液晶显示器面板上的栅信号延迟。如图 1(a) 所示,在输出端以方波的形式提供栅信号。然而,当经由栅极线传输时,由于线的电阻和电容,在栅线的末端,信号被延迟,相应的,方波失真。在栅极线末端的栅信号由于失真具有延迟的波形。因此显示面板的尺寸越大,栅信号在栅极线上的衰减程度越高,从而可能导致液晶显示器的闪烁现象或辉度不均匀现象更加严重。现有技术中存在通过降低栅极线的阻值以解决栅信号衰减问题的实例,然而该更低阻值的栅极线材料引起制造成本高的问题。

[0004] 图 1(b) 所示为在左右两端分别设置栅极驱动电路,并进行同时驱动的液晶显示器面板结构。这种结构可以解决高分辨率大尺寸液晶显示面板中栅信号延迟而引起的图象质量恶化的问题,然而这种方法增加了驱动器集成电路的数目,使得占据了较多玻璃空间,并且提高了成本。该方法公开于专利号为 200610150380 的中国专利申请中。

发明内容

[0005] 本发明所解决的技术问题是提供一种液晶显示面板,可以有效的避免由于栅信号延迟而引起的显示不良。

[0006] 为解决上述问题,本发明的液晶显示面板包含多条栅极线,所述多条栅极线的末端分别与各级栅信号延迟补偿装置相连,其中,所述各级栅信号延迟补偿装置的每一级包括充电控制元件,与前级所述栅极线末端相连;电荷存储元件,一端与所述充电控制元件相连,另一端与低电平电压相连;以及放电控制元件,与所述电荷存储元件相连,用以控制所述电荷存储元件对本级所述栅极线放电。

[0007] 作为本发明的优选方案,所述放电控制元件为第一切换元件,所述第一切换元件包括控制端、第一切换端和第二切换端,所述第一切换端与所述电荷存储元件相连,所述第二切换端与本级所述栅极线的末端相连,并且奇数级放电控制元件的控制端与奇数级电平电压相连,偶数级放电控制元件的控制端与偶数级电平电压相连。

[0008] 作为本发明的又一优选方案,所述每一级栅信号延迟补偿装置还包括防止反向导通二极管,其电流输入端与所述放电控制元件相连,并且其电流输出端与本级所述栅极线末端相连。

[0009] 作为本发明的另一个优选方案,所述栅信号延迟补偿装置还包括电荷清空元件,用以在所述电荷存储元件对栅极线放电后,清空所述电荷存储元件中的电量。

[0010] 通过在液晶显示面板中加入栅信号延迟补偿装置,本发明的液晶显示面板可以有效解决由于栅信号延迟而导致的显示中的闪烁及辉度不均匀现象。因此本发明可以在不增加工艺的前提下,提高显示质量。

附图说明

[0011] 图 1(a) 所示为现有的液晶显示面板以及现有液晶显示面板中栅信号延迟情况的波形示意图。

[0012] 图 1(b) 所示为现有的两侧栅极驱动的液晶显示面板示意图以及栅信号延迟情况的波形示意图。

[0013] 图 2 所示为根据本发明第一实施例的液晶显示面板中栅信号延迟补偿装置的结构示意图。

[0014] 图 3 所示为本发明第一实施例中输入栅极线和输入栅信号延迟补偿装置各电平信号的时序图。

[0015] 图 4 所示为本发明第二实施例的液晶显示面板中栅信号延迟补偿装置的结构示意图。

[0016] 图 5 所示为本发明第三实施例的液晶显示面板中栅信号延迟补偿装置的结构示意图。

[0017] 图 6 所示为本发明第四实施例的液晶显示面板中栅信号延迟补偿装置的结构示意图。

[0018] 图 7 为图 6 所示的第四实施例的液晶显示面板中栅信号延迟补偿装置的等效电路图。

[0019] 图 8 所示为本发明第四实施例中输入栅极线和输入栅信号延迟补偿装置各电平信号的时序图。

具体实施方式

[0020] 下面参照附图说明本发明的具体实施方式。

[0021] 第一实施例

[0022] 图 2 为根据本发明第一实施例的液晶显示面板中栅信号延迟补偿装置的结构示意图。

[0023] 如图 2 所示,液晶显示面板 1 中包括哑栅极线 Dummy (G0) 和多根栅极线 Gate1 ~ GateN 用以传输栅信号,还包括奇数级电平电压 Vodd 和偶数级电平电压 Veven 用以分别输出不同的电平信号。与多根栅极线对应的,液晶显示面板 1 中包括多级栅信号延迟补偿装置,分别与各级栅极线 Gate1 ~ GateN 的末端相连,其中每一级补偿装置包括二极管、电容器和薄膜晶体管。以第一级补偿装置和第二级补偿装置为例说明其结构,第一级补偿装置包括二极管 T01、电容器 C1 和薄膜晶体管 T11。其中二极管 T01 的正极与哑栅极线 Dummy (G0) 的末端相连,二极管 T01 的负极与电容器 C1 的一端相连,电容器 C1 的另一端与低电平电压 VSS 相连。薄膜晶体管 T11 的栅极与奇数级电平电压 Vodd 相连,源极与二极管 T01 的负极相连,漏极与栅极线 Gate1 的末端相连。第二级补偿装置的组成和结构与第一级补偿装置的基本相同,不同点在于,薄膜晶体管 T12 与偶数级电平电压 Veven 相连,由偶数

级电平信号控制,第二级补偿装置包括二极管 T02、电容器 C2 和薄膜晶体管 T12,其中二极管 T02 的正极与栅极线 Gate1 的末端相连,二极管 T02 的负极与电容器 C2 的一端相连,电容器 C2 的另一端与低电平电压 VSS 相连。薄膜晶体管 T12 的栅极与偶数级电平电压 Veven 相连,源极与二极管 T02 的负极相连,漏极与栅极线 Gate2 的末端相连。奇数级补偿装置的结构与第一级补偿装置相同,并且分别与偶数级栅极线以及奇数级电平电压 Vodd 相连。偶数级补偿装置的结构与第二级补偿装置相同,并且分别与奇数级栅极线以及偶数级电平电压 Veven 相连,在此不再赘述。

[0024] 下面具体说明本发明的液晶显示面板中栅信号延迟补偿装置的运作方式。奇数级电平电压 Vodd 和偶数级电平电压 Veven 的电平信号时序图如图 3 所示。当哑栅极线 Dummy (G0) 输入高电平时,二极管 T01 导通,对电容器 C1 充电。当 Gate1 输入高电平时, Dummy 转为低电平,此时奇数级电平电压 Vodd 输出高电平,导通薄膜晶体管 T11,从而电容器 C1 通过 T11 从 Gate1 的末端向 Gate1 放电。这样 Gate1 相当于从两端输入信号,从而避免出现栅信号延迟的现象,解决由于栅极线的电阻而引起的闪烁或辉度不均匀的问题。

[0025] 根据本发明第一实施例的液晶显示面板,由于在栅极线末端增加栅信号延迟补偿装置,因此在正常输入栅信号到栅极线时,即可避免由于栅信号延迟而导致的液晶显示面板显示效果不良的问题。

[0026] 第二实施例

[0027] 下面参照图 4 说明本发明第二实施例。图 4 为本发明第二实施例的液晶显示面板以及液晶显示面板中栅信号延迟补偿装置的结构示意图。如图 4 所示,第二实施例与第一实施例的区别在于,各级栅信号延迟补偿装置中分别还包括一个二极管 T21 ~ T2n,其他组成部件与第一实施例相同,使用相同附图标记,在此不再赘述。

[0028] 在第一实施例中,参照图 2 和图 3 所示,当奇数行栅极线输入高电平时,奇数级电平电压 Vodd 为高电平,此时奇数级延迟补偿装置中的薄膜晶体管 T11、T13、T15 ~ T1n 打开,而输入高电平的栅极线以外的其他栅极线将会对电容器充电使其为低电平,这样在下一周期中,充电为低电平的电容器会由于充电不足而影响补偿效果。下面以第一级延迟补偿装置为例进行详细说明,当 Gate3 输入高电平时,Vodd 也为高电平,此时第一级延迟补偿装置中的薄膜晶体管 T11 打开,Gate1 输入的低电平对电容器 C1 充电使其为低电平,这样,在下一周期中,哑栅极线 Dummy (G0) 输入高电平时,对 C1 充电不足,从而影响电容器 C1 对于 Gate1 的补偿效果。同样的问题也存在于偶数级延迟补偿装置中。

[0029] 如图 4 所示,针对以上可能存在的问题,第二实施例在各延迟补偿装置中分别加入一个二极管 T21 ~ T2n,以第一级延迟补偿装置中的 T21 为例进行说明。T21 的正极与薄膜晶体管 T11 的漏极相连,二极管 T21 的负极与栅极线 Gate1 的末端相连。当奇数级电平电压 Vodd 为高电平时,虽然薄膜晶体管 T11 打开,但是由于二极管 T21 的存在,栅极线 G1 不会对电容器 C1 充入低电压,这样就不会影响在下一个周期中栅极线 Dummy (G0) 对于电容器 C1 充电,从而可以获得更好的栅信号延迟补偿效果。

[0030] 第三实施例

[0031] 下面参照图 5 说明本发明的第三实施例。图 5 为本发明第三实施例的液晶显示面板以及液晶显示面板中栅信号延迟补偿装置的结构示意图。如图 5 所示,第三实施例与第二实施例的区别在于将各级延迟补偿装置中的二极管 T01 ~ T0n 换为薄膜晶体管 TFT01 ~

TFT0n,并将 TFT01 ~ TFT0n 的源极与高电平电压 VGH 相连,与第二实施例相同的部件使用相同的附图标记,并在此不再赘述。

[0032] 参照图 5 以第一级延迟补偿装置为例说明本实施例。第一级延迟补偿装置包括第一薄膜晶体管 TFT01,电容器 C1、第二薄膜晶体管 T11 以及二极管 T21,其中第一薄膜晶体管的栅极与哑栅极线 Dummy (G0) 相连,并根据哑栅极线 Dummy (G0) 上输入的信号控制 TFT01 的开关,TFT01 的源极与高电平电压 VGH 相连,TFT01 的漏极与电容器 C1 相连,电容器 C1 的另一端与低电平电压 VSS 相连。薄膜晶体管 T11 的栅极与奇数级电平电压 Vodd 相连,源极与电容器 C1 相连,漏极与二极管 T21 的负极相连。二极管 T21 的正极与薄膜晶体管 T11 相连,负极与栅极线 Gate1 相连。

[0033] 下面参照图 3 和图 5 说明本发明第三实施例中延迟补偿装置的运作方式。当哑栅极线 Dummy (G0) 输入高电平时,薄膜晶体管 TFT01 导通,高电平电压 VGH 对电容器 C1 充电。当栅极线 Gate1 输入高电平时,薄膜晶体管 T11 导通,电容器 C1 通过二极管 T21 向栅极线 Gate1 的另一端放电,以解决栅极信号延迟的问题。

[0034] 在本实施例中延迟补偿装置利用高电平电压给电容器充电,可以使得电容器的充电更加充分,从而增强延迟补偿装置的补偿效果。

[0035] 第四实施例

[0036] 下面参照图 6 说明本发明第四实施例。图 6 为本发明第四实施例的液晶显示面板以及液晶显示面板中栅信号延迟补偿装置的结构示意图。如图 6 所示,第四实施例与第三实施例的区别在于,在延迟补偿装置中加入二极管 T31 ~ T3n,并分别输入不同的时序信号。

[0037] 图 7 为图 6 所示的延迟补偿装置结构示意图的等效电路图。图 8 为第四实施例中各电平信号的时序图。下面参照图 6、图 7 和图 8 说明第四实施例。以第一级延迟补偿装置和第二级延迟补偿装置为例说明本实施例。

[0038] 如图 6 所示,第一级延迟补偿装置包括薄膜晶体管 TFT01 和 T11、电容器 C1、二极管 T21 和 T31。二极管 T31 的正极与电容器 C1 的一端相连,二极管 T31 的负极与第二电平电压 V2 相连。第二级延迟补偿装置包括薄膜晶体管 TFT02 和 T12、电容器 C2、二极管 T22 和 T32。二极管 T32 的正极与电容器 C2 的一端相连,二极管 T32 的负极与第一电平电压 V1 相连。第一电平电压 V1 和第二电平电压 V2 的时序信号如图 8 所示。

[0039] 下面参照图 6、图 7 和图 8 说明本发明第四实施例中栅信号延迟补偿装置的运作方式。当哑栅极线 Dummy (G0) 输入高电平时,第一级延迟补偿装置中的薄膜晶体管 TFT01 导通,高电平电压 VGH 对电容器 C1 充电。当栅极线 Gate1 输入高电平,哑栅极线 Dummy (G0) 输入低电平时,TFT01 关闭;奇数级电平电压 Vodd 输入高电平,导通薄膜晶体管 T11,电容器 C1 通过薄膜晶体管 T11 和二极管 T21 从 Gate1 的末端对其充电。在电容器 C1 对栅极线 Gate1 充电开始的前一段时间,维持第二电平电压 V2 仍然为高电平,保证电容器 C1 对栅极线 Gate1 的充电。在充电的后一段时间,第二电平电压 V2 降为低电平,使得电容器 C1 通过第二电平电压 V2 放电。同时,当栅极线 Gate1 输入高电平时,第二级延迟补偿装置中的薄膜晶体管 TFT02 导通,高电平电压 VGH 对电容器 C2 充电,并依此类推。

[0040] 本发明第四实施例中,由于在延迟补偿装置中增加了二极管 T31 ~ T3n,使得电容器 C1 ~ Cn 在前半段时间内对于本级栅极线充电,而在后半段时间内通过第一电平电压 V1

或第二电平电压 V2 放电,可以更好地保证在下一个周期中对于电容器的充电,从而可以更好地保证对于栅极线的栅信号延迟的补偿效果。

[0041] 综上所述,本发明通过在各级栅极线的末端设置栅信号延迟补偿装置,可以在不增加工艺的前提下,避免栅信号延迟的情况发生,从而提高液晶显示面板的显示效果。

[0042] 本领域技术人员均应了解,在不脱离本发明的精神或范围的情况下,可以对本发明进行各种修改和变型。因而,如果任何修改和变型落入所附权利要求书以及等同物的保护范围内时,认为本发明涵盖这些修改和变型。

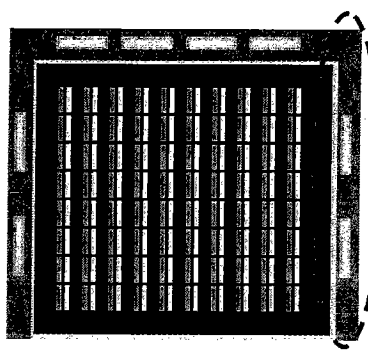
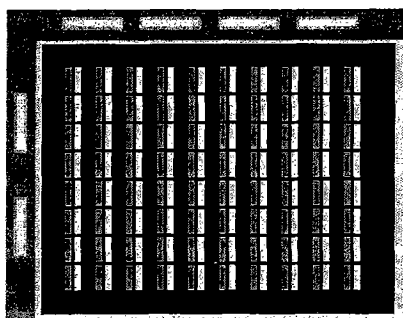


图 1 (a)



图 1 (b)

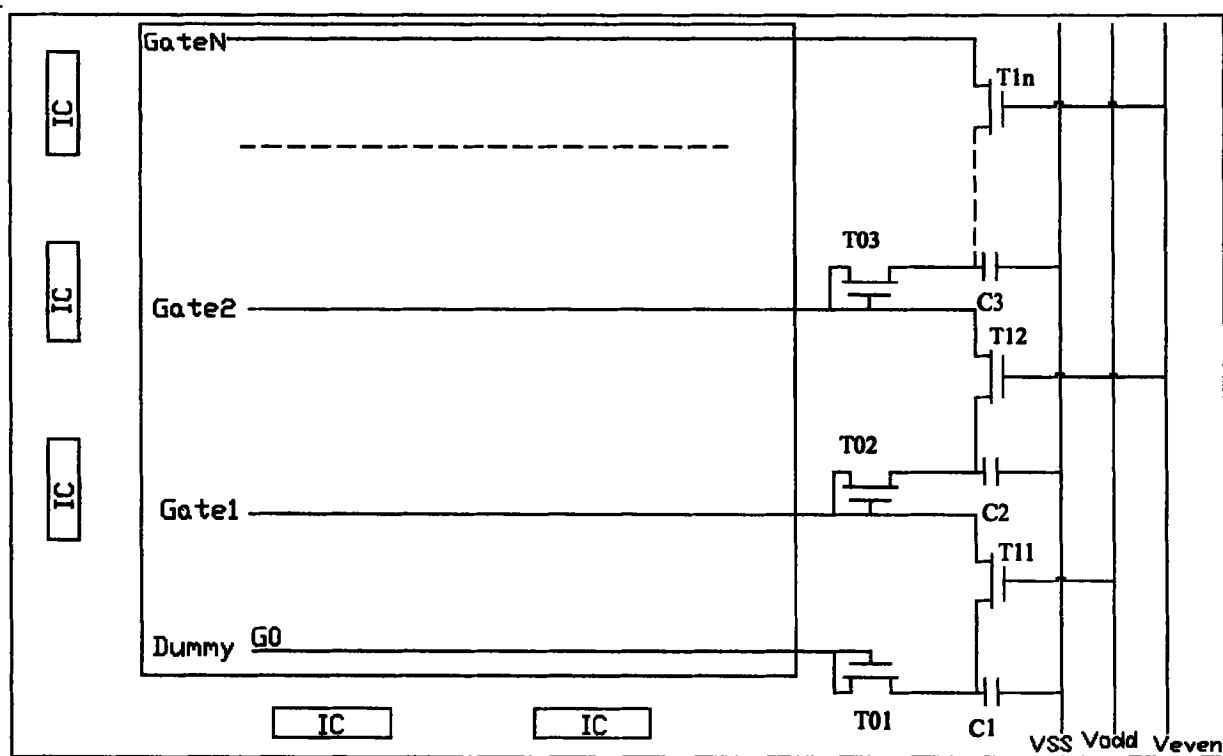


图 2

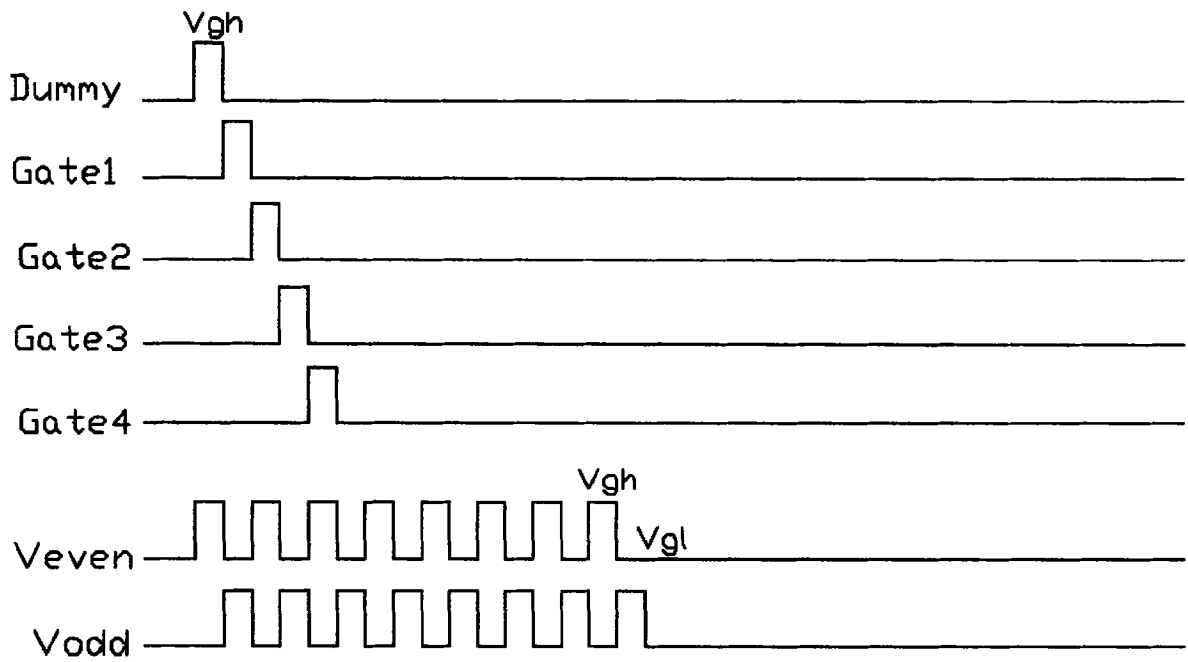


图 3

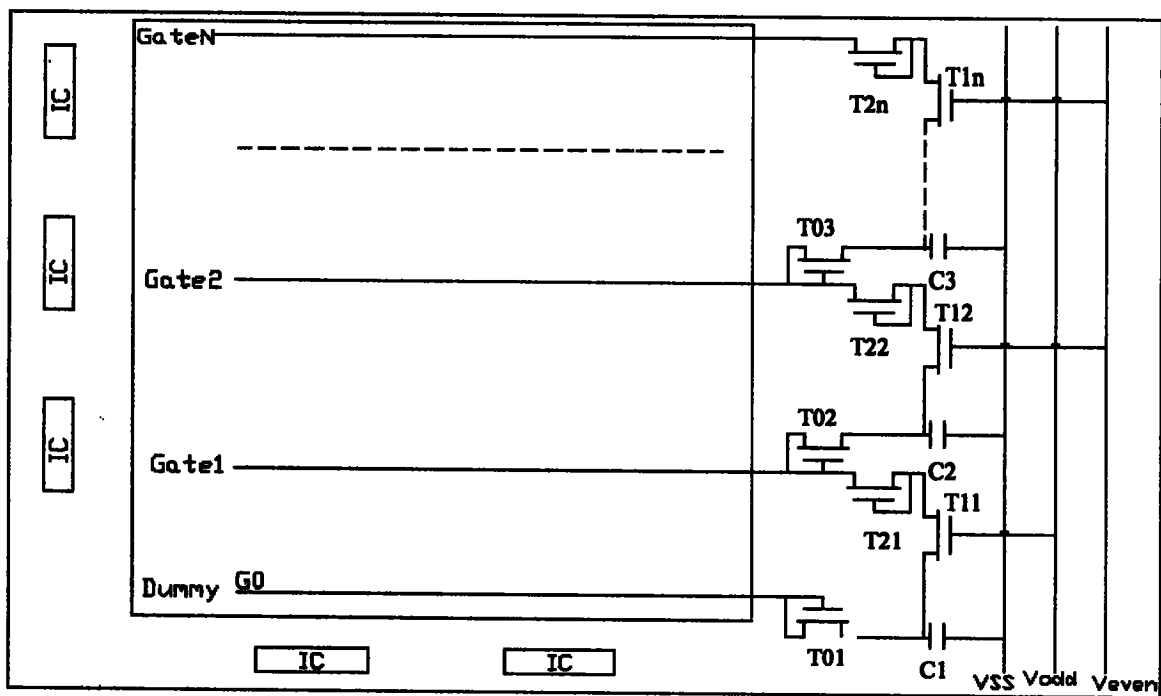


图 4

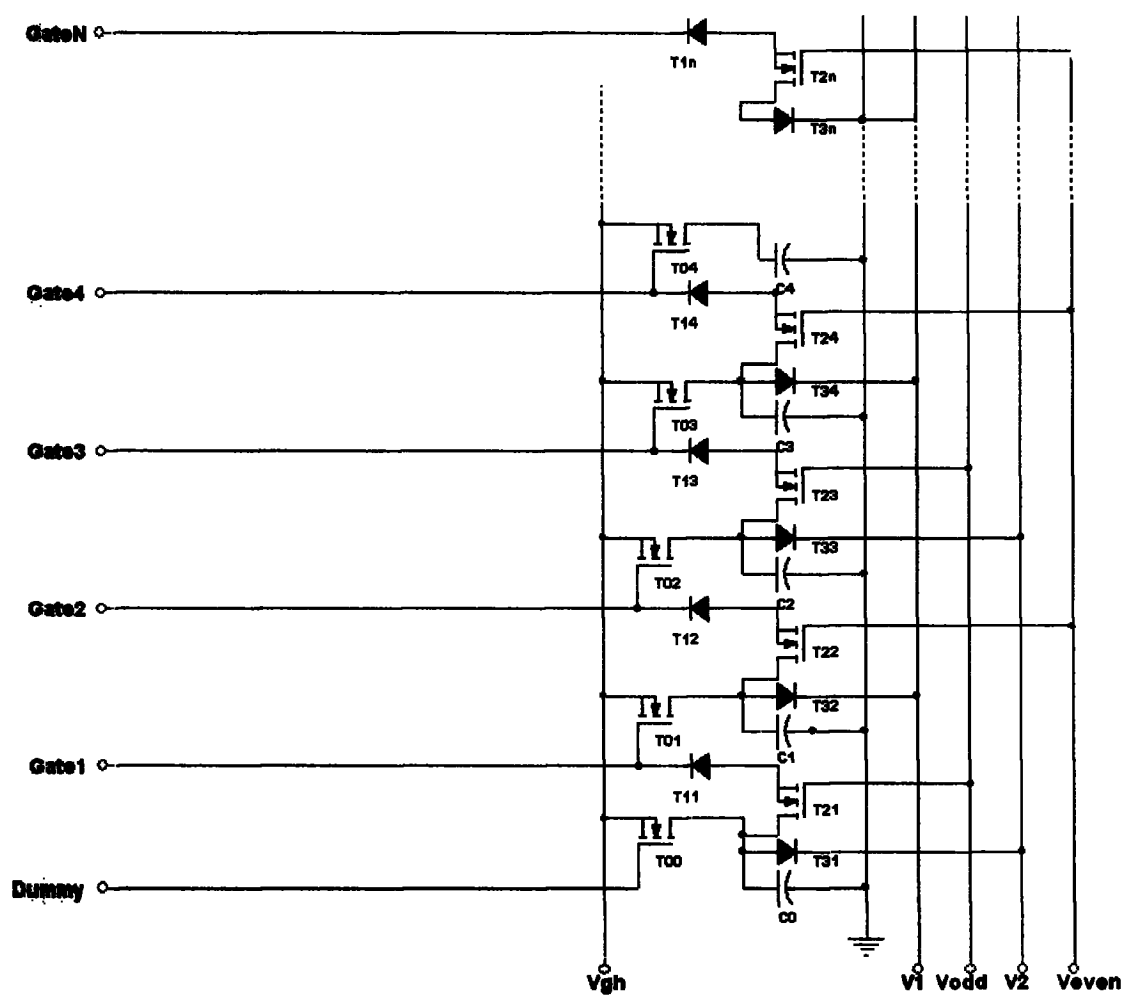


图 7

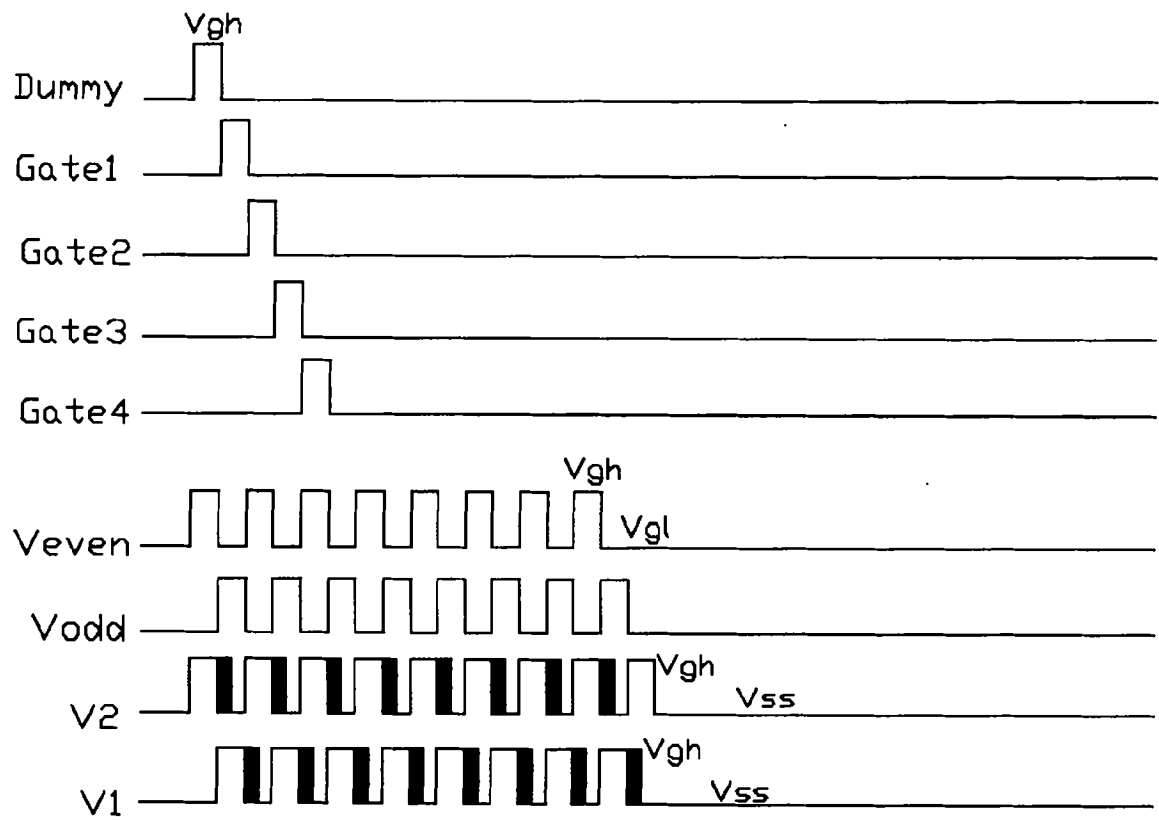


图 8

专利名称(译)	液晶显示面板		
公开(公告)号	CN101661173B	公开(公告)日	2011-03-16
申请号	CN200810043736.1	申请日	2008-08-27
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海天马微电子有限公司		
当前申请(专利权)人(译)	上海天马微电子有限公司		
[标]发明人	李元		
发明人	李元		
IPC分类号	G02F1/133 G09G3/36		
审查员(译)	李慧		
其他公开文献	CN101661173A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示面板，该液晶显示面板包含多条栅极线，所述多条栅极线的末端分别与各级栅信号延迟补偿装置相连，所述各级栅信号延迟补偿装置的每一级包括充电控制元件，与前级所述栅极线末端相连；电荷存储元件，一端与所述充电控制元件相连，另一端与低电平电压相连；以及放电控制元件，与所述电荷存储元件相连，用以控制所述电荷存储元件对本级所述栅极线放电。本发明的液晶显示面板可以有效避免由于栅信号延迟而引起的显示效果不良。

