

1. 一种用于液晶显示器的多工驱动电路,其特征在于,其同时接收一第一及一第二扫描时脉信号以将同一数据线的像素数据分时写入不同像素,所述的多工驱动电路包含:

一第一切换元件,所述第一切换元件漏极连接所述的第一扫描时脉信号及所述第一切换元件控制端连接所述的第二扫描时脉信号;

一第二切换元件,所述的第二切换元件的控制端连接所述的第一切换元件的源极,且该第二切换元件的其余端极分别连接所述的数据线及一第一像素电极;

一第三切换元件,所述第三切换元件控制端连接所述的第一切换元件的控制端,且该第三切换元件的其余端极分别连接所述的数据线及一第二像素电极;

一第四切换元件,所述第四切换元件源极连接所述的第一扫描时脉信号,且所述第四切换元件控制端连接所述的第三切换元件的控制端和第二扫描时脉信号;及

一第五切换元件,所述第五切换元件控制端连接所述的第四切换元件的漏极,且该第五切换元件的其余端极分别连接所述的数据线及一第三像素电极;

其中所述的第一扫描时脉信号与所述的第二扫描时脉信号具有相同的周期脉冲宽度,且彼此具有半周期脉冲宽度的相位差。

2. 如权利要求1所述的多工驱动电路,其特征在于,所述的第一、第二、及第三像素电极分别为一红色、一蓝色及一绿色像素的像素电极。

3. 如权利要求1所述的多工驱动电路,其特征在于,所述的第一切换元件为一第一PMOS晶体管、所述的第二切换元件为一第一NMOS晶体管、所述的第三切换元件为一第二NMOS晶体管、所述的第四切换元件为一第三NMOS晶体管、及所述的第五切换元件为一第四NMOS晶体管。

4. 如权利要求3所述的多工驱动电路,其特征在于,所述的第一NMOS晶体管、所述的第二NMOS晶体管、及所述的第四NMOS晶体管的源极连接至所述的数据线,使该数据线的所述的像素数据于该些NMOS晶体管导通时分别写入该些不同像素。

5. 如权利要求4所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为高准位且所述的第二扫描时脉信号为低准位的区间时,所述的第一NMOS晶体管导通,且所述的第二NMOS晶体管及所述的第四NMOS晶体管均关断。

6. 如权利要求4所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为高准位且所述的第二扫描时脉信号为高准位的区间时,所述的第一NMOS晶体管关断,且所述的第二NMOS晶体管及所述的第四NMOS晶体管均导通。

7. 如权利要求4所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为低准位且所述的第二扫描时脉信号为高准位的区间时,所述的第一NMOS晶体管关断,所述的第二NMOS晶体管导通且所述的第四NMOS晶体管关断。

8. 如权利要求3所述的多工驱动电路,其特征在于,所述的第一扫描时脉信号经由一第一栅极线施加至所述的多工驱动电路,且所述的第一栅极线连接所述的第一PMOS晶体管的漏极及所述的第三NMOS晶体管的源极,所述的第二扫描时脉信号经由一第二栅极线施加至所述的多工驱动电路,且所述的第二栅极线连接所述的第一PMOS晶体管、所述的第二NMOS晶体管及所述的第三NMOS晶体管的栅极。

9. 一种用于液晶显示器的多工驱动电路,其特征在于,其同时接收一第一及一第二扫描时脉信号以将同一数据线的像素数据分时写入不同像素,所述的多工驱动电路包含:

一第一切换元件,所述第一切换元件源极连接所述的第一扫描时脉信号及所述第一切换元件控制端连接所述的第二扫描时脉信号;

一第二切换元件,所述的第二切换元件的控制端连接所述的第一切换元件的漏极,且该第二切换元件的其余端极分别连接所述的数据线及一第一像素电极;

一第三切换元件,所述第三切换元件控制端连接所述的第一切换元件的控制端,且该第三切换元件的其余端极分别连接所述的数据线及一第二像素电极;

一第四切换元件,所述第四切换元件源极连接所述的第一扫描时脉信号,且所述第四切换元件控制端连接所述的第三切换元件的控制端和第二扫描时脉信号;及

一第五切换元件,所述第五切换元件控制端连接所述的第四切换元件的漏极,且该第五切换元件的其余端极分别连接所述的数据线及一第三像素电极;

其中所述的第一扫描时脉信号与所述的第二扫描时脉信号具有相同的周期脉冲宽度,且彼此具有半周期脉冲宽度的相位差。

10. 如权利要求 9 所述的多工驱动电路,其特征在于,所述的第一切换元件为一第一 NMOS 晶体管、所述的第二切换元件为一第一 PMOS 晶体管、所述的第三切换元件为一第二 PMOS 晶体管、所述的第四切换元件为一第三 PMOS 晶体管、及所述的第五切换元件为一第四 PMOS 晶体管。

11. 如权利要求 10 所述的多工驱动电路,其特征在于,所述的第一 PMOS 晶体管、所述的第二 PMOS 晶体管、及所述的第四 PMOS 晶体管的源极连接至所述的数据线,使所述的数据线的所述的像素数据于该些 PMOS 晶体管导通时分别写入该些不同像素。

12. 如权利要求 11 所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为低准位且所述的第二扫描时脉信号为高准位的区间时,所述的第一 PMOS 晶体管导通,且所述的第二 PMOS 晶体管及所述的第四 PMOS 晶体管均关断。

13. 如权利要求 11 所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为低准位且所述的第二扫描时脉信号为低准位的区间时,所述的第一 PMOS 晶体管关断,且所述的第二 PMOS 晶体管及所述的第四 PMOS 晶体管均导通。

14. 如权利要求 11 所述的多工驱动电路,其特征在于,于所述的第一扫描时脉信号为高准位且所述的第二扫描时脉信号为低准位的区间时,所述的第一 PMOS 晶体管关断,所述的第二 PMOS 晶体管导通且所述的第四 PMOS 晶体管关断。

15. 如权利要求 10 所述的多工驱动电路,其特征在于,所述的第一扫描时脉信号经由一第一栅极线施加至所述的多工驱动电路,且所述的第一栅极线连接所述的第一 NMOS 晶体管的源极及所述的第三 PMOS 晶体管的源极;

所述的第二扫描时脉信号经由一第二栅极线施加至所述的多工驱动电路,且所述的第二栅极线连接所述的第一 NMOS 晶体管、第二 PMOS 晶体管及第三 PMOS 晶体管的栅极。

一种用于液晶显示器的多工驱动电路

技术领域

[0001] 本发明关于一种用于液晶显示器的多工驱动电路,且特别是有关于一种可共享同一数据线将像素数据分时写入不同像素的多工驱动电路。

背景技术

[0002] 图 1 为一已知液晶显示器 100 的部分像素单元电路图。如图 1 所示,液晶显示器 100 具有彼此相交的栅极线 G1-Gn 及数据线 D1-Dm,且于每条数据线与栅极线的交错处设有驱动相对一数据线左侧的像素 PL 的第一薄膜晶体管 LTFT1、第二薄膜晶体管 LTFT2,及驱动相对一数据线右侧的像素 PR 的一薄膜晶体管 RTFT,以将同一数据线的电压分布至左侧像素 PL 及右侧像素 PR。亦即,通过此一电路设计搭配栅极驱动信号的分时控制方式,可将同一数据线的电压轮流导入左侧像素 PL 及右侧像素 PR,获得节省一半数据线的效果。

[0003] 然而,上述设计虽可获得减少数据线数量的效果,但该设计关于栅极驱动信号的分时控制及利用数据 IC 传送数据的实施方式过于复杂,且数据线数量仍有进一步缩减的空间。

发明内容

[0004] 本发明提供一种用于液晶显示器的多工驱动电路,且特别是有关于一种可共享同一数据线将像素数据分时写入不同像素的多工驱动电路。

[0005] 本发明的一实施例为一种用于液晶显示器的多工驱动电路,

[0006] 其同时接收一第一及一第二扫描时脉信号,以将同一数据线的像素数据分时写入不同像素。第一扫描时脉信号与第二扫描时脉信号具有相同的周期脉冲宽度,且彼此具有半周期脉冲宽度的相位差。该多工驱动电路包含一第一、一第二、一第三、一第四、及一第五切换元件。第一切换元件连接第一及第二扫描时脉信号,第二切换元件的控制端连接第一切换元件,且其余端极分别连接数据线及一第一像素电极。第三切换元件的控制端连接第一切换元件,且其余端极分别连接数据线及一第二像素电极。第四切换元件连接第一及第二扫描时脉信号,且其控制端连接第三切换元件。第五切换元件的控制端连接第四切换元件,且其余端极分别连接数据线及一第三像素电极。

[0007] 于一实施例中,第一切换元件为一第一 PMOS 晶体管、第二切换元件为一第一 NMOS 晶体管、第三切换元件为一第二 NMOS 晶体管、第四切换元件为一第三 NMOS 晶体管、及第五切换元件为一第四 NMOS 晶体管,且其中第一 NMOS 晶体管、第二 NMOS 晶体管、及第四 NMOS 晶体管的源极连接至数据线,使数据线的像素数据于该些 NMOS 晶体管导通时分别写入不同像素。

[0008] 于另一实施例中,第一切换元件为一第一 NMOS 晶体管、第二切换元件为一第一 PMOS 晶体管、第三切换元件为一第二 PMOS 晶体管、第四切换元件为一第三 PMOS 晶体管、及第五切换元件为一第四 PMOS 晶体管,其中第一 PMOS 晶体管、第二 PMOS 晶体管、及第四 PMOS

晶体管的源极连接至数据线,使数据线的像素数据于该些 PMOS 晶体管导通时分别写入不同像素。

[0009] 基于上述各个实施例的设计,同一数据线可将像素数据分时写入三个不同像素(例如红色像素、蓝色像素及绿色像素),使数据线数缩减为已知设计的三分之一;另一方面,于数据线写入像素数据的过程中,可将同一像素数据写入除目标像素外的另一像素,获得预充另一像素电压的效果,使该像素其后填入正确像素数据的所需时间有效缩短。

[0010] 本发明的其他目的和优点可以从本发明所揭露的技术特征中得到进一步的了解。为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举实施例并配合所附图式,作详细说明如下。

附图说明

[0011] 图 1 为一已知液晶显示器的部分像素单元电路图;

[0012] 图 2 为显示依本发明一实施例的液晶显示器示意图;

[0013] 图 3 为显示一多工驱动电路实施例的电路图,图 4 为搭配图 3 的多工驱动电路实施的扫描时脉信号波形图;

[0014] 图 5 为显示另一多工驱动电路实施例的电路图,图 6 为搭配图 5 的多工驱动电路实施的扫描时脉信号波形图。

[0015] 附图标号

[0016] 10 液晶显示器 12 数据线

[0017] 14 栅极线 16 数据驱动电路

[0018] 18 栅极驱动电路 22、32 多工驱动电路

[0019] 24B 蓝色像素 24G 绿色像素

[0020] 24R 红色像素 100 液晶显示器

[0021] D1、D2、Dn 数据线

[0022] G1、G2、G3、G4、G_{m-1}、G_m 栅极线

[0023] LTFT1、LTFT2、RTFT 薄膜晶体管

[0024] N1、N2、N3、N4NMOS 晶体管

[0025] P1、P2、P3、P4PMOS 晶体管

[0026] PG1、PG2 扫描时脉信号

[0027] PL、PR 像素

[0028] t1、t2、t3、t4、t5、t6 时间区间

具体实施方式

[0029] 图 2 为显示依本发明一实施例的液晶显示器 10 示意图。如图 2 所示,液晶显示器 10 具有彼此相交的复数数据线 12(D1-Dn;n 为正整数)及复数栅极线 14(G1-Gm;m 为正整数),一数据驱动电路 16 用以将像素数据施加至复数数据线 12,详言之,数据驱动电路 16 锁定数字视频数据并将其转换为模拟 γ 补偿电压后施加至数据线 D1-Dn,且一栅极驱动电路 18 依序将扫描时脉信号施加至复数栅极线 G1-Gm。

[0030] 依本实施例的设计,多个红色像素 24R、绿色像素 24G 及蓝色像素 24B 排列成多道

像素单元列,且每道像素单元列分别由两条栅极线 14 控制,例如第一像素单元列连接栅极线 G1、G2,第二像素单元列连接栅极线 G3、G4,余此类推。再者,液晶显示器 10 具有复数个多工驱动电路 22,且每个多工驱动电路 22 对应一红色像素 24R、一绿色像素 24G 及一蓝色像素 24B。

[0031] 图 3 为显示一多工驱动电路实施例的电路图,图 4 为搭配图 3 的多工驱动电路实施的扫描时脉信号波形图。如图 3 所示,多工驱动电路 22 包含第一 PMOS 晶体管 P1、第一 NMOS 晶体管 N1、第二 NMOS 晶体管 N2、第三 NMOS 晶体管 N3、及第四 NMOS 晶体管 N4。第一 NMOS 晶体管 N1、第二 NMOS 晶体管 N2、及第四 NMOS 晶体管 N4 的漏极分别连接红色像素 24R、蓝色像素 24B、及绿色像素 24G 的像素电极,且第一 NMOS 晶体管 N1、第二 NMOS 晶体管 N2、及第四 NMOS 晶体管的源极均连接至同一数据线 D1。因此,数据线 D1 的像素数据可于第一 NMOS 晶体管 N1 导通 (ON) 时写入红色像素 24R、于第二 NMOS 晶体管 N2 导通时写入蓝色像素 24B、且于第四 NMOS 晶体管 N4 导通时写入绿色像素 24G。施加第一扫描时脉信号 PG1 的第一栅极线 G1 连接第一 PMOS 晶体管 P1 的漏极、及第三 NMOS 晶体管 N3 的源极,施加第二扫描时脉信号 PG2 的栅极线 G2 连接第一 PMOS 晶体管 P1、第二 NMOS 晶体管 N2 及第三 NMOS 晶体管 N3 的栅极(控制端)。

[0032] 如下搭配图 4 不同扫描时脉信号 PG1 及 PG2 波形说明多工驱动电路 22 的操作方式。第一扫描时脉信号 PG1 与第二扫描时脉信号 PG2 具有相同的周期脉冲宽度,且彼此具有半周期脉冲宽度的相位差。

[0033] 1. 时间区间 t1

[0034] 首先在时间区间 t1 期间,扫描时脉信号 PG1 为高准位且扫描时脉信号 PG2 为低准位,所以第一 PMOS 晶体管 P1 为导通状态,当第一 PMOS 晶体管 P1 为导通状态时,因为第一 NMOS 晶体管 N1 栅极(控制端)连接第一 PMOS 晶体管 P1 源极,所以第一 NMOS 晶体管 N1 亦呈导通状态。再者,因第二 NMOS 晶体管 N2 的栅极连接低准位扫描时脉信号 PG2,所以第 NMOS 晶体管 N2 为关断 (OFF) 状态,且第三 NMOS 晶体管 N3 的栅极连接第 NMOS 晶体管 N2 栅极所以亦呈关断状态。当第三 NMOS 晶体管 N3 关断时,因第四 NMOS 晶体管 N4 的栅极连接第三 NMOS 晶体管 N3 漏极所以亦呈关断状态。故于此时间区间 t1 内,因第一 NMOS 晶体管 N1 导通故数据线 D1 可将红色像素数据写入红色像素 24R。

[0035] 2. 时间区间 t2

[0036] 在时间区间 t2 期间,扫描时脉信号 PG1 为高准位且扫描时脉信号 PG2 为高准位,所以此时第一 PMOS 晶体管 P1 切换为关断状态,当 PMOS 晶体管 P1 为关断状态时,因为第一 NMOS 晶体管 N1 栅极连接第一 PMOS 晶体管 P1 源极,所以第一 NMOS 晶体管 N1 亦呈关断状态。再者,第 NMOS 晶体管 N2 栅极连接高准位扫描时脉信号 PG2 故呈导通状态,且第三 NMOS 晶体管 N3 栅极连接第 NMOS 晶体管 N2 栅极所以亦呈导通状态。当第三 NMOS 晶体管 N3 导通时,因第四 NMOS 晶体管 N4 的栅极连接第三 NMOS 晶体管 N3 漏极所以亦呈导通状态。于此时间区间 t2 内,因第四 NMOS 晶体管 N4 导通,故数据线 D1 可将绿色像素数据写入绿色像素 24G,同时因第二 NMOS 晶体管 N2 导通,数据线 D1 可将绿色像素数据写入蓝色像素 24B 获得预充蓝色像素 24B 电压的效果。

[0037] 3. 时间区间 t3

[0038] 在时间区间 t3 期间,扫描时脉信号 PG1 为低准位且扫描时脉信号 PG2 为高准位,

所以此时第一 PMOS 晶体管 P1 呈关断状态,当第一 PMOS 晶体管 P1 呈关断状态时,因为第一 NMOS 晶体管 N1 栅极连接第一 PMOS 晶体管 P1 源极故亦呈关断状态。再者,第 NMOS 晶体管 N2 栅极连接高准位扫描时脉信号 PG2 故呈导通状态,且第三 NMOS 晶体管 N3 栅极连接第二 NMOS 晶体管 N2 栅极故亦呈导通状态。当第三 NMOS 晶体管 N3 导通时,因为第三 NMOS 晶体管 N3 连接低准位的扫描时脉信号 PG1,所以栅极连接第三 NMOS 晶体管 N3 漏极的第四 NMOS 晶体管 N4 呈关断状态。于此时间区间 t3 内,因第二 NMOS 晶体管 N2 导通,故数据线 D1 可将蓝色像素数据写入蓝色像素 24B,因为在上一时间区间 t2 内蓝色像素 24B 已先被预充电压(绿色像素数据),所以于此时间区间 t3 内蓝色像素 24B 写入正确蓝色像素数据的时间可大幅缩短。

[0039] 接着,下一组栅极线(例如第三栅极线 G3 及第四栅极线 G4)亦于时间区间 t4、t5、t6 进行下一条数据线(例如数据线 D2)的相同像素数据写入过程。因此,依本实施例的设计,同一数据线 12 可将像素数据分时写入三个不同像素(红色像素 24R、蓝色像素 24B、及绿色像素 24G),使数据线数缩减为已知设计的三分之一;另一方面,于数据线 12 写入像素数据的过程中,可将同一像素数据写入除目标像素外的另一像素,获得预充另一像素电压的效果,使该像素其后填入正确像素数据的所需时间有效缩短。

[0040] 图 5 为显示另一多工驱动电路实施例的电路图,图 6 为搭配图 5 的多工驱动电路实施的扫描时脉信号波形图。如图 5 所示,多工驱动电路 32 包含第一 NMOS 晶体管 N1、第一 PMOS 晶体管 P1、第二 PMOS 晶体管 P2、第三 PMOS 晶体管 P3、及第四 PMOS 晶体管 P4。第一 PMOS 晶体管 P1、第二 PMOS 晶体管 P2、及第四 PMOS 晶体管 P4 的漏极分别连接红色像素 24R、蓝色像素 24B、及绿色像素 24G 的像素电极,且第一 PMOS 晶体管 P1、第二 PMOS 晶体管 P2、及第四 PMOS 晶体管 P4 的源极均连接至同一数据线 D1。因此,数据线 D1 的像素数据可于第一 PMOS 晶体管 P1 导通时写入红色像素 24R、于第二 PMOS 晶体管 P2 导通时写入蓝色像素 24B、且于第四 PMOS 晶体管 P4 导通时写入绿色像素 24G。施加第一扫描时脉信号 PG1 的第一栅极线 G1 连接第一 NMOS 晶体管 N1 的源极及第三 PMOS 晶体管 P3 的源极,施加第二扫描时脉信号 PG2 的第二栅极线 G2 连接第一 NMOS 晶体管 N1、第二 PMOS 晶体管 P2 及第三 PMOS 晶体管 P3 的栅极。本实施例与图 3 的实施例差别在于将 PMOS 晶体管与 NMOS 晶体管互换,同时搭配图 6 所示与图 4 反相的输出脉冲(即图 6 所示的各个扫描时脉信号的高、低准位与图 4 各个对应扫描时脉信号的高、低准位互换),如此本实例中各个晶体管的导通/关断状态与图 3 实施例中位于同一位置的晶体管的导通/关断状态相同,故可获得相同的缩减数据线数及预充电压的效果。

[0041] 再者,须注意于前述各个实施例中,连接不同晶体管的像素种类及顺序仅为例示之用而不限定。

[0042] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何熟悉领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视前附的权利要求所界定者为准。另外,本发明的任一实施例或权利要求不须达成本发明所揭露的全部目的或优点或特点。此外,摘要部分和标题仅是用来辅助专利文件搜索之用,并非用来限制本发明的权利范围。

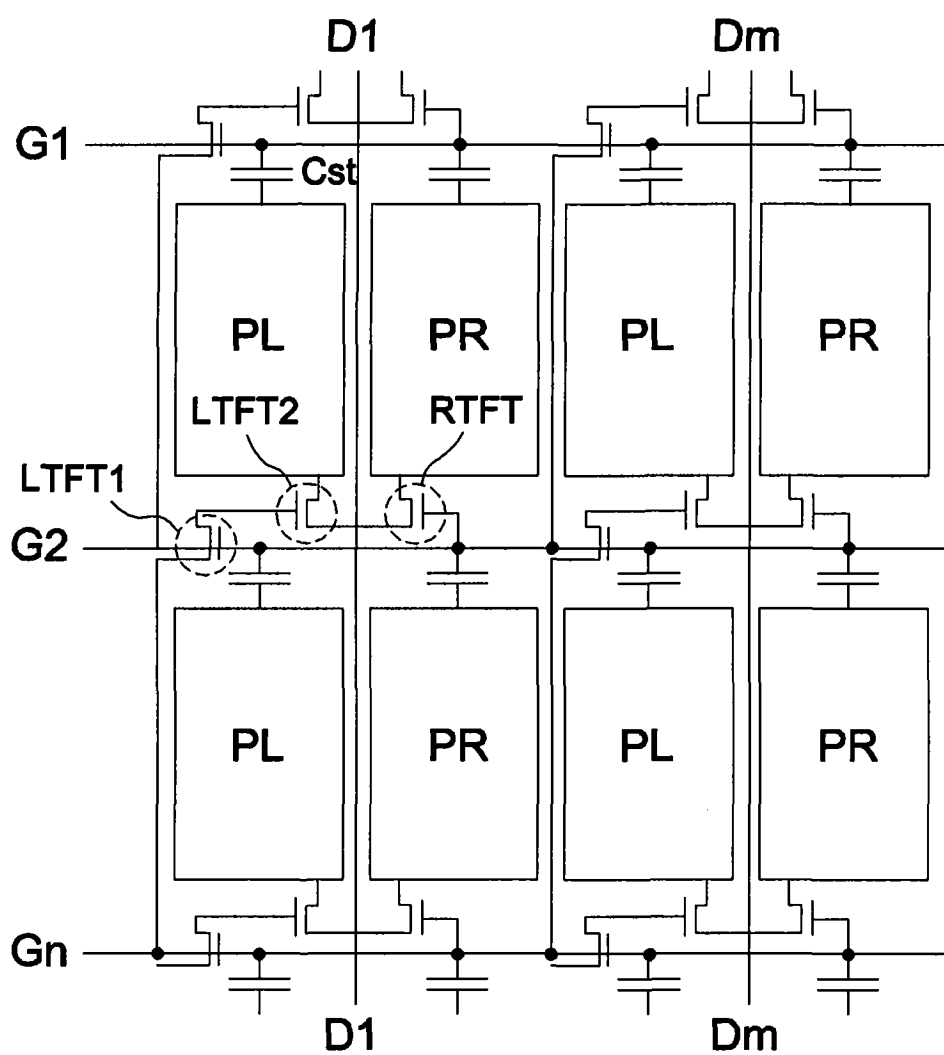
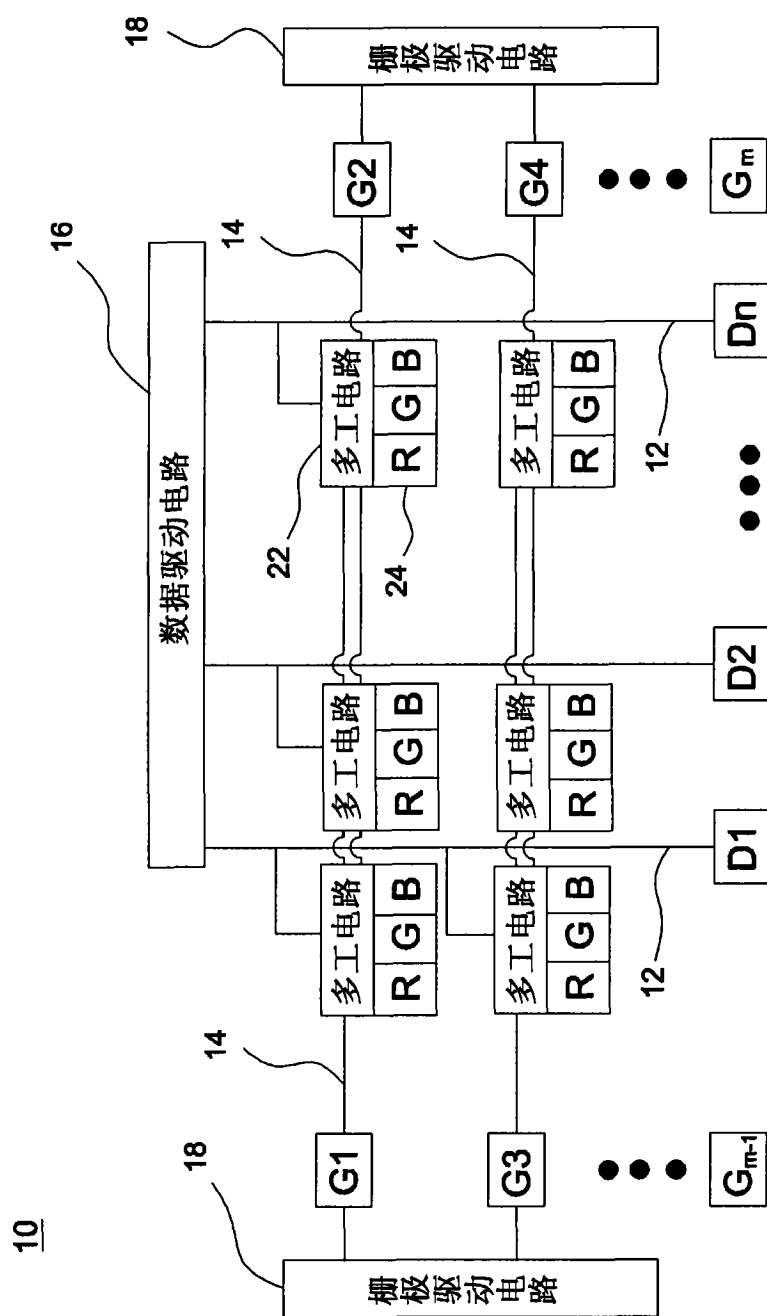
100

图 1

2
回

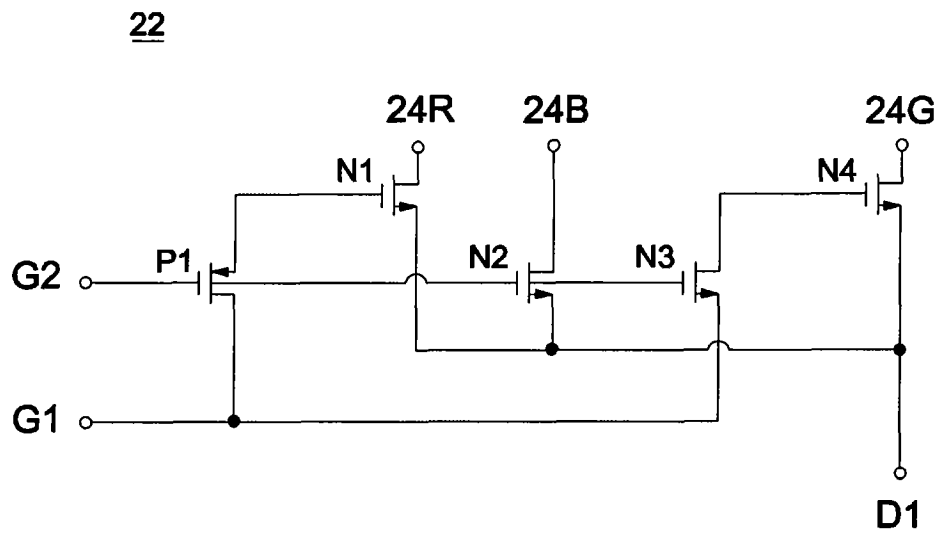


图 3

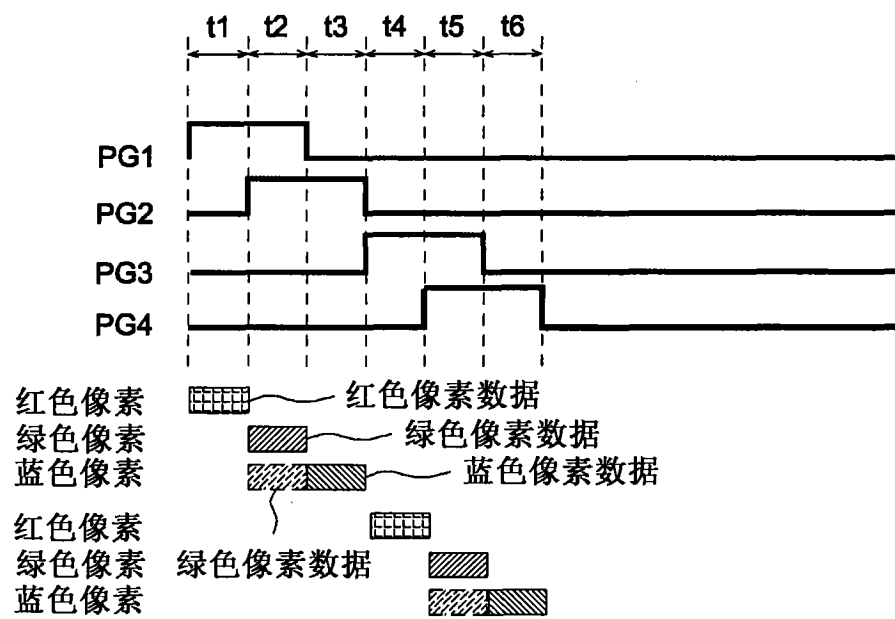


图 4

32

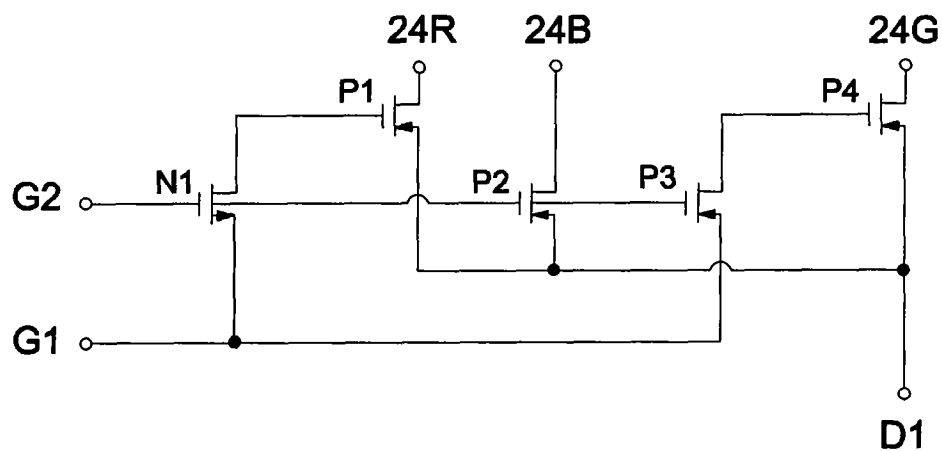


图 5

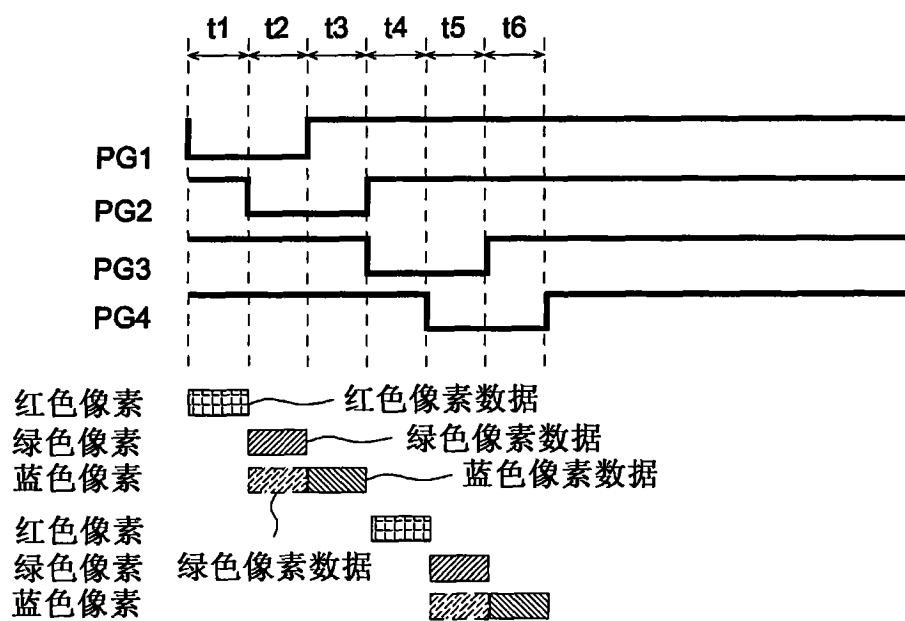


图 6

专利名称(译)	一种用于液晶显示器的多工驱动电路		
公开(公告)号	CN101533616B	公开(公告)日	2011-05-18
申请号	CN200810086043.0	申请日	2008-03-14
[标]申请(专利权)人(译)	胜华科技股份有限公司		
申请(专利权)人(译)	胜华科技股份有限公司		
当前申请(专利权)人(译)	胜华科技股份有限公司		
[标]发明人	韩西容 詹建廷		
发明人	韩西容 詹建廷		
IPC分类号	G09G3/36 H03K17/687 H03K19/0185		
审查员(译)	张东		
其他公开文献	CN101533616A		
外部链接	Espacenet SIPO		

摘要(译)

一种用于液晶显示器的多工驱动电路。该多工驱动电路同时接收一第一及一第二扫描时脉信号，以将同一数据线的像素数据分时写入不同像素。多工驱动电路包含第一、第二、第三、第四、及第五切换元件。第一切换元件连接第一及第二扫描时脉信号，第二切换元件的控制端连接第一切换元件。第三切换元件的控制端连接第一切换元件。第四切换元件连接第一及第二扫描时脉信号。第五切换元件的控制端连接第四切换元件，且其余端极分别连接数据线及第三像素电极。本发明的有益效果在于缩减数据线数,以及，于数据线写入像素数据的过程中，获得预充另一像素电压的效果，使该像素其后填入正确像素数据的所需时间有效缩短。

