

(12) 发明专利

(10) 授权公告号 CN 101425281 B

(45) 授权公告日 2013. 02. 13

(21) 申请号 200810174763. 2

US 2006/0001630 A1, 2006. 01. 05,

(22) 申请日 2008. 10. 30

Shao-Sheng Yang, Pao-Lin Guo, Tsin-Yuan

(30) 优先权数据

Chang, Jin-Hua Hong. A Multi-Phase

109670/07 2007. 10. 30 KR

Charge-Sharing Technique without External

(73) 专利权人 三星显示有限公司

Capacitor for Low-Power TFT-LCD Column

地址 韩国京畿道

Drivers. 《Circuits and Systems, 2003.

(72) 发明人 金宝拉 孙宣圭

ISCAS' 03. Proceedings of the 2003

(74) 专利代理机构 北京市柳沈律师事务所

International Symposium on》. 2003,

11105

审查员 李文斐

代理人 李琳

(51) Int. Cl.

G09G 3/36 (2006. 01)

G02F 1/13 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

CN 1627144 A, 2005. 06. 15,

CN 1991454 A, 2007. 07. 04,

US 2006/0012550 A1, 2006. 01. 19,

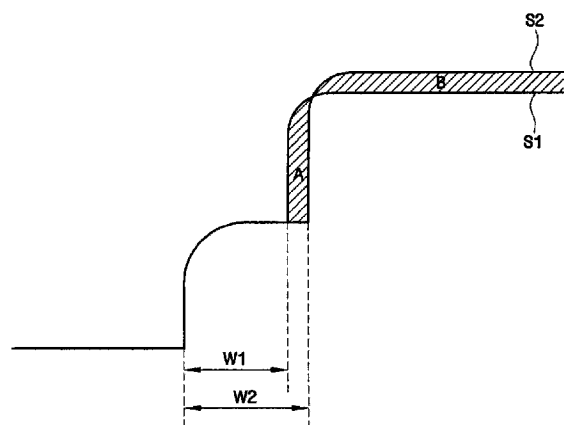
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

具有改善的可视性的液晶显示设备

(57) 摘要

公开了一种具有改善的可视性的液晶显示设备。根据一个实施例,所述液晶显示器包括:液晶面板,包括多个显示块,每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素;定时控制器,提供包括数据和电荷共享控制信号的整合信号;以及对应于多个显示块的多个数据驱动芯片,每个数据驱动芯片以点对点关系耦合到所述定时控制器,接收所述整合信号,并在电荷共享时段期间将对应显示块中的多条数据线彼此短路,其中,所述多个数据驱动芯片中的至少两个将电荷共享时段调整为彼此不同。



1. 一种液晶显示设备,包含:

液晶面板,包括多个显示块,每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素;

定时控制器,提供包括数据和电荷共享控制信号的整合信号;和

对应于多个显示块的多个数据驱动芯片,每个数据驱动芯片以点对点关系耦合到所述定时控制器,接收所述整合信号,并在电荷共享时段期间将对应显示块中的多条数据线彼此短路,

其中,所述多个数据驱动芯片中的至少两个数据驱动芯片将所述电荷共享时段的长度调整为彼此不同,使得与多个数据驱动芯片中的至少两个相对应的显示块中的像素中的电荷量相同。

2. 如权利要求 1 所述的液晶显示设备,还包含:

产生电源电压的电源电压产生器,

其中,所述多个数据驱动芯片被级联耦合到所述电源电压产生器。

3. 如权利要求 2 所述的液晶显示设备,其中:

所述多个数据驱动芯片包含第一和第二数据驱动芯片,并且通过第一数据驱动芯片给第二数据驱动芯片提供电源电压,

并且,第二数据驱动芯片将电荷共享时段调整为短于第一数据驱动芯片的电荷共享时段。

4. 如权利要求 2 所述的液晶显示设备,其中,每个数据驱动芯片被从所述电源电压产生器提供电源电压,并产生图像数据电压来驱动对应的数据线。

5. 如权利要求 1 所述的液晶显示设备,其中,每个数据驱动芯片包含:

解码器,接收整合信号并提供电荷共享信号;和

形成在多条数据线之间的多个开关元件,响应于所述电荷共享信号将所述多条数据线彼此短路。

6. 如权利要求 1 所述的液晶显示设备,其中,所述整合信号是单端信号。

7. 如权利要求 1 所述的液晶显示设备,其中,所述定时控制器和多个数据驱动芯片通过电流驱动方法彼此进行通信。

8. 如权利要求 1 所述的液晶显示设备,其中,使用 COG (Chip On Glass, 玻璃上芯片) 技术将所述多个数据驱动芯片安装在液晶面板上。

9. 一种液晶显示设备,包含:

液晶面板,包括第一和第二显示块,每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素;和

对应于第一和第二显示块的第一和第二数据驱动芯片,第一数据驱动芯片在第一时段期间将包括在第一显示块中的多条数据线短路,并将图像数据电压施加到包括在第一显示块中的多条数据线,第二数据驱动芯片在长度与第一时段不同的第二时段期间将包括在第二显示块中的多条数据线短路,并将图像数据电压施加到包括在第二显示块中的多条数据线,使得与第一数据驱动芯片和第二数据驱动芯片相对应的第一显示块和第二显示块中的像素中的电荷量相同。

10. 如权利要求 9 所述的液晶显示设备,还包含定时控制器,所述定时控制器将第一电

荷共享信号提供给第一数据驱动芯片,并将与第一电荷共享信号不同的第二电荷共享信号提供给第二数据驱动芯片。

11. 如权利要求 10 所述的液晶显示设备,其中,所述定时控制器将包括数据和第一电荷共享信号的第一整合信号提供给第一数据驱动芯片,并将包括数据和第二电荷共享信号的第二整合信号提供给第二数据驱动芯片。

12. 如权利要求 11 所述的液晶显示设备,其中,第一和第二整合信号是单端信号。

13. 如权利要求 10 所述的液晶显示设备,其中,第一和第二数据驱动芯片以点对点关系耦合到所述定时控制器。

14. 如权利要求 10 所述的液晶显示设备,其中,所述定时控制器和第一及第二数据驱动芯片使用电流驱动方法彼此进行通信。

15. 如权利要求 9 所述的液晶显示设备,还包含:电源电压产生器,产生第一和第二数据驱动芯片中的电源电压。

16. 如权利要求 15 所述的液晶显示设备,其中,第一和第二数据驱动芯片和电源电压产生器彼此级联耦合。

17. 如权利要求 16 所述的液晶显示设备,其中,通过第一数据驱动芯片给第二数据驱动芯片提供电源电压,并且第二时段短于第一时段。

18. 如权利要求 9 所述的液晶显示设备,其中,使用 COG(玻璃上芯片)技术将第一和第二数据驱动芯片安装在液晶面板上。

## 具有改善的可视性的液晶显示设备

[0001] 对相关申请的交叉引用

[0002] 本申请要求 2007 年 10 月 30 日在韩国知识产权局提交的韩国专利申请 No. 10-2007-0109670 的优先权,通过引用将其公开全部包含于此。

### 技术领域

[0003] 本发明一般涉及液晶显示设备。

### 背景技术

[0004] 一般来说,液晶显示设备包括液晶面板 (liquid crystal panel),所述液晶面板具有其上提供像素电极的下玻璃板 (lower glass plate)、其上提供公共电极的上玻璃板、以及具有介电各向异性并介于下玻璃板和上玻璃板之间的液晶层。在像素电极和公共电极之间产生了电场,并且通过调整电场强度来控制光通过液晶面板的透射,从而显示期望的图像。液晶面板包括多个像素,每个像素是最小的图像显示单元,并且像素分别被耦合到对应的栅极线 (gateline) 和数据线。液晶显示设备包括栅极驱动单元和数据驱动单元以驱动所述多个像素。栅极驱动单元通过栅极线将栅极电压提供给各像素,而数据驱动单元通过数据线将图像数据电压提供给各像素。

[0005] 数据驱动单元可以包括多个数据驱动芯片,每个数据驱动芯片接收多个控制信号,并被供给电源电压,并产生数据电压。但是,所述多个数据驱动芯片可以级联耦合到用于提供电源电压的电源电压产生器。在这种情况下,虽然电源电压被提供给多个数据驱动芯片,但是电源电压的电平因电压线的电阻成份而降低。因此,由于每个数据驱动芯片使用处于不同电平的电源电压产生数据电压,所以降低了液晶显示设备的可视性 (visibility)。

### 发明内容

[0006] 根据一个或更多实施例,公开了提供具有改善的可视性的液晶显示设备的系统和方法。

[0007] 根据本发明实施例的一个方面,提供了一种液晶显示器,包含:液晶面板,包括多个显示块,每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素;定时控制器,提供包括数据和电荷共享控制信号的整合信号;以及对应于多个显示块的多个数据驱动芯片,每个数据驱动芯片以点对点关系耦合到所述定时控制器,接收整合信号,并在电荷共享时段期间将对应显示块中的多条数据线彼此短路,其中,所述多个数据驱动芯片中的至少两个数据驱动芯片将电荷共享时段调整为彼此不同。

[0008] 根据本发明实施例的另一个方面,提供了一种液晶显示器,包含:液晶面板,包括第一和第二显示块,每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素;以及对应于第一和第二显示块的第一和第二数据驱动芯片,第一数据驱动芯片在第一时段期间将包括在第一显示块中的多条数据线短路,并将图像数据电压施加

到包括在第一显示块中的多条数据线,第二数据驱动芯片在与第一时段不同的第二时段期间将包括在第二显示块中的多条数据线短路,并将图像数据电压施加到包括在第二显示块中的多条数据线。

[0009] 其他实施例的细节被包括在具体实施方式和附图中。

#### 附图说明

[0010] 通过参考附图详细描述,本发明实施例的上述以及其他特征和优点将变得清晰,在附图中:

[0011] 图 1 是示出根据本发明实施例的液晶显示设备的框图;

[0012] 图 2 是一个像素的等效电路图;

[0013] 图 3 是示出从图 1 中所示的多个数据驱动芯片输出的图像数据电压之间的比较结果的示意图;

[0014] 图 4 和图 5 是示出图 1 中所示多个数据驱动芯片、信号总线和电压线的排列的示意图;

[0015] 图 6 是示出图 1 中所示数据驱动芯片的内部结构的框图;

[0016] 图 7 是示出图 6 中所示输出缓冲器的电路图;和

[0017] 图 8 是示出图 1 中所示数据驱动芯片的操作的定时图。

#### 具体实施方式

[0018] 通过参考以下详细描述和附图,可以更容易理解本发明实施例的优点和特征以及实现它们的方法。但是,本发明可以被用很多不同的形式具体实施,并且不应该被理解为局限于这里给出的实施例。相反,提供这些实施例以使本公开更加透彻和完整,并将全面地向本领域技术人员传达本发明实施例的概念,并且本发明将只由所附权利要求限定。贯穿说明书,相同的参考数字指示相同的元件。

[0019] 将会理解,当元件或层被称为“在另一个元件或层上”,“连接到”或者“耦合到”另一个元件或层时,它可能直接在另一个元件或层上,直接连接到或者耦合到另一个元件或层,或者,也可能存在居间的元件或层。相反,当元件被称为“直接在另一个元件或层上”、“直接连接到”或“直接耦合到”另一个元件或层时,则不存在居间的元件或层。如这里所使用的,术语“和/或”包括一个或多个相关联的被列出项目的任意和全部的组合。

[0020] 将会理解,尽管这里可能使用术语第一、第二等来描述各种元件、部件、和/或部分,但是这些元件、部件、和/或部分不应该受这些术语限制。这些术语只被用来将一个元件、部件或部分与另一个元件、部件或部分相区别。因此,以下讨论的第一元件、部件或部分可以被叫做第二元件、部件或部分而不会偏离本公开的教导。

[0021] 这里使用的术语只是出于描述示范性实施例的目的,并非旨在限制本发明。如这里所使用的,除非上下文明确地另有指示,否则预期单数形式“一”、“一个”和“所述”也包括复数形式。还将理解,当在本说明书中使用时,术语“包含”规定存在所陈述的特征、整数、步骤、操作、元件,和/或部件,但是不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、部件和/或它们的组合。

[0022] 除非另外明确阐明,否则这里使用的所有的术语(包括技术和科学术语)可被用

作本领域技术人员通常能够理解的含义。此外,在普通字典中定义的那些术语,不应该被理想化或过度地解释,除非另外明确阐明。

[0023] 图 1 是示出根据本发明实施例的液晶显示设备的框图。图 2 是一个像素的等效电路图。图 3 是示出从图 1 中所示的多个数据驱动芯片输出的图像数据电压之间的比较结果的示意图。

[0024] 参考图 1,液晶显示设备 10 包括液晶面板 300、栅极驱动单元 400、数据驱动单元 500 和定时控制器 600。

[0025] 首先,在等效电路中,液晶面板 300 包括多条显示信号线 G1 到 Gn 和 D1 到 Dm,以及连接到所述多条显示信号线 G1 到 Gn 和 D1 到 Dm 的多个像素(未示出)。所述多条显示信号线 G1 到 Gn 和 D1 到 Dm 包括多条栅极线 G1 到 Gn 和多条数据线 D1 到 Dm。

[0026] 如上所述,液晶面板 300 包括多个像素。图 2 是一个像素的等效电路图。例如,连接到第 f 条栅极线 Gf( $f = 1 \sim n$ ) 和第 g 条数据线 Dg( $g = 1 \sim m$ ) 的像素 PX 包括连接到栅极线 Gf 和数据线 Dg 的开关元件 Qp,以及连接到开关元件 Qp 的液晶电容器 Clc 和存储电容器 Cst。液晶电容器 Clc 包括在下玻璃板 100 上提供的像素电极 PE 和在上玻璃板 200 上提供的公共电极 CE。在公共电极 CE 的一部分上形式了滤色器 CF。

[0027] 栅极驱动单元 400 从定时控制器 600 接收栅极控制信号,并将栅极信号施加到栅极线 G1 到 Gn。在这种情况下,栅极信号由从栅极开启/关闭电压产生器(未示出)提供的栅极开启(gate-on)电压 Von 和栅极关闭(gate-off)电压 Voff 的组合构成。栅极控制信号控制栅极驱动单元 400 的操作,并且可以包括:开始栅极驱动单元 400 的操作的垂直启动信号、确定栅极开启电压输出时刻(point of time)的栅极时钟信号,以及确定栅极开启电压的脉冲宽度的输出使能信号。

[0028] 栅极驱动单元 400 可以包括多个栅极驱动芯片。多个栅极驱动芯片可以直接安装在液晶面板 300 上,或者安装在柔性印刷电路薄膜(未示出)上,并且可以以带载封装的形式附着于液晶面板 300。或者,栅极驱动单元 400 可以与显示信号线 G1 到 Gn 和 D1 到 Dm 以及开关元件 Qp 一起集成在液晶面板 300 中。

[0029] 数据驱动单元 500 从定时控制器 600 接收数据控制信号,并将图像数据电压施加到数据线 D1 到 Dm。

[0030] 同时,数据驱动单元 500 可以包括多个数据驱动芯片 500\_1 到 500\_8。在图 1 中示出了 8 个数据驱动芯片,但是本发明不限于此。也就是说,如果有必要,所使用的数据驱动芯片的数量可以小于或者大于 8。在本实施例中,多个数据驱动芯片 500\_1 到 500\_8 可以直接安装在液晶面板 300 上(例如 COG(玻璃上芯片)),或者安装在柔性印刷电路薄膜(未示出)上,并且可以以带载封装的形式附着于液晶面板 300。

[0031] 在根据本实施例的液晶显示设备 10 中,液晶面板 300 包括多个显示块 BLK1 到 BLK8,多个显示块 BLK1 到 BLK8 对应多个数据驱动芯片 500\_1 到 500\_8。例如,如图 1 中所示,数据驱动芯片 500\_1 对应于显示块 BLK1,并且数据驱动芯片 500\_2 对应于显示块 BLK2。

[0032] 具体来说,数据驱动芯片 500\_1 到 500\_8 通过信号总线 502 以点对点关系(in a point-to-point relation)耦合到定时控制器 600。多个数据驱动芯片 500\_1 到 500\_8 级联耦合(cascade-coupled)到通过电压线 504 提供电源电压的电源电压产生器(未示出)。在图 4 和图 5 中举例说明了数据驱动芯片 500\_1 到 500\_8、定时控制器 600 和电源电压产生

器之间的连接关系。

[0033] 以下将仔细描述连接关系。

[0034] 数据驱动芯片 500\_1 到 500\_8 通过信号总线 502 以点对点关系耦合到定时控制器 600。因此,数据驱动芯片 500\_1 到 500\_8 通过信号总线 502 直接从定时控制器 600 接收数据控制信号。即,每个数据驱动芯片(例如,数据驱动芯片 500\_1)不是从另一个数据驱动芯片(例如数据驱动芯片 500\_2)接收数据控制信号,而是直接从定时控制器 600 接收数据控制信号。

[0035] 具体来说,在本实施例中,数据控制信号可以包括整合信号、驱动时钟,以及数据输入/输出信号。在这种情况下,整合信号包括数据和至少一个控制信号(例如,电荷共享控制信号和反转信号)。因此,定时控制器 600 能够通过一个信号总线 502 提供数据和至少一个控制信号。

[0036] 数据控制信号是单端信号(single-ended signal),并且定时控制器 600 和多个数据驱动芯片 500\_1 到 500\_8 能够通过电流驱动方法彼此进行通信。因此,数据驱动芯片 500\_1 到 500\_8 中的每一个将从定时控制器 600 提供的数据的电流电平(current level)与参考电流电平进行比较,并确定数据的电流电平是高电平还是低电平。

[0037] 同时,多个数据驱动芯片 500\_1 到 500\_8 通过电压线 504 级联耦合到电源电压产生器(未示出)。因此,在电源电压被提供给多个数据芯片 500\_1 到 500\_8 时,电源电压的电平可能因电压线 504 的电阻成份而降低。例如,当电源电压被提供给数据驱动芯片 500\_2,然后被提供给数据驱动芯片 500\_1 时,由数据驱动芯片 500\_1 使用的电源电压的电平可能低于数据驱动芯片 500\_2 使用的电源电压的电平。数据驱动芯片 500\_1 和 500\_2 中的每一个使用处于不同电平的电源电压产生图像数据电压。因此,即使数据驱动芯片 500\_1 和 500\_2 中的每一个从定时控制器接收相同的数据,并产生对应于接收数据的图像数据电压,但是由数据驱动芯片 500\_1 和 500\_2 输出的图像数据电压彼此不同。因此,对应数据驱动芯片 500\_1 的显示块 BLK1 中的像素中的电荷量变得与对应数据驱动芯片 500\_2 的显示块 BLK2 中的像素中的电荷量不同。结果,在显示块 BLK1 和 BLK2 之间可视性可能不同。

[0038] 在本实施例中,多个数据驱动芯片设置不同的电荷共享时段,并补偿(例如改善)显示块 BLK1 到 BLK8 之间可视性上的差别,这将在以下详细地描述。在将图像数据电压施加到多条数据线 D1 到 Dm 之前,多个数据驱动芯片 500\_1 到 500\_8 在预定的电荷共享时段期间将对应的数据线 D1 到 Dm 短路。在数据线 D1 到 Dm 被短路时,数据线 D1 到 Dm 被具有不同极性的图像数据电压充电,并共享电荷。因此,数据线 D1 到 Dm 的电压电平被充电到近似公共电压  $V_{com}$  的电平。数据驱动芯片 500\_1 到 500\_8 在电荷共享时段之后将图像数据电压施加到数据线 D1 到 Dm。在这种情况下,缩短了利用图像数据电压对数据线 D1 到 Dm 充电所需的时间。

[0039] 参考图 3, S1 和 S2 表示分别从不同的数据驱动芯片输出的图像数据电压。例如,在从另一个数据驱动芯片 500\_2 给数据驱动芯片 500\_1 提供电源电压的情况下,如果图像数据电压 S1 是从数据驱动芯片 500\_1 输出的图像数据电压,则图像数据电压 S2 可以从数据驱动芯片 500\_2 输出的图像数据电压。在从另一个数据驱动芯片 500\_7 给数据驱动芯片 500\_8 提供电源电压的情况下,如果图像数据电压 S1 是从数据驱动芯片 500\_8 输出的图像数据电压,则图像数据电压 S2 可以从数据驱动芯片 500\_7 输出的图像数据电压。

[0040] 为了说明方便,将只描述从另一个数据驱动芯片 500\_2 给数据驱动芯片 500\_1 提供电源电压的情况。即,S1 表示从数据驱动芯片 500\_1 输出的图像数据电压,并且 W1 表示从数据驱动芯片 500\_1 输出的图像数据电压的电荷共享时段。S2 表示从数据驱动芯片 500\_2 输出的图像数据电压,并且 W2 表示从数据驱动芯片 500\_2 输出的图像数据电压的电荷共享时段。

[0041] 在数据驱动芯片 500\_1 中使用的电源电压低于在数据驱动芯片 500\_2 中使用的电源电压,因此可以看到图像数据电压 S1 的电压电平低于图像数据电压 S2 的电压电平。但是,图像数据电压 S1 的电荷共享时段 W1 短于图像数据电压 S2 的电荷共享时段 W2。

[0042] 在这种情况下,如果调整电荷共享时段 W1 和 W2,使面积 A 和 B 大致相同,则有可能使对应数据驱动芯片 500\_1 的显示块 BLK1 中的像素中的电荷量与对应数据驱动芯片 500\_2 的显示块 BLK2 中的像素中的电荷量相同。因此,有可能补偿显示块 BLK1 和 BLK2 之间在可视性上的差别。

[0043] 此后将参考图 4 到图 8 详细描述多个数据驱动芯片 500\_1 到 500\_8 调整电荷共享时段的方法。

[0044] 图 4 和图 5 是示出图 1 中所示多个数据驱动芯片、信号总线和电压线的排列的示意图。图 4 示意性地示出了信号总线和电压线,图 5 具体示出了信号总线和电压线。

[0045] 参考图 4 和图 5,多个数据驱动芯片 500\_1 到 500\_8 使用 COG 技术被直接安装在液晶面板 300 的下玻璃板 100 上。定时控制器(未示出)、电源电压产生器(未示出)和伽马电压(gamma voltage)产生器(未示出)被安装在电路板 610 上。利用柔性印刷电路薄膜 620\_1 和 620\_2 将液晶面板 300 和电路板 610 相互绑定。

[0046] 参考多个数据驱动芯片 500\_1 到 500\_8 的排列,两个数据驱动芯片 500\_1 和 500\_2 被置于柔性印刷电路薄膜 620\_1 的左侧,并且两个数据驱动芯片 500\_3 和 500\_4 被置于柔性印刷电路薄膜 620\_1 的右侧。此外,两个数据驱动芯片 500\_5 和 500\_6 被置于柔性印刷电路薄膜 620\_2 的左侧,并且两个数据驱动芯片 500\_7 和 500\_8 被置于柔性印刷电路薄膜 620\_2 的右侧。但是,所述排列仅仅是示范性的,并且本发明不限于此。

[0047] 如上所述,由于多个数据驱动芯片 500\_1 到 500\_8 和定时控制器 600 以点对点关系彼此耦合,多个数据驱动芯片 500\_1 到 500\_8 通过对应的信号总线 502 接收数据控制信号。数据控制信号可以包括第一和第二整合信号 D0 和 D1、数据输入/输出信号 DIO、驱动时钟 CLK,等等。在这种情况下,第一整合信号 D0 可以包括数据和电荷共享信号 CSP,并且第二整合信号 D1 可以包括数据和反转信号 POL。数据驱动芯片 500\_1 到 500\_8 解码电荷共享控制信号 CSP 并调整电荷共享时段。

[0048] 此外,多个数据驱动芯片 500\_1 到 500\_8 级联耦合到电源电压产生器和伽马电压产生器。具体来说,通过电压线 504\_1 给多个数据驱动芯片 500\_1 到 500\_8 提供电源电压,通过电压线 504\_2 给多个数据驱动芯片 500\_1 到 500\_8 提供伽马电压。在这种情况下,电源电压包括逻辑电源电压 VDD1 和 VSS1,以及模拟电源电压 VDD2 和 VSS2。

[0049] 在这个结构中,由于数据驱动芯片 500\_1 到 500\_8 被级联耦合到电源电压产生器,数据驱动芯片 500\_1 到 500\_8 中的每一个可以使用处于不同电平的电源电压。但是,数据驱动芯片 500\_1 到 500\_8 以点对点关系耦合到定时控制器。因此,数据驱动芯片 500\_1 到 500\_8 中的每一个从定时控制器接收电荷共享控制信号 CSP,这允许电荷共享时段得以被

调整。结果,数据驱动芯片 500\_1 到 500\_8 能够适当地调整电荷共享时段。

[0050] 此后,将参考图 6 和图 7 描述数据驱动芯片的内部结构。图 6 是示出图 1 中所示数据驱动芯片的内部结构的框图。图 7 是示出图 6 中所示输出缓冲器的电路图。

[0051] 参考图 6,数据驱动芯片 500\_1 到 500\_8 中的每一个包括解码器 510、解串行器 520、移位寄存器 530、数据锁存器 540、数模转换器 550 (DAC)、伽马缓冲器 560 和输出缓冲器 570。

[0052] 解码器 510 从定时控制器 600 接收数据输入 / 输出信号 DIO、驱动时钟 CLK、以及第一和第二整合信号 D0 和 D1,将它们解码,并提供电荷共享信号 SHR、反转信号 POL、锁存指令信号 DL 和水平启动信号 STH。具体来说,电荷共享信号 SHR 用来短路多条数据线,以便多条数据线共享电荷。反转信号 POL 用来选择图像数据电压的极性。锁存指令信号 DL 用来确定数据锁存器 540 何时开始操作。水平启动信号 (horizontal start signal) STH 用来确定数据驱动芯片何时开始操作。

[0053] 解串行器 520 将串行输入的第一和第二整合信号 D0 和 D1 中的数据重新排列为并行格式。

[0054] 移位寄存器 530 接收水平启动信号 STH,并开始操作,并将通过解串行器 520 接收的数据顺序地提供给数据锁存器 540。

[0055] 数据锁存器 540 接收锁存指令信号 DL 并开始操作。数据锁存器 540 从移位寄存器 530 接收数据,锁存接收的数据,并将数据提供给数模转换器 550。

[0056] 从伽马缓冲器 560 给数模转换器 550 提供伽马电压 VGMA1 到 VGMA8,并且数模转换器 550 将数字数据转换为模拟图像数据电压 Y1 到 Y480。在这种情况下,数模转换器 550 输出的每个图像数据电压指示灰阶电压 (gray-scale level voltage)。

[0057] 输出缓冲器 570 接收反转信号 POL,并选择图像数据电压 Y1 到 Y480 中每一个的极性。此外,输出缓冲器 570 接收电荷共享信号 SHR 并短路数据线,以使电荷通过数据线共享。如图 7 中所示,输出缓冲器 570 包括缓冲电路 572、第一开关单元 574 和第二开关单元 576。缓冲电路 572 输出正图像数据电压和负图像数据电压。第一开关单元 574 接收反转信号 POL,并选择正图像数据电压和负图像数据电压中的任何一个,并输出所选择的电压。第二开关单元 576 接收电荷共享信号 SHR,并在电荷共享时段期间短路多条数据线。例如,第二开关单元 576 可以是当接收到电荷共享信号 SHR 时导通的 MOS 晶体管。

[0058] 此后,将参考图 6 到图 8 描述数据驱动芯片的操作。图 8 是示出图 1 中所示数据驱动芯片的操作的定时图。

[0059] 参考图 8,当在驱动时钟 CLK 的三个时钟周期中,数据输入 / 输出信号 DIO 处于低电平并且第一和第二整合信号 D0 和 D1 处于高电平 (见间隔 t1) 时,在每个数据驱动芯片 500\_1 到 500\_8 中提供的解码器 510 输出水平启动信号 STH。

[0060] 移位寄存器 530 接收水平启动信号 STH,并开始操作。在间隔 t2 期间,移位寄存器 530 接收第一和第二整合信号 D0 和 D1 中的数据。

[0061] 然后,解码器 510 接收第一整合信号 D0 中的 6 位电荷共享控制信号 CSP,解码该 6 位电荷共享控制信号 CSP,并产生电荷共享信号 SHR。该 6 位电荷共享信号能够确定电荷共享时段。例如,由所述 6 位电荷共享信号确定的电荷共享时段在表 1 中示出。当电荷共享信号 CSP 是 001000 时,电荷在驱动时钟 CLK 的 17 个时钟周期中共享。即,电荷被多条数据

线共享的间隔  $t_5$  变成 17 个时钟周期。因此,数据驱动芯片根据电荷共享控制信号 CSP 的值来调整电荷共享时段。即,定时控制器不同地设置施加到多个数据驱动芯片的电荷共享控制信号 CSP 的值,并调整电荷共享时段。

[0062] [表 1] 电荷共享信号和电荷共享时段之间关系的例子

[0063]

CSP[5:0]						电荷共享时段
Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
0	0	0	0	0	0	N/A
0	0	0	0	0	1	N/A
0	0	0	0	1	0	N/A
0	0	0	0	1	1	N/A
0	0	0	1	0	0	9clk
0	0	0	1	0	1	11 clk
0	0	0	1	1	0	13 clk
0	0	0	1	1	1	15 clk
0	0	1	0	0	0	17 clk
...	...	...	...	...	...	...
1	1	1	1	0	1	123 clk
1	1	1	1	1	0	125 clk
1	1	1	1	1	1	127 clk

[0064]

[0065] 当数据输入 / 输出信号 DIO 在两个驱动时钟的时钟周期期间 (见间隔  $t_4$ ) 处于低电平时,解码器 510 提供锁存指令信号 DL。数据锁存器 540 接收锁存指令信号 DL,并开始操作。

[0066] 从伽马缓冲器 560 给数模转换器 550 提供伽马电压 VGMA1 到 VGMA8,并且数模转换器 550 将数字数据转换为模拟图像数据电压。在这种情况下,由数模转换器 550 输出的每个图像数据电压指示灰阶电压。

[0067] 输出缓冲器 570 接收反转信号 POL,并选择图像数据电压 Y1 到 Y480 的极性。此外,输出缓冲器 570 接收电荷共享信号 SHR 并短路数据线,以使电荷通过数据线共享。

[0068] 在以上描述的液晶显示设备中,每个数据驱动芯片调整电荷共享时段,从而改善可视性。

[0069] 尽管为了说明的目的已经公开了本发明的各种实施例,但是本领域技术人员将理解,不偏离本发明如所附权利要求中公开的范围和精神的情况下的各种修改、增加或替代是可能的。

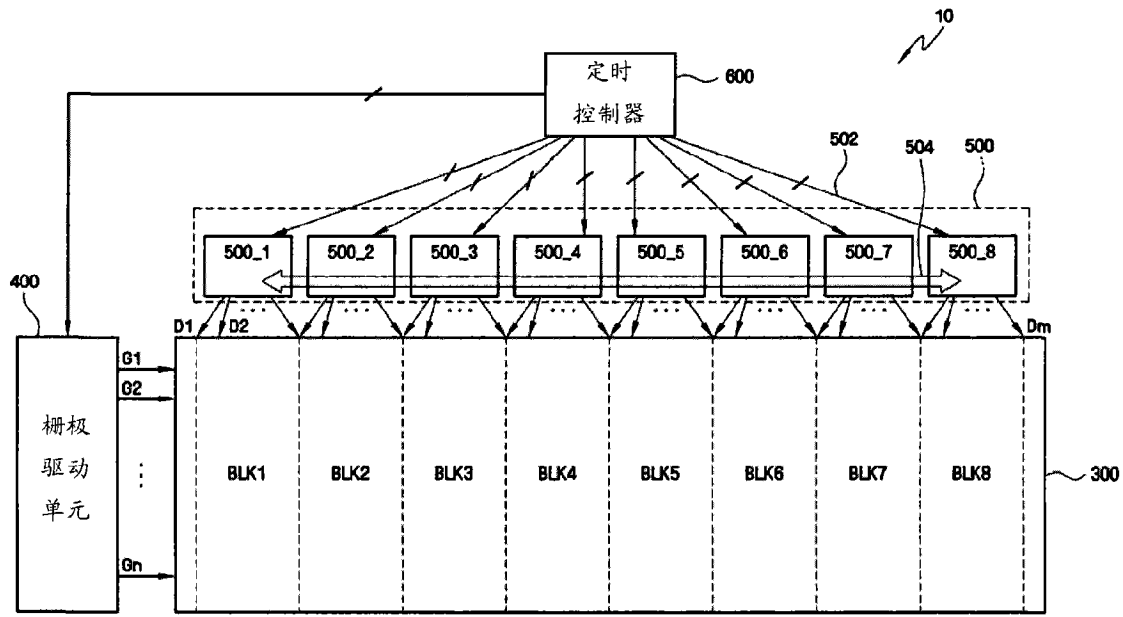


图 1

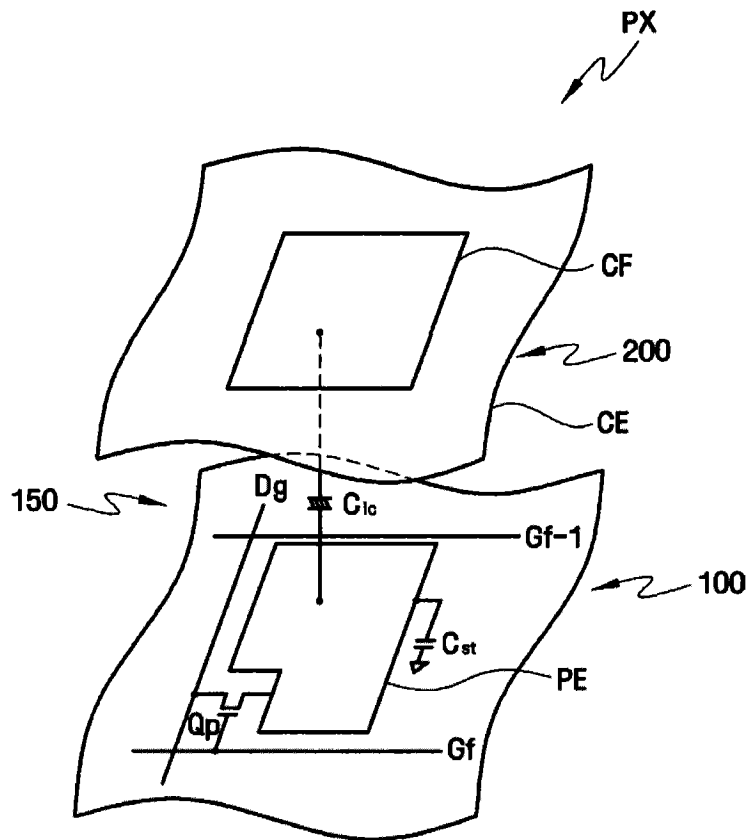


图 2

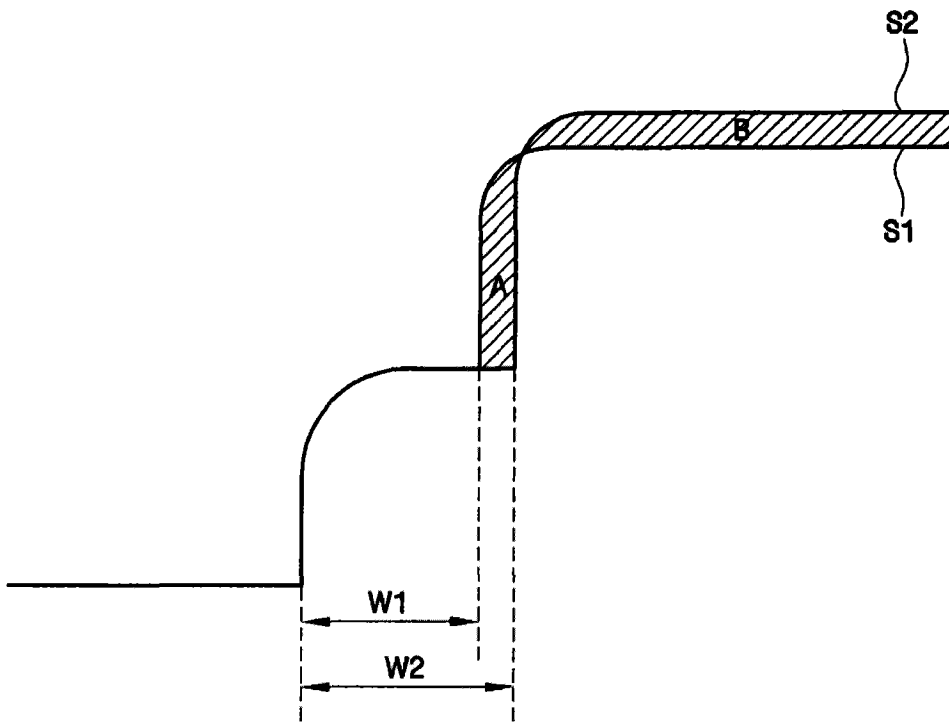


图 3

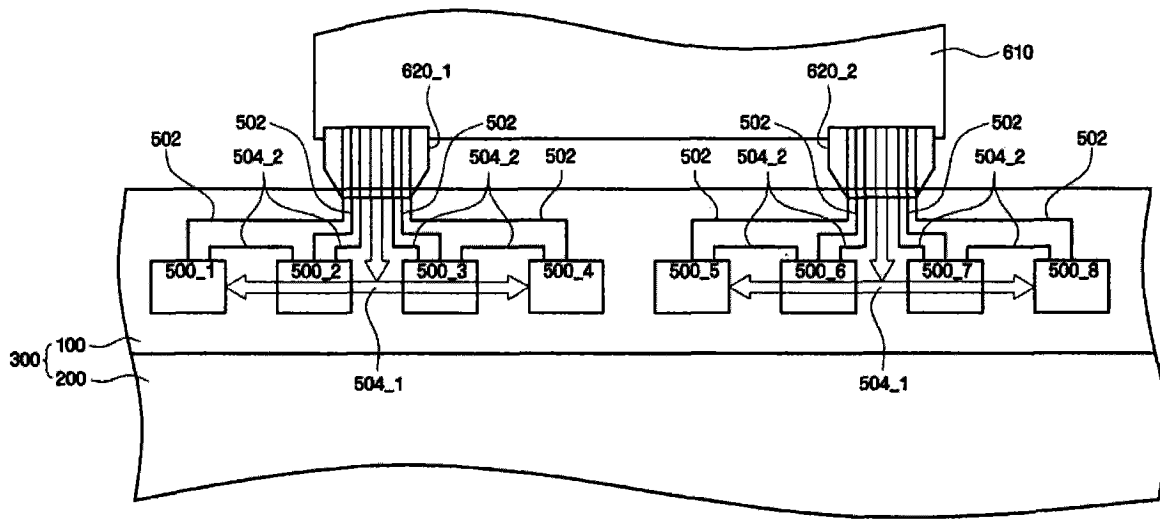


图 4

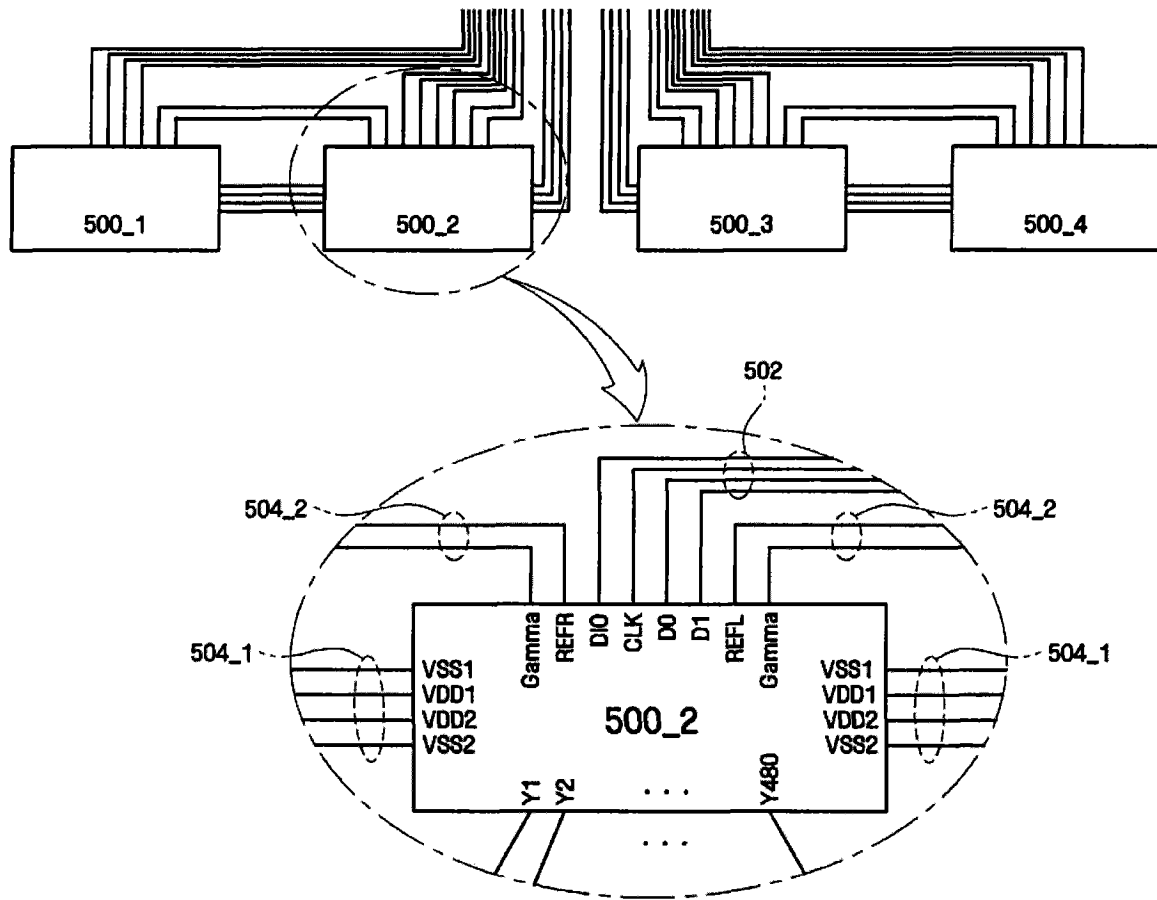


图 5

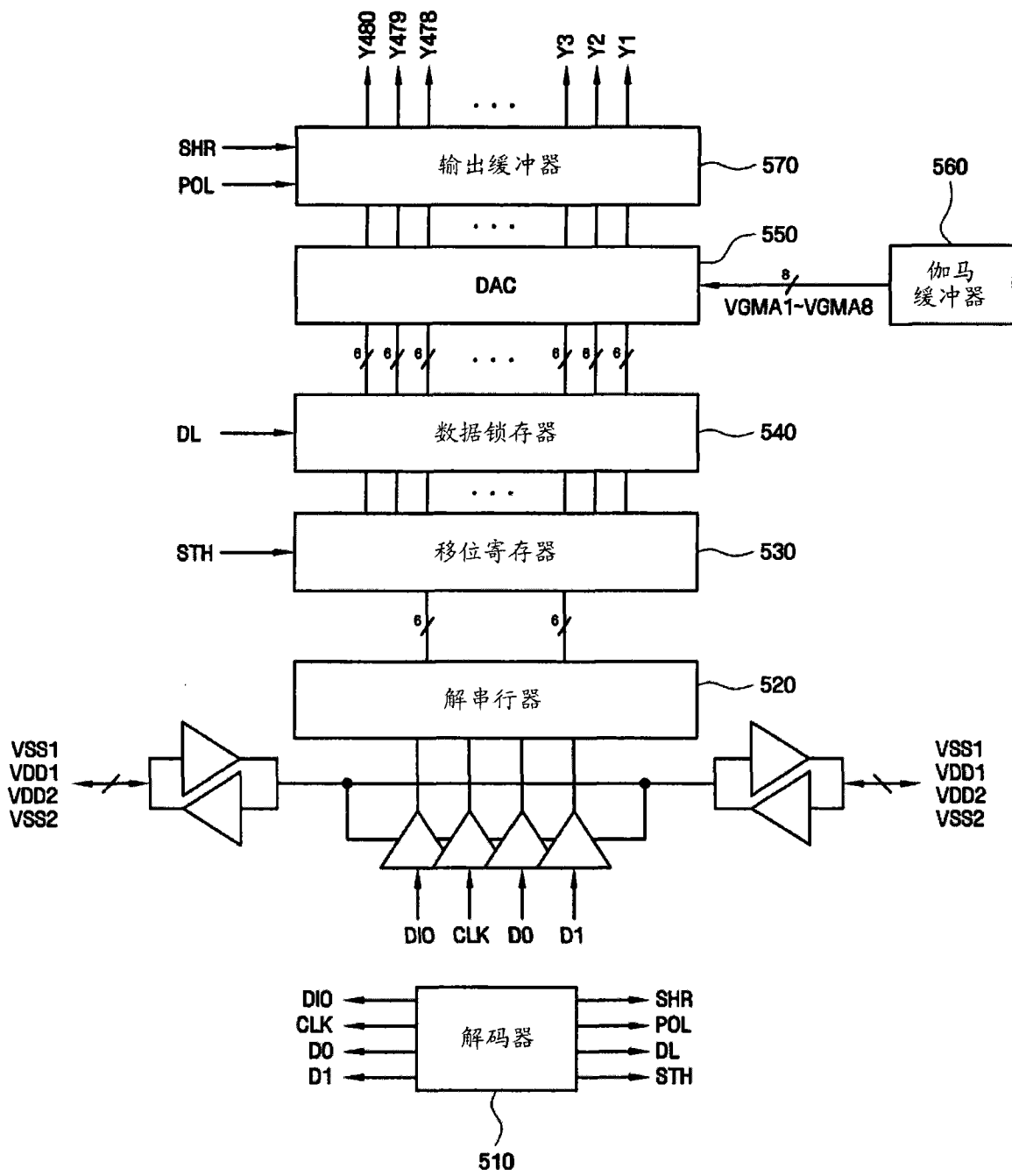


图 6

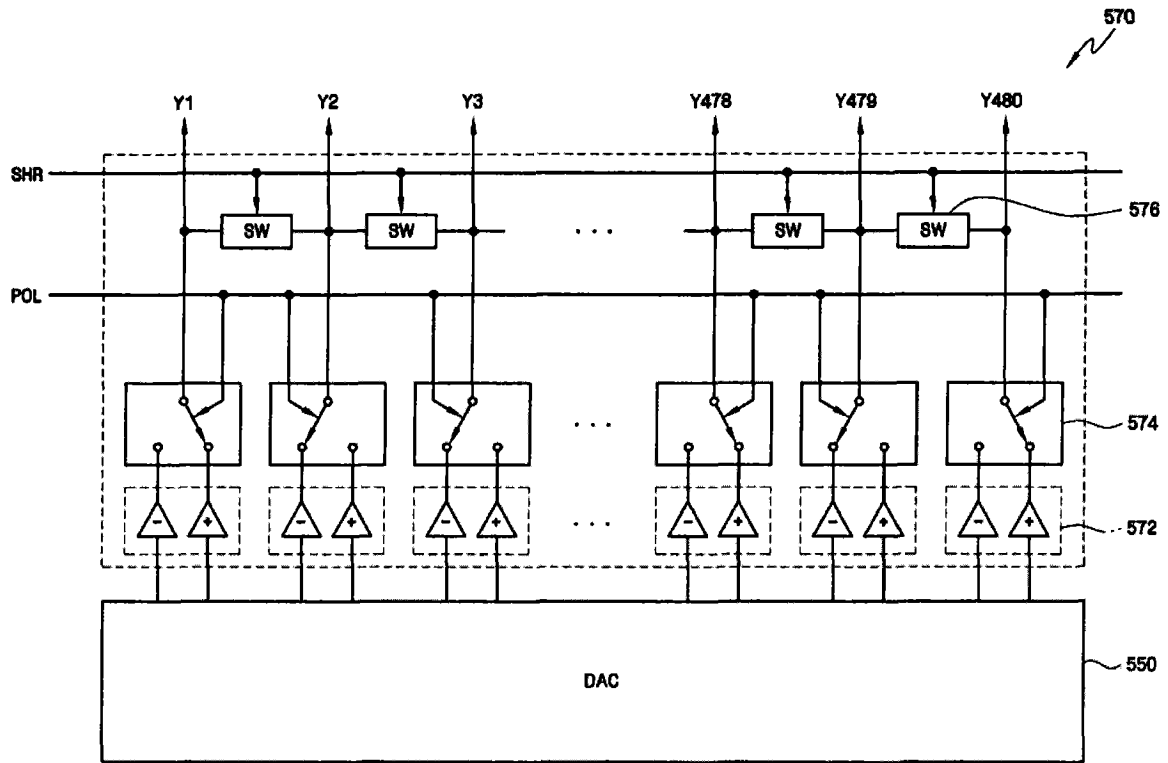


图 7

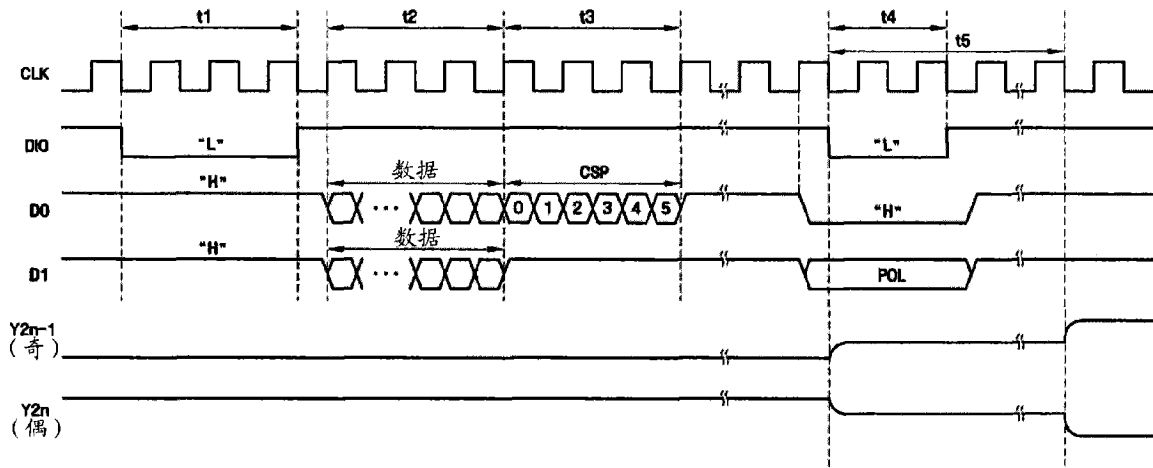


图 8

专利名称(译)	具有改善的可视性的液晶显示设备		
公开(公告)号	<a href="#">CN101425281B</a>	公开(公告)日	2013-02-13
申请号	CN200810174763.2	申请日	2008-10-30
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	金宝拉 孙宣圭		
发明人	金宝拉 孙宣圭		
IPC分类号	G09G3/36 G02F1/13 G02F1/133		
CPC分类号	G09G2310/0281 G09G3/3648 G09G3/3688 G09G2310/0291 G09G2320/0233 G09G2330/02 G09G2320/0223 G09G2300/0426 G09G2310/0248		
代理人(译)	李琳		
审查员(译)	李文斐		
优先权	1020070109670 2007-10-30 KR		
其他公开文献	CN101425281A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

公开了一种具有改善的可视性的液晶显示设备。根据一个实施例，所述液晶显示器包括：液晶面板，包括多个显示块，每个显示块包括多条栅极线、多条数据线、以及耦合到对应栅极线和数据线的多个像素；定时控制器，提供包括数据和电荷共享控制信号的整合信号；以及对应于多个显示块的多个数据驱动芯片，每个数据驱动芯片以点对点关系耦合到所述定时控制器，接收所述整合信号，并在电荷共享时段期间将对应显示块中的多条数据线彼此短路，其中，所述多个数据驱动芯片中的至少两个将电荷共享时段调整为彼此不同。

